



(12) 发明专利

(10) 授权公告号 CN 101789396 B

(45) 授权公告日 2014. 03. 19

(21) 申请号 200910261914. 2

(22) 申请日 2009. 12. 21

(30) 优先权数据

12/317, 297 2008. 12. 20 US

(73) 专利权人 电力集成公司

地址 美国加利福尼亚州

(72) 发明人 维杰伊·帕塔萨拉蒂

苏吉特·巴纳吉

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 赵飞 南霆

(51) Int. Cl.

H01L 21/8222 (2006. 01)

H01L 21/331 (2006. 01)

(56) 对比文件

US 2002/0074585 A1, 2002. 06. 20, 说明书第

31 段至 51 段, 附图 1-13.

US 2003/0049930 A1, 2003. 03. 13, 说明书第
47 段至 66 段, 附图 5.

CN 101246887 A, 2008. 08. 20, 全文.

审查员 颜庙青

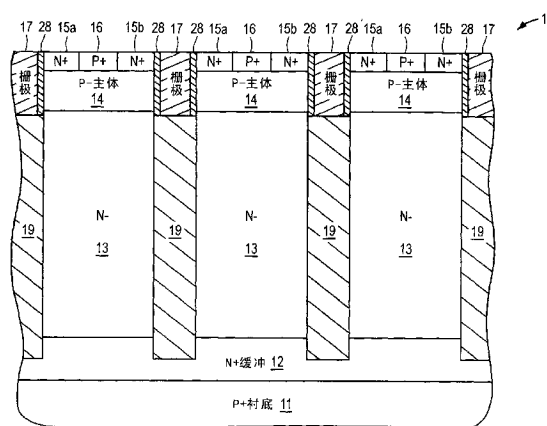
权利要求书4页 说明书6页 附图6页

(54) 发明名称

制造深沟槽绝缘栅极双极晶体管的方法

(57) 摘要

本发明涉及制造深沟槽绝缘栅极双极晶体管的方法。在一种实施例中, 一种方法包括: 在衬底上形成相反导电类型的外延层, 该外延层由缓冲层分隔开, 该外延层在垂直方向上直到缓冲层都具有大体上恒定的掺杂浓度。外延层中形成一对间隔开的沟槽, 从外延层的顶面向下至少进入缓冲层中。在沟槽中覆盖第一和第二侧壁部分形成电介质材料。外延层的顶部形成柱的源极/集电极和主体区域, 主体区域将柱的源极/集电极区域与外延层的漂移区隔开, 该漂移区从主体区域延伸到缓冲层。然后在各个沟槽中形成绝缘的栅极部件, 其与主体区域相邻并与主体区域绝缘。



1. 一种用于制造功率晶体管器件的方法,包括:

在第二导电类型的衬底上形成第一导电类型的缓冲层,所述第二导电类型与所述第一导电类型相反,所述缓冲层具有顶面、第一厚度和第一掺杂浓度;

在所述缓冲层上方形成第一导电类型的外延层,所述外延层具有顶面、大于所述第一厚度的第二厚度;

在所述外延层中形成一对间隔开的沟槽,所述沟槽限定了包括所述外延层的柱,所述柱具有第一侧壁部分和第二侧壁部分以及第一横向宽度,所述沟槽在垂直方向上从所述外延层的顶面向下延伸到底部,所述底部超过所述缓冲层的顶面,所述沟槽具有第二横向宽度;

在所述沟槽中形成电介质材料,所述电介质材料至少覆盖所述第一侧壁部分和所述第二侧壁部分中的每一者中从低于主体区域处向下直到所述底部的区域;

在所述柱中形成所述第二导电类型的所述主体区域;

在所述柱中形成所述第一导电类型的第一区域,所述第一区域是第一导电类型并布置在顶面处,所述主体区域将所述柱的所述第一区域从漂移区域分隔开,所述漂移区域从所述主体区域延伸到所述缓冲层;和

在所述顶面处或所述顶面附近,在每个所述沟槽中形成栅极部件,所述栅极部件布置成与所述主体区域相邻并与所述主体区域绝缘,

其中,在所述沟槽中形成电介质材料的步骤包括:用所述电介质材料完全填充所述沟槽,使得所述功率晶体管器件不包含所述电介质内的导电场板;并且

所述柱的掺杂分布是大体上恒定的。

2. 根据权利要求1所述的方法,其中,所述外延层的第二厚度比所述缓冲层的第一厚度厚三倍到五倍。

3. 根据权利要求1所述的方法,其中,所述第一横向宽度大体上等于所述第二横向宽度。

4. 根据权利要求1所述的方法,其中,所述外延层具有第二掺杂浓度,所述第二掺杂浓度从所述顶面起在垂直方向上大体上恒定,所述第二掺杂浓度比所述第一掺杂浓度至少小一个数量级。

5. 根据权利要求1所述的方法,其中,所述第一导电类型是n型,所述第二导电类型是p型。

6. 根据权利要求1所述的方法,其中,所述电介质材料包括氧化物。

7. 根据权利要求1所述的方法,其中,所述沟槽的所述底部在所述垂直方向上延伸到所述衬底中。

8. 根据权利要求4所述的方法,其中,所述第一掺杂浓度与所述第二掺杂浓度相比,高到足以在所述功率晶体管器件工作在关断状态下并且所述衬底相对于所述第一区域处于至少600V的电压电位时,防止到所述衬底的穿通。

9. 根据权利要求1所述的方法,其中,形成所述缓冲层的步骤包括:形成所述缓冲层,使得在高压阻断期间防止所述漂移区域中形成的关断状态耗尽层到达所述衬底。

10. 一种用于制造功率晶体管器件的方法,包括:

在第二导电类型的衬底上形成第一导电类型的半导体材料,所述第二导电类型与所述

第一导电类型相反,所述半导体材料包括外延层和缓冲层,所述缓冲层将所述外延层与所述衬底分隔开,所述外延层具有顶面和第一厚度;

在所述外延层中形成一对间隔开的沟槽,所述沟槽限定了所述半导体材料的柱,所述柱具有第一侧壁部分和第二侧壁部分以及第一横向宽度,所述沟槽在垂直方向上从所述外延层的顶面向下至少延伸到所述缓冲层中,所述沟槽具有第二横向宽度;

在所述沟槽中形成电介质材料,所述电介质材料至少覆盖所述第一侧壁部分和所述第二侧壁部分中的每一者;

在所述柱中形成所述第二导电类型的主体区域;

在所述柱中形成所述第一导电类型的第一区域,所述第一区域是第一导电类型并布置在所述顶面处,所述主体区域将所述柱的所述第一区域从所述外延层的漂移区域分隔开,所述漂移区域从所述主体区域延伸到所述缓冲层;和

在所述顶面处或所述顶面附近,在每个所述沟槽中形成栅极部件,所述栅极部件布置成与所述主体区域相邻并与所述主体区域绝缘,

其中,在所述沟槽中形成电介质材料的步骤包括:用所述电介质材料完全填充所述沟槽,使得所述功率晶体管器件不包含所述电介质内的导电场板;并且

所述柱的掺杂分布是大体上恒定的。

11. 根据权利要求 10 所述的方法,其中,所述外延层具有第一掺杂浓度,所述第一掺杂浓度在垂直方向上向下直到所述缓冲层大体上是恒定的,所述缓冲层具有第二掺杂浓度,所述第二掺杂浓度比所述外延层的所述第一掺杂浓度至少大一个数量级。

12. 根据权利要求 10 所述的方法,其中,形成所述栅极部件的步骤包括:

在掩膜层中形成第一开口和第二开口,所述第一开口和所述第二开口分别布置在所述一对间隔开的沟槽中的第一沟槽和第二沟槽上方,所述掩膜层具有所述第一开口与所述第二开口之间的部分,该部分覆盖所述柱并重叠到所述第一侧壁部分和所述第二侧壁部分的各个边缘之外的距离,所述边缘与所述柱的顶面一致;

经过相应的所述第一开口和所述第二开口,对所述沟槽中的电介质材料进行各向异性刻蚀,以产生第一栅极沟槽和第二栅极沟槽;和

对所述第一栅极沟槽和所述第二栅极沟槽中的第一电介质区域和第二电介质区域进行各向同性刻蚀,以从所述第一侧壁部分和所述第二侧壁部分各自的从所述顶面延伸到所述主体区域的底部的区域除去所述电介质材料。

13. 根据权利要求 12 所述的方法,还包括:

在所述区域中形成栅极氧化物;

在所述第一沟槽和所述第二沟槽各自中形成所述栅极部件,所述栅极部件通过所述栅极氧化物与所述区域绝缘。

14. 根据权利要求 10 所述的方法,其中,在与所述漂移区域相邻的所述沟槽中只存在所述电介质材料。

15. 根据权利要求 12 所述的方法,其中,所述电介质材料包括氧化物。

16. 根据权利要求 10 所述的方法,其中,所述外延层的所述第一厚度比所述缓冲层的第二厚度大三倍至五倍。

17. 根据权利要求 10 所述的方法,其中,所述第一横向宽度大体上等于所述第二横向

宽度。

18. 根据权利要求 17 所述的方法,其中,所述第一横向宽度和所述第二横向宽度各自约为 $2\mu\text{m}$ 。

19. 根据权利要求 10 所述的方法,其中,所述第一导电类型是 n 型,所述第二导电类型是 p 型。

20. 根据权利要求 10 所述的方法,其中,所述沟槽在所述垂直方向上延伸到所述衬底中。

21. 根据权利要求 10 所述的方法,其中:

在所述沟槽中形成电介质材料的步骤包括:用所述电介质材料完全填充所述沟槽,使得所述功率晶体管器件不包含所述电介质内的导电场板;

所述柱的掺杂分布是大体上恒定的。

22. 一种用于在具有至少 4mil 厚度的硅晶片上制造功率晶体管器件的方法,包括:

在所述硅晶片的衬底上形成缓冲层,所述缓冲层具有第一厚度并且是第一导电类型,所述衬底是与所述第一导电类型相反的第二导电类型;

在所述缓冲层上形成所述第一导电类型的外延层,所述外延层具有第二厚度,所述第二厚度至少比所述第一厚度大三倍,所述外延层整个具有大体上恒定的掺杂浓度,所述缓冲层具有比所述外延层的所述大体上恒定的掺杂浓度至少大一个数量级的掺杂浓度;

在垂直方向上将沟槽刻蚀到所述硅晶片中,所述沟槽从所述外延层的顶面向下至少延伸到所述缓冲层中,所述沟槽限定了多个柱,每个柱具有第一侧壁和第二侧壁以及第一横向宽度,所述第二厚度与所述第一横向宽度的比至少为 $10:1$,每个垂直沟槽具有第二横向宽度;

用覆盖所述第一侧壁和所述第二侧壁的电介质材料填充所述沟槽;

在所述柱中形成所述第二导电类型的主体区域,所述主体区域在所述柱的第一横向宽度上在所述第一侧壁与所述第二侧壁之间延伸,所述主体区域限定了漂移区域,所述漂移区域将所述主体区域与所述缓冲层分隔开;

在所述柱中形成所述第一导电类型的第一区域,所述主体区域将所述第一区域与所述漂移区域分隔开;

对所述沟槽中的电介质材料进行刻蚀以形成栅极沟槽;和

在每个所述栅极沟槽中形成绝缘的栅极部件,所述栅极部件布置成与所述主体区域相邻并与所述主体区域绝缘,

其中,在所述沟槽中形成电介质材料的步骤包括:用所述电介质材料完全填充所述沟槽,使得所述功率晶体管器件不包含所述电介质内的导电场板;并且

所述柱的掺杂分布是大体上恒定的。

23. 根据权利要求 22 所述的方法,其中,所述沟槽在所述垂直方向上延伸到所述衬底中。

24. 根据权利要求 22 所述的方法,其中,所述第二横向宽度约为 $2\mu\text{m}$ 。

25. 根据权利要求 22 所述的方法,其中,所述第一横向宽度约为 $2\mu\text{m}$ 。

26. 根据权利要求 22 所述的方法,其中,与所述漂移区域相邻的所述沟槽中只存在所述电介质材料。

27. 根据权利要求 22 所述的方法,其中,形成所述缓冲层的步骤包括:形成所述缓冲层,使得在高压阻断期间防止所述漂移区域中形成的关断状态耗尽层到达所述衬底。

制造深沟槽绝缘栅极双极晶体管的方法

技术领域

[0001] 本发明涉及功率半导体器件结构和用于制造高压晶体管的工艺。

背景技术

[0002] 高压场效应晶体管 (HVFET) 以及高压功率半导体器件的其他变种是半导体领域公知的。许多 HVFET 使用了这样的器件结构：该结构包括轻度掺杂的、延伸的漏极区域，当器件处于“关断”状态时，该区域支撑或阻断所施加的高压（例如几百伏特）。由于高电阻的外延层，工作于高电压（例如 500-700V 或更高）的普通 MOSFET 功率器件的“导通”状态漏极-源极电阻 ($R_{DS(on)}$) 通常很大，在高漏极电流的情况下尤其如此。例如，在传统的功率 MOSFET 中，轻度掺杂的延伸的漏极区域（也称为漂移区）通常涉及晶体管总的导通状态电阻的 95%。

[0003] 为了对抗传导损耗问题，已经提出了各种替换性的设计结构。例如，在垂直薄硅 (VTS) MOSFET 中，通过在薄的硅层中采用分级掺杂分布来降低传导损耗，所述薄的硅层被位置相邻的厚氧化物中嵌入的场板 (fieldplate) 耗尽。但是，VTS 结构的一个问题是由于大的场板（耦合到源极端子）对硅柱（耦合到漏极端子）的重叠造成较大的输出电容 (C_{oss})。这种较大的输出电容限制了器件的高频开关性能。传统的 VTS MOSFET 结构的另一个缺点是需要经过漂移区域沿垂直方向的线性分级的掺杂分布，这常常难以控制并且制造成本很高。

[0004] 在称为 CoolMOS™ 概念的另一种途径中，通过交替的 N- 和 P- 降低表面场 (RESURF) 层来减小传导损耗。在 CoolMOS™ 器件中，只通过多数 (majority) 载流子来提供电导性，即，没有双极电流（少数载流子）的贡献。由于 CoolMOS™ 高压功率 MOSFET 设计不包括大的沟槽场板结构，所以它还因较低的 C_{oss} 而有利。不过，在某些应用中，CoolMOS™ 设计仍然会有高到不可接受的传导性损耗。

[0005] 绝缘栅极双极晶体管（即 IGBT）是少数载流子功率半导体器件，它通过在单一的器件结构中由 FET 控制输入和双极功率开关晶体管相结合而实现了较低的传导损耗。但 IGBT 设计的主要缺点是，由于外延漂移区域中堆积的少数载流子造成的特征“尾电流”，开关频率通常被限制在 60kHz 或更低。换言之，在更高频率（100kHz 或更高）下由较差的开关性能造成的开关损耗仍然是个问题。针对改善 IGBT 设计的开关速度而进行的尝试包括使用超薄晶片（ $\sim 75 \mu m$ 或更小）的非穿通结构。但是超薄晶片工艺带来了显著的成本增加，并增加了制造工艺的复杂性。

附图说明

[0006] 根据下文的详细说明以及附图会更完整地理解本发明，但是不应认为本发明局限于所示的具体实施例，它们仅仅是用于说明和理解。

[0007] 图 1 图示了深沟槽绝缘栅极双极晶体管 (IGBT) 结构的示例性侧面剖视图。

[0008] 图 2 图示了另一种深沟槽绝缘栅极双极晶体管 (IGBT) 结构的示例性侧面剖视图。

[0009] 图 3A 图示了制造处理中,在 P+ 衬底上形成 N- 掺杂的外延层的初始步骤之后,深沟槽 IGBT 结构的示例性侧面剖视图。

[0010] 图 3B 图示了在垂直深沟槽刻蚀之后,图 3A 的示例性器件结构。

[0011] 图 3C 图示了在形成填充深垂直沟槽的电介质区域之后,图 3B 的示例性器件结构。

[0012] 图 3D 图示了在对硅衬底的顶面进行掩膜、然后进行第一电介质刻蚀之后,图 3C 的示例性器件结构。

[0013] 图 3E 图示了在形成栅极沟槽的第二电介质刻蚀之后,图 3D 的示例性器件结构。

[0014] 图 3F 图示了在栅极沟槽中形成沟槽栅极之后,图 3E 的示例性器件结构。

[0015] 图 3G 图示了在形成源极(集电极)和主体区域之后,图 3F 的示例性器件结构。

[0016] 图 4 是对于示例性深沟槽 IGBT 器件结构(例如图 1 所示的结构),外延层掺杂分布随归一化距离的曲线图。

具体实施方式

[0017] 下面的说明中阐述了具体细节(例如材料类型、尺寸、结构特征、工艺步骤等)以提供对于本发明的完整理解。但是,本领域技术人员理解,实施本发明并不一定需要这些具体细节。应当明白,附图中的要素是代表性的,并且为了清楚起见并未按比例绘制。

[0018] 图 1 图示了深沟槽 IGBT 10 的一种示例性侧面剖视图,IGBT 10 具有的结构包括 P+ 掺杂的硅衬底 11 上形成的、N- 型硅的多个隔离开的延伸漏极区域 13。在图 1 的示例中,由重度掺杂的 N+ 缓冲层 12 将延伸漏极区域 13 从 P+ 衬底 11 分开。在一种实施例中,延伸漏极区域 13 是外延层的一部分,所述外延层从 N+ 缓冲层 12 延伸到硅晶片的顶面。衬底 11 受到重度掺杂,以使其对于经过漏电极漏洞的电流造成的电阻尽可能小,所述漏电极在完工的器件中位于衬底 11 底部。

[0019] 深沟槽 IGBT 10 还包括 P- 主体区域 14。在每个 P- 主体区域 14 上方的晶片外延层的顶面处,一对 N+ 掺杂的源极区域 15a 和 15b 在横向上由 P- 型区域 16 分开。由图可见,每个 P- 主体区域 14 布置在延伸漏极区域 13 中相应的一者正上方并在垂直方向上将该延伸漏极区域与 N+ 源极区域 15a、15b 以及 P- 型区域 16 分开。图 1 的器件结构还包括沟槽栅极结构,该沟槽栅极结构具有栅极 17(例如由多晶硅组成)和栅极绝缘层 28,栅极绝缘层 28 使栅极 17 与相邻的侧壁 P- 主体区域 14 绝缘。栅极绝缘层 28 可以包括热生长的二氧化硅或其他合适的电介质绝缘材料。在制造完工的器件中,向栅极 17 施加合适的电压电位造成沿 P- 主体区域 14 的垂直侧壁部分形成导电沟道,使得电流可以经过半导体材料垂直接触,即从 P+ 衬底 11 向上经过缓冲层 12 和延伸漏极区域 13,经过垂直地形成的传导沟道,到达布置了源极区域 15 的、硅晶片的顶面。

[0020] 在另一种实施例中,不是在半导体柱的横向宽度方向上将 P+ 区域 16 布置在 N+ 源极区域 15a、15b 之间(如图 1 所示),而是可以在每个柱的横向长度(即从附图的纸面进出)上将 N+ 源极区域 15 和 P+ 区域交替地形成在各个柱的顶部。换言之,根据取截面的位置,像图 1 所示那样给出的剖视图将具有在柱 17 的整个横向宽度上延伸的 N+ 源极区域 15 或 P+ 区域 16。在这样的实施例中,每个 N+ 源极区域 15 在(沿柱的横向长度的)两侧由 P+ 区域 16 接合。类似地,每个 P+ 区域 16 在(沿柱的横向长度的)两侧由 N+ 源极区域 15 接合。

[0021] 本领域技术人员可以理解,P+ 衬底 11 还用作垂直 PNP 双极晶体管的 P+ 发射极层。用基本术语来表示的话,深沟槽 IGBT 10 包括由上述沟槽栅极 MOSFET 结构控制的半导体器件,所述半导体器件具有由交替的 PNP 导电类型 (P+ 衬底 11, N+ 缓冲层 12 和 N- 延伸漏极层 13, P- 主体区域 14, N+ 源极区域 15) 构成的四个层。本领域技术人员还可以理解,将 N+ 缓冲层 12 包括在内有利地在高压阻断期间防止了漂移区域 13 中形成的关断状态耗尽层到达 P+ 发射极 (衬底) 层 11。

[0022] 在图 1 的示例性器件结构中,延伸漏极区域 13、P- 主体 14、源极区域 15a、15b 和 P+ 区域 16 共同构成了硅材料的平台 (mesa) 或柱 (在本申请中这两个术语是同义的)。下文将结合图 3A- 图 3F 说明,这些柱是通过选择性地除去各个柱或平台的相反侧的半导体材料区域,而由垂直沟槽限定的。每个柱的高度和宽度,以及相邻的垂直沟槽之间的间距,可以由器件的击穿电压要求来确定。在各种实施例中,这些柱具有约 $30\mu\text{m}$ 至 $120\mu\text{m}$ 厚的范围内的垂直高度 (厚度)。例如,在大约 $1\text{mm}\times 1\text{mm}$ 尺寸的管芯上形成的深沟槽 IGBT 可以具有约 $60\text{--}65\mu\text{m}$ 的垂直厚度,在总的垂直厚度中,N- 延伸漏极区域 13 包括约 $50\mu\text{m}$,而 N+ 缓冲层 12 包括约 $10\text{--}15\mu\text{m}$ 。作为另一个示例,约 $2\text{mm}\text{--}4\text{mm}$ 的管芯上形成的晶体管结构在每一侧可以具有约 $30\mu\text{m}$ 厚的柱结构。在某些实施例中,每个柱的横向宽度可以在能够可靠制造的范围内尽可能地窄 (例如约 $0.4\mu\text{m}$ 至 $0.8\mu\text{m}$ 宽),以实现非常高的击穿电压 (例如 $600\text{--}800\text{V}$)。

[0023] 在再一种替换实施例中,可以从器件结构中略去 N+ 缓冲层。但是注意,消除 N+ 缓冲层 12 意味着 N- 延伸漏极区域 13 的垂直厚度 (柱高度) 可能需要被大大增加 (例如 $100\text{--}120\mu\text{m}$),以支持所需的阻断电压。

[0024] 相邻的一对柱 (包括 N- 延伸漏极区域 13) 被示出为在横向上由深沟槽电介质区域 19 分开。电介质区域 19 可以包括二氧化硅、氮化硅或其他合适的电介质材料。在形成深沟槽之后,可以用各种公知的方法形成电介质区域 19,这些方法包括热生长和化学气相沉积。在图 1 的示例中,每个电介质区域 19 从栅极 17 正下方向下延伸到 N+ 缓冲层 12。换言之,在所示的实施例中,电介质区域 19 大体上垂直地经过漂移区域 13 的整个垂直厚度延伸。

[0025] 在图 2 所示的示例性实施例中,电介质区域 19 垂直地经过 N+ 缓冲区域 12 延伸到 P+ 衬底 11 中。

[0026] 在一种实施例中,将相邻的漂移区域 13 的侧壁分开的每个电介质区域 19 的横向宽度大约为 $2\mu\text{m}$ 。在一种具体实施例中,每个漂移区域和每个电介质区域的横向宽度等于 $2\mu\text{m}$,得到 1 : 1 的宽度比。可以用从 0.2 至 6.0 范围内的 (漂移区域对电介质区域的) 宽度比来制造替换实施例。

[0027] 本领域技术人员可以理解,在正向 (导通状态) 传导过程中,通过将少数载流子 (空穴) 从双极器件的 P+ 发射极层 11 注入到漂移区域 13 中,N- 漂移区域 13 的电阻被大大降低。当使深沟槽 IGBT 在导通和关断之间开关时,这些注入的少数载流子通常需要时间来进入和离开 (复合) 漂移区域 13。在图 1 和图 2 所示的示例性器件结构中,少数载流子的复合 (也称为“寿命限制 (lifetime killing)”) 是通过沿着大侧壁区域产生的众多界面阱来完成的,所述侧壁区域是由 N- 漂移区域 13 与电介质 (例如氧化物) 区域 19 的界面形成的。例如,当器件从导通状态 (正向传导) 向关断状态 (阻断电压) 切换时,沿 N- 漂

移区域 13 的侧壁区域的界面阱有效地帮助迅速从漂移区域 13 清除少数载流子,从而改善了器件的高速开关性能。

[0028] 应当明白,由于深沟槽 IGBT 器件结构不包括电介质区域 19 内的导电场板——即,沟槽完全由氧化物或其他某些合适的电介质填充——所以 N⁻ 漂移区域 13 的掺杂分布可以是大体上恒定的。

[0029] 图 3A- 图 3G 分别是图示了在示例性制造处理中处于不同阶段的示例性深沟槽 IGBT 结构的侧面剖视图。由这些附图所示的制造处理不仅可以用来形成图 1 的器件,而且可以用来形成图 2 所示的深沟槽 IGBT 器件。首先,图 3A 图示了制造处理中,在 P⁺ 硅衬底 11 上方形成 N⁻ 掺杂的层 12、13 的初始步骤之后,深沟槽 IGBT 结构的示例性侧面剖视图。在一种实施例中, N⁺ 缓冲层 12 具有 10-15 μm 厚范围内的垂直厚度。N⁺ 层 11 受到重度掺杂,以使其对向漏极(发射极)电极经过的电流的电阻尽可能小,所述漏极(发射极)电极在完工的器件中位于衬底的底部。N⁺ 缓冲层 12 的重度掺杂还防止了在反向偏压阻断过程中对 P⁺ 衬底 11 的穿透。层 12 的掺杂可以随着层的形成而同时执行。N⁻ 外延层 13 的掺杂也可以随着层的形成而同时执行。

[0030] 图 4 是对于示例性深沟槽 IGBT 器件结构(例如图 1 所示的结构),外延层掺杂分布对于归一化距离的曲线图。由图可见, N⁻ 型外延层的掺杂分布浓度大体上是平的,具有约 $1 \times 10^{15} \text{cm}^{-3}$ 的较低浓度。在约 54 μm 的垂直深度处(N⁺ 缓冲层开始于该处),掺杂分布浓度陡峭地增大(阶跃增大)到约 $2 \times 10^{17} \text{cm}^{-3}$ 的浓度。

[0031] 在形成了层 12 和 13 之后,对半导体晶片的顶面进行合适的掩膜,然后将深垂直沟槽 22 刻蚀到 N⁻ 外延层 13 中。图 3B 图示了制造处理中在垂直沟槽刻蚀之后,深沟槽 IGBT 的示例性侧面剖视图,所述垂直沟槽刻蚀形成了由深沟槽 22 分隔开的、N⁻ 掺杂的半导体材料的硅柱或平台。每个柱的高度和宽度,以及相邻的垂直沟槽 22 之间的间距,可以由器件的击穿电压需求来确定。如前所述,这些分隔开的外延材料 13 的柱最终形成成品深沟槽 IGBT 器件结构的 N⁻ 型外延漏极或漂移区域。

[0032] 应当明白,在各种实施例中,每个柱可以在(进出纸面的)正交方向上延伸很大的横向距离。在某些实施例中,由每个柱形成的 N⁻ 型漂移区域的横向宽度可以在能够可靠地制造的程度内尽可能地窄,以实现很高的击穿电压(例如 600-800V)。

[0033] 此外,还应当明白,尽管图 1 的示例图示的截面图具有半导体材料的三个柱,该半导体材料包括三个分隔开的 N⁻ 漂移区域,但是应当明白,在制造完工的器件中,相同的器件结构可以在整个半导体管芯的两个横向方向上被重复或复制多次。其他实施例可以视情况包括更多的或更少的半导体区域。例如,某些替换实施例可以包括掺杂分布从顶部向底部变化的漂移区域。其他实施例可以在形成分隔开的柱的半导体材料(例如 N⁻ 漂移区域)的横向宽度上包括多个陡峭的(即阶跃式)变化。例如,漂移区域 13 可以在硅晶片的顶面附近被制造得更宽,并在离 N⁺ 缓冲层 12 最近处被制造得更宽。

[0034] 图 3C 图示了在用电介质材料(例如氧化物)填充沟槽 22 从而形成电介质区域 19 之后,图 3B 的示例性器件结构。电介质材料覆盖了每个外延层柱的侧壁,并完全填充每个沟槽 22。电介质层优选地包括二氧化硅,但也可以使用氮化硅或其他合适的电介质材料。电介质区域 19 可以用各种公知的方法形成,包括热生长和化学气相沉积。在形成了区域 19 之后,可以用传统技术(例如化学机械抛光)对硅衬底的顶面进行平面化。

[0035] 图 3D 图示了在对硅衬底的顶面进行掩膜之后,图 3C 的示例性器件结构。在这种示例中,掩膜层 25 包括光刻胶的层,该层具有以氧化物区域 19 的上方为中心的经显影的开口 24。注意,外延区域 13 的每个柱正上方的掩膜层 21 那部分延伸(即重叠)到超过柱的侧壁部分的边缘一段短的距离。这具有留下侧壁氧化物的薄层覆盖氧化物区域 19 的第一和第二侧壁部分的效果。即,每个开口 24 的最接近每个 N- 外延柱 13 的边缘与侧壁不一致;而是有意地使开口 24 偏离,从而使每个开口 24 的最近边缘与相应的柱侧壁离开小的距离。在一种实施例中,重叠距离大约为 $0.2\mu\text{m}$ 至 $0.5\mu\text{m}$ 。

[0036] 通过除去开口 24 正下方的范围中的区域 19 的电介质材料,由第一电介质刻蚀形成栅极沟槽 26。在一种实施例中,第一电介质刻蚀是大体上各向异性的等离子体刻蚀。第一电介质刻蚀被向下执行到所需的深度(即目标深度),在一种实施例中该深度约为 $3\mu\text{m}$ 深。例如可以将 $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}/\text{O}_2$ 气体的混合物用于等离子体刻蚀。注意,第一刻蚀的各向异性的性质在栅极沟槽中产生了大体上垂直的侧壁轮廓,该轮廓不延伸或穿透到各个柱 13 的侧壁。换言之,掩膜层 25 的重叠距离使得经过开口 24 的各向异性刻蚀不会攻击 N- 外延柱 13 的侧壁;相反,包括氧化物区域 19 的一部分电介质材料在第一电介质刻蚀之后仍然覆盖柱 13 的侧壁范围。

[0037] 图 3E 图示了在除去栅极沟槽中覆盖 N- 外延柱 13 的侧壁的氧化物之后,图 3D 的示例性器件结构。可以经过掩膜层 25 的开口 24 执行第二电介质刻蚀,以完全除去 N- 外延柱的侧壁上剩余的氧化物。在一种实施例中,第二电介质刻蚀是湿法刻蚀(例如使用经缓冲的 HF),其具有大体上各向同性的性质。结果,一对栅极沟槽开口 27 使沿柱或平台的侧壁的外延硅材料暴露出来。

[0038] 在所示的实施例中,第二电介质刻蚀具有高的选择性,这意味着它以比刻蚀硅快得多的速率刻蚀电介质材料。利用这样的处理,每个侧壁的硅表面不被破坏,从而能够在侧壁表面上随后生长高质量的栅极氧化物。另外,由于第二电介质刻蚀的大体上各向同性的性质,栅极沟槽在垂直和横向的方向上以相似的速率受到刻蚀。但是,由于第二电介质刻蚀被用来除去硅平台侧壁上剩余的几十微米的二氧化硅,所以对于沟槽栅极开口 27 的长细比的总体影响相对较小。在一种实施例中,每个栅极沟槽开口 27 的横向宽度约为 $1.5\mu\text{m}$ 宽,最终深度约为 $3.5\mu\text{m}$ 。

[0039] 图 3F 图示了在除去掩膜层 25、形成高质量的薄的(例如 $\sim 500\text{\AA}$) 栅极氧化物层 28 并随后对栅极沟槽进行填充之后,图 3E 的示例性器件结构,所述栅极氧化物层 28 覆盖了 N- 外延柱 13 的暴露侧壁部分。在一种实施例中,栅极氧化物层 28 是热生长的,具有 100 至 1000Å 范围的厚度。在形成栅极氧化物 28 之前除去掩膜层 25。每个栅极沟槽的剩余部分被填充有掺杂多晶硅或其他合适的材料,其在完工的深沟槽 IGBT 器件结构中形成栅极部件 17。在一种实施例中,每个栅极部件 17 具有约 $1.5\mu\text{m}$ 的横向宽度和约 $3.5\mu\text{m}$ 的深度。

[0040] 本领域技术人员可以理解,掩膜层 25 的重叠距离应当足够大,使得即使在最差的掩膜失准误差场合的情况下,所获得的掩膜层 25 相对于每个 N- 外延柱 13 的重叠情况仍然会防止等离子体刻蚀沿相反的柱侧壁中任一者攻击硅材料。类似地,掩膜层 25 的重叠距离应当不会大到使得在最差的掩膜失准误差情况下不能通过合理的第二电介质刻蚀除去任一侧壁 19 上剩余的氧化物。

[0041] 图 3G 图示了在每个 N- 漂移区域 13 的顶部附近形成 N+ 源极(集电极)区域 15a

和 15b 以及 P- 主体区域 14 之后,图 3F 的示例性器件结构。源极区域 15 和 P- 主体区域 14 各自可以用普通的沉积、扩散和 / 或注入工艺技术形成。在形成 N+ 源极区域 15 之后,可以通过用传统制造方法形成源极 (集电极)、漏极 (发射极) 和 MOSFET 栅电极来完成晶体管器件,这些电极电连接到器件的各个区域 / 材料 (为了清楚起见,图中未示出)。

[0042] 尽管已经结合具体器件类型对上述实施例进行了说明,但是本领域技术人员可以理解,在本发明的范围内可以有各种变更和替换形式。例如,尽管已经说明了各种深沟槽 IGBT,但是所示的方法、布局 and 结构同样可以应用到其他结构和器件类型,包括肖特基、二极管、MOS 和双极结构。因此,说明书和附图应当认为是示例性的而不是限制性的。

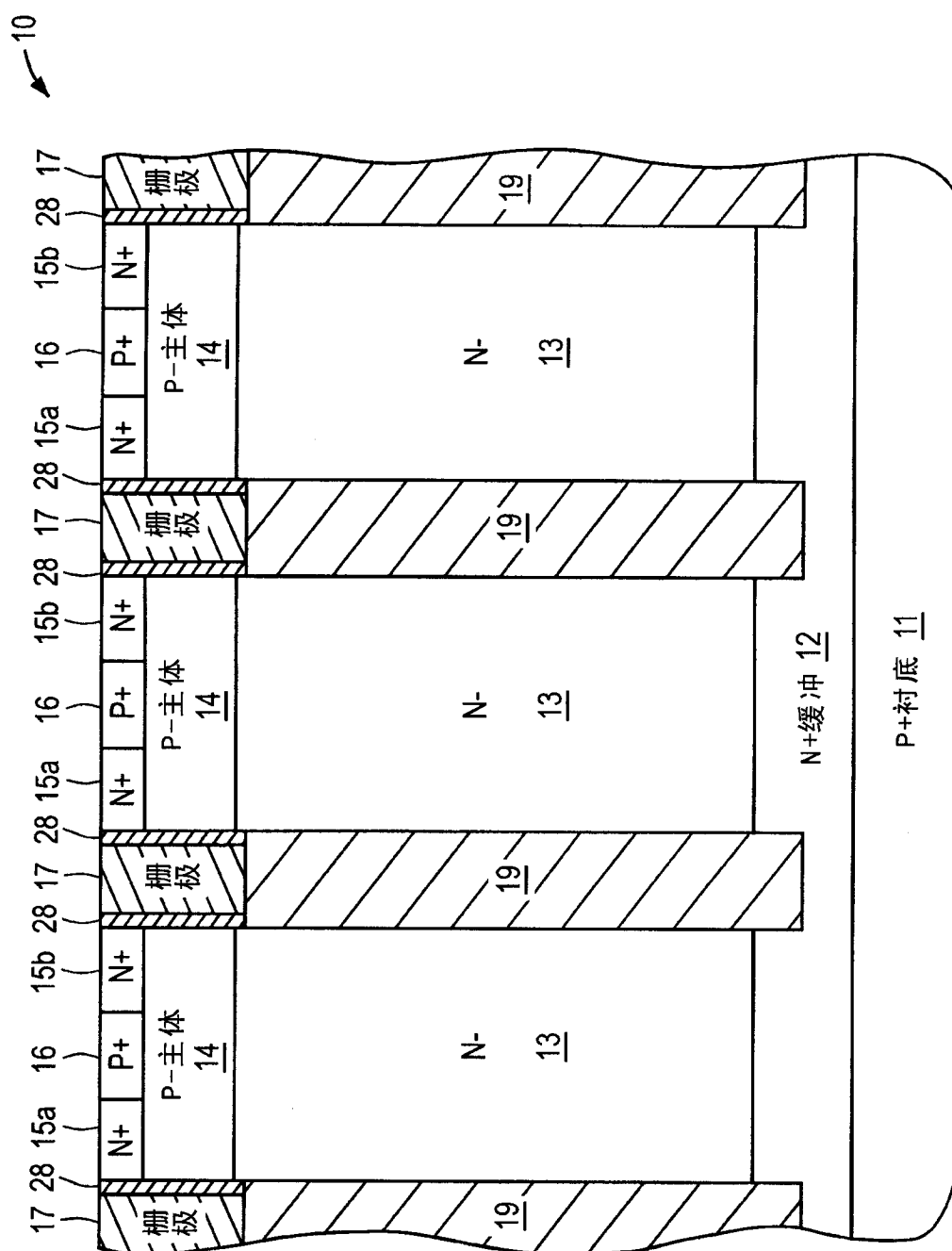


图 1

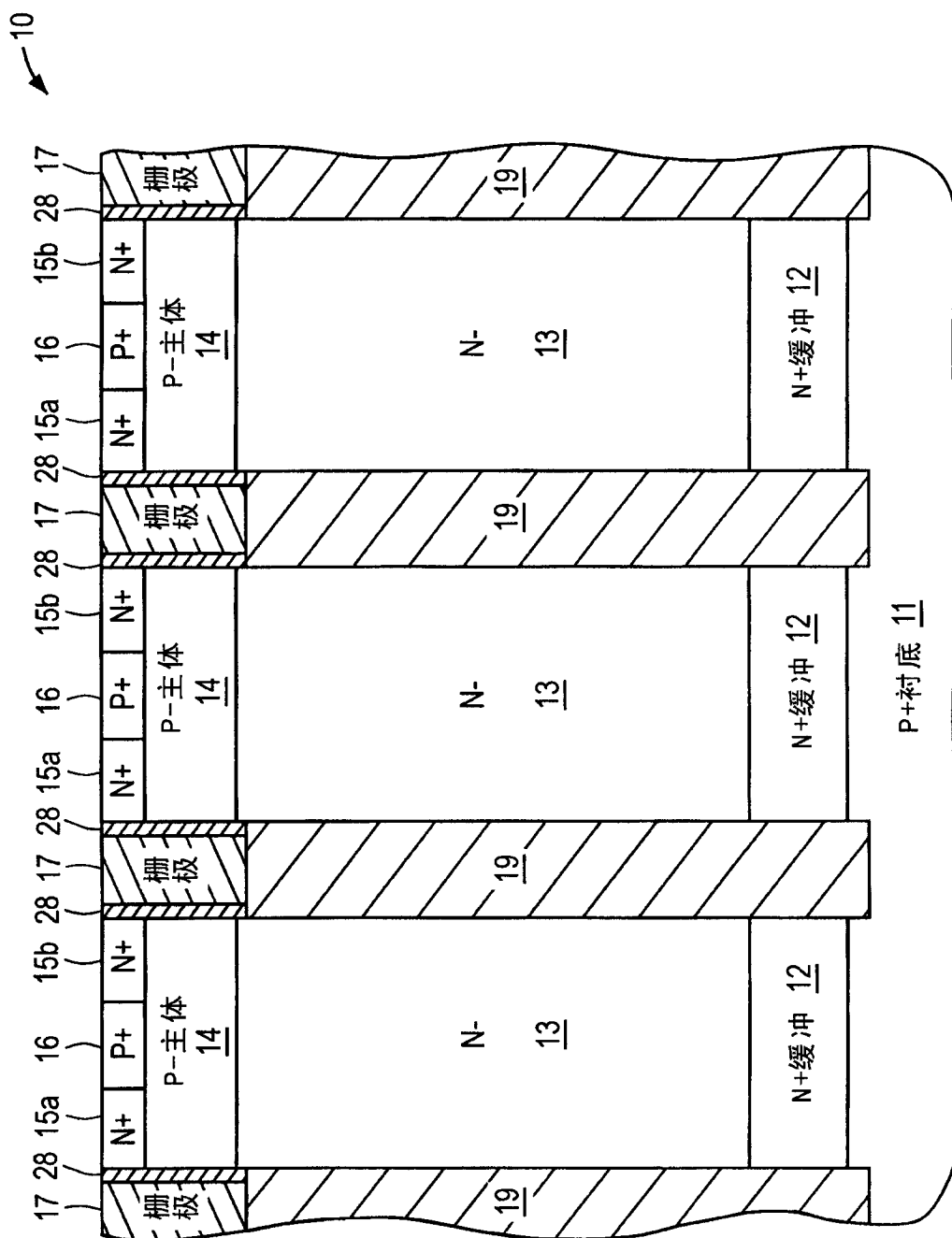


图 2

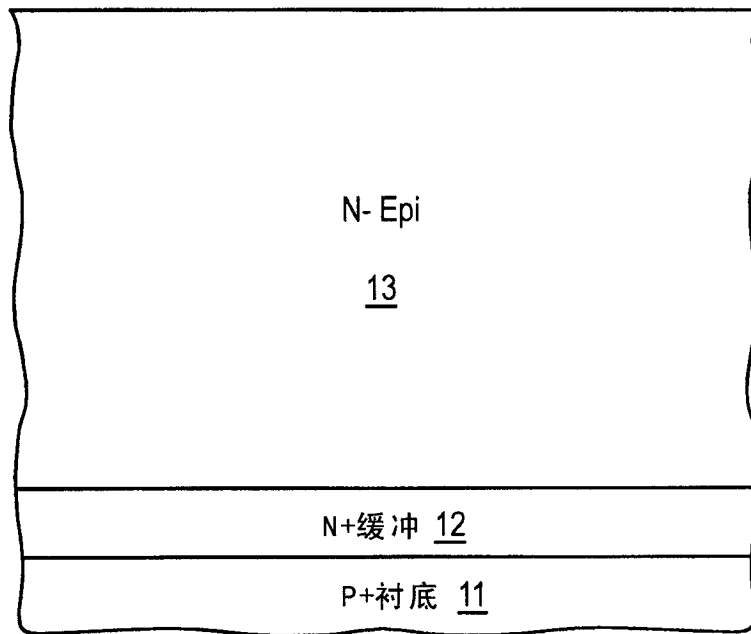


图 3A

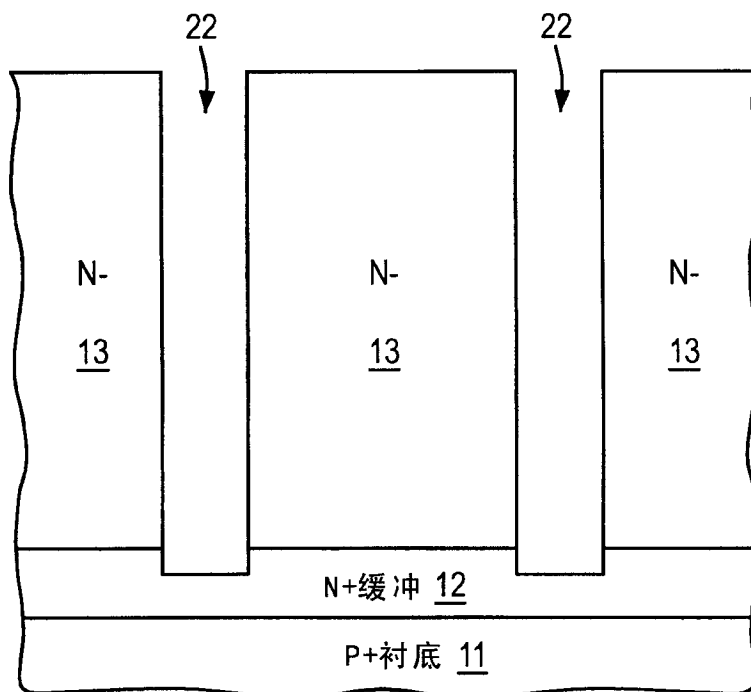


图 3B

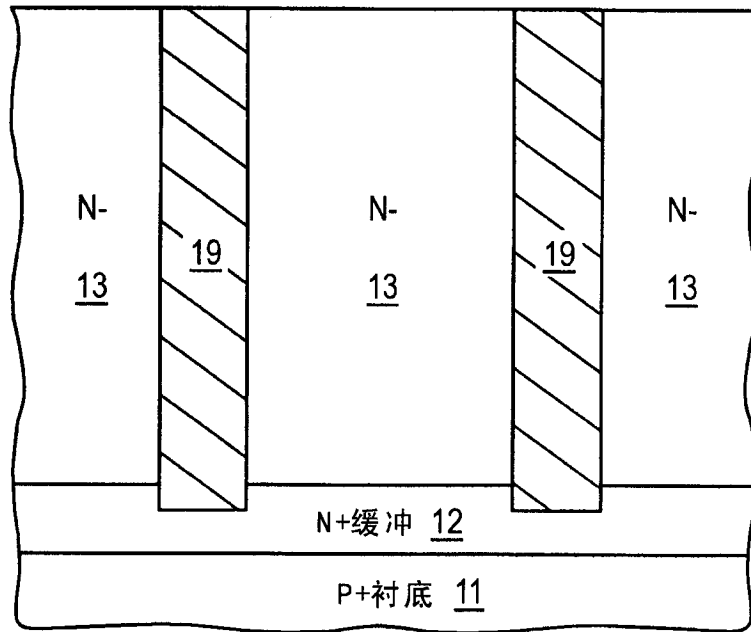


图 3C

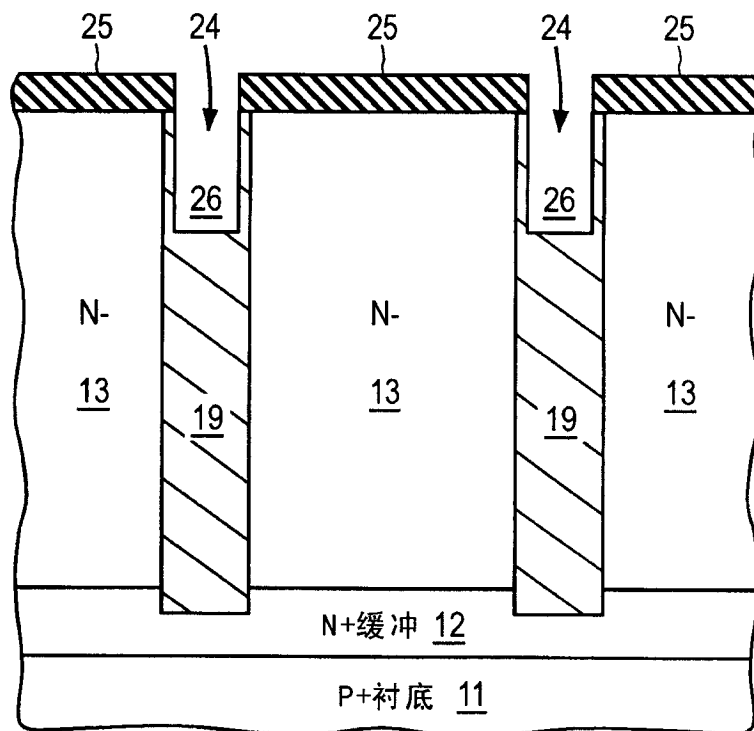


图 3D

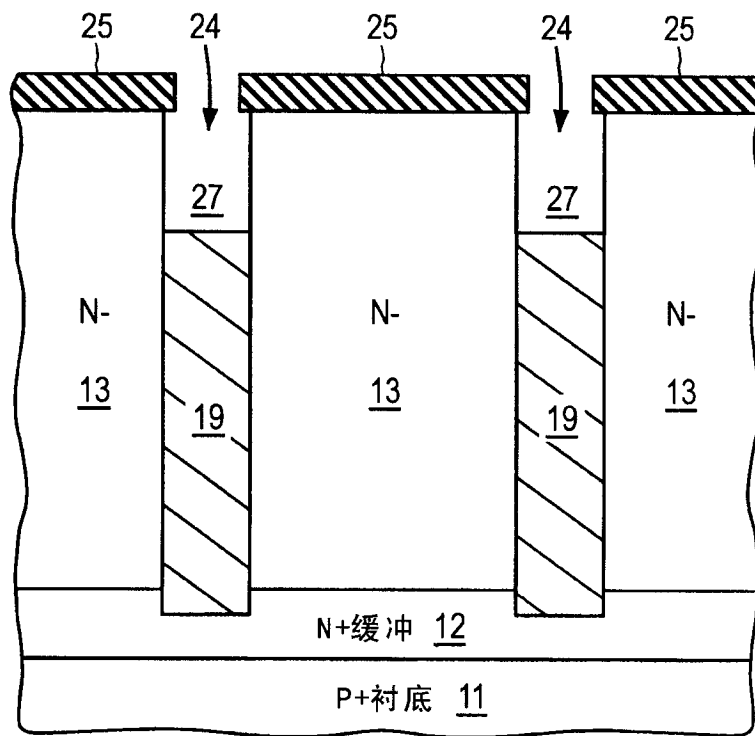


图 3E

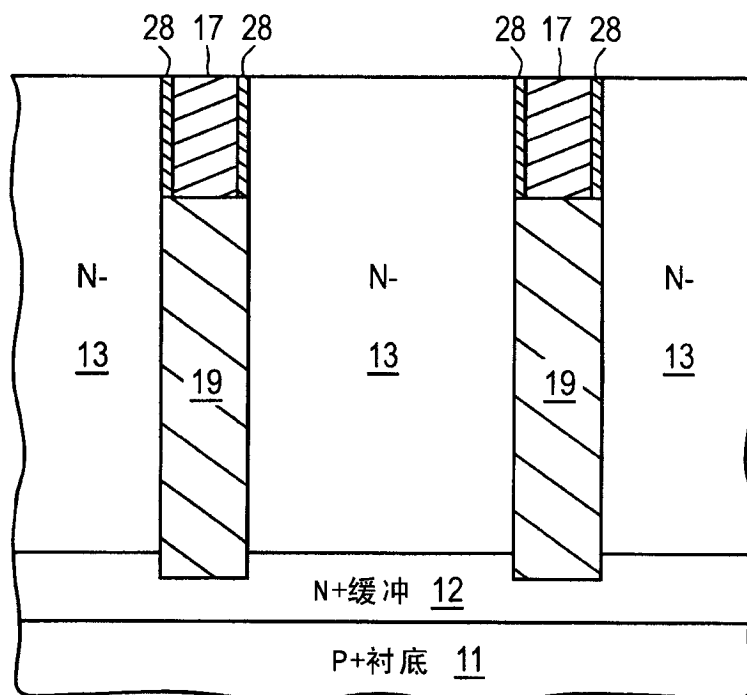


图 3F

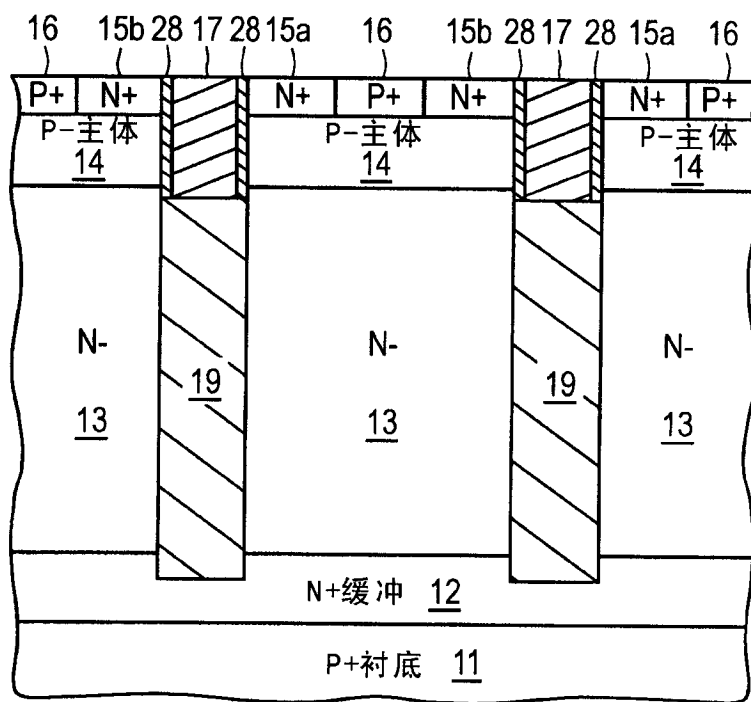


图 3G

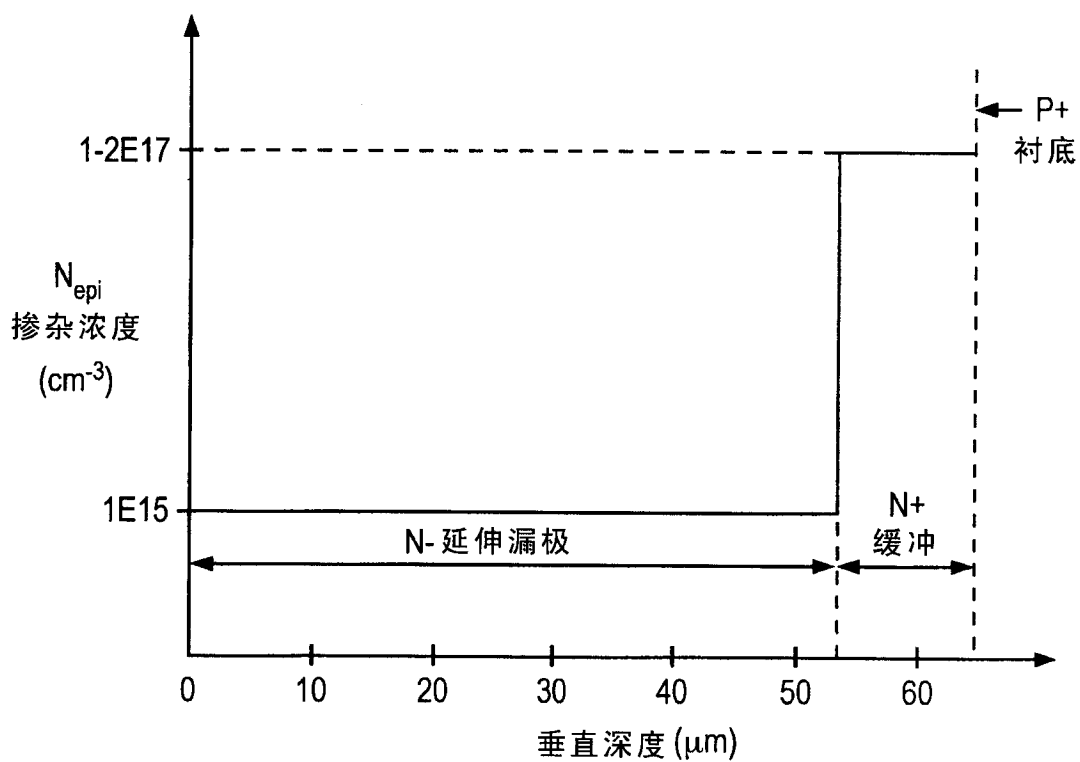


图 4