

[19] 中华人民共和国国家知识产权局

[ 51 ] Int. Cl<sup>7</sup>

H04L 25/06

H04L 1/00 H03M 9/00

H03M 13/00



# [12] 发明专利说明书

[21] ZL 专利号 98803426.3

[45] 授权公告日 2004 年 6 月 16 日

[11] 授权公告号 CN 1154309C

[22] 申请日 1998. 1. 15 [21] 申请号 98803426.3

[30] 优先权

[32] 1997. 1. 17 [33] SE [31] 9700125 - 9

[86] 国际申请 PCT/SE1998/000058 1998. 1. 15

[87] 国际公布 WO1998/032266 英 1998. 7. 23

[85] 进入国家阶段日期 1999. 9. 17

[71] 专利权人 艾利森电话股份有限公司

地址 瑞典斯德哥尔摩

[72] 发明人 A·迪尤普斯约巴卡 P·埃勒维

M·莫克塔里

审查员 李 卉

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 马铁良 李亚非

权利要求书 2 页 说明书 10 页 附图 6 页

[54] 发明名称 编码器和译码器

[57] 摘要

本发明涉及使用分组码对串行数据分别编码和解码。优选通过一个逻辑电路将 N 位组方式的输入数据，即所谓的字(O)的一个串行位流编码成为 2N 位组方式的串行输出数据，即所谓的代码字(KO)，具体方式为在代码字(KO)中的 2N 位中的 N 位包括 N 位输入数据，不变的或者反相的，在代码字(KO)中的剩余位被如下确定：在统计上，代码字(KO)将大致包括一样多的 0 和 1，因此每个代码字(KO)对于每个字(O)将是唯一的，并且因此在其中一个代码字(KO)即使在位流移位处理中保持唯一。解码另外包括在一个类似的逻辑电路中编码，并且以一个预定方式将进入的代码字和在逻辑电路中的被编码的代码字比较。

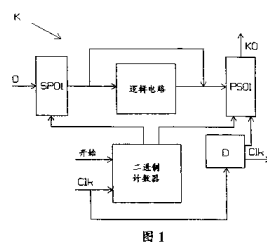


图 1

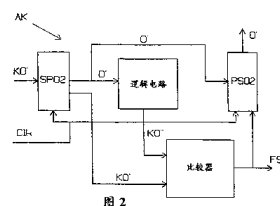


图 2

ISSN 1008-4274

1、一个编码器(K)，这个编码器(K)将N位组方式的输入数据，即所谓的字(O)的一个串行位流编码成为2N位组方式的串行输出数据，即所谓的代码字(KO)，包括一个串并转换器(SP01)、一个逻辑电路和一个并串转换器(PS01)，其特征在于，如下设计编码器：

5 -代码字(KO)中2N位中的N包括N位输入数据，未被改变或者反相的；和

10 -确定在代码字(KO)中保持的位，在统计上，代码字(KO)大概包括一样多0和1，对于每个字(O)，代码字(KO)是唯一的，至少其中一个代码字(KO)关于位流移位处理保持唯一。

2、根据权利要求1的一个编码器(K)，其特征在于，设计编码器，在统计上看，代码字(KO)包括一样多的0和1。

3、根据权利要求1的一个编码器(K)，其特征在于，编码器是适用的，因此每个代码字(KO)将包括一样多的0和1。

15 4、根据权利要求1的编码器(K)，其特征在于，编码器是适用的，因此对于那些只唯一包括0或者1的字(O)，在位流处理中代码字(KO)将保持唯一。

5、根据权利要求1的编码器(K)，其特征在于，编码器是适用的，因此在位流移位处理中所有代码字(KO)保持唯一。

20 6、根据权利要求1的编码器(K)，其特征在于，编码器是适用的，因此在代码字(KO)中的2N位中至少一个将包括N位输入数据之一的反相值。

25 7、根据权利要求6的一个编码器(K)，其特征在于，编码器是适用的，因此在包括反相的位输入数据的代码字(KO)中的位的数目是最大的。

8、根据权利要求6或者7的一个编码器(K)，其特征在于，编码器是适用的，因此在串并转换器(SP01)中得到代码字(KO)的反相值。

30 9、根据权利要求8的编码器(K)，其特征在于，编码器是适用的，因此N位输入的数据主要被放置在代码字(KO)的第一半。

10、 根据权利要求9的编码器(K)，其特征在于，编码器是适用的，因此字(O)可以反相地被编码为代码字(KO)，上述代码字(KO)

也是可以被转换的。

11、 根据权利要求 10 的编码器 (K)，其特征在于，逻辑电路具有一个两级的门。

12、 根据权利要求 11 的编码器 (K)，其特征在于，编码器是适用的，因此上述字 (0) 包括四位，代码字 (K0) 包括八位。

13、 一个解码器 (AK)，这个解码器 (AK) 将 2N 位组方式的输入数据，即所谓的代码字 (K0') 的一个串行位流编码成为 N 位组方式的串行输出数据，即所谓的字 (0')，上述代码字 (K0') 从被根据权利要求 1 的编码器 (K) 编码的代码字 (K0) 中导出，这个编码器包括一个串并转换器 (SP02、SP0102)、一个逻辑电路、一个比较器和一个并串转换器 (PS02)，其特征在于，

- 逻辑电路适合于对出现在代码字 (K0') 中的字 (0') 编码，其方式和在编码器 (K) 中以前对字 (K0) 编码的方式相同；

- 比较器适合于在一个已知的方式中将进入的代码字 (K0') 和在逻辑电流中编码的代码字 (K0'') 比较；并且其中

- 如果比较器的比较给出一个预定的结果，并串转换器 (PS02) 适合于并串转换字 (0')。

14、 一个传输系统，其特征在于，上述系统至少包括一个根据权利要求 1 的编码器和至少一个根据权利要求 13 的解码器。

15、 根据权利要求 14 的传输系统，其特征在于，上述系统包括一个时钟，这个时钟的时钟信号用于在一个传输信道 (ClkT) 中传输。

16、 根据权利要求 14 的传输系统，其特征在于，上述系统包括一个在接收一侧的时钟恢复工具 (ClkA)。

17、 一个关于将 N 位组方式的输入数据，即所谓的字 (0) 的一个串行位流编码成为 2N 位的输出数据，即所谓的代码字 (K0) 的方法，其特征在于，确定在代码字 (K0) 中的 2N 位中的 N 作为 N 位输入数据，未变化或转换的；并且

确定在代码字 (K0) 中的其余位，因此在统计上看到，代码字 (K0) 将基本包括一样多的 0 和 1，因此对于每个字 (0) 每个代码字 (K0) 保持唯一，并且因此至少其中一个代码字 (K0) 甚至在位流移位处理中将保持唯一。

## 编码器和译码器

### 发明领域

- 5 本发明涉及使用分组码的串行数据进行编码的一种装置和一种方法；本发明分别涉及串并转换和解码被编码数据的一种装置和一种方法；本发明涉及一种传输系统，特别是一种多信道光纤系统，在至少一个发射方使用上述编码工具并且在至少一个接收方使用上述解码工具。

### 10 背景技术描述

使用分组码编码一个串行数据位流，特别是信道编码，可以通过将数据位流分成字或者块来实现上述编码，其中在每块上增加一定数量的检查位，这些检查位唯一依赖于块中的数据位。

- 常常通过在一个编码器的输入的串并转换实现编码，根据逻辑操作的性能，也就是实际编码处理，在这个过程中增加检查位。最后在编码器的输出实现并串转换。一个时钟脉冲用于触发在输入读入串行位流，也就是读入发生在时钟脉冲的每个正沿或者负沿上。

- 然而，在高传输速率上实现分组编码是困难的，例如在 G 位/秒范围内的光高速系统中。实现一个允许高速的简单的编码逻辑操作和同步逻辑是特别困难的。串并转换和并串转换也分别构成限制因素。另外对于编码处理有要求，这种编码处理关于在传输系统中的放大器的低和高的截止频率方面没有特别高的要求。

- 在其他方面，这要求编码保持一个直流稳定性，特别在光高速传输中，也就是编码大致包括相同数目的 1 和 0，并且编码中相同种类连续符号例如 1 或者 0 的最大数目为低。

### 25 发明简述

本发明的目标是提供一种装置和一种方法，用于在高传输速率特别在 G 位/秒范围内使用分组码编码和解码。

- 借助于一个编码器，通过将 n 位组方式的输入数据一个串行位流编码成为 2n 位组方式的串行被编码的数据的方法实现这个目标，这个编码器包括一个串-并转换器、一个逻辑电路和一个并-串转换器。使用一个解码器实现解码，这个解码器包括一个串-并转换器、一个逻辑电

路、一个比较器和一个并-串转换器。

5 编码逻辑电路如下构成：2N位被编码数据中的N位包括N位输入数据，或者是不变的或者是反相的，其中确定剩余位，因此统计上被编码的数据组大概包括很多零，其中每组被编码的数据对于每个未编码数据是唯一的，其中在移位处理时，被编码数据组中的至少一个在位流中保持唯一。

10 构成编码器，使它能够读入被编码的数据并且进行串-并转换。分开未被编码的数据的N位，并且对其多次编码。这在解码逻辑电路中实现，解码逻辑电路对于以上说明的解码逻辑电路是一致的。代码字在解码逻辑电路中编码，然后和进入解码器的代码字比较。当比较得出预定的结果时，从N位中分开的未被编码的数据是并-串转换。

本发明的另一个目标是当解码时提供一个简单的、未被同步的读入和串-并转换被编码的数据。

15 本发明的第三个目标是使串-并转换处理能够在解码时使用一个和在编码时使用的频率相同的时钟脉冲或者时钟信号。

这里优选的使用一个串-并转换器，这个转换器使用一个时钟信号的正和负的边沿作为时钟信号，并且它的频率是被编码串行数据位流的位率值的一半。串-并转换器还可以方便地适用于读串行位流中的所有位，并且对于读入的每一位，完成分解上次读入的2N位。

20 例如使用并联的第一个移位寄存器和第二个移位寄存器可以实现一个串-并转换器，每个寄存器包括2N个锁存器和2N个选择器。在第一个移位寄存器中的锁存器适用于在一个低电平时钟信号上被交替触发，随着第一个开始，并且在一个高电平时钟信号上被交替触发。在第二个移位寄存器中的锁存器适于在一个低电平时钟信号上被交替触发，随着第二个，替换的在一个高电平时钟信号上被触发。选择器优选地适合于从这些锁存器中选择数据，这些锁存器在每个时钟信号的每个边沿后不被触发。

本发明的一个优点是它提供一个简单而且可靠的编码和解码，甚至在高的和很高的传输速度上。

30 本发明的另一个优点是对于读入解码器的每位进行完全分解。这简化了读入被编码数据并且不需要进行较早的同步。

本发明的另一个优点是解码器能够使用一个时钟的两个边沿，因此

可以使用彼此频率相同的的时钟信号实现编码器和解码器。

本发明的另外优点是对系统中放大器的低的截止频率的低要求，因为保持直流稳定性，还因为限制了连续符号也就是 1 或 0 的最大数目。

### 附图简述

5 下面参考附图详细说明本发明，这些附图仅仅用于本发明因此将不能认为限制其范围。

图 1 一个根据本发明使用分组码编码串行数据的编码器。

图 2 一个解码由图 1 说明的编码器编码的串行数据的解码器。

10 图 3 根据本发明的一个串并转换器。

图 4 关于串并转换器的一个功能表。

图 5 一个串并转换器的第二个实施例。

图 6 关于一个串并转换器的第二个实施例的一个功能表。

图 7 编码器的一个实施例的一个码表。

15 图 8 上述编码器实施例的一个逻辑功能。

图 9 编码器的第二个实施例的一个码表。

图 10 编码器的上述第二个实施例的一个逻辑功能。

图 11 根据本发明的一个同步传输系统，其中在一个传输信道中传输一个时钟信号。

20 图 12 根据本发明的一个异步传输系统，其中在接收方一侧从一个或者多个数据信道中重建一个时钟信号。

### 参考实施例说明

#### 编码器

25 图 1 说明一个发明的编码器 K。编码器包括一个串并转换器 SP01、一个逻辑电路和一个并串转换器 SP01。来自一个时钟 Clk 的时钟信号对于同步是必需的。

30 串并转换器 SP01 基于一个移位寄存器，例如这个寄存器在来自时钟 Clk 的一个时钟信号的每个正或者负沿上以 N 位组方式即所谓的字 0 读进入的数据，因此完成串并转换。时钟信号的形式可以是方波或者是正弦波。然后在时钟信号的第 N 个周期，在移位寄存器中每个将被编码的字 0 移入第二级。例如在每第 N 个周期，通过分频器的二进制计数器产生这个采样信号。在串并转换器 SP01 的输出，反相值也是

可用的。

逻辑电路读入字中的  $N$  位采样数据，并且生成  $N$  位数据的互补部分，称作检查位。和未被编码的字的位一起，生成  $2N$  位码，一个所谓的代码字  $K_0$ 。逻辑电路将优选的包括功能完整的两级门结构，如

5 NOR-NOR 或者 AND-OR。

下面结合说明硬件说明码的特征。然后码可以进一步特征化，以优选应用码到光纤通信。

### 码特征

1、 编码数据包括的位数是未编码数据的二倍。这可以使在解码

10 一侧使用和编码一侧相同的时钟带宽。在下面两个例子中，包括四位数据的字  $0$  被编码到包括八位的代码字  $K_0$ 。

2、 在一个代码字  $K_0$  位的一半将优选包括字  $0$  中的位。替换并且特别当在串并转换器的输出上反相数据可用时，在一个代码字  $K_0$  中的位的一半可能包括这些反相数据。这些位基本上可以被放置在代码

15 字  $K_0$  的第一半。这是因为并串转换器 PS01 在复用可能发生前不需要缓存对数据排队时，例如流水线级，制造较简单。

3、 生成的码优选地以直流稳定性为特征，也就是码必须包括相同数量的  $0$  和  $1$ 。这种要求是因为直流稳定性要求系统中包括的放大器具有低的低截止频率或者高动态。直流稳定性优选的是统计的或者

20 严格的。通过统计，直流稳定性意味着代码字必需平均包括相同的  $1$  和  $0$ ，尽管独立的代码字可能包括不同数据的  $1$  和  $0$ 。通过严格，直流稳定性意味着每个独立的代码字必须包括相同的  $1$  和  $0$ 。产生的码将包括一个可预测的最大数量相同种类的连续符号例如  $1$  或者  $0$ ，因此保证在解码器中一个足够高的低截止频率。

25 4、 当时对于每个字，每个代码字必须是唯一的。

5、 为了将解码机制简化到最好的可能程度，在输入位流上唯一实现的同步是必需的。因此将使用一种自同步码，也就是产生的码必须包括它自己的特征，尽管数据移位过程发生在解码前面。原则上，例如对于一个单一的代码字在数据位流中的移位处理中保持唯一是足够的，或者对于用于唯一包括  $1$  或者唯一包括  $1$  的字的代码字保持唯一是足够的。一个更严格的要求是在位流移位处理中所谓的代码字将保持唯一。那么在解码器中启动同步的逻辑电路将变得很简单。

30

这种尽管不一定能够简化硬件实现的码特征：是至少代码字  $K_0$  中  $2N$  位中的至少一位包括字  $0$  中  $N$  位中的一位的反相值。当考虑到其他条件时，包括输入数据反相位的代码字  $K_0$  位的数量优选的最大化。当反相值可以直接作为串并转换器  $SP_01$  的输出使用时，逻辑电路可以被另外简化。

使用一个选择树可以实现并串转换器  $PS_01$ 。被编码数据的位的第一部分和未被编码位一致，也就是这些位不是任何逻辑过程的任何形式的主题，这个事实允许在采样后立刻开始复用过程，其中通过逻辑电路处理另一半码。这进一步使码的存储不是必需的。

二进制计数器包括一个  $\log_2 N$  位二进制计数器，这种计数器对于产生时钟信号到串并转换器  $SP_01$  和到并串转换器  $PS_01$  是必需的。通过使用连续的“二分”结构实现该计数器。

一个延迟块  $D$  产生一个时间延迟，这个时间延迟用于同步以及数据和时钟之间的校正。时间延迟依赖于频率、技术和逻辑电路设计。在某种情况下，延迟块  $D$  不是必需的。本发明的编码方法提供了十分简单的实现和可靠传输。

### 译码器

图 2 说明本发明的解码器  $AK$ 。解码器用于解码代码字  $K_0'$ ，代码字  $K_0'$  包括来自编码器的代码字  $K_0$ ，增加了在编码器  $K$  和解码器  $AK$  之间的传输信道。解码器包括一个串并转换器  $SP_02$ 、一个逻辑电路、一个比较器和一个并串转换器  $PS_02$ 。来自时钟  $C_{1k}$  的时钟信号用于同步。

串并转换器  $SP_02$  需要在两倍于编码器  $K$  中的串并转换器  $SP_01$  的速度读入代码字。使用传统的串并转换器和倍频时钟可以实现这一目标，尽管这将导致在编码器电部分特征中不必要的限制和在实现编码器的技术中不必要的限制。另外，研究进入的位流和正确同步上述位流也是必需的。下面将分部分说明本发明的串并转换器  $SP_02$ 。

逻辑电路和参考编码器  $K$  的逻辑电路一致。输入数据和  $2N$  被编码数据位  $K_0'$  的一半  $0'$  一致，这  $2N$  被编码数据  $K_0'$  来源于在编码器输入上原来  $N$  位未被编码的数据位  $0$ 。

输出数据  $K_0''$  和来自串并转换器  $SP_02$  的采样数据  $K_0'$  逐位在比较器比较。特别关于检查位实现比较。

如果逐位比较得出预定结果，例如位一致，那么未被编码或者编码

的数据字 0' 在并串转换器 PS02 中采样，并且转换回一个串行位流。

### 编码器的串-并转换器

根据本发明，串并转换器 SP02 用于在一个位率上分解一个串行位流中的位，该位率是连接到串并转换器 SP02 上的一个时钟的频率的两倍。假设代码字具有  $2v$  的位率。那么，使用一个时钟使计时（clocking）是可行的，这个时钟具有频率  $v$ ，即和源未被编码位流的频率相同的频率。使用正和负的时钟信号沿可以找到解决方案。串并转换器还适用于读串行位流中的所有位，并且对于读入的每一位，完全分解最近读入的  $2N$  位。因此同步可能是较简单的。

10 串并转换器 SP02 可以特别以下面说明的方式来实现。

根据本发明，象图 3 中说明的，一个串并转换器 SP02 将用于四位的代码字  $K0'$ 。转换器 SP02 包括第一个移位寄存器 SR1 和第二个移位寄存器 SR2，长度均为四，转换器 SP02 还包括四个选择器 S1、S2、S3、S4。第一个移位寄存器 SR1 包括四个锁存器 L11、L12、L31、L42，第二个移位寄存器 SR2 包括四个锁存器 L12、L21、L32、L41。

15 锁存器  $Lx1$ ， $x=1, 2, 3, 4$  适合于在低时钟信号级别上被触发。结果锁存器  $Lx2$ ， $x=1, 2, 3, 4$  适合于在高时钟信号级别上被触发。

因此串并转换器 SP02 的每一段都包括两个锁存器，其中一个锁存器  $Lx1$  在低时钟信号上被触发，然后因此处于一个透明状态。一个锁存器  $Lx2$  处于锁定状态。处于透明状态的锁存器被认为是不稳定的，而锁定的锁存器被认为是稳定的。锁定的锁存器对于锁存器输入的数据变化是不敏感的。

20 选择器 S1、S2、S3、S4 是级触发的，并且适合于在高时钟信号级别上从锁存器  $Lx1$  中选择数据，在低时钟信号级别上从锁存器  $Lx2$  中选择数据。

选择器的输入用 A 和 B 表示。A 输入被连结到锁存器  $Lx1$  的输出，并且 B 输入被连接到锁存器  $Lx2$  的输出。时钟信号用于选择稳定的选择器输入并且因而在时钟信号沿之间得到稳定的数据。理论上在保留串并转换器 SP02 是选择不稳定的选择器输入是可行的。

30 在图 3 中， $N=2$ ，尽管串并转换器 SP02 可以容易的在  $N$  的范围内调节。对于任意的  $N$ ，串并转换器 SP02 包括  $4N$  锁存器和  $2N$  选择器。

现在参考图 4，更详细的说明串并转换器 SP02 的工作模式（modus

operands)。

四位 K0'组的被编码数据的串行位流到达串并转换器 SP02 的输入。值 a1、a2、a3 和 a4 在给定时间内及时出现在输入 u41、u31、u21、u11 上。

- 5 正时钟信号沿出现，即时钟信号从低状态到达高状态。因此锁存器 Lx1, x=4、3、2、1 锁定，并且在输出保持它们的数据。通过锁存器 L12 读入一位数据，其中所有锁存器 Lx2, x=4、3、2、1 每步移值，或者向右递增，因此在输出 u42、u32、u22、u12 上得到值 a2、a3、a4 和 a5。这些锁存器处于所谓的透明状态。这些选择器 S4、S3、S2、
- 10 S1 在它们的各自的输出 U4、U3、U2、U1 上具有那些值，这些值当时钟信号处于它的高状态时，也就是那些出现在输出 u41、u31、u21、u11 上的值，在输入 A 上找到。这样值 a1、a2、a3、a4 在输出 U4、U3、U2、U1 上得到。

- 然后出现负沿，并且时钟信号从一个高状态进入一个低状态。然后
- 15 下面应用：锁存器 Lx1 变成透明的，并且在输出 u41、u31、u21、u11 上得到值 a3、a4、a5、a6。锁存器 Lx2 被锁定，在输出 u42、u32、u22、u12 上保持值 a2、a3、a4、a5。选择器 S4、S3、S2、S1 在它们的输出上 U4、U3、U2、U1 上具有那些值，这些值在输入 B，即来自 u42、u32、u22 和 u12 上的值。这样在输出 U4、U3、U2、U1 上得到值 a2、
- 20 a3、a4、a5。

- 象理解的，在下一个时钟信号沿后，在输出 U4、U3、U2、U1 上得到值 a3、a4、a5 和 a6，并且在下一个时钟信号沿上，得到值 a4、a5、a6 和 a7。这样在时钟信号的每个负沿后，得到读入的最后的四位的完全分解。原则上选择器 S4、S3、S2、S1 可以选择锁存器的不稳定输出。
- 25 然后这将导致除了其他事物以外在输出上瞬变过程的危险，这将使这个方法不可靠。

- 图 5 说明一个串行转换器 SP0102 的另一个实施例，这个串并转换器用于包括四位的代码字 K0'的串并转换。这个转换器包括第一个移位寄存器 SR101，这个移位寄存器 SR101 包括两个 MS 触发器 MS11、MS21，
- 30 这个转换器还包括第二个移位寄存器 SR102，这个移位寄存器 SR102 包括两个 MS 触发器 MS12、MS22，这个转换器还包括四个选择器 S101、S102、S103、S104。

在这个实施例中使用 MS 触发器或者至少使用真正边沿触发的触发器是必需的，也就是触发器在边沿后面到达的输入数据中的变化不敏感。

5 以并行方式安排移位寄存器 SR101、SR102。第一个移位寄存器 SR101 中的 MS 触发器 MS11、MS21 适合于在时钟信号正沿上被触发；在第二个移位寄存器 SR102 中的 MS 触发器 MS12、MS22 适合于在时钟信号的负沿上被触发。

10 选择器的输入用 A 和 B 表示。A 输入按顺序和 MS 触发器 MS11、MS12、MS21、MS22 的输出 v11、v12、v21、v22 连接。B 输入按顺序和 MS 触发器 MS11、MS12、MS21、MS22 的输出 v11、v12、v21、v22 连接。当时钟信号高时，选择器 S101、S102、S103、S104 适合于从 A 输入选择数据，当时钟信号低时，选择器 S101、S102、S103、S104 从 B 输入选择数据。S101、S102、S103、S104 的输出用符号 V1、V2、V3、V4 表示。

15 图 6 是串并转换器 SP0102 这个实施例的一个功能表。

建议的码实现使用时钟信号的两个边沿，因此避免了双倍时钟频率。根据本发明，串并转换器可以用于任意 N 的应用。

20 通过对在编码信号中的位的频率加倍和通过限制并且最小化连续符号的数目，即 1 和 0 的数目，对使用的放大器的较低的截止频率具有较低的要求。这很大程度方便了这些放大器的建立。

因为对于读入的每一位完成完全的分解  $2N$  最后读入位，那么关于读入数据避免了复杂的同步逻辑电路。

#### 代码表和逻辑函数的例子

25 下面参考图 7-10，说明根据本发明的编码表和逻辑函数的可行的配置的两个例子。

在两个例子中，下面的编码要求都是适用的。

● 字的长度可以是 4， $N=4$ ，代码字的长度将是 8， $2N=8$ 。

● 代码字 K0 的 8 位中的 4 位将包括 4 位输入的数据，并且基本上在代码字 K0 的开始找到这些位。

30 ● 当然 16 个代码字 K0 可以是不同的，这些 16 个代码字表示 16 中不同代码字的可行性。

● 在代码字 K0 中的 8 位的至少一位可以包括 4 位输入数据其中一

个的反相值。

在第一个例子中，对代码有下面要求：

- 代码将是严格直流稳定的。
- 在位流移位处理中，只有 0000 和 1111 的代码字需要保持唯一。

- 5 在图 7 中说明生成的代码表，在图 8 中说明逻辑电路需要的相应的函数。象所看到的，四个未被编码位位于位置 1、2、3 和 5 上。因为基本上被放置在代码顺序 KO 的开始，所以这是可以接受的。可以看到对于所有被编码位的要求首先满足，为了获得直流稳定性，对于表中所有的代码字，将在位流移位处理中保持唯一，这不会导致一个功能代码。这些要求是自相矛盾的。

10 将会注意到图 3 和图 5 说明的串并转换器 SP02、SP0102 完全可以令人满意的用于解码根据本例的被编码的数据，这是当转换器重新使用  $N=4$  进行划分时。

- 15 在第二个例子中，除了上面提到的那些要求，应用下面的代码字要求：

- 代码统计上将是直流稳定的。
- 在位流移位处理中所有代码字 KO 将保持唯一。

在图 9 中说明所产生的代码表，并且在图 10 中说明相应的逻辑电路功能。

- 20 两个代码表是可以反相的，即如果字 0 反相，那么代码字 KO 也反相。在光传输系统中这是特别理想的。

### 传输系统

前面说明的编码器和解码器可以方便的用于传输系统中的信道编码，特别是在多信道光纤传输系统中。下面将说明两个这样的系统：

- 25 1、 同步传输，其中一个信道传输时钟信号，如图 11 所示。  
2、 异步传输，其中在接收方从一个或者多个信道重建时钟信号，如图 12 所示。

同步传输系统和异步传输系统都包括一个发射方 S 和一个接收方 M。

- 30 在同步的例子中，传输系统包括五个传输信道，其中四个信道 T 是数据传输信道，一个信道 ClkT 用作传输一个时钟信号 Clk。每个信道都和发射方 S 和接收方 M 的一个放大器 F 连接。每个数据信道和发

射方的一个编码器 A 连接, 在接收方 M 和一个解码器 AK 连接。这些编码器 K 和解码器 AK 属于上面说明的种类。解码器 AK 将优选的包括串并串转换器 SP02, 如图 3 所示和说明的。发射的时钟信号 Clk 用于同步进入解码器 AK 的数据。

- 5 在异步的例子中, 传输系统包括四个信道 T, 均用于传输数据。在这个例子中, 每个信道也都和在发射方 S 和接收方 M 的一个放大器 F 连接。在这个例子中, 每个信道还和发射方 S 的一个编码器 K 连接, 和接收方 M 的一个解码器 AK 连接。解码器 AK 将优选的包括串并转换器 SP02, 如上所述, 为了同步进入解码器 AK 的数据, 在接收方从一个或者多个数据信道中重建一个时钟信号 Clk 是必须的。这在一个时钟复原工具 ClkA 中实现, 例如通过锁相环结构实现。

图 11 和 12 说明在四个信道中数据传输的例子, 尽管根据理解也可以使用任意数目的信道实现本发明。每个信道包括在发射方 S 的一个编码器 K 和一个接收方 M 的一个解码器 AK。

- 15 在同步传输的例子中, 主要由接收方 M 的放大器 F 的性能来确定较低的截止频率。在异步传输的例子中, 较低的截止频率由时钟复原装置 ClkA 来决定。

- 20 通过根据本发明的信道编码, 较低的截止频率向上移动, 在某种程度上依赖于相关编码的配置。那么传输所选数目的字成为可能, 这些字唯一包括 1 或者唯一包括 0, 没有不精确的数据。

通过精确定义编码特征, 可以使复杂编码硬件和解码硬件的需要最小, 而不要增加系统的时钟频率。还可以通过引入智能化类型的数据来降低位错误频率。

- 25 本发明包括一种装置和一种方法, 用于在高传输速率上使用分组码简单可靠地编码和解码, 特别在 G 位/秒的范围内的传输速率。

可以理解本发明不局限于以上说明和介绍的举例说明的实施例, 和在下面权利要求的范畴内所做的修改。

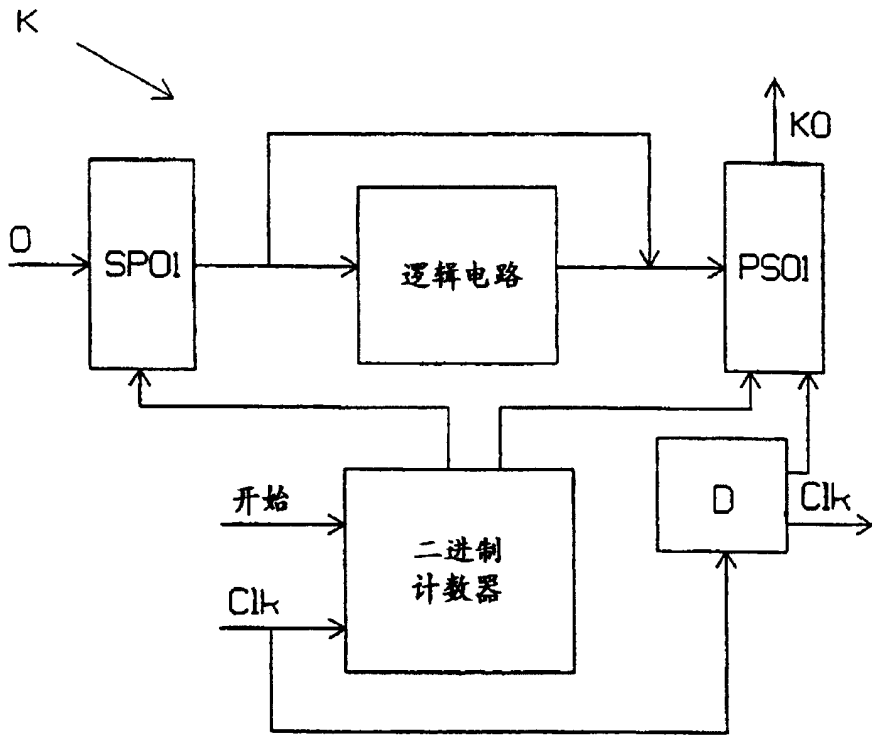


图 1

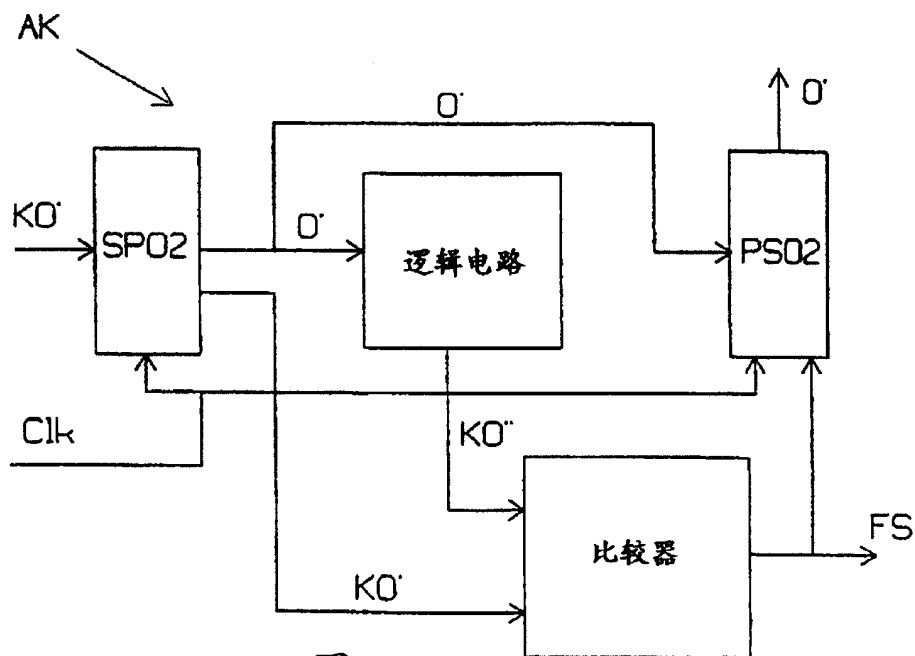


图 2

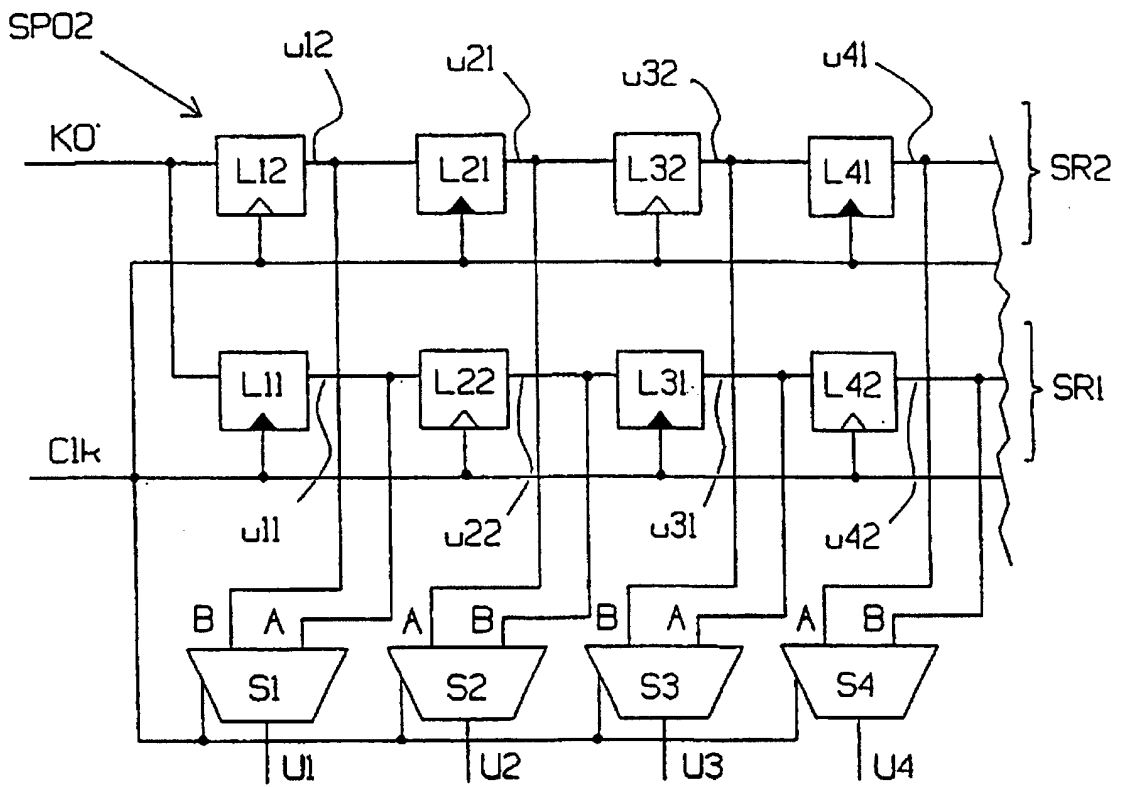


图 3

时钟信号						
时钟电平	高	低	高	低	高	低
传输模式	LX2	LX1	LX2	LX1	LX2	LX1
块模式	LX1	LX2	LX1	LX2	LX1	LX2
选择器	A	B	A	B	A	B
u11	a4	a6	a6	a8	a8	a10
u21	a3	a5	a5	a7	a7	a9
u31	a2	a4	a4	a6	a6	a8
u41	a1	a3	a3	a5	a5	a7
u12	a5	a5	a7	a7	a9	a9
u22	a4	a4	a6	a6	a8	a8
u32	a3	a3	a5	a5	a7	a7
u42	a2	a2	a4	a4	a6	a6
U1	a4	a5	a6	a7	a8	a9
U2	a3	a4	a5	a6	a7	a8
U3	a2	a3	a4	a5	a6	a7
U4	a1	a2	a3	a4	a5	a6

图 4

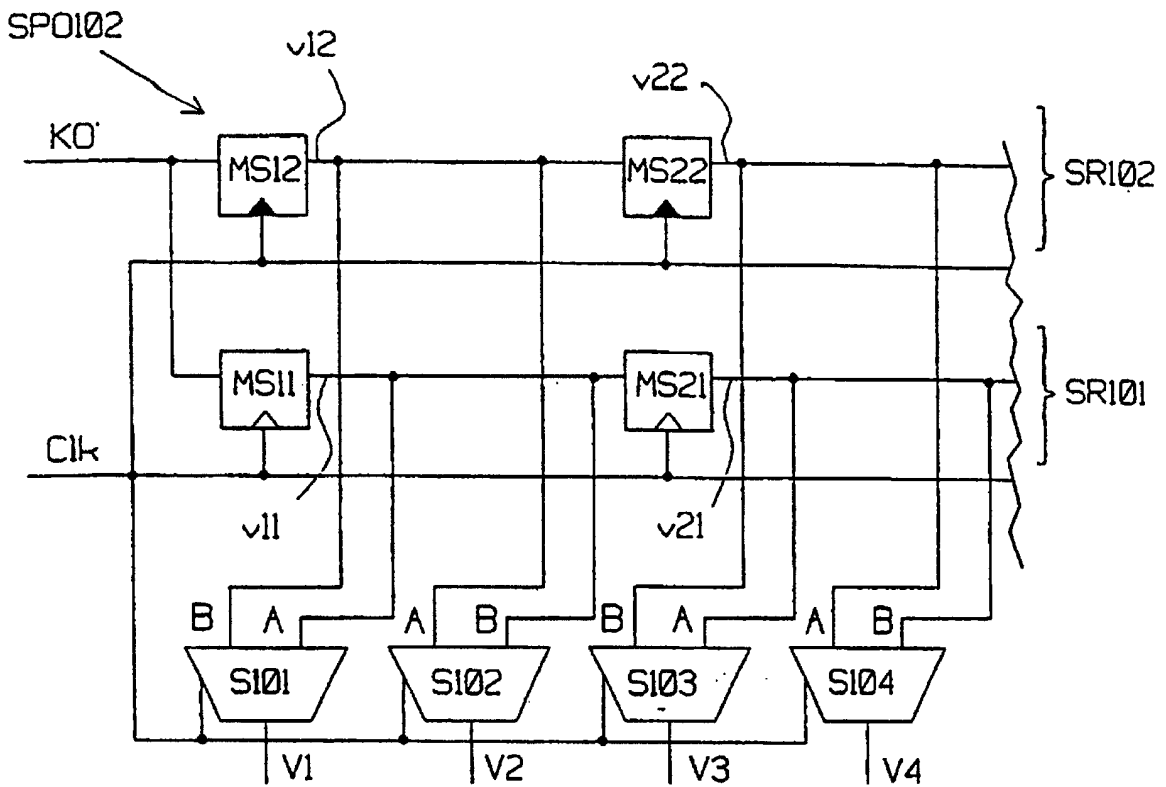


图 5

时钟信号						
时钟边沿/电平	+	-	+	-	+	-
触发	MS11, MS21	MS12, MS22	MS12, MS21	MS12, MS22	MS12, MS21	MS12, MS22
选择器	A	B	A	B	A	B
v11	a5	a5	a7	a7	a9	a9
v21	a3	a3	a5	a5	a7	a7
v12	a4	a6	a6	a8	a8	a10
v22	a2	a4	a4	a6	a6	a8
V1	a5	a6	a7	a8	a9	a10
V2	a4	a5	a6	a7	a8	a9
V3	a3	a4	a5	a6	a7	a8
V4	a2	a3	a4	a5	a6	a7

图 6

O				KO							
A	B	C	D	A'	B'	C'	D'	E'	F'	G'	H'
0	0	0	0	0	0	0	1	0	1	1	1
0	0	0	1	0	0	0	0	1	1	1	1
0	0	1	0	0	0	1	1	0	1	0	1
0	0	1	1	0	0	1	0	1	1	0	1
0	1	0	0	0	1	0	1	0	0	1	1
0	1	0	1	0	1	0	0	1	1	1	0
0	1	1	0	0	1	1	1	0	0	1	0
0	1	1	1	0	1	1	0	1	0	0	1
1	0	0	0	1	0	0	1	0	1	1	0
1	0	0	1	1	0	0	0	1	1	0	1
1	0	1	0	1	0	1	1	0	0	0	1
1	0	1	1	1	0	1	0	1	1	0	0
1	1	0	0	1	1	0	1	0	0	1	0
1	1	0	1	1	1	0	0	1	0	1	0
1	1	1	0	1	1	1	1	0	0	0	0
1	1	1	1	1	1	1	0	1	0	0	0

图 7

DATA --> DATA'
A' = A
B' = B
C' = C
D' = $\overline{D}$
E' = D
IF A = 0 THEN
$\overline{F'}$ = B*C + B*D
$\overline{G'}$ = C*D + $\overline{B}$ *C
$\overline{H'}$ = B*C*D + B*C*D
IF A = 1 THEN
F' = $\overline{B}$ * $\overline{C}$ + $\overline{B}$ *D
G' = $\overline{C}$ * $\overline{D}$ + B*C
H' = $\overline{B}$ * $\overline{C}$ *D + $\overline{B}$ *C*D

图 8

O				KO							
A	B	C	D	A'	B'	C'	D'	E'	F'	G'	H'
0	0	0	0	0	0	0	1	0	1	1	1
0	0	0	1	0	0	0	1	1	0	1	1
0	0	1	0	0	0	1	1	0	1	0	0
0	0	1	1	0	0	1	0	1	0	1	1
0	1	0	0	0	1	0	1	0	1	0	0
0	1	0	1	0	1	0	0	1	1	1	1
0	1	1	0	0	1	1	0	0	1	0	0
0	1	1	1	0	1	1	0	1	0	1	1
1	0	0	0	1	0	0	1	0	1	0	0
1	0	0	1	1	0	0	1	1	0	1	1
1	0	1	0	1	0	1	1	0	0	0	0
1	0	1	1	1	0	1	0	1	0	1	1
1	1	0	0	1	1	0	1	0	1	0	0
1	1	0	1	1	1	0	0	1	0	1	1
1	1	1	0	1	1	1	0	0	1	0	0
1	1	1	1	1	1	1	0	1	0	0	0

图 9

DATA --> DATA'
A' = A
B' = B
C' = C
D' = $\overline{C} \cdot \overline{D} + \overline{B} \cdot \overline{C} + \overline{B} \cdot \overline{D}$
E' = D
F' = $\overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot \overline{D} + B \cdot \overline{D} + \overline{C} \cdot \overline{D}$
G' = $\overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{C} \cdot D + \overline{A} \cdot D + \overline{B} \cdot D$
H' = G'

图 10

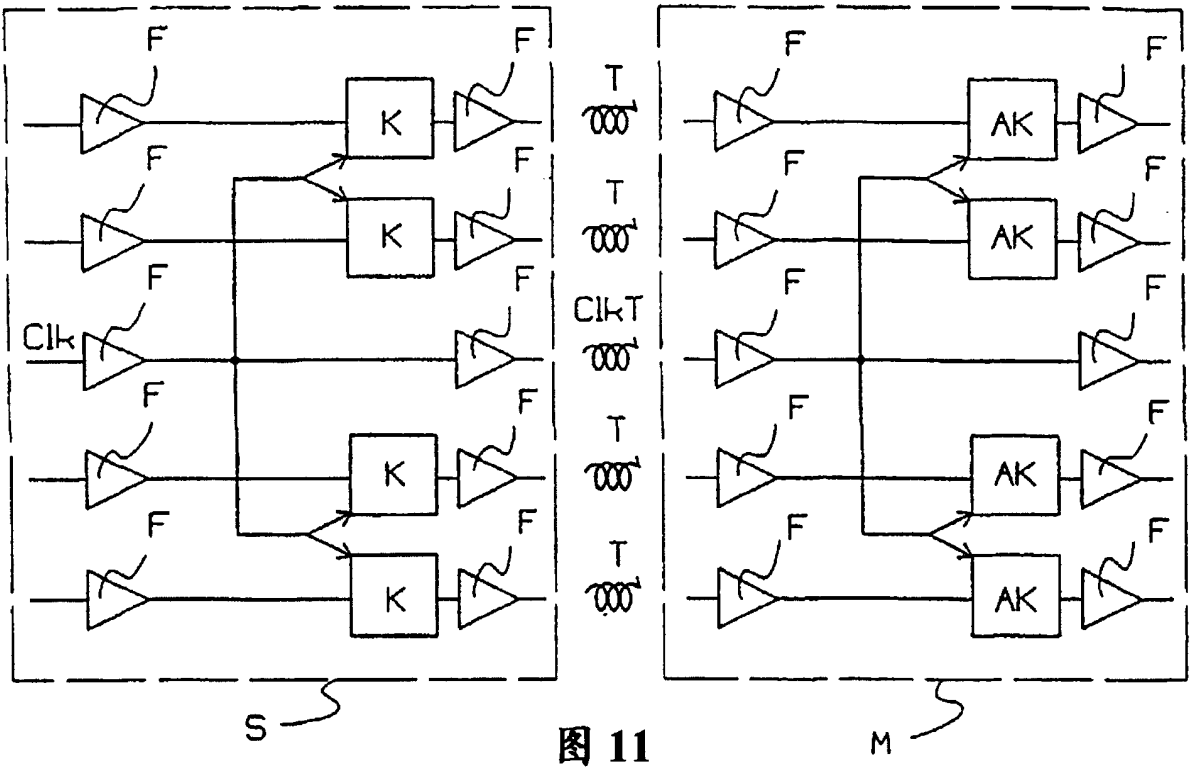


图 11

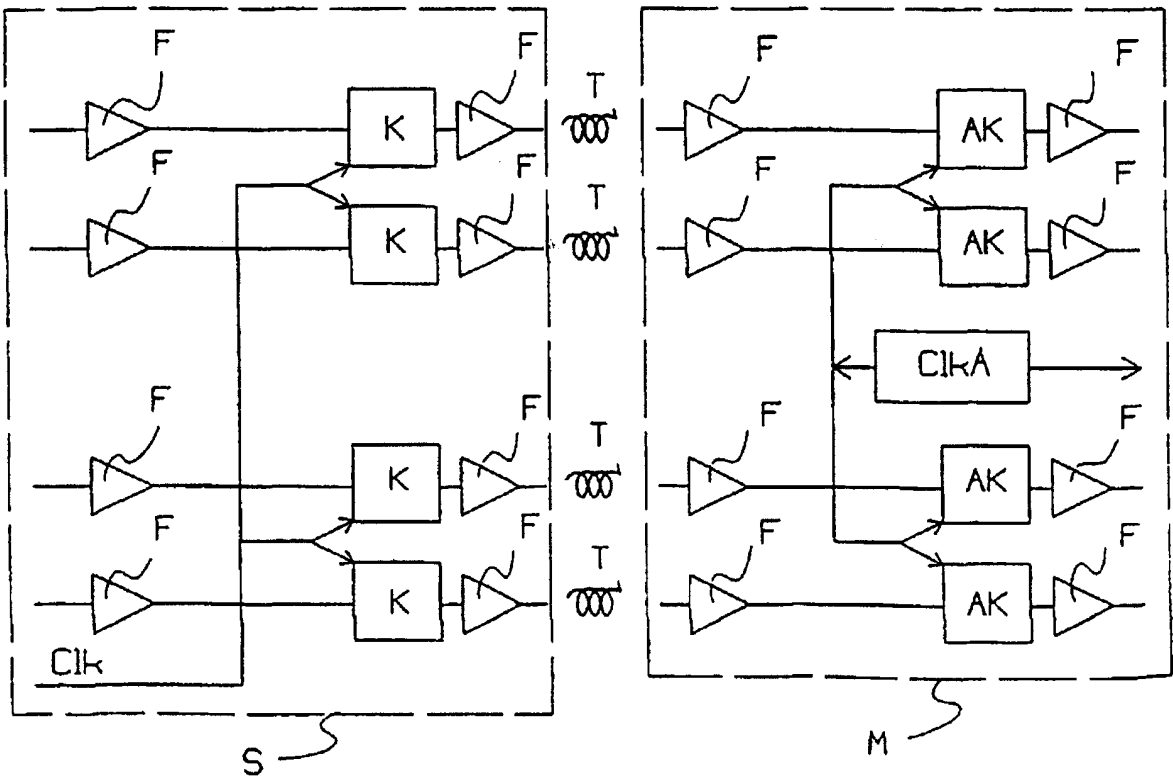


图 12