



(12)发明专利申请

(10)申请公布号 CN 108199701 A

(43)申请公布日 2018.06.22

(21)申请号 201711453695.9

(22)申请日 2017.12.28

(71)申请人 清华大学

地址 100084 北京市海淀区清华园1号

(72)发明人 李福乐 刘佳

(74)专利代理机构 北京清亦华知识产权代理事
务所(普通合伙) 11201

代理人 廖元秋

(51)Int.Cl.

H03K 17/06(2006.01)

H03K 17/687(2006.01)

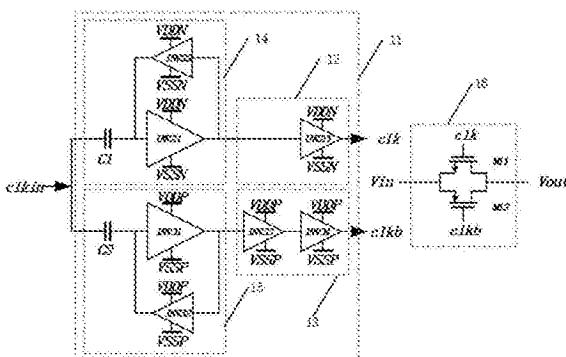
权利要求书1页 说明书4页 附图2页

(54)发明名称

一种高速的CMOS传输门开关电路

(57)摘要

本发明提供了一种高速的CMOS传输门开关电路，属于传输门电路设计技术领域。包括由互补的NMOS晶体管和PMOS晶体管组成的CMOS传输门，以及由两子通道构成的具有电平移位的时钟控制电路；第一子通道用于产生使输入时钟信号电平整体上移的同相时钟控制信号，第一子通道输出端连接NMOS晶体管栅极；第二子通道用于产生使输入时钟信号电平整体下移的反相时钟控制信号，第二子通道输出端连接PMOS晶体管栅极。本开关电路导通时NMOS和PMOS晶体管的过驱动电压增大，减小导通电阻，提高信号传输速度，同时减小了导通电阻随输入变化而变化的非线性问题，可应用于高速度和高精度要求的电路系统。



1. 一种高速的CMOS传输门开关电路，包括CMOS传输门，由互补的NMOS晶体管和PMOS晶体管组成，NMOS晶体管和PMOS晶体管的源极一同连接输入电压Vin，NMOS晶体管和PMOS晶体管的漏极一同连接输出电压Vout，NMOS晶体管和PMOS晶体管的栅极分别作为相应晶体管的时钟信号控制端；其特征在于，该开关电路还包括具有电平移位的时钟控制电路，该时钟控制电路包括两子通道，两子通道的信号输入端同时连接时钟信号clk_{in}，两子通道的信号输出端分别连接NMOS晶体管和PMOS晶体管的栅极；其中，第一子通道用于使输入电压幅度在[VDD, VSS]之间的时钟信号clk_{in}上移变成同相的电压幅度在[VDDN, VSSN]之间的时钟信号clk，该信号由第一子通道的信号输出端输出；第二子通道用于使输入电压幅度在[VDD, VSS]之间的时钟信号clk_{in}下移变成反相的电压幅度在[VDDP, VSSP]之间的时钟信号clk_b，该信号由第二子通道的信号输出端输出。

2. 根据权利要求1所述的CMOS传输门开关电路，其特征在于，所述第一子通道由上升电平移位电路和第一延时链串联组成；其中，所述上升电平移位电路包括第一电容和两个反相器(INV21和INV22)，第一电容一端连接所述时钟信号clk_{in}，第一反相器(INV21)输入端与第二反相器(INV22)输出端并联后共同连接第一电容另一端，第一反相器输出端与第二反相器输入端并联后共同连接第一延时链输入端；第一电容一端电压幅度在[VDD, VSS]，第一电容另一端电压幅度在[VDDN, VSSN]；所述第一延时链包括第三反相器(INV23)，该反相器的输入端、输出端分别作为第一延时链的输入端、输出端；第一子通道内所有反相器的高、低供电电压均分别为VDDN和VSSN。

3. 根据权利要求1所述的CMOS传输门开关电路，其特征在于，所述第二子通道由下降电平移位电路和第二延时链串联组成；其中，所述下降电平移位电路包括第二电容和两个反相器(INV31和INV32)，第二电容的一端连接所述时钟信号clk_{in}，第四反相器(INV31)输入端与第五反相器(INV32)输出端并联后共同连接第二电容的另一端，第四反相器输出端与第五反相器输入端并联后共同连接第二延时链输入端；第二电容一端电压幅度在[VDD, VSS]，第二电容另一端电压幅度在[VDDP, VSSP]；所述第二延时链包括2个正向串联的反相器(INV33和INV34)，第六反相器(INV33)的输入端、第七反相器(INV34)的输出端分别作为第二延时链的输入端、输出端；第二子通道内所有反相器的高、低供电电压均分别为VDDP、VSSP。

4. 根据权利要求1所述的CMOS传输门开关电路，其特征在于，该传输门开关电路内的各电压同时满足以下条件：VDDP-VSSP=VDD-VSS=VDDN-VSSN，VDDP<VDD<VDDN，VSSP<VSS<VSSN，VDDP=Vin_max，VSSN=Vin_min；其中，Vin_max、Vin_min分别为所述CMOS传输门的输入信号电压的最大、最小值。

一种高速的CMOS传输门开关电路

技术领域

[0001] 本发明属于传输门电路设计技术领域,特别涉及一种高速的CMOS传输门开关电路。

背景技术

[0002] 开关电容电路是模拟电路里重要的一种电路,可以用于实现开关电容滤波器、电容式采样保持器、开关电容放大器和开关电容式模数转换器(ADC)等等。开关电路是开关电容电路的重要组成部分,通过开关电路的导通和关闭,实现对电容电荷的转移,从而实现电压的保持和放大作用。

[0003] 实现开关电路的方式有很多,可以用单独的NMOS晶体管或单独的PMOS晶体管,通过控制NMOS晶体管或PMOS晶体管的栅极电压来实现开关的导通和关闭,但是使用单独的NMOS晶体管或PMOS晶体管作为开关,会存在阈值损失问题,使信号不能完全传递。为了解决这个问题,有两种常用的技术:第一种是采用自举开关技术,通过提高NMOS晶体管的栅极电压来导通较大的输入信号,但是该技术使开关电路结构复杂,而且信号传输速度受到限制;另一种采用传输门,将NMOS晶体管和PMOS晶体管并联起来做成传输门,高电平输入时以PMOS晶体管导通为主,低电平输入时以NMOS晶体管导通为主。

[0004] 图1为传统的CMOS(互补金属-氧化物-半导体:Complementary Metal-Oxide-Semiconductor)传输门开关电路,包括由第一延时链2和第二延时链3构成的时钟控制电路1,以及由互补的NMOS晶体管M1和PMOS晶体管M2组成的CMOS传输门4;第一延时链2由2个反相器(INV1和INV2)依次正向串联构成,第二延时链3由3个反相器(INV3、INV4和INV5)依次正向串联构成,各反相器的高、低供电电压均分别为VDD、VSS(VDD、VSS的取值与CMOS的制作工艺相关,满足该制作工艺的常规高、低电平);NMOS晶体管M1和PMOS晶体管M2的源极一同连接输入电压Vin,NMOS晶体管M1和PMOS晶体管M2的漏极一同连接输出电压Vout,NMOS晶体管M1和PMOS晶体管M2的栅极分别连接第一延时链2和第二延时链3的信号输出端,第一延时链2和第二延时链3的信号输入端一同连接时钟信号clkin。通过第一延时链2和第二延时链3使输入时钟信号clkin变成边缘对准的互补时钟信号clk和clk,当第一延时链2输出的时钟信号clk控制NMOS晶体管M1的栅极电压为VDD、第二延时链3输出的时钟信号clk控制PMOS晶体管M2的栅极电压为VSS时,传输门4导通;当第一延时链2输出的时钟信号clk控制NMOS晶体管M1的栅极电压为VSS、第二延时链3输出的时钟信号clk控制PMOS晶体管M2的栅极电压为VDD时,传输门4关闭,图3的实线反映了开关的导通电阻R_on随传输门4的输入电压Vin变化而变化的曲线。

[0005] 具体分析可以发现传统的CMOS传输门开关电路有两个弊端。

[0006] 第一:当输入电压Vin在电源地中心电压Vcm=1/2(VDD+VSS)附近时,导通电阻R_on很大。因为当输入电压Vin接近VSS时,NMOS晶体管M1的过驱动电压Vov_nmos=VDD-Vin-Vthn>>0,传输门4完全导通;当输入电压Vin接近VDD时,PMOS晶体管M2的过驱动电压Vov_pmos=Vin-VSS-|Vthp|>>0,传输门4完全导通;但是当输入电压Vin在Vcm时,NMOS晶体管M1

的过驱动电压 $V_{ov_nmos} = [1/2(VDD-VSS) - V_{thn}]$, V_{ov_nmos} 接近0, 开关导通电阻很大; PMOS晶体管M2的过驱动电压 $V_{ov_pmos} = [1/2(VDD-VSS) - |V_{thp}|]$, V_{ov_pmos} 接近0, 开关导通电阻很大。其中 V_{thn} 为NMOS晶体管的阈值电压, V_{thp} 为PMOS晶体管的阈值电压 (V_{thn} , V_{thp} 均与CMOS的制作工艺有关)。对于高速系统而言, 导通电阻大, 就会限制信号传输带宽, 从而限制信号传输速度。一般解决 V_{cm} 附近导通电阻过大, 会用很大W/L(宽长比)的MOS晶体管, 这不仅增大信号负载, 对时钟而言也是很大的负载。

[0007] 第二: 整个输入范围来看, 开关导通电阻差异很大。从图3的实线中可以看出, 对于不同的输入电压 V_{in} , 导通电阻呈现两端小、中间很大的特性, 这会导致信号传输的非线性, 影响系统的精度。

[0008] 因此传统的CMOS传输门开关电路在速度和精度方面有待进一步提高。

发明内容

[0009] 本发明的目的在于克服已有技术的不足之处, 提供一种高速的CMOS传输门开关电路, 能减小开关的导通电阻和提高导通电阻的线性度, 从而提高传输门导通速度和信号传输的线性度, 满足高速度和高精度的系统要求。

[0010] 为了达到上述目的, 本发明实例采用如下技术方案:

[0011] 一种高速的CMOS传输门开关电路, 包括CMOS传输门, 由互补的NMOS晶体管和PMOS晶体管组成, NMOS晶体管和PMOS晶体管的源极一同连接输入电压 V_{in} , NMOS晶体管和PMOS晶体管的漏极一同连接输出电压 V_{out} , NMOS晶体管和PMOS晶体管的栅极分别作为相应晶体管的时钟信号控制端; 该开关电路还包括具有电平移位的时钟控制电路, 该时钟控制电路包括两子通道, 两子通道的信号输入端同时连接时钟信号 $clkin$, 两子通道的信号输出端分别连接NMOS晶体管和PMOS晶体管的栅极; 其中, 第一子通道用于使输入电压幅度在[VDD, VSS]之间的时钟信号 $clkin$ 上移变成同相的电压幅度在[VDDN, VSSN]之间的时钟信号 clk , 该信号由第一子通道的信号输出端输出; 第二子通道用于使输入电压幅度在[VDD, VSS]之间的时钟信号 $clkin$ 下移变成反相的电压幅度在[VDDP, VSSP]之间的时钟信号 clk , 该信号由第二子通道的信号输出端输出。

[0012] 本发明的特点及有益效果是:

[0013] 本发明通过电平移位技术, 使NMOS管的控制电平上升, PMOS管的控制电平下降, 提高MOS管导通时的过驱动电压, 减小CMOS传输门导通电阻, 解决在电源地中心电压 V_{cm} 附近导通不良的问题, 并降低导通电阻随输入变化变化的幅度, 提高了信号传输的带宽和线性。

[0014] 本发明相对于现有技术的CMOS传输门开关电路而言具有优势: 通过错位式的电平移位电路, 使NMOS和PMOS导通时的栅源电压 V_{gs} 提高, 可以应用于因为MOS管阈值电压高而导致导通不良的CMOS传输门; 导通时的栅源电压 V_{gs} 的提高可以减小输入电压在 V_{cm} 附近时的导通电阻, 提高导通速度; 在 V_{cm} 电压附近的导通电阻减小, 降低了传输门在整个输入信号范围内的导通电阻的变化幅度, 提高了导通电阻的线性度。

附图说明

[0015] 图1传统的CMOS传输门开关电路结构示意图。

[0016] 图2本发明提出的高速的CMOS传输门开关电路结构示意图。

[0017] 图3传统开关和本发明开关的导通电阻随输入幅度变化的对比图。

[0018] 图4本发明所涉及的各种电平范围示意图。

具体实施方式

[0019] 为使本发明的目的,技术方案和优点更加清楚,下面结合附图对本发明的实施进一步地详细描述。

[0020] 本发明的实施例的CMOS传输门开关电路的结构如图2所示,该电路包括:

[0021] 具有电平移位的时钟控制电路11,包括两子通道,两子通道的信号输入端同时连接时钟信号clk_{in};第一子通道用于使输入电压幅度在[VDD,VSS]之间的时钟信号clk_{in}上移变成同相的电压幅度在[VDDN,VSSN]之间的时钟信号clk_k,该信号由第一子通道的信号输出端输出;第二子通道用于使输入电压幅度在[VDD,VSS]之间的时钟信号clk_{in}下移变成反相的电压幅度在[VDDP,VSSP]之间的时钟信号clk_b,该信号由第二子通道的信号输出端输出;

[0022] CMOS传输门16,由互补的NMOS晶体管M11和PMOS晶体管M12组成,NMOS晶体管M11和PMOS晶体管M12的源极一同连接输入电压Vin,NMOS晶体管M11和PMOS晶体管M12的漏极一同连接输出电压Vout,NMOS晶体管M11和PMOS晶体管M12的栅极作为相应晶体管的时钟信号控制端并分别连接时钟控制电路11中第一子通道和第二子通道的信号输出端。

[0023] 第一子通道由上升电平移位电路14和第一延时链12串联组成;其中,上升电平移位电路14包括第一电容C1和两个反相器(INV21和INV22),第一电容C1的一端连接时钟信号clk_{in},第一反相器INV21输入端与第二反相器INV22输出端并联后共同连接第一电容C1的另一端,第一反相器INV21输出端与第二反相器INV22输入端并联后共同连接第一延时链12输入端;利用电容两边电压不能突变的特性,由第一电容C1实现电平上移,第一电容C1一端电压幅度在[VDD,VSS],第一电容C1另一端电压幅度在[VDDN,VSSN],即当电容C1一端电压为VSS,C1另一端电压为VSSN;当电容C1一端电压为VDD,C1另一端电压为VDDN;两个反向并联的反相器共同构成锁存器,实现电平锁存,且反相器INV21和INV22的高、低供电电压均分别为VDDN和VSSN;第一延时链12包括1个反相器INV23,该反相器的输入端、输出端分别作为第一延时链12的输入端、输出端,且该反相器的高、低供电电压均分别为VDDN和VSSN。第二子通道由下降电平移位电路15和第二延时链13串联组成的;其中,下降电平移位电路15包括第二电容C2和两个反相器(INV31和INV32),第二电容C2的一端连接时钟信号clk_{in},第四反相器INV31输入端与第五反相器INV32输出端并联后共同连接第二电容C2的另一端,第四反相器INV31输出端与第五反相器INV32输入端并联后共同连接第二延时链13输入端;利用电容两边电压不能突变的特性,由第二电容C2实现电平下移,第二电容C2一端电压幅度在[VDD,VSS],第二电容C2另一端电压幅度在[VDDP,VSSP],即当电容C2一端电压为VSS,电容C2另一端电压为VSSP;当电容C2一端电压为VDD,电容C2另一端电压为VDDP;两个反向并联的反相器共同构成锁存器,实现电平锁存,且反相器INV31和INV32的高、低供电电压均分别为VDDP和VSSP;第二延时链13包括2个正向串联的反相器INV33和INV34,反相器INV33的输入端、反相器INV34的输出端分别作为第二延时链13的输入端、输出端,且反相器INV33和INV34的高、低供电电压均分别为VDDP和VSSP。通过第一、第二延时链共同实现电平上升同时钟信号clk_k和电平下降反相时钟信号clk_b的跳变沿对准,保证输出的clk_k和clk_b是严格

对准的互补时钟信号,减少电荷注入。

[0024] 本发明内的各元器件均为常规产品。

[0025] 本发明的工作原理为:电压幅度在[VDD,VSS]之间的时钟信号clk_{in}通过电平移位电路11,变成互补的时钟信号clk和clk_b,电平上升同相时钟信号clk控制NMOS晶体管M11的栅极,电平下降反相时钟信号clk_b控制PMOS晶体管M12的栅极。上升电平移位电路14使时钟信号clk的电平被上升至[VDDN,VSSN],下降电平移位电路15使时钟信号clk_b得电平下移至[VDDP,VSSP]。图3的虚线反映了采用本发明提出的开关电路后导通电阻R_{on}随输入信号Vin的变化,可以看出电平移位的变化使互补的传输门导通电阻变小,尤其是处于电源地中心电压V_{cm}时的导通电阻减小非常明显,线性度变好。对于图2所涉及的传输门输入电压Vin,VDD、VSS、VDDN、VSSN、VDDP和VSSP电平高低如图4所描述,同时满足以下条件:VDDP-VSSP=VDD-VSS=VDDN-VSSN,VDDP<VDD<VDDN,VSSP<VSS<VSSN,VDDP=Vin_max,VSSN=Vin_min,Vin_max、Vin_min分别为传输门16输入信号电压的最大、最小值。VDD、VSS的取值与传统CMOS传输门开关电路内VDD、VSS的取值相同;VDDN对VDD上移(10%-50%)×VDD、VSSN对VSS上移(10%-50%)×VSS,VDDP对VDD下移(10%-50%)×VDD、VSSP对VSS下移(10%-50%)×VSS;VDDN和VDDP相对VDD、VSSN和VSSP相对VSS的变化值越大,信号传输速度和精度越好,但是输入信号电压范围就越小,所以要根据实际输入信号幅度以及应用需求设定。

[0026] 综上,本发明提出的开关电路能实现开关作用,使导通时输出电压Vout能快速而精确的跟踪输入电压Vin,关闭时输出电压Vout与输入电压Vin无关。

[0027] 以上所述仅为本发明的较佳实施例而已,并非限定本发明的保护范围,凡在本发明的精神和原则之内所做的任何修改,等同替换,改进等,均包含的本发明的保护范围内。

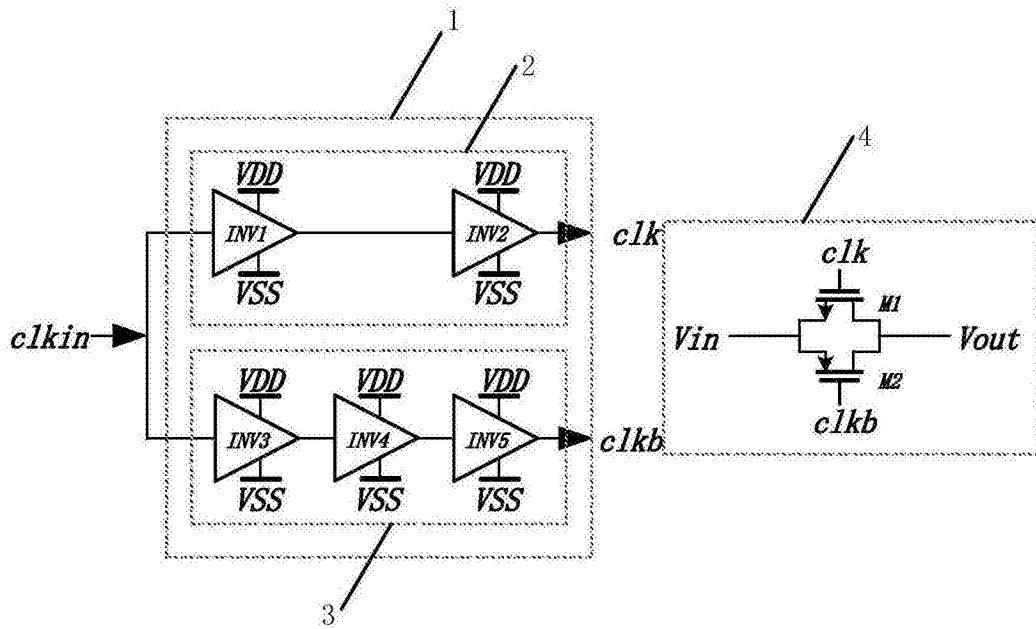


图1

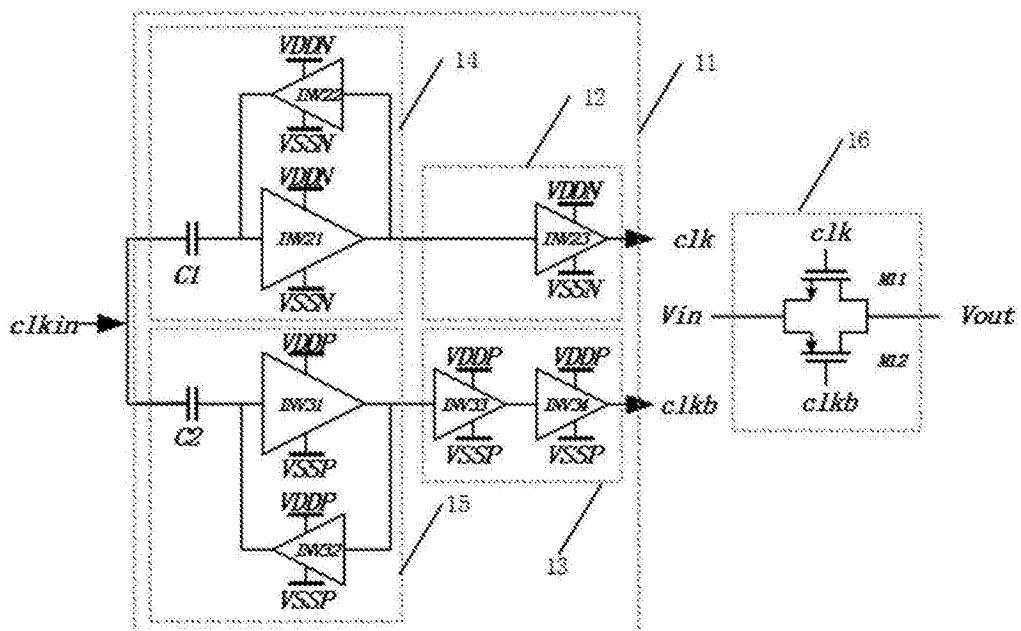


图2

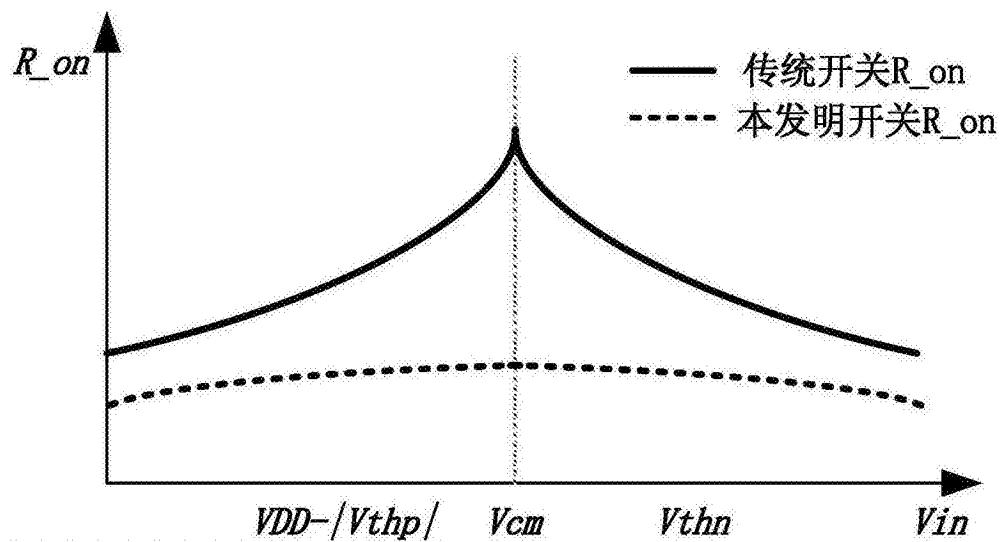


图3

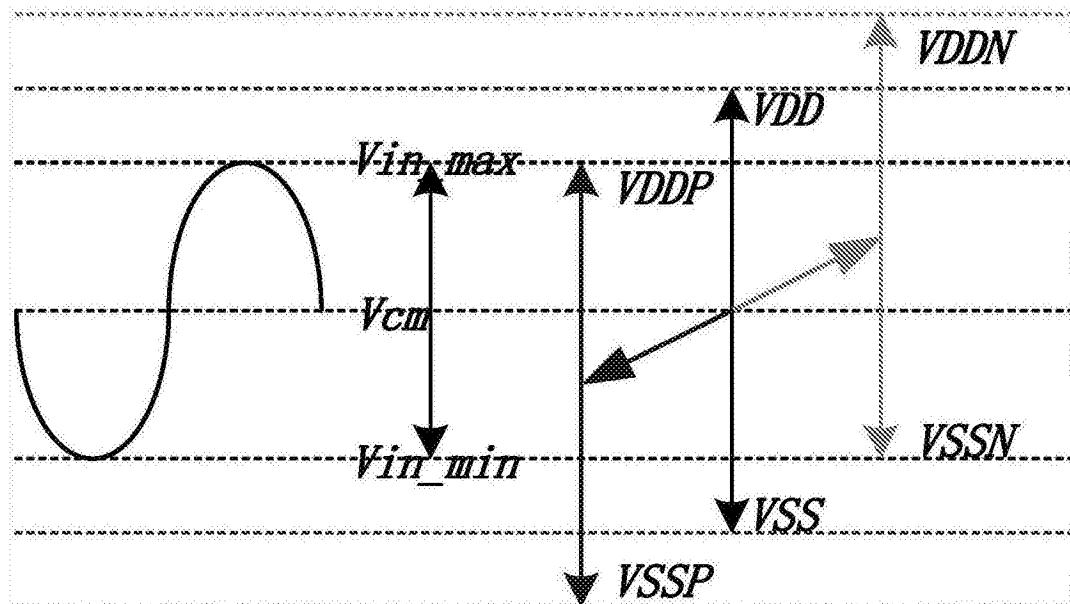


图4