



(12)发明专利

(10)授权公告号 CN 105190886 B

(45)授权公告日 2019.09.10

(21)申请号 201480014492.8

(72)发明人 P·S·S·吉德姆 H·卡特里

(22)申请日 2014.03.10

D·V·歌德博尔 E·R·沃莱

(65)同一申请的已公布的文献号

(74)专利代理机构 上海专利商标事务所有限公司 31100

申请公布号 CN 105190886 A

代理人 唐杰敏

(43)申请公布日 2015.12.23

(51)Int.Cl.

H01L 27/02(2006.01)

(30)优先权数据

H02H 9/04(2006.01)

13/841,239 2013.03.15 US

H03F 1/52(2006.01)

(85)PCT国际申请进入国家阶段日

(56)对比文件

2015.09.11

CN 102255300 A, 2011.11.23,

(86)PCT国际申请的申请数据

US 2003102923 A1, 2003.06.05,

PCT/US2014/022816 2014.03.10

JP 2009253699 A, 2009.10.29,

(87)PCT国际申请的公布数据

CN 101819972 A, 2010.09.01,

W02014/150280 EN 2014.09.25

审查员 赵洋

(73)专利权人 高通股份有限公司

权利要求书2页 说明书14页 附图12页

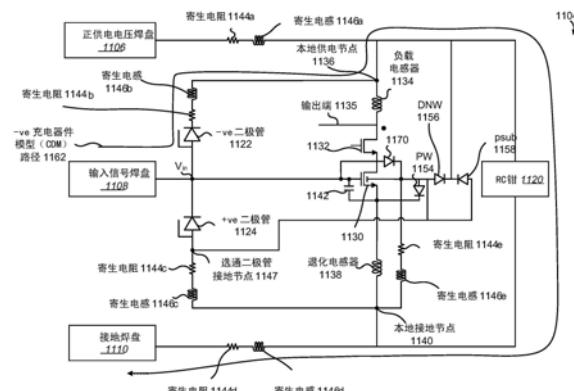
地址 美国加利福尼亚州

(54)发明名称

射频集成电路(RFIC)充电器件模型(CDM)保护

(57)摘要

描述了一种装置。该装置包括输入器件。该装置还包括正供电电压焊盘。该装置进一步包括输入信号焊盘。该装置还包括接地焊盘。该装置进一步包括保护输入器件免受静电放电的充电器件模型保护电路系统。充电器件模型保护电路系统包括de-Q电路系统和共源共栅器件中的至少一者。



1. 一种用于静电放电保护的装置,包括:

输入器件;

正供电电压焊盘;

输入信号焊盘;

接地焊盘;以及

保护所述输入器件免受静电放电的充电器件模型保护电路系统,其中所述充电器件模型保护电路系统包括de-Q电路系统,其中所述de-Q电路系统包括串联的电阻器和二极管,

其中所述输入器件包括n沟道晶体管,其中所述电阻器耦合到所述n沟道晶体管的源极,并且其中所述二极管的阴极耦合到所述n沟道晶体管的栅极。

2. 如权利要求1所述的装置,其特征在于,所述de-Q电路系统限制通过所述n沟道晶体管的寄生路径的电流,从而降低所述n沟道晶体管的栅极与所述n沟道晶体管的源极之间的电压形成。

3. 如权利要求1所述的装置,其特征在于,所述de-Q电路系统通过耦合在所述接地焊盘与所述输入信号焊盘之间的+ve二极管来引导静电放电。

4. 如权利要求1所述的装置,其特征在于,所述de-Q电路系统将从所述n沟道晶体管的栅极到所述n沟道晶体管的源极的电压保持成小于所述输入信号焊盘与所述装置上的本地接地节点之间的电压差。

5. 如权利要求1所述的装置,其特征在于,所述充电器件模型保护电路系统包括共源共栅器件,并且其中所述共源共栅器件在-ve静电放电期间使所述输入器件导通。

6. 如权利要求5所述的装置,其特征在于,所述共源共栅器件包括第一n沟道晶体管,其中所述第一n沟道晶体管的栅极耦合到RC钳触发电压,并且其中所述第一n沟道晶体管的源极耦合到所述输入器件的漏极,其中所述RC钳耦合在本地供电节点与本地接地节点之间,-ve充电器件模型(CDM)电流经由所述RC钳导向到接地焊盘。

7. 如权利要求6所述的装置,其特征在于,使所述输入器件导通增加所述输入器件的源极电势,从而保护所述输入器件的栅极-到-源极。

8. 一种用于静电放电保护的方法,包括:

在接地焊盘处检测+ve电压脉冲;

传导电流通过耦合在所述接地焊盘与输入信号焊盘之间的+ve二极管;

生成跨耦合在输入器件与所述接地焊盘之间的退化电感器的压降;

使用de-Q电路系统来限制从所述输入器件的源极到达所述输入器件的栅极的电流;以及

维持从所述输入器件的栅极到所述输入器件的源极的电压低于所述输入器件的故障点,其中所述de-Q电路系统包括串联的电阻器和二极管,

其中所述输入器件包括n沟道晶体管,其中所述电阻器耦合到所述n沟道晶体管的源极,并且其中所述二极管的阴极耦合到所述n沟道晶体管的栅极。

9. 如权利要求8所述的方法,其特征在于,所述de-Q电路系统限制通过所述n沟道晶体管的寄生路径的电流,从而降低所述n沟道晶体管的栅极与所述n沟道晶体管的源极之间的电压形成。

10. 如权利要求8所述的方法,其特征在于,所述de-Q电路系统引导静电放电通过所述+

ve二极管。

11. 如权利要求8所述的方法,其特征在于,所述de-Q电路系统将从所述n沟道晶体管的栅极到所述n沟道晶体管的源极的电压保持成小于所述输入信号焊盘与本地接地节点之间的电压差。

12. 一种用于静电放电保护的设备,包括:

用于在接地焊盘处检测+ve电压脉冲的装置;

用于传导电流通过耦合在所述接地焊盘与输入信号焊盘之间的+ve二极管的装置;

用于生成跨耦合在输入器件与所述接地焊盘之间的退化电感器的压降的装置;

用于限制从所述输入器件的源极到达所述输入器件的栅极的电流的装置;以及

用于维持从所述输入器件的栅极到所述输入器件的源极的电压低于所述输入器件的故障点的装置;

其中所述用于限制从所述输入器件的源极到达所述输入器件的栅极的电流的装置包括de-Q电路系统,其中所述de-Q电路系统包括串联的电阻器和二极管,

其中所述输入器件包括n沟道晶体管,其中所述电阻器耦合到所述n沟道晶体管的源极,并且其中所述二极管的阴极耦合到所述n沟道晶体管的栅极。

13. 如权利要求12所述的设备,其特征在于,所述de-Q电路系统限制通过所述n沟道晶体管的寄生路径的电流,从而降低所述n沟道晶体管的栅极与所述n沟道晶体管的源极之间的电压形成。

14. 如权利要求12所述的设备,其特征在于,所述de-Q电路系统引导静电放电通过所述+ve二极管。

15. 如权利要求12所述的设备,其特征在于,所述de-Q电路系统将从所述n沟道晶体管的栅极到所述n沟道晶体管的源极之间的电压保持成小于所述输入信号焊盘与本地接地节点之间的电压差。

射频集成电路(RFIC)充电器件模型(CDM)保护

[0001] 相关申请的交叉引用

[0002] 本公开要求2013年3月15日提交的美国非临时申请No.13/841,239的优先权，该申请的内容出于所有目的通过援引整体纳入于此。

技术领域

[0003] 本公开一般涉及用于通信系统的无线设备。更具体地，本公开涉及用于射频集成电路(RFIC)充电器件模型(CDM)保护的系统和方法。

背景技术

[0004] 电子设备(蜂窝电话、无线调制解调器、计算机、数字音乐播放器、全球定位系统单元、个人数字助理、游戏设备等)已成为日常生活的一部分。小型计算设备如今被放置在从汽车到住房用锁等每件事物中。在过去的几年里电子设备的复杂度有了急剧的上升。例如，许多电子设备具有一个或多个帮助控制该设备的处理器、以及支持该处理器及该设备的其他部件的数个数字电路。

[0005] 放大器常常被使用在各种电子设备中以提供信号放大。不同类型的放大器可供不同用途使用。例如，无线通信设备(诸如，蜂窝电话)可包括发射机和接收机以用于双向通信。接收机可利用低噪声放大器(LNA)，发射机可以利用功率放大器(PA)，并且接收机和发射机两者可利用可变增益放大器(VGA)。

[0006] 放大器可以用各种集成电路(IC)工艺来制造。亚微米互补金属氧化物半导体(CMOS)制造工艺通常被用于无线设备中的射频(RF)电路、以及其他电子设备，从而降低成本并改进集成。然而，用亚微米CMOS工艺制造的晶体管一般具有很小物理尺寸，并且更易受应力以及(有可能受)因静电放电(ESD)而导致的故障的影响。ESD是可能来自于静电和/或其他来源的突然的较大且瞬时的电荷。期望有效地对抗ESD而又使对性能的影响微乎其微。

概述

[0008] 描述了一种装置。该装置包括输入器件，正供电电压焊盘，输入信号焊盘，接地焊盘，以及充电器件模型保护电路系统。充电器件模型保护电路系统保护输入器件免受静电放电。充电器件模型保护电路系统包括de-Q电路系统和共源共栅器件中的至少一者。共源共栅器件通过触发电压来触发。

[0009] 充电器件模型保护电路系统可包括de-Q电路系统。de-Q电路系统可包括串联的电阻器和二极管。输入器件可包括n沟道晶体管。电阻器可耦合到n沟道晶体管的源极。二极管的阴极可耦合到n沟道晶体管的栅极。

[0010] de-Q电路系统可限制通过n沟道晶体管的寄生路径的电流，从而减少n沟道晶体管的栅极与n沟道晶体管的源极之间的电压形成。de-Q电路系统可通过耦合在接地焊盘与输入信号焊盘之间的+ve二极管来引导静电放电。de-Q电路系统可将从n沟道晶体管的栅极到n沟道晶体管的源极的电压保持成小于输入信号焊盘与该装置上的本地接地节点之间的电压差。

[0011] 充电器件模型保护电路系统包括共源共栅器件。共源共栅器件可在-ve静电放电期间使输入器件导通。共源共栅可包括第一n沟道晶体管。第一n沟道晶体管的栅极可耦合到RC钳触发电压。第一n沟道晶体管的源极可以耦合到输入器件的漏极。使输入器件导通可增加输入器件的源极电势，从而保护输入器件的栅极-到-源极。

[0012] 还描述了一种用于静电放电保护的方法。在接地焊盘处检测+ve电压脉冲。电流被传导通过耦合在接地焊盘与输入信号焊盘之间的+ve二极管。生成跨耦合在输入器件与接地焊盘之间的退化电感器的压降。使用de-Q电路系统来限制从输入器件的源极到达输入器件的栅极的电流。维持从输入器件的栅极到输入器件的源极的电压低于输入器件的故障点。

[0013] 描述了一种用于静电放电保护的方法。在输入信号焊盘处检测-ve电压脉冲。电流被传导通过耦合在输入信号焊盘和本地供电节点之间的-ve二极管。经由RC钳将-ve电流导向到接地焊盘。使用来自RC钳的RC钳触发电压来导通共源共栅器件。使用共源共栅器件来导通输入器件。维持从输入器件的栅极到输入器件的源极的电压低于输入器件的故障点。

[0014] 还描述了一种用于静电放电保护的设备。该设备包括用于在接地焊盘处检测+ve电压脉冲的装置。该设备还包括用于传导电流通过耦合在接地焊盘与输入信号焊盘之间的+ve二极管的装置。该设备进一步包括用于生成跨耦合在输入器件与接地焊盘之间的退化电感器的压降的装置。该设备还包括用于限制从输入器件的源极到达输入器件的栅极的电流的装置。该设备进一步包括用于维持从输入器件的栅极到输入器件的源极的电压低于输入器件的故障点的装置。

[0015] 描述了一种用于静电放电保护的设备。该设备包括用于在输入信号焊盘处检测-ve电压脉冲的装置。该设备还包括用于传导电流通过耦合在输入信号焊盘和本地供电节点之间的-ve二极管的装置。该设备进一步包括用于经由RC钳将-ve电流导向到接地焊盘的装置。该设备还包括用于使用来自RC钳的RC钳触发电压来导通共源共栅器件的装置。该设备进一步包括用于使用共源共栅器件来导通输入器件的装置。该设备还包括用于维持从输入器件的栅极到输入器件的源极的电压低于输入器件的故障点的装置。

[0016] 附图简述

[0017] 图1示出了在本发明的系统和方法中使用的无线设备；

[0018] 图2是包括de-Q电路系统的射频集成电路(RFIC)接收机的低噪声放大器(LNA)的简化电路图；

[0019] 图3是包括de-Q电路系统的射频集成电路(RFIC)接收机的低噪声放大器(LNA)的更详细电路图；

[0020] 图4是解说在+ve充电器件模型(CDM)测试期间关于普通充电器件模型(CDM)保护电路系统和关于包括de-Q电路系统的充电器件模型(CDM)保护电路系统的+ve充电器件模型(CDM)电压的图表；

[0021] 图5是用于提供静电放电(ESD)保护的方法的流程图；

[0022] 图6是包括G1共源共栅的射频集成电路(RFIC)的电路图；

[0023] 图7是包括G1共源共栅的射频集成电路(RFIC)的更详细电路图；

[0024] 图8是解说关于普通充电器件模型(CDM)保护电路系统和关于包括G1共源共栅器件的充电器件模型(CDM)保护电路系统的-ve充电器件模型(CDM)电压的图表；

- [0025] 图9是用于提供静电放电(ESD)保护的另一方法的流程图；
- [0026] 图10是包括de-Q电路系统和G1共源共栅器件两者的射频集成电路(RFIC)的电路图；
- [0027] 图11是包括正向偏置二极管的射频集成电路(RFIC)的更详细电路图；以及
- [0028] 图12解说可被包括在无线设备内的某些组件。
- [0029] 详细描述
- [0030] 图1示出了在本发明的系统和方法中使用的无线设备102。无线设备102可包括包含高级充电器件模型(CDM)保护电路系统112的射频集成电路(RFIC)104。高级充电器件模型(CDM)保护电路系统112可允许射频集成电路(RFIC)104通过充电器件模型(CDM)测试，而不损害性能(例如，通过避免使输入匹配、噪声系数(NF)或线性度降级)。
- [0031] 无线设备102可以是无线通信设备或基站。无线通信设备还可被称为终端、接入终端、用户装备(UE)、订户单元、站等，并且可包括终端、接入终端、用户装备(UE)、订户单元、站等的一些或全部功能性。无线通信设备可以是蜂窝电话、个人数字助理(PDA)、无线设备、无线调制解调器、手持式设备、膝上型计算机、PC卡、紧凑型闪存、外置或内置调制解调器、有线电话等。无线通信设备可以是移动或驻定的。无线通信设备在任何给定时刻可在下行链路和/或上行链路上与零个、一个或多个基站通信。下行链路(或即前向链路)是指从基站至无线通信设备的通信链路，而上行链路(或即反向链路)是指从无线通信设备至基站的通信链路。上行链路和下行链路可指代通信链路或用于该通信链路的载波。
- [0032] 无线通信设备可在包括其他无线设备102(诸如基站)的无线通信系统中操作。基站是与一个或多个无线通信设备通信的站。基站还可被称为接入点、广播发射机、B节点、演进B节点等，并且可包括其功能性的部分或全部。每个基站提供对特定地理区域的通信覆盖。基站可提供对一个或多个无线通信设备的通信覆盖。术语“蜂窝小区”取决于使用该术语的上下文可指基站和/或其覆盖区。
- [0033] 无线通信系统(例如，多址系统)中的通信可通过在无线链路上的传输来实现。此类通信链路可经由单输入单输出(SISO)、或多输入多输出(MIMO)系统来建立。多输入多输出(MIMO)系统包括分别装备有用于数据传输的多个(NT个)发射天线和多个(NR个)接收天线的(诸)发射机和(诸)接收机。SISO系统是多输入多输出(MIMO)系统的特例。如果利用了由这多个发射和接收天线所创建的附加维度，则该多输入多输出(MIMO)系统就可以提供改善的性能(例如，更高的吞吐量、更大的容量、或改善的可靠性)。
- [0034] 无线通信系统可利用单输入多输出(SIMO)和多输入多输出(MIMO)两者。无线通信系统可以是能够通过共享可用系统资源(例如，带宽和发射功率)来支持与多个无线通信设备通信的多址系统。此类多址系统的示例包括码分多址(CDMA)系统、宽带码分多址(W-CDMA)系统、时分多址(TDMA)系统、频分多址(FDMA)系统、正交频分多址(OFDMA)系统、单载波频分多址(SC-FDMA)系统、第三代合作伙伴项目(3GPP)长期演进(LTE)系统、以及空分多址(SDMA)系统。
- [0035] 无线设备102可包括射频集成电路(RFIC)104。射频集成电路(RFIC)104可包括射频(RF)组件，诸如输入器件128。输入器件128的一个示例是放大器。放大器可以是低噪声放大器(LNA)、直流放大器(DA)或功率放大器(PA)。输入器件128(诸如低噪声放大器(LNA))可具有内部匹配。射频集成电路(RFIC)104上的放大器可以接收来自射频集成电路(RFIC)104

外部的各设备(诸如无线设备102上的调制解调器或天线)的输入信号。因而,输入器件128可具有耦合到集成电路(IC)引脚的输入端。在一种配置中,输入器件128可耦合到多个IC引脚(例如,正供电电压焊盘106、输入信号焊盘108以及接地焊盘110)。这些IC引脚可能易受静电放电(ESD)影响,这可能损坏耦合到这些IC引脚的电路(例如,输入器件128)。

[0036] 为避免静电放电(ESD)损坏输入器件128,射频集成电路(RFIC)104可包括充电器件模型(CDM)保护电路系统112。充电器件模型(CDM)保护电路系统112可以提供针对+ve充电器件模型(CDM)测试和-ve充电器件模型(CDM)测试的保护。充电器件模型(CDM)保护电路系统112可包括RC钳120、+ve二极管124和-ve二极管122。本文中使用的所有二极管是选通二极管或浅沟槽隔离(STI)二极管。充电器件模型(CDM)保护电路系统112还可包括de-Q电路系统114和G1共源共栅器件126。De-Q电路系统114可以是限流电路系统。

[0037] 在充电器件模型(CDM)测试的初始建立期间,所测试的器件(DUT)(在这种情况下是射频集成电路(RFIC)104)被置于被充电到某一电压的绝缘场板上。通常,这一电压是+500伏特(V)或-500V,这确保射频集成电路(RFIC)104对于自动化组装期间生成的大多数静电放电(ESD)事件而言是稳健的。射频集成电路(RFIC)104的接地面也需要与场板相同的测试电压,且不存在存储在射频集成电路(RFIC)104与场板之间的电荷。在测试阶段期间,射频集成电路(RFIC)104上的引脚之一被短路到接地。在这种情况下,短路引脚与接地面之间的电势差等于测试电压,这可损坏射频集成电路(RFIC)104上的低功率器件。低噪声放大器(LNA)的输入端特别易受损害,因为在共源配置中,晶体管栅极耦合到输入焊盘而源极耦合到接地焊盘。因此,电势跨栅极氧化物快速发展,这可损坏晶体管。因而,可能需要附加的静电放电(ESD)电路系统来防止这样的损坏并促进用于放电电流的低阻抗路径。

[0038] 在+ve充电器件模型(CMD)测试中,静电放电(ESD)电流路径从接地焊盘110到输入信号焊盘108。在-ve充电器件模型(CMD)测试中,静电放电(ESD)电流路径从输入信号焊盘108到负充电接地焊盘110。对于典型的射频集成电路(RFIC)104芯片大小和充电器件模型(CMD)测试器,对+/-500V测试而言,预期有约5安培(A)的峰值放电电流。对于5A峰值充电器件模型(CMD)测试,充电器件模型(CMD)保护电路系统112中的二极管122、124可将电压钳制在约3V处。

[0039] 在当前理解中,静电放电(ESD)路径中的电阻被保持在低于0.5欧姆(即,对于5A电流,压降小于2.5V)。因而,跨输入器件128(例如,从输入器件128中的晶体管的栅极到源极)的总电压可以是约5.5V(输入器件128的击穿依赖于所使用的技术)。通过将+ve静电放电(ESD)路径中的电阻保持低于0.5欧姆且适当地调整+ve二极管124的大小,可容易地通过+ve 500V充电器件模型(CMD)测试。同样,通过将-ve静电放电(ESD)路径中的电阻保持低于0.5欧姆且适当地调整RC钳120和-ve二极管122的大小,可容易地通过-ve 500V充电器件模型(CMD)测试。

[0040] 为了针对+ve充电器件模型(CMD)测试进一步改进充电器件模型(CMD)保护电路系统112,充电器件模型(CMD)保护电路系统112可包括de-Q电路系统114。de-Q电路系统114可包括电阻器116和二极管118。二极管118可在正常操作期间反向偏置,具有对接收机性能的可忽略的影响。由于充电器件模型(CMD)保护电路系统112的设计,谐振可在+ve充电器件模型(CMD)测试期间发生在输入器件128的栅极-源极电容与源极退化电感之间,从而造成输入器件128在低于预期+ve充电器件模型(CMD)电压处的故障(使得射频集成电路(RFIC)104

未能通过+ve充电器件模型 (CMD) 测试)。de-Q电路系统114可以防止这一谐振发生。de-Q电路系统114在以下关于图2进一步详细讨论。

[0041] 为了针对-ve充电器件模型 (CMD) 测试进一步改进充电器件模型 (CMD) 保护电路系统112,充电器件模型 (CMD) 保护电路系统112还可包括G1共源共栅器件126。在-ve充电器件模型 (CMD) 测试期间,跨输入器件128的栅极和源极形成比+ve充电器件模型 (CMD) 测试期间更大的电压,这是因为充电器件模型 (CMD) 放电必须流过-ve二极管122、RC钳120和寄生电感。这一增加的电压可使输入器件128在-ve充电器件模型 (CMD) 测试期间发生故障(从而使射频集成电路 (RFIC) 104在-ve充电器件模型 (CMD) 测试中失败)。G1共源共栅器件126可由来自RC钳120的RC钳触发电压来触发。在G1共源共栅器件126被触发时,G1共源共栅器件126将输入器件128的漏极直接耦合到电压Vdd,并且因此使输入器件128饱和,从而在-ve充电器件模型 (CMD) 测试期间提供附加保护。G1共源共栅器件126在以下关于图6进一步详细讨论。

[0042] 图2是射频集成电路 (RFIC) 204接收机的包括de-Q电路系统214的低噪声放大器 (LNA) 的简化电路图。图2的射频集成电路 (RFIC) 204可以是图1的射频集成电路 (RFIC) 104的一种配置。射频集成电路 (RFIC) 204可以是接收机低噪声放大器 (LNA)。图2的射频集成电路 (RFIC) 204不包括可发生在射频集成电路 (RFIC) 204中的寄生的模型。射频集成电路 (RFIC) 204可包括放大器228(即,输入器件128)、正供电电压焊盘206、输入信号焊盘208、接地焊盘210、+ve二极管224、-ve二极管222、RC钳220、负载电感器234以及退化电感器238。放大器228可包括第一n沟道晶体管230和第二n沟道晶体管232。在一些配置中,第二n沟道晶体管232可被称为“主共源共栅器件”。

[0043] 第二n沟道晶体管232的漏极可经由负载电感器234耦合到本地供电节点236。射频集成电路 (RFIC) 204的输出端235在负载电感器234与第二n沟道晶体管232的漏极之间,输出可被提供给下变频器。本地供电节点236可耦合到正供电电压焊盘206。-ve二极管222的阴极可耦合到本地供电节点236。-ve二极管222的阳极可耦合到输入信号焊盘208。接地焊盘210可耦合到本地接地节点240。+ve二极管224的阳极也可耦合到本地接地节点240。+ve二极管224的阴极可耦合到输入信号焊盘208。输入信号焊盘208也可耦合到第一n沟道晶体管230的栅极。

[0044] 第一n沟道晶体管230的漏极可耦合至第二n沟道晶体管232的源极。第二n沟道晶体管232的栅极可耦合到DC偏置电路系统(未示出)。第一n沟道晶体管230的源极可经由退化电感器238耦合到本地接地节点240。RC钳220可耦合在本地供电节点236和本地接地节点240之间。第一n沟道晶体管230的本体也可耦合到寄生二极管PW 254的阳极。寄生二极管PW 254的阴极可耦合到第一n沟道晶体管230的源极。

[0045] de-Q电路系统214可包括串联的电阻器216和二极管218。二极管218可以是选通二极管或浅沟槽隔离 (STI) 二极管。二极管218可在正常操作期间反向偏置,并且具有对接收机性能的可忽略的影响。电阻器216可耦合在第一n沟道晶体管230的源极与二极管218的阳极之间。二极管218的阴极耦合到第一n沟道晶体管230的栅极。射频集成电路 (RFIC) 204固有的寄生(诸如寄生电容、寄生电阻以及寄生电感)在图3中示出且为简明起见在图2中省去。下文结合图3讨论de-Q电路系统214的功能。

[0046] 图3是包括de-Q电路系统314的射频集成电路 (RFIC) 304接收机的低噪声放大器

(LNA) 的更详细电路图。具体而言,图3的射频集成电路(RFIC)304包括集成电路中固有的寄生。射频集成电路(RFIC)304可以是接收机低噪声放大器(LNA)。射频集成电路(RFIC)304可包括放大器328(即,图1所示的输入器件128)、正供电电压焊盘306、输入信号焊盘308、接地焊盘310、+ve二极管324、-ve二极管322、RC钳320、负载电感器334以及退化电感器338。放大器328可包括第一n沟道晶体管330和第二n沟道晶体管332。在一些配置中,第二n沟道晶体管332可被称为共源共栅器件。图3中所示的寄生只是模型且不表示射频集成电路(RFIC)304内的实际组件。+ve充电器件模型(CDM)测试电压的主充电器件模型(CDM)电流放电路径348被示为从接地焊盘310到输入信号焊盘308。

[0047] 负载电感器334可耦合在第二n沟道晶体管332的漏极与本地供电节点336之间。射频集成电路(RFIC)304的输出端335在负载电感器334与第二n沟道晶体管332的漏极之间,输出可被提供给下变频器。本地供电节点336可经由包括寄生电阻344a和寄生电感346a的耦合线来耦合到正供电电压焊盘306。因为集成电路中的无源组件(例如,电感器)占据的管芯面积通常比有源组件(例如,晶体管)占据的管芯面积大得多,所以用来耦合射频集成电路(RFIC)304上的各组件的线可包括显著的寄生电阻344和显著的寄生电感346(取决于耦合线的长度)。

[0048] -ve二极管322的阴极可经由包括寄生电感346b和寄生电阻344b的耦合线来耦合到本地供电节点336。-ve二极管322的阳极可耦合到输入信号焊盘308。输入信号焊盘308处的电压可被称为电压V_{in}。输入信号焊盘308也可耦合到+ve二极管324的阴极。+ve二极管324的阳极可经由包括寄生电阻344c和寄生电感346c的耦合线来耦合到本地接地节点340。+ve二极管324的阳极处的节点可被称为二极管接地节点347。本地接地节点340处的电压可被称为V_{gnd}。

[0049] 接地焊盘310可经由包括寄生电阻344d和寄生电感346d的耦合线来耦合到本地接地节点340。退化电感器338可耦合在本地接地节点340与第一n沟道晶体管330的源极之间。输入信号焊盘308也可耦合到第一n沟道晶体管330的栅极。第一n沟道晶体管330的本体也可耦合到寄生二极管PW 354的阳极。寄生二极管PW 354的阴极可耦合到第一n沟道晶体管330的源极。这一二极管354表示在p型本体和n+源极之间形成的p-n结。第一n沟道晶体管330可被置于深n阱中。在这一场景中,第一n沟道晶体管330的本体可耦合到寄生二极管PW 356的阳极。寄生二极管DNW 356的阴极可耦合到本地供电节点336。在此,寄生二极管DNW 356表示在p型本体和n型n阱之间形成的p-n结二极管。第一n沟道晶体管330的本体可经由包括寄生电阻344e和寄生电感346e的耦合线来耦合到本地接地节点340。

[0050] 寄生二极管psub 358的阳极可耦合到二极管接地节点347。寄生二极管psub 358的阴极可耦合到寄生二极管DNW 356的阴极。在此,寄生二极管psub358表示在p型基板和深n阱之间形成的p-n结二极管。

[0051] 第一n沟道晶体管330的漏极可耦合至第二n沟道晶体管332的源极。第一n沟道晶体管330的源极可被耦合至退化电感器338。RC钳320可耦合在本地供电节点336和本地接地节点340之间。表示栅极-源极电容的寄生电容C_{gs}342可发生在第一n沟道晶体管330的栅极与第一n沟道晶体管330的源极之间。在没有de-Q电路系统314的情况下,退化电感器338和寄生电容C_{gs} 342可能谐振,从而生成跨寄生电容C_{gs} 342的比在输入信号焊盘308处的电压V_{in}与本地接地节点340处的电压V_{gnd}之间形成的电势更高的电压,从而造成输入器件128

在低于预期+ve充电器件模型 (CDM) 电压处的故障。

[0052] de-Q电路系统314可包括串联的电阻器316和二极管318。二极管318可在正常操作期间反向偏置，并且具有对接收机性能的可忽略的影响。电阻器316可耦合在第一n沟道晶体管330的源极与二极管318的阳极之间。二极管318的阴极可耦合到第一n沟道晶体管330的栅极。电阻器316和二极管318的主要目的是通过使源极作为低阻抗节点来减少寄生电容Cgs 342与退化电感器338之间的谐振。一般而言，现有技术教导限制+ve充电器件模型 (CDM) 路径中的谐振。这被完成以限制输入器件128（例如，第一n沟道晶体管330）的栅极-到-源极电压。因而，现有技术的教导与在第一n沟道晶体管330的栅极和源极之间添加电阻器316相反。只将二极管置于第一n沟道晶体管310的源极和栅极之间将允许显著的电流通过，这使得必需较大二极管才能处置该电流。添加电阻限制了电流，并且因而允许使用非常小的二极管318，这具有对性能的可忽略的影响。

[0053] 第一n沟道晶体管330的栅极到源极可被建模成与退化电感器338串联的电容器342。在静电放电 (ESD) 事件期间，与退化电感器338串联的电容器342可能谐振，从而形成了从第一n沟道晶体管330的栅极到源极的、比 V_{in} 与本地接地节点340之间的电压差 $V_{in}-V_{gnd}$ 更高的电压 V_{gs} 。这一更高电压可使得第一n沟道晶体管330发生故障。

[0054] de-Q电路系统314限制通过寄生路径（经由寄生电容Cgs 342从第一n沟道晶体管330的源极到第一n沟道晶体管330的栅极）的电流，从而允许使用较小二极管318来最小化寄生电容Cgs 342。因为电流不能通过de-Q电路系统314，所以de-Q电路系统314（包括电阻器316）减小了从第一n沟道晶体管330的栅极到第一n沟道晶体管330的源极的电压 V_{gs} （并迫使电流通过实际静电放电 (ESD) 保护路径（即，+ve二极管324）），由此保持电压 V_{gs} 低于 $V_{in}-V_{gnd}$ 。这在图4中解说。保持电压 V_{gs} 低于 $V_{in}-V_{gnd}$ 避免第一n沟道晶体管330由于充电器件模型 (CDM) 路径而发生故障。

[0055] 图4是解说在+ve充电器件模型 (CDM) 测试期间关于普通充电器件模型 (CDM) 保护电路系统和关于包括de-Q电路系统114的充电器件模型 (CDM) 保护电路系统112的+ve充电器件模型 (CDM) 电压的图表。在普通充电器件模型 (CDM) 保护电路系统中，在+ve充电器件模型 (CDM) 测试期间，电压 V_{gs} 450a摆动得比 $V_{in}-V_{gnd}$ 452a高得多，从而造成第一n沟道晶体管330的故障。在包括de-Q电路系统114的充电器件模型 (CDM) 保护电路系统112中，在充电器件模型 (CDM) 测试期间，电压 V_{gs} 450b始终低于 $V_{in}-V_{gnd}$ 452b（并且因此低于击穿电压），从而防止第一n沟道晶体管330的故障。

[0056] 图5是用于提供静电放电 (ESD) 保护的方法500的流程图。具体而言，方法500可以提供针对+ve充电器件模型 (CDM) 测试的静电放电 (ESD) 保护。方法500可由包括充电器件模型 (CDM) 保护电路系统112的射频集成电路 (RFIC) 104执行。充电器件模型 (CDM) 保护电路系统112可包括de-Q电路系统114。de-Q电路系统114可包括电阻器116和二极管118。

[0057] 射频集成电路 (RFIC) 104可以检测502接地焊盘110与输入焊盘108之间的+ve充电器件模型 (CDM) 电压差。射频集成电路 (RFIC) 104可传导504电流通过耦合在接地焊盘110与输入信号焊盘108之间的+ve二极管124。射频集成电路 (RFIC) 104可以生成506跨耦合在输入器件128和接地焊盘110之间的退化电感器338的压降。接地焊盘110与输入焊盘108之间的电势差可能在寄生电容Cgs 342与退化电感器338之间创建谐振。谐振可以创建源极节点处的大摆幅。射频集成电路 (RFIC) 104可通过使用de-Q电路系统114限制从输入器件128的

源极到达输入器件128的栅极的电流来限制降低508谐振。射频集成电路(RFIC)104可以维持510从输入器件128的栅极到输入器件128的源极的电压V_{gs}低于输入器件128的故障点(即,约7V)。

[0058] 图6是包括G1共源共栅器件626的射频集成电路(RFIC)604的电路图。图6的射频集成电路(RFIC)604可以是图1的射频集成电路(RFIC)104的一种配置。射频集成电路(RFIC)604可以是接收机低噪声放大器(LNA)。图6的射频集成电路(RFIC)604不包括可发生在集成电路中的寄生的模型。射频集成电路(RFIC)604还可包括放大器628(即,输入器件128)、正供电电压焊盘606、输入信号焊盘608、接地焊盘610、+ve二极管624、-ve二极管622、RC钳620、负载电感器634以及退化电感器638。放大器628可包括第一n沟道晶体管630和第二n沟道晶体管632。第二n沟道晶体管632可被称为主共源共栅器件。

[0059] 第二n沟道晶体管630的漏极可耦合到负载电感器634。射频集成电路(RFIC)604的输出端635在负载电感器634与第二n沟道晶体管632的漏极之间,输出可被提供给下变频器。负载电感器634可耦合到本地供电节点636。正供电电压焊盘606也可耦合到本地供电节点636。-ve二极管622的阴极可进一步耦合到本地供电节点636。-ve二极管622的阳极可耦合到输入信号焊盘608。输入信号焊盘608也可耦合到+ve二极管624的阴极。+ve二极管624的阳极可耦合到本地接地节点640。接地焊盘610还可耦合到本地接地节点640。输入信号焊盘608可进一步耦合到第一n沟道晶体管630的栅极。退化电感器638可耦合在第一n沟道晶体管630的源极与本地接地节点640之间。

[0060] 第一n沟道晶体管630的漏极可耦合至第二n沟道晶体管632的源极。第二n沟道晶体管632的栅极可被耦合至DC偏置电压。RC钳620可耦合在本地供电节点636和本地接地节点640之间。

[0061] G1共源共栅器件626的漏极可耦合到本地供电节点636(G1共源共栅器件626可以是n沟道晶体管)。G1共源共栅器件626的源极可耦合到第二n沟道晶体管632的源极。G1共源共栅器件626的栅极可耦合到由RC钳620提供的RC钳触发电压660。在+ve充电器件模型(CDM)测试期间射频集成电路(RFIC)604中的G1共源共栅器件626的功能在下文结合图7讨论。

[0062] 在-ve充电器件模型(CDM)测试期间,第一n沟道晶体管630的栅极处于比第一n沟道晶体管630的漏极和源极更高的电势。第一n沟道晶体管630的漏极和源极最终通过本地接地节点640被充电(其中电流来自RC钳620)。通过添加G1共源共栅器件626,创建另一放电路径,该放电路径通过主器件(第一n沟道晶体管630)本身。在G1共源共栅器件626将第一n沟道晶体管630的漏极上拉到与本地供电节点636相等的电势时,第一n沟道晶体管630的漏极处的电势与第一n沟道晶体管630的栅极的电势只差一个二极管压降(-ve二极管622)。因而,第一n沟道晶体管630被正向偏置,从而创建用于对本地接地节点640充电的附加路径且降低第一n沟道晶体管630的栅极到漏极电压和栅极到源极电压,由此改进充电器件模型(CDM)性能。换言之,G1共源共栅器件626可以是在RC钳触发电压660为高时可创建本地供电节点636与本地接地节点640之间的低阻抗的任何电路。因而,虽然n沟道晶体管被示为G1共源共栅器件626,但其他电路系统也可被用来实现G1共源共栅器件626。

[0063] 图7是包括G1共源共栅的射频集成电路(RFIC)704的更详细电路图。具体而言,图7的射频集成电路(RFIC)704包括集成电路中固有的寄生。射频集成电路(RFIC)704可以是接

收机低噪声放大器(LNA)。射频集成电路(RFIC)704可包括放大器728(即,输入器件128)、正供电电压焊盘706、输入信号焊盘708、接地焊盘710、+ve二极管724、-ve二极管722、RC钳720、G1共源共栅器件726、负载电感器734以及退化电感器738。放大器728可包括第一n沟道晶体管730和第二n沟道晶体管732。第二n沟道晶体管732可被称为“主共源共栅器件”。图7中所示的寄生只是模型且不表示射频集成电路(RFIC)704内的实际组件。 $-ve$ 充电器件模型(CDM)路径762被示为从输入信号焊盘708到接地焊盘710。

[0064] 负载电感器734可耦合在第二n沟道晶体管732的漏极与本地供电节点736之间。射频集成电路(RFIC)704的输出端735在负载电感器734与第二n沟道晶体管732的漏极之间,输出可被提供给下变频器。本地供电节点736可经由包括寄生电阻744a和寄生电感746a的耦合线来耦合到正供电电压焊盘706。因为集成电路中的无源组件(例如,电感器)通常比有源组件(例如,晶体管)大得多,所以用来耦合射频集成电路(RFIC)704上的各组件的线可包括显著的寄生电阻和显著的寄生电容(取决于耦合线的长度)。

[0065] $-ve$ 二极管722的阴极可经由包括寄生电感746b和寄生电阻744b的耦合线来耦合到本地供电节点736。 $-ve$ 二极管722的阳极可耦合到输入信号焊盘708。输入信号焊盘708处的电压可以是电压 V_{in} 。输入信号焊盘708也可耦合到+ve二极管724的阴极。 $+ve$ 二极管724的阳极可经由包括寄生电阻744c和寄生电感746c的耦合线来耦合到本地接地节点740。 $+ve$ 二极管724的阳极处的电压可被称为“二极管接地”747。本地接地节点740处的电压可被称为 V_{gnd} 。

[0066] 接地焊盘710可经由包括寄生电阻744d和寄生电感746d的耦合线来耦合到本地接地节点740。退化电感器738可耦合在本地接地节点740与第一n沟道晶体管730的源极之间。输入信号焊盘708也可耦合到第一n沟道晶体管730的栅极。第一n沟道晶体管730的本体可耦合到寄生二极管DNW 756的阳极。寄生二极管DNW 756的阴极可耦合到本地供电节点736。第一n沟道晶体管730的本体也可耦合到寄生二极管PW 754的阳极。寄生二极管PW 754的阴极可耦合到第一n沟道晶体管730的源极。第一n沟道晶体管730的本体可经由包括寄生电阻744e和寄生电感746e的耦合线来耦合到本地接地节点740。

[0067] 在此,寄生二极管DNW 756表示在p型本体和n型n阱之间形成的p-n结二极管。寄生二极管psub 358表示在p型基板和深n阱之间形成的p-n结二极管。

[0068] $+ve$ 二极管724的阳极可耦合到寄生二极管758的阳极。寄生二极管psub758的阴极可耦合到寄生二极管DNW 756的阴极。

[0069] 第一n沟道晶体管730的漏极可耦合至第二n沟道晶体管732的源极。RC钳720可耦合在本地供电节点736和本地接地节点740之间。寄生电容Cgs 742可发生在第一n沟道晶体管730的源极与第一n沟道晶体管730的栅极之间。

[0070] G1共源共栅器件726的栅极可耦合到来自RC钳720的RC钳触发电压760。G1共源共栅器件726的源极可耦合到第二n沟道晶体管732的源极。G1共源共栅器件726的漏极可耦合到本地供电节点736。

[0071] 在 $-ve$ 充电器件模型(CDM)事件中,第一n沟道晶体管730的栅极和源极之间的电压形成比 $+ve$ 充电器件模型(CMD)事件期间更大的值,这是因为充电器件模型(CMD)放电电流需要流过 $-ve$ 二极管722、RC钳720和寄生电感746。通过退化电感器738的电流很小;因此,没有跨退化电感器738的很大压降。相反,整个电压(或其大部分)跨寄生电容Cgs 742出现,从

而使得放大器728发生故障。

[0072] 如果主共源共栅(即,第二n沟道晶体管732)的栅极耦合到RC钳触发电压760,则-ve充电器件模型(CDM)事件可使放大器728导通,从而增加第一n沟道晶体管730的源极电势并由此保护第一n沟道晶体管730的栅极-到-源极。在这一实现中,负载电感器734限制电流。

[0073] 如果G1共源共栅器件726的栅极耦合到RC钳触发电压760,则-ve充电器件模型(CDM)事件可使放大器728导通,从而增加第一n沟道晶体管730的源极电势并由此保护第一n沟道晶体管730的栅极-到-源极。因为G1共源共栅器件726而不是主共源共栅被使用,所以电流不由负载电感器734限制,从而造成充电器件模型(CDM)性能的显著改进。充电器件模型(CDM)性能可优于正向偏置二极管的情况下看到的改进。因而,G1共源共栅器件726是用于28纳米(nm)和更低技术节点的优选选项。

[0074] 图8是解说关于普通充电器件模型(CDM)保护电路系统和关于包括G1共源共栅器件126的充电器件模型(CDM)保护电路系统112的-ve充电器件模型(CDM)电压的图表。在普通充电器件模型(CDM)保护电路系统中,在-ve充电器件模型(CDM)测试期间,电压V_{gs} 866a摆动得几乎与V_{in}-V_{gnd} 864a一样高,从而造成第一n沟道晶体管730的故障。在包括G1共源共栅器件726的充电器件模型(CDM)保护电路系统112中,在-ve充电器件模型(CDM)测试期间,电压V_{gs} 866b比V_{in}-V_{gnd} 864b低得多,从而防止第一n沟道晶体管730的故障。

[0075] 图9是用于提供静电放电(ESD)保护的另一方法900的流程图。具体而言,方法900可以提供针对-ve充电器件模型(CDM)测试的静电放电(ESD)保护。方法900可由包括充电器件模型(CDM)保护电路系统112的射频集成电路(RFIC)104执行。充电器件模型(CDM)保护电路系统112可包括G1共源共栅器件126。

[0076] 射频集成电路(RFIC)104可以在输入信号焊盘108处检测902-ve充电器件模型(CDM)电压脉冲。射频集成电路(RFIC)104可以传导904电流通过耦合在输入信号焊盘108与本地供电节点736之间的-ve二极管122。射频集成电路(RFIC)104可以经由RC钳720将-ve充电器件模型(CDM)电流导向906到接地焊盘110。射频集成电路(RFIC)104可使用来自RC钳720的RC钳触发电压760来导通908共源共栅器件。共源共栅器件可以是主共源共栅或G1共源共栅器件726。射频集成电路(RFIC)104可以使用共源共栅器件来导通910输入器件128。射频集成电路(RFIC)104可以维持912从输入器件128的栅极到输入器件128的源极的电压低于输入器件128的故障点。

[0077] 图10是包括de-Q电路系统1014和G1共源共栅器件1026两者的射频集成电路(RFIC)1004的电路图。图10的射频集成电路(RFIC)1004可以是图1的射频集成电路(RFIC)104的一种配置。图10的射频集成电路(RFIC)1004不包括可发生在集成电路中的寄生的模型。射频集成电路(RFIC)1004可以是接收机低噪声放大器(LNA)。射频集成电路(RFIC)104还可包括放大器1028(即,输入器件128)、正供电电压焊盘1006、输入信号焊盘1008、接地焊盘1010、+ve二极管1024、-ve二极管1022、RC钳1020、负载电感器1034以及退化电感器1038。放大器1028可包括第一n沟道晶体管1030和第二n沟道晶体管1032。第二n沟道晶体管1032可被称为主共源共栅器件。

[0078] 负载电感器1034可耦合在第二n沟道晶体管1032的漏极与本地供电节点1036之间。射频集成电路(RFIC)1004的输出端1035在负载电感器1034与第二n沟道晶体管1032的

漏极之间，输出可被提供给下变频器。正供电电压焊盘1006也可耦合到本地供电节点1036。-ve二极管1022的阴极也可耦合到本地供电节点1036。-ve二极管1022的阳极可耦合到输入信号焊盘1008。输入信号焊盘1008也可耦合到+ve二极管1024的阴极。+ve二极管1024的阳极可耦合到本地接地节点1040。输入信号焊盘1008可进一步耦合到第一n沟道晶体管1030的栅极。接地焊盘1010还可耦合到本地接地节点1040。退化电感器1038可耦合在第一n沟道晶体管1030的源极与本地接地节点1040之间。

[0079] 第一n沟道晶体管1030的漏极可耦合至第二n沟道晶体管1032的源极。RC钳1020可耦合在本地供电节点1036和本地接地节点1040之间。de-Q电路系统1014可包括串联的电阻器1016和二极管1018。二极管1018可在正常操作期间反向偏置，并且具有对接收机性能的可忽略的影响。电阻器1016可耦合在第一n沟道晶体管1030的源极与二极管1018的阳极之间。二极管1018的阴极可耦合到第一n沟道晶体管1030的栅极。

[0080] G1共源共栅器件1026的漏极可耦合到本地供电节点1036 (G1共源共栅器件1026可以是n沟道晶体管)。G1共源共栅器件1026的源极可耦合到主共源共栅的源极。G1共源共栅器件1026的栅极可耦合到由RC钳1020提供的RC钳触发电压1060。RC钳触发电压1060还可耦合到主共源共栅的栅极(即，第二n沟道晶体管1032的栅极)。在-ve充电器件模型(CDM)测试期间，射频集成电路(RFIC)1004中的G1共源共栅1026的功能与以上结合图6讨论的相同。在+ve充电器件模型(CDM)测试期间，de-Q电路系统1014的功能与以上结合图3讨论的相同。

[0081] 图11是包括正向偏置二极管1170的射频集成电路(RFIC)1104的更详细电路图。具体而言，图11的射频集成电路(RFIC)1104包括集成电路中固有的寄生。射频集成电路(RFIC)1104可以是接收机低噪声放大器(LNA)。射频集成电路(RFIC)1104可包括放大器(即，输入器件128)、正供电电压焊盘1106、输入信号焊盘1108、接地焊盘1110、+ve二极管1124、-ve二极管1122、RC钳1120、正向偏置二极管1170、负载电感器1134以及退化电感器1138。放大器可包括第一n沟道晶体管1130和第二n沟道晶体管1132。第二n沟道晶体管1132可被称为主共源共栅器件。图11中所示的寄生只是模型且不表示射频集成电路(RFIC)1104内的实际组件。-ve充电器件模型(CDM)路径1162被示为从输入信号焊盘1108到接地焊盘1110。

[0082] 负载电感器1134可耦合在第二n沟道晶体管1132的漏极与本地供电节点1136之间。射频集成电路(RFIC)1104的输出端1135在负载电感器1134与第二n沟道晶体管1132的漏极之间，输出可被提供给下变频器。本地供电节点1136可经由包括寄生电阻1144a和寄生电感1146a的耦合线来耦合到正供电电压焊盘1106。因为集成电路中的无源组件(例如，电感器)通常比有源组件(例如，晶体管)大得多，所以用来耦合射频集成电路(RFIC)1104上的各组件的线可包括显著的寄生电阻和显著的寄生电容(取决于耦合线的长度)。

[0083] -ve二极管1122的阴极可经由包括寄生电感1146b和寄生电阻1144b的耦合线来耦合到本地供电节点1136。-ve二极管1122的阳极可耦合到输入信号焊盘1108。输入信号焊盘1108处的电压可以是电压 V_{in} 。输入信号焊盘1108也可耦合到+ve二极管1124的阴极。+ve二极管1124的阳极可经由包括寄生电阻1144c和寄生电感1146c的耦合线来耦合到本地接地节点1140。+ve二极管1124的阳极处的电压可被称为二极管接地节点1147。本地接地节点1140处的电压可被称为 V_{gnd} 。

[0084] 接地焊盘1110可经由包括寄生电阻1144d和寄生电感1146d的耦合线来耦合到本

地接地节点1140。退化电感器1138可耦合在本地接地节点1140与第一n沟道晶体管1130的源极之间。输入信号焊盘1108也可耦合到第一n沟道晶体管1130的栅极。第一n沟道晶体管1130的本体可耦合到寄生二极管DNW1156的阳极。寄生二极管DNW 1156的阴极可耦合到本地供电节点1136。第一n沟道晶体管1130的本体也可耦合到寄生二极管PW 1154的阳极。寄生二极管PW 1154的阴极可耦合到第一n沟道晶体管1130的源极。第一n沟道晶体管1130的本体可经由包括寄生电阻1144e和寄生电感1146e的耦合线来耦合到本地接地节点1140。

[0085] +ve二极管1124的阳极可耦合到寄生二极管1158的阳极。寄生二极管psub1158的阴极可耦合到寄生二极管DNW 1156的阴极。

[0086] 第一n沟道晶体管1130的漏极可耦合至第二n沟道晶体管1132的源极。RC钳1120可耦合在本地供电节点1136和本地接地节点1140之间。寄生电容Cgs 1142可发生在第一n沟道晶体管1130的源极与第一n沟道晶体管1130的栅极之间。正向偏置二极管1170的阳极可耦合到输入信号焊盘1108。正向偏置二极管1170的阴极可耦合到第一n沟道晶体管1130的本体。

[0087] 正向偏置二极管1170可以提供另一方式来钳制第一n沟道晶体管1130的栅极与第一n沟道晶体管1130的本体之间的电压。这提供了针对第一n沟道晶体管1130的击穿的附加保护。在-ve充电器件模型(CDM)事件期间,输入信号焊盘1108(并且因此第一n沟道晶体管1130的栅极)在接地电势处,而接地焊盘1110被充电到电压-ve。第一n沟道晶体管1130的本体(它被短路到本地接地节点1140)也在较低电势处。因而,二极管1170被正向偏置,从而帮助将本地接地节点1140快速充电,由此降低第一n沟道晶体管1130的栅极与扩散区之间的电势差。降低栅极与扩散区之间的电势差还可使PW二极管1154变成正向偏置,这也会对第一n沟道晶体管1130的源极进行充电。

[0088] 图12解说了可被包括在无线设备1201内的某些组件。图12的无线设备1201可以是图1的无线设备102的一种配置。无线设备1201还可被称为且可包括以下各项的功能性中的一些或全部:接入点、广播发射机、B节点、演进型B节点、基站、接入终端、移动站、用户装备(UE)等。无线设备1201包括处理器1203。处理器1203可以是通用单芯片或多芯片微处理器(例如,ARM)、专用微处理器(例如,数字信号处理器(DSP))、微控制器、可编程门阵列等。处理器1203可被称为中央处理单元(CPU)。尽管在图12的无线设备1201中仅示出了单个处理器1203,但在替换配置中,可以使用处理器的组合(例如,ARM和DSP)。

[0089] 无线设备1201还包括存储器1205。存储器1205可以是能够存储电子信息的任何电子组件。存储器1205可被实施为随机存取存储器(RAM)、只读存储器(ROM)、磁盘存储介质、光学存储介质、RAM中的闪存设备、随处理器包括的板载存储器、EPROM存储器、EEPROM存储器、寄存器等等,包括其组合。

[0090] 数据1209a和指令1207a可被存储在存储器1205中。指令1207a可由处理器1203执行以实现本文公开的方法。执行指令1207a可涉及使用存储在存储器1205中的数据1209a。当处理器1203执行指令1207a时,指令1207b的各个部分可被加载到处理器1203上,并且数据1209b的各个片段可被加载到处理器1203上。

[0091] 无线设备1201还可包括发射机1211和接收机1213,以允许进行来往于无线设备1201的信号发射和接收。发射机1211和接收机1213可被合称为收发机1215。天线1217可电耦合至收发机1215。无线设备1201还可包括(未示出)多个发射机、多个接收机、多个收发

机、和/或多个天线。

[0092] 无线设备1201可包括数字信号处理器(DSP)1221。无线设备1201还可包括通信接口1223。通信接口1223可允许用户能与无线设备1201交互。

[0093] 无线设备1201的各种组件可由一条或更多条总线耦合在一起，总线可包括电源总线、控制信号总线、状态信号总线、数据总线等。为清楚起见，各种总线在图12中被解说为总线系统1219。

[0094] 术语“确定”广泛涵盖各种各样的动作，并且因此“确定”可包括演算、计算、处理、推导、调研、查找(例如，在表、数据库或其他数据结构中查找)、探明、和类似动作。另外，“确定”还可包括接收(例如，接收信息)、访问(例如，访问存储器中的数据)、和类似动作。另外，“确定”可包括解析、选择、选取、建立、和类似动作等等。

[0095] 除非明确另行指出，否则短语“基于”并非意味着“仅基于”。换言之，短语“基于”描述“仅基于”和“至少基于”两者。

[0096] 术语“处理器”应被宽泛地解读为涵盖通用处理器、中央处理单元(CPU)、微处理器、数字信号处理器(DSP)、控制器、微控制器、状态机等等。在某些情景下，“处理器”可以是指专用集成电路(ASIC)、可编程逻辑器件(PLD)、现场可编程门阵列(FPGA)，等等。术语“处理器”可以是指处理设备的组合，例如DSP与微处理器的组合、多个微处理器、与DSP核心协作的一个或多个微处理器、或任何其他这类配置。

[0097] 术语“存储器”应被宽泛地解读为涵盖能够存储电子信息的任何电子组件。术语存储器可以是指各种类型的处理器可读介质，诸如随机存取存储器(RAM)、只读存储器(ROM)、非易失性随机存取存储器(NVRAM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式PROM(EEPROM)、闪存、磁或光学数据存储、寄存器等等。如果处理器能从存储器读信息和/或向存储器写信息，则认为该存储器与该处理器正处于电子通信中。整合到处理器的存储器与该处理器处于电子通信中。

[0098] 术语“指令”和“代码”应被宽泛地解读为包括任何类型的计算机可读语句。例如，术语“指令”和“代码”可以是指一个或多个程序、例程、子例程、函数、规程等。“指令”和“代码”可包括单条计算机可读语句或许多条计算机可读语句。

[0099] 本文中所描述的功能可以在正由硬件执行的软件或固件中实现。各功能可以作为一条或多条指令存储在计算机可读介质上。术语“计算机可读介质”或“计算机程序产品”是指能被计算机或处理器访问的任何有形存储介质。作为示例而非限定，计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其他光盘储存、磁盘储存或其他磁储存设备、或任何其他能够用于携带或存储指令或数据结构形式的期望程序代码且能由计算机访问的介质。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光[®]碟，其中盘常常磁性地再现数据而碟用激光来光学地再现数据。应注意，计算机可读介质可以是有形且非瞬态的。术语“计算机程序产品”是指计算设备或处理器结合可由该计算设备或处理器执行、处理或计算的代码或指令(例如，“程序”)。如本文中所使用的，术语“代码”可以是指可由计算设备或处理器执行的软件、指令、代码或数据。

[0100] 软件或指令还可以在传输介质上传送。例如，如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)、或诸如红外、无线电、以及微波等无线技术从web站点、服务器或其它远程源传送而来的，则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、

以及微波等无线技术就被包括在传输介质的定义里。

[0101] 本文所公开的方法包括用于实现所描述的方法的一个或多个步骤或动作。这些方法步骤和/或动作可以彼此互换而不会脱离权利要求的范围。换言之，除非所描述的方法的正确操作要求步骤或动作的特定次序，否则便可改动具体步骤和/或动作的次序和/或使用而不会脱离权利要求的范围。

[0102] 此外，应领会，用于执行本文中所描述的（诸如图5和9所示的那些）方法和技术的模块和/或其他恰适装置可以由设备下载和/或以其他方式获得。例如，可以将设备耦合至服务器以便于转送用于执行本文中所描述的方法的装置。替换地，本文描述的各种方法可经由存储装置（例如，随机存取存储器（RAM）、只读存储器（ROM）、诸如压缩碟（CD）或软盘等物理存储介质等等）来提供，以使得一旦将该存储装置耦合至或提供给设备，该设备就可获得各种方法。此外，可利用适于向设备提供本文中所描述的方法和技术的任何其他合适的技术。

[0103] 将理解，权利要求并不被限定于以上所解说的精确配置和组件。可在本文中所描述的系统、方法和装置的布局、操作及细节上作出各种改动、更换和变型而不会脱离权利要求的范围。

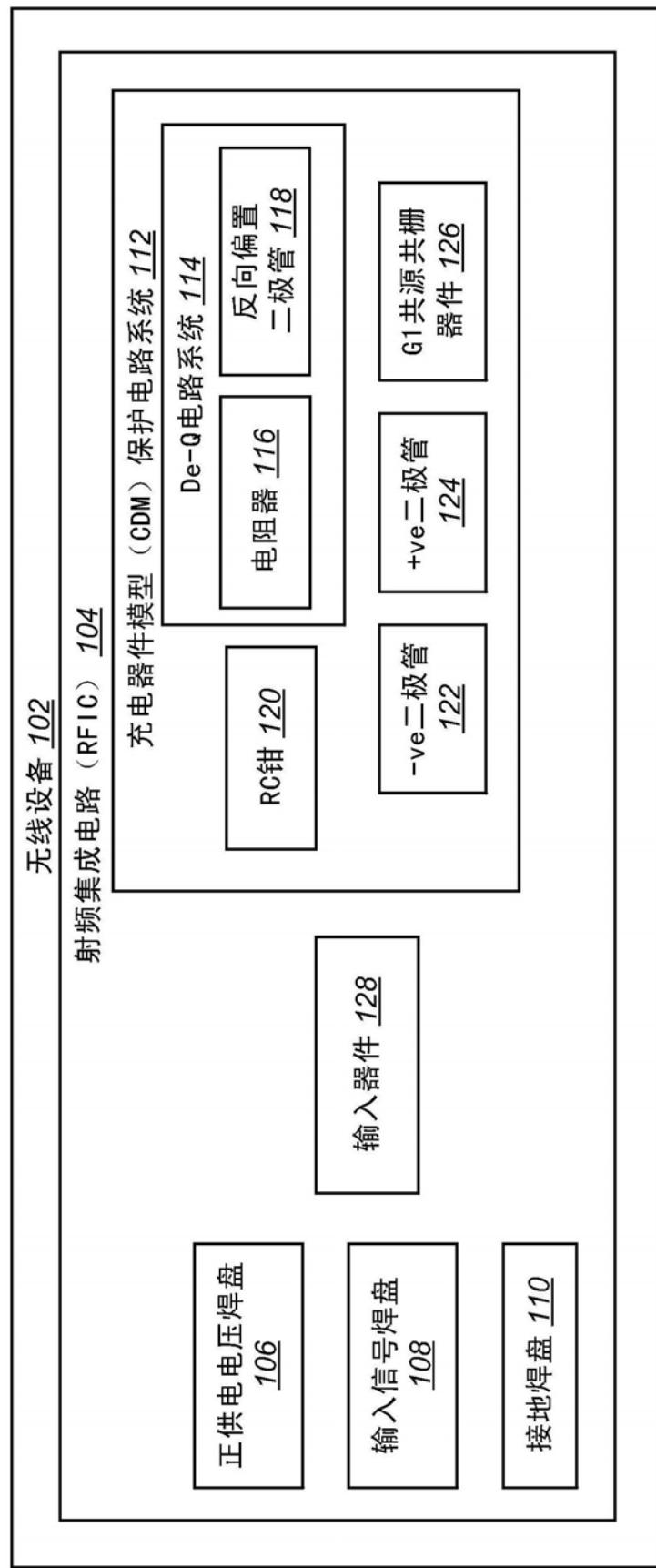


图1

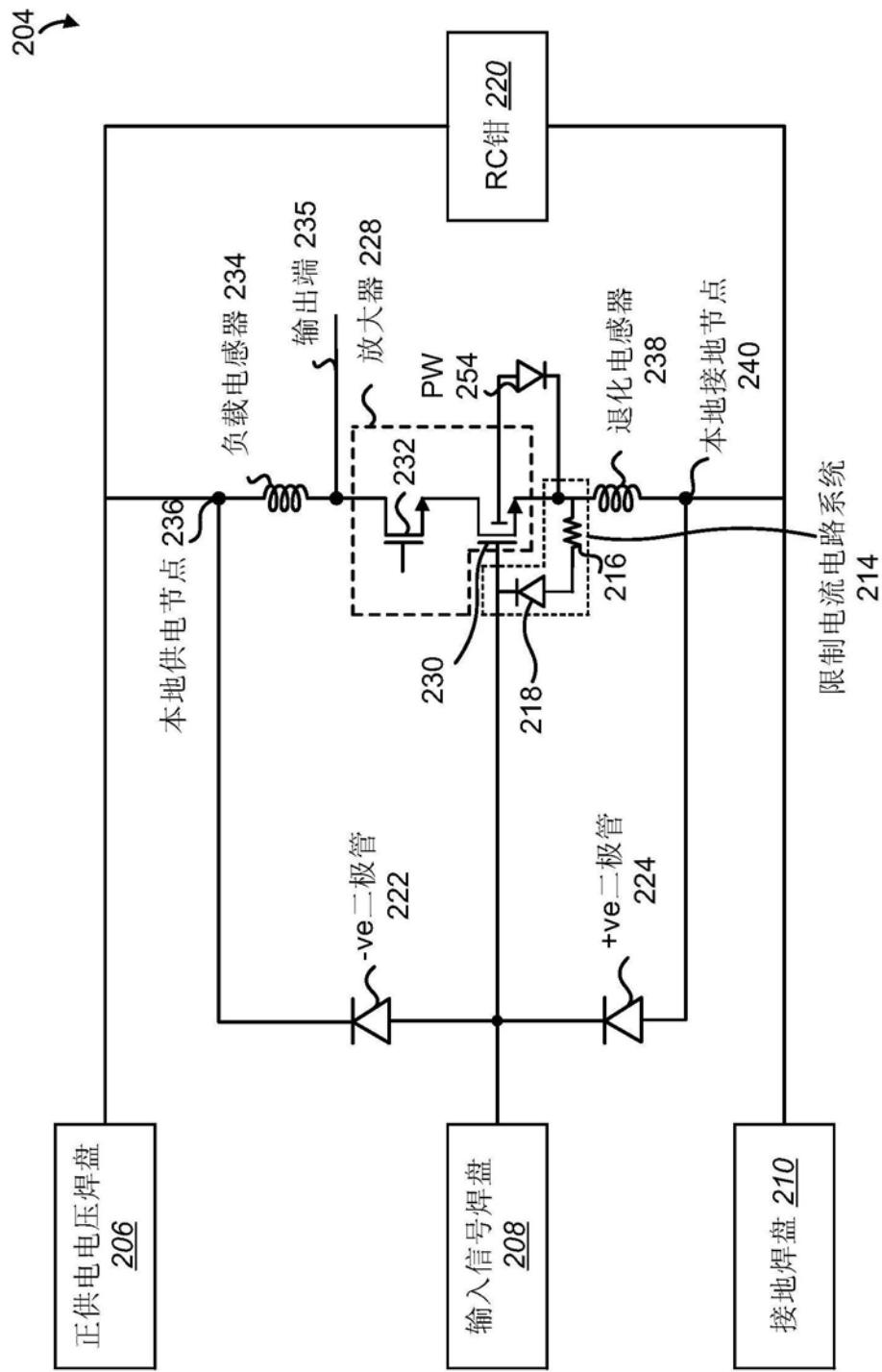


图2

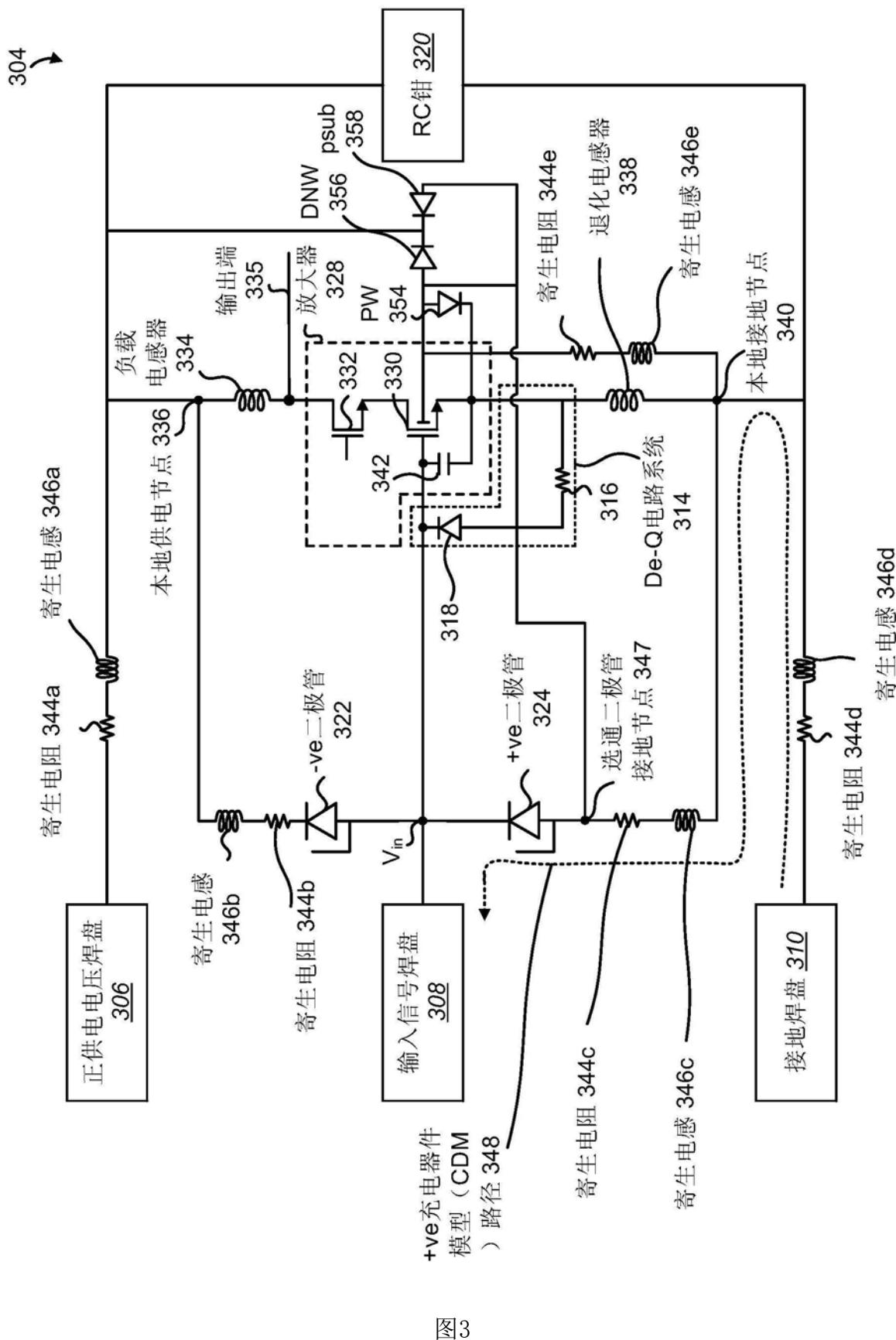


图3

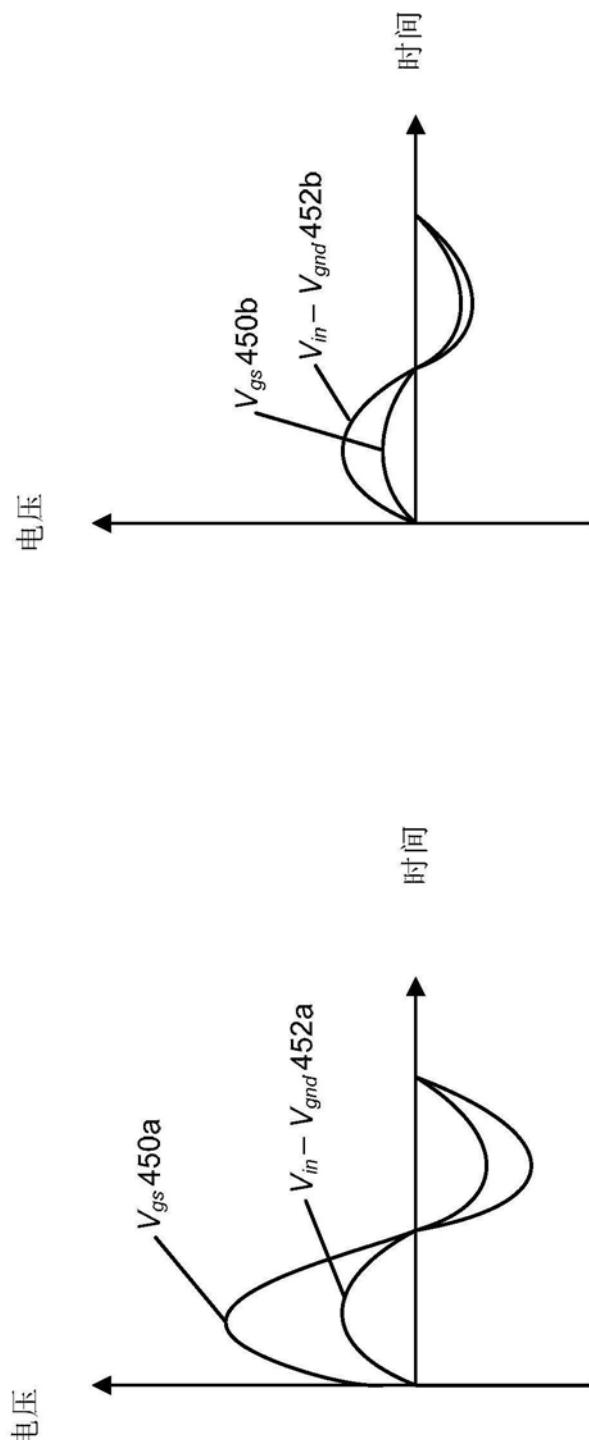


图4

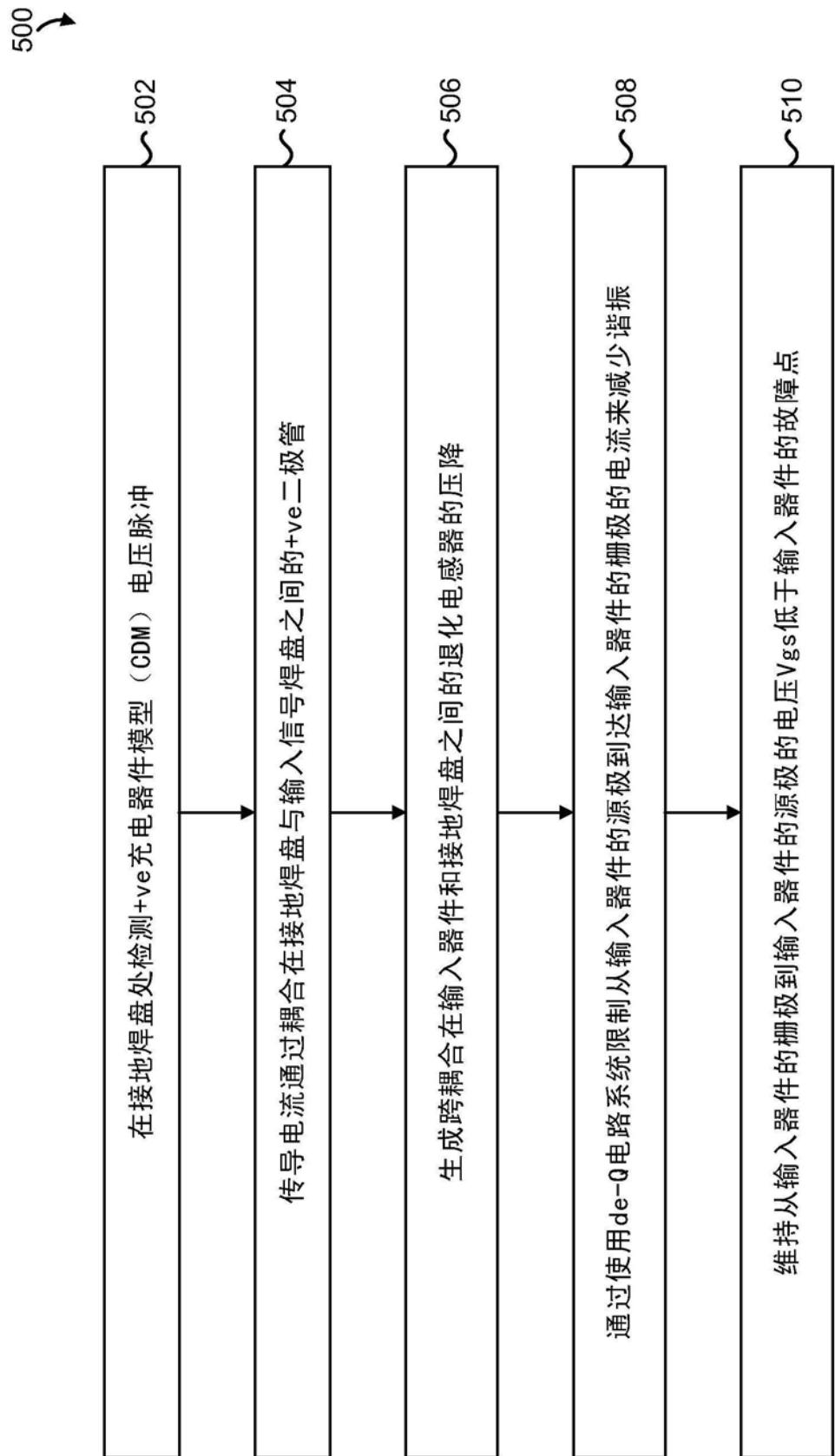


图5

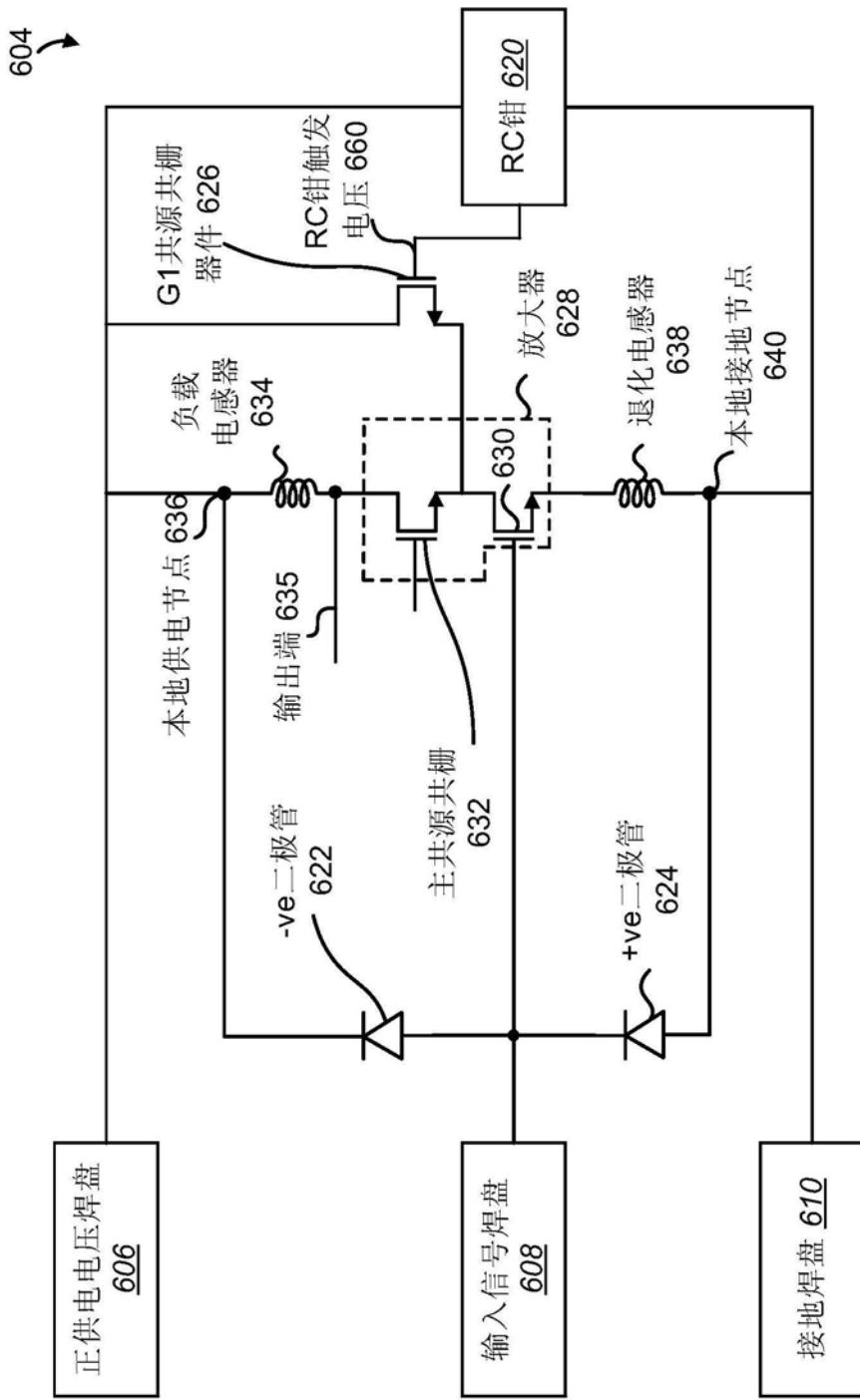


图6

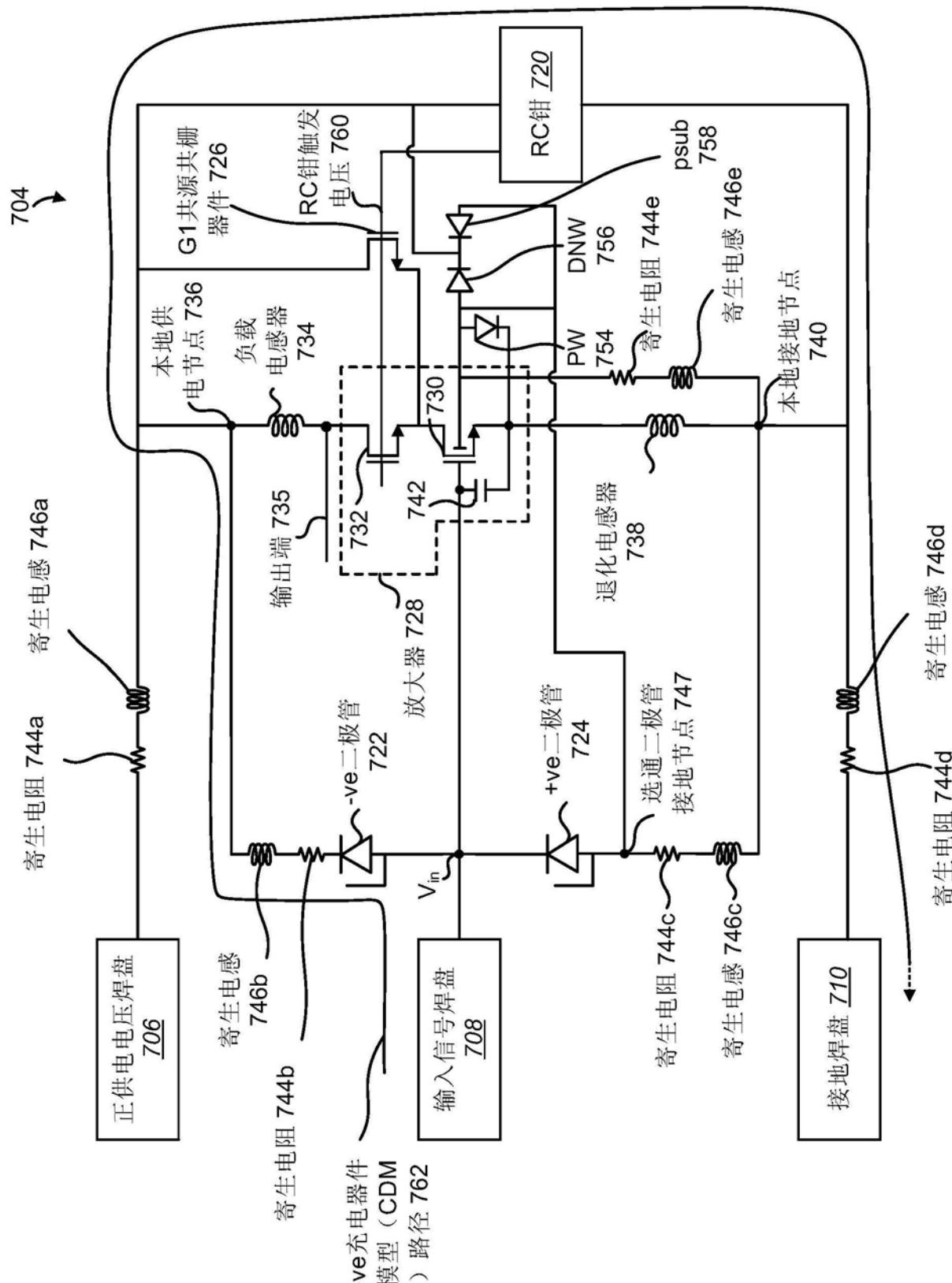


图7

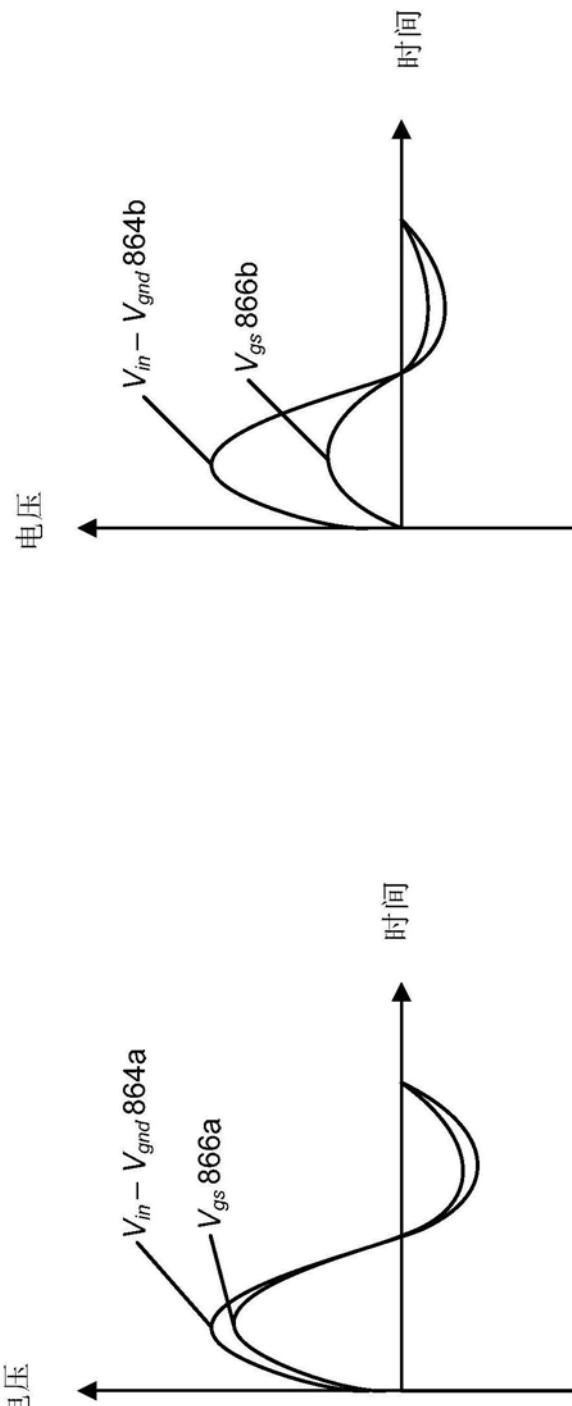


图8

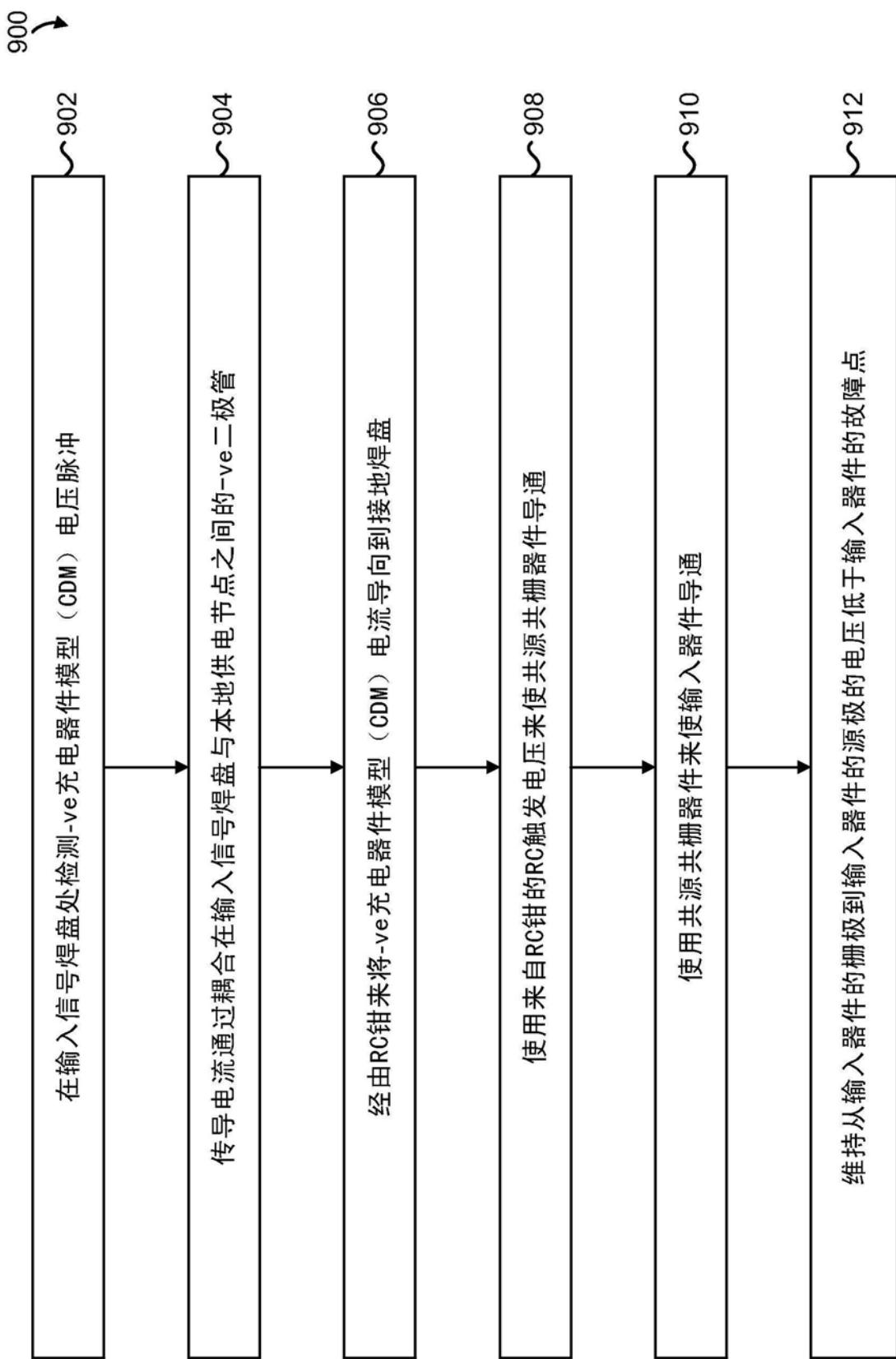


图9

1004

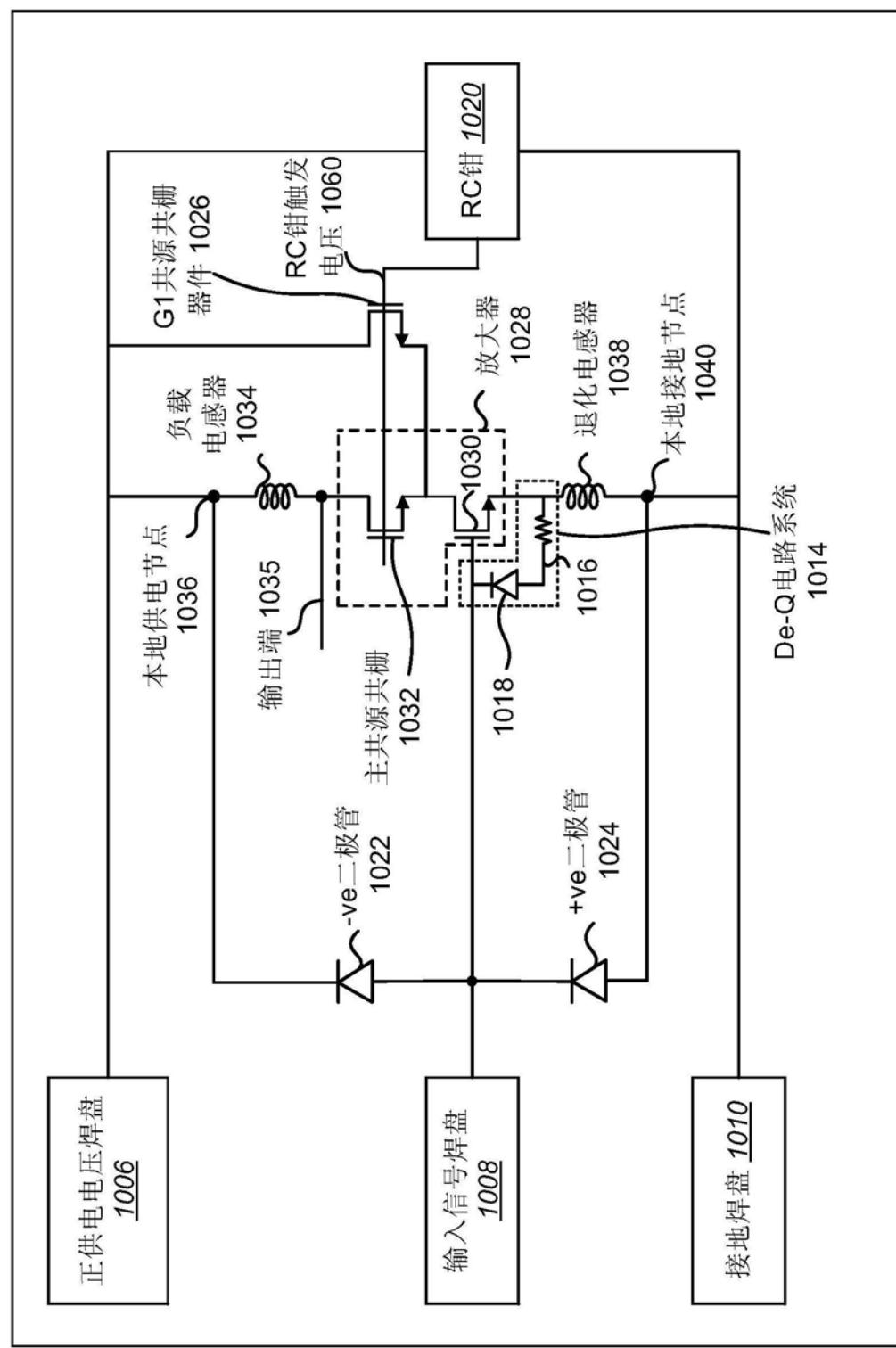


图10

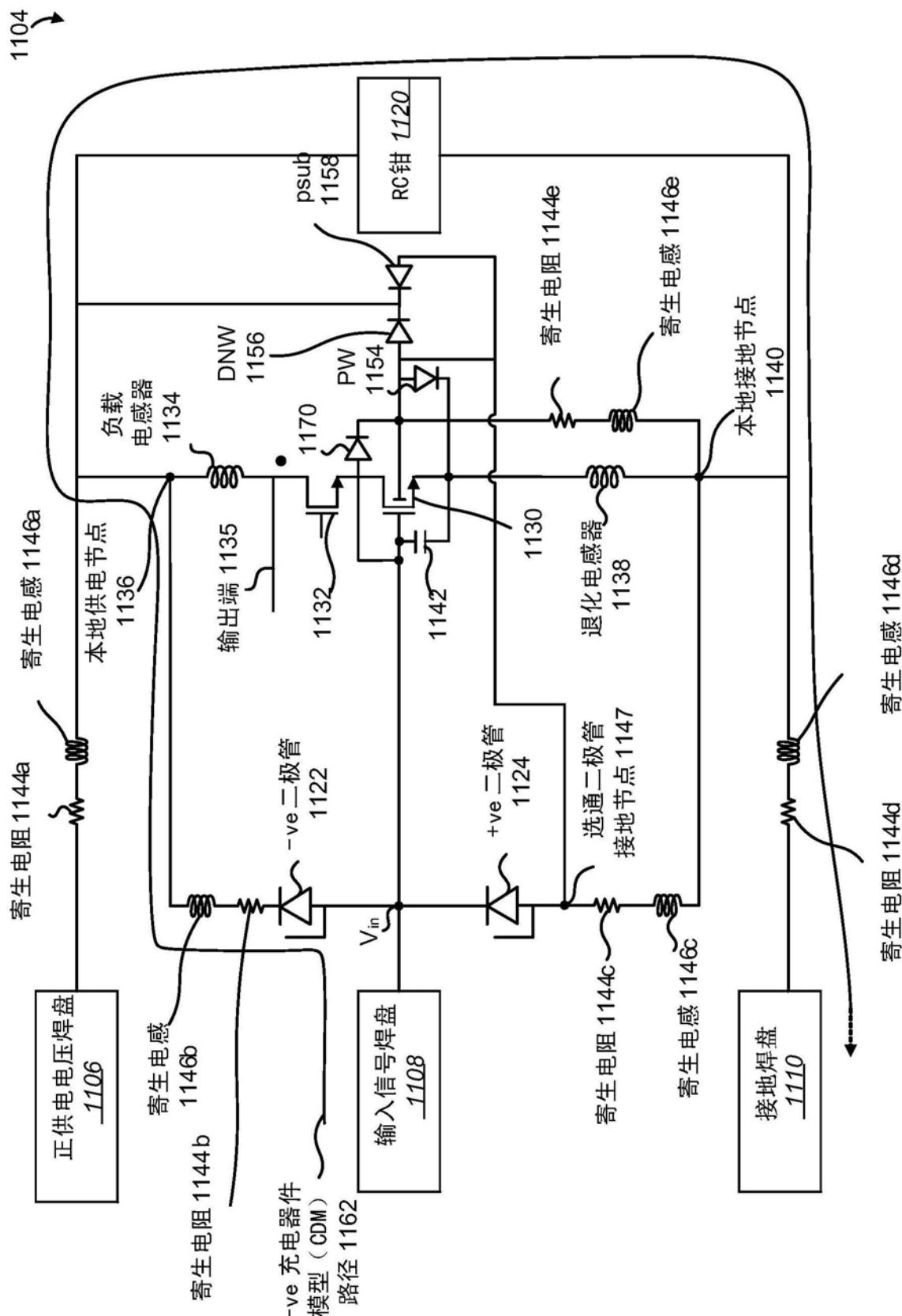


图 11

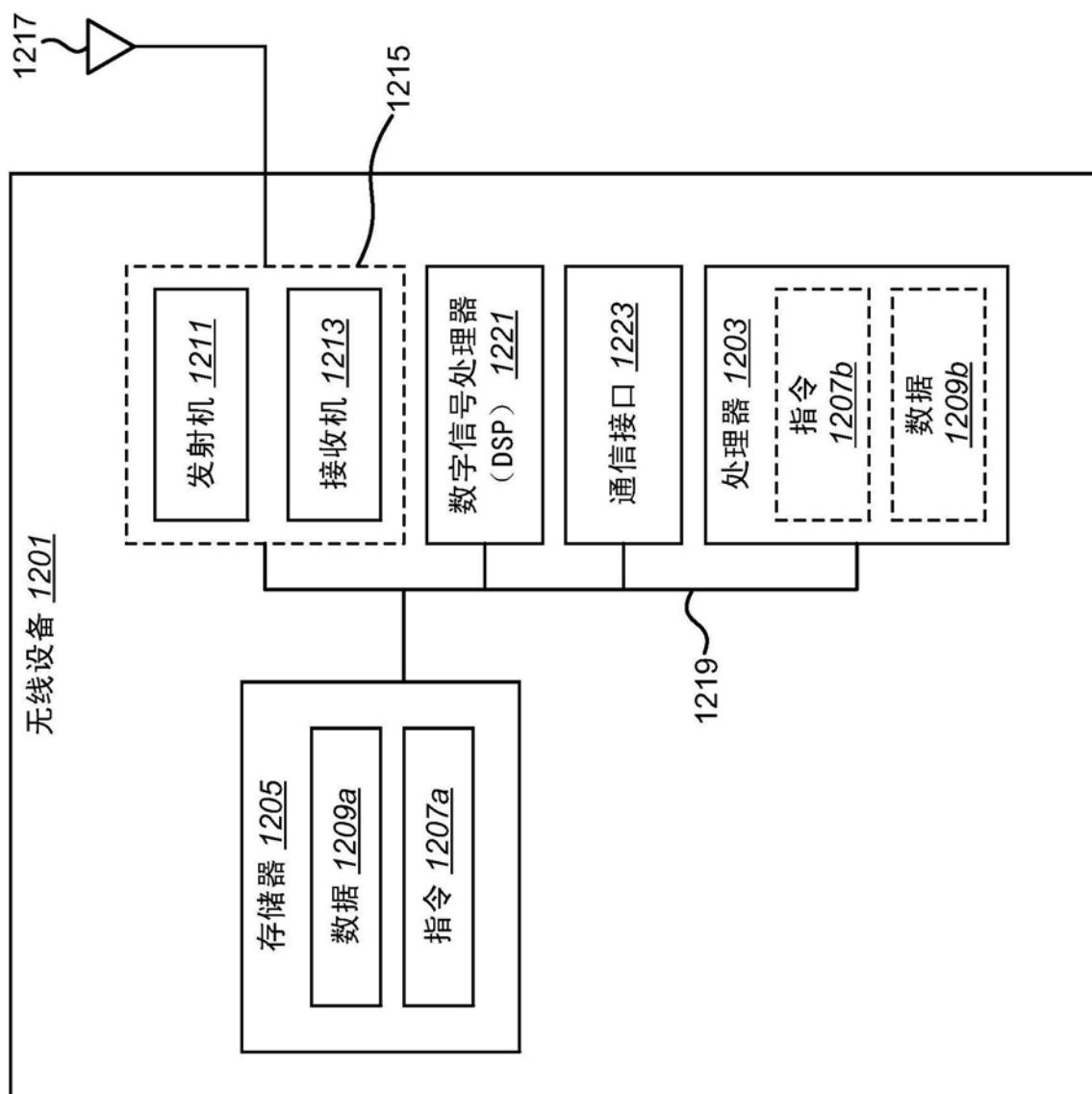


图12