



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I502688 B

(45)公告日：中華民國 104 (2015) 年 10 月 01 日

(21)申請案號：101127023

(22)申請日：中華民國 101 (2012) 年 07 月 26 日

(51)Int. Cl. : H01L21/8247(2006.01)

H01L27/115 (2006.01)

(30)優先權：2011/07/26 美國

13/191,223

(71)申請人：賽諾西斯公司 (美國) SYNOPSYS, INC. (US)

美國

(72)發明人：霍屈 安德魯 E HORCH, ANDREW E. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200947679A

JP 3-250669A

JP 2009-60125A

US 2010/0252874A1

審查人員：毛弘瑋

申請專利範圍項數：25 項 圖式數：8 共 40 頁

(54)名稱

具有一替換控制閘極及額外浮動閘極之非揮發性記憶體位元單元

NVM BITCELL WITH A REPLACEMENT CONTROL GATE AND ADDITIONAL FLOATING GATE

(57)摘要

實施例係關於一種具有一替換金屬控制閘極及一額外浮動閘極之非揮發性記憶體(「NVM」)位元單元。可在無需任何額外製程步驟之情況下使用一標準互補型金屬氧化物半導體製程(「CMOS製程」)來產生該位元單元，以藉此減少與製造併入該 NVM 位元單元之一半導體裝置相關聯之成本及時間。

Embodiments relate to a nonvolatile memory (“NVM”) bitcell with a replacement metal control gate and an additional floating gate. The bitcell may be created using a standard complementary metal-oxide-semiconductor manufacturing processes (“CMOS processes”) without any additional process steps, thereby reducing the cost and time associated with fabricating a semiconductor device incorporating the NVM bitcell.

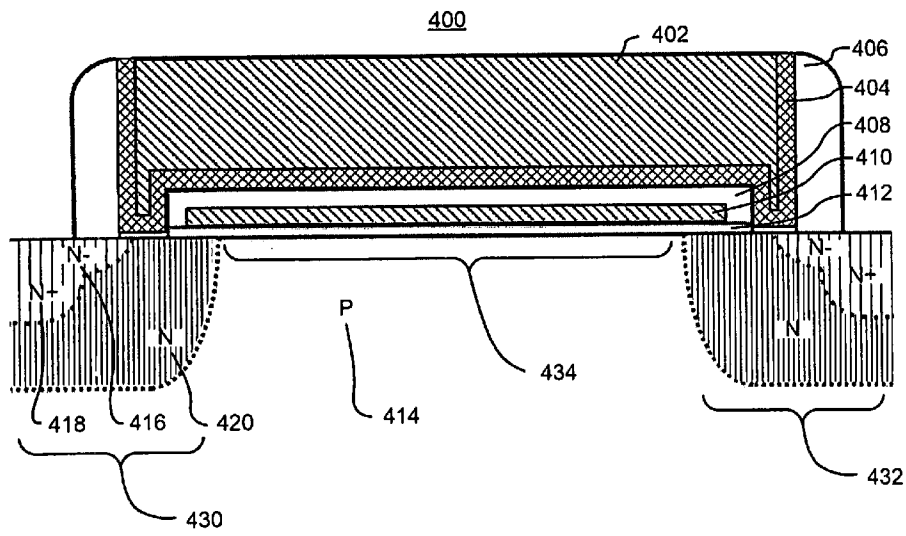


圖4

- 400 . . . 位元單元
- 402 . . . 控制閘極
- 414 . . . 塊體 P 型
- 矽基板/P 井
- 418 . . . 輕度摻雜汲
- 極(LDD)植入區
- 420 . . . N 井
- 430 . . . 源極
- 432 . . . 汲極
- 434 . . . 通道/通道
- 區

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101127023

※申請日：101.7.26

※IPC 分類：H01L 21/8247 (2006.01)

H01L 27/15 (2006.01)

一、發明名稱：(中文/英文)

具有一替換控制閘極及額外浮動閘極之非揮發性記憶體位元單元

NVM BITCELL WITH A REPLACEMENT CONTROL GATE AND
ADDITIONAL FLOATING GATE

二、中文發明摘要：

實施例係關於一種具有一替換金屬控制閘極及一額外浮動閘極之非揮發性記憶體(「NVM」)位元單元。可在無需任何額外製程步驟之情況下使用一標準互補型金屬氧化物半導體製程(「CMOS製程」)來產生該位元單元，以藉此減少與製造併入該NVM位元單元之一半導體裝置相關聯之成本及時間。

三、英文發明摘要：

Embodiments relate to a nonvolatile memory ("NVM") bitcell with a replacement metal control gate and an additional floating gate. The bitcell may be created using a standard complementary metal-oxide-semiconductor manufacturing processes ("CMOS processes") without any additional process steps, thereby reducing the cost and time associated with fabricating a semiconductor device incorporating the NVM bitcell.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

400	位元單元
402	控制閘極
414	塊體P型矽基板/P井
418	輕度摻雜汲極(LDD)植入區
420	N井
430	源極
432	汲極
434	通道/通道區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於非揮發性記憶體之領域，特定言之，本發明係關於非揮發性記憶體位元單元佈局。

【先前技術】

非揮發性記憶體(NVM)意指在不供電時亦持續儲存資訊位元之記憶體。一非揮發性記憶體位元單元(NVM位元單元)儲存一單位元之資料。使用具有浮動閘極之電晶體來實施一些類型之NVM位元單元。駐存於一浮動閘極上之電荷量判定位元單元儲存邏輯「1」或邏輯「0」。浮動閘極被稱為「浮動」，此係因為氧化物或介電質使閘極與周圍環境電隔離。一些NVM可將一種以上狀態儲存在位元單元中。

可期望降低NVM位元單元之功率及尺寸要求以擴大應用且降低記憶體裝置之成本。降低一NVM位元單元之功率及尺寸要求之一方式為：減小位元單元浮動閘極與位元通道(其添加電荷及自浮動閘極移除電荷)之間之障壁之厚度。一較薄障壁允許一較小整體裝置且降低使浮動閘極之邏輯狀態改變之所需功率量。傳統上，NVM位元單元已由一 SiO_2 障壁之頂部上之一多晶矽或 Si_3N_4 浮動閘極(亦稱為閘極氧化物)組成。為製造汲取較少功率之一較小裝置，位元單元製造者已藉由用較高介電常數(高K)材料來替換傳統 SiO_2 閘極氧化物而減小該閘極氧化物之有效厚度。無需持續儲存一狀態之邏輯裝置之製造者可更積極地調節閘極

氧化物厚度且比製造NVM更容易地改變材料。

用作為閘極氧化物之高K材料含有若干陷阱。陷阱為可使電子移進及移出之障壁中之缺陷。若該等陷阱緊密接近，則電子能夠自一陷阱移動至另一陷阱。此陷阱跳躍被稱為陷阱輔助洩漏。陷阱輔助洩漏防止一NVM位元單元中之長期資料儲存。即使存在防止電子洩漏至另一節點之一障壁，但浮動閘極近處之陷阱可導致包含一高K障壁之位元單元經歷一記憶效應。當陷阱在添加電荷或自浮動閘極移除電荷時變為填充有透過障壁而傳輸之電荷載子時，導致該記憶效應。當浮動閘極被程式化為相反狀態時，儲存於該等陷阱中之電荷隨時間逝去而反向遷移至浮動閘極。此導致浮動閘極恢復或部分恢復至其先前狀態。若存在足夠經填充陷阱，則該記憶效應可變為足夠嚴重以難以在位元單元上維持兩種不同邏輯狀態(例如0及1)。可由過程式化補償該記憶效應。然而，過程式化可導致其他問題，諸如導致障壁介電質磨穿或導致無法執行未來寫入操作。

就傳統閘極氧化物型障壁而言，記憶效應並非一重大問題，此係因為閘極氧化物(諸如 SiO_2)一般具有非常少陷阱。然而，高K材料富含陷阱使得記憶效應成為一重大問題。除記憶效應問題以外，陷阱亦可導致其他問題，諸如隨機電報雜訊(即，臨限電壓變動)。

【發明內容】

例示性實施例包含一種具有兩個氧化物障壁之非揮發性記憶體(「NVM」)位元單元，該兩個氧化物障壁之第一者

使一邏輯浮動閘極與一高K障壁及一替換金屬控制閘極分離。第二障壁使該邏輯浮動閘極與一基板分離。該位元單元已降低功率及尺寸要求，且不經歷使用替換金屬閘極及高K障壁之既有平坦位元單元之重大記憶效應特性。可使用互補型金屬氧化物半導體(CMOS)邏輯製程來構造具有22奈米及以下尺寸之該位元單元。該位元單元之設計防止記憶效應問題以及由該位元單元產生期間之熱導致之問題。就額外製程步驟而言，該位元單元可用以製造嵌入式快閃記憶體、磁阻隨機存取記憶體(MRAM)或鐵電隨機存取記憶體。

在一例示性實施例中，位元單元包含由一源極、一汲極及一通道區組成之一基板。一底部障壁(例如二氧化矽障壁)位於該通道區上方。一浮動閘極位於該底部障壁上方且覆蓋該通道區。一頂部障壁位於該浮動閘極上方。一介電層位於該頂部障壁上方。該介電層由具有比該頂部障壁之介電常數高之一介電常數之一材料組成。該介電層含有一介電材料，該介電材料含有比SiO₂顯著更多之陷阱。該介電層覆蓋該頂部障壁且延伸超過該浮動閘極以藉此至少部分包圍該頂部障壁、該底部障壁及該浮動閘極。一控制閘極位於該介電層之至少一部分上方。該控制閘極亦至少部分包圍該頂部障壁、該底部障壁及該浮動閘極。

【實施方式】

實施例係關於一種具有一替換金屬控制閘極及一額外浮動閘極之非揮發性記憶體(「NVM」)位元單元。可使用一

標準互補型金屬氧化物半導體製程(「CMOS製程」)來產生該位元單元，其中在製造邏輯裝置之前執行全部高熱量步驟，使得額外熱量不會影響該等邏輯裝置。

本文所述之「NVM位元單元」、「位元單元」或「位元」意指CMOS型(即，基於電晶體之)非揮發性記憶體。一CMOS NVM位元單元不同於其他類型之NVM記憶體，諸如發現於軟碟中之磁性記憶體或發現於CD或DVD中之光學記憶體。在製造廠(fab)中使用包含諸多製程步驟之一CMOS製程來生產NVM位元單元。

圖1a係一習知CMOS邏輯裝置之一實例之一簡化橫截面圖。具有足夠厚以保持電荷之閘極氧化物之CMOS邏輯裝置可用於浮動閘極NVM位元單元。圖1a之邏輯裝置100a包含由一導電閘極材料組成之一閘極堆疊，該閘極堆疊可用作為一浮動閘極110以儲存透過一障壁112a而傳輸之電荷。浮動閘極110通常由多晶矽製成，且障壁112a通常由SiO₂製成且可被稱為「閘極氧化物」。

圖1b係一習知CMOS邏輯裝置之另一實例之一簡化橫截面圖，其具有使用一閘極替換製程而形成之一高K介電堆疊及一金屬閘極。圖1b之裝置100b包含由一金屬閘極102及一高K介電障壁104組成之一閘極堆疊。在一些情況中，存在一額外基座氧化物112b以防止由表面散射引起之通道區中之遷移率減損且促進裝置之更容易構造。可使用一前閘極(gate first)製程或一後閘極(gate last)製程來構造位元單元100b。構造如圖1b中所例示之一浮動閘極NVM位元單

元具有挑戰性。高K介電質與浮動閘極直接接觸。此將導致一大規模記憶效應。若SiO₂層112b不夠厚，則亦將存在基板之陷阱輔助洩漏。

圖2a及圖2b係根據一實施例之一絕緣體上覆矽(SOI)型NVM位元單元200之垂直橫截面圖。位元單元200係體現為一N型浮動閘極MOSFET。位元單元200亦可構造為P型浮動閘極MOSFET。圖2a繪示一NVM位元單元200沿與通過位元單元200之通道之電流流動平行之一方向之一橫截面。位元單元200之浮動閘極堆疊包含在至少三側上圍封一多晶矽浮動閘極210之一控制閘極202，使得控制閘極202及浮動閘極210在通道區234上實質上居中。在一些情況中，控制閘極202比浮動閘極210厚。由氧化物或其他非導電材料製成之間隔層206可在浮動閘極堆疊之外側上。

具有一高介電常數(高K)之一材料層204及非導電材料(諸如SiO₂)之一頂部障壁208係介於控制閘極202與浮動閘極210之間。頂部障壁208亦可被稱為頂部氧化物層。該等層經配置使得高K層204位於控制閘極202與頂部氧化物層208之間，且頂部氧化物層208位於高K層204與浮動閘極210之間。一底部障壁212位於浮動閘極210與形成位元單元200之剩餘部分之矽基板之間。底部障壁212亦可由SiO₂製成且可被稱為底部氧化物層。在頂部氧化物層與底部氧化物層兩者中，可使用除SiO₂以外之材料，只要該等材料具有相對較低數目之電荷載子陷阱。障壁208及212具有比存在於高K層204中之陷阱之數目更少之陷阱。障壁208及

212一般將具有比高K層204更低之一介電常數。障壁208及212之各者為至少43埃厚且可厚達200埃。60埃為障壁208及212之一典型厚度。

在底部氧化物層212下方，矽基板位於一絕緣體(圖中未展示)之頂部上。位元單元200為一絕緣體上覆矽(SOI)型構造。例如，該絕緣體可為一內埋式氧化物層(圖中未展示)。該基板包含浮動閘極210下方之一P型本體區214。浮動閘極210及底部障壁212延伸超出P型本體區214之長度。當啟動裝置時，直接在底部障壁212下方之源極區230與汲極區232之間之P型區之部分中形成一通道區234。通道區234之尺寸之特徵在於：源極區230與汲極區232之間之載子之流動取決於源極230、汲極232處之電壓、浮動閘極210上之電荷、控制閘極202上之電荷及源極230及汲極232之摻雜/植入。

基板亦包含涵蓋源極230及汲極232之N型本體區220。N型本體區220在浮動閘極210及底部障壁212下方延伸至中途。N型本體區220亦在控制閘極202之部分及包圍浮動閘極210之高K層下方延伸。N型本體區220亦延伸超過間隔層206之邊緣。N型本體區220具有極性與P型本體區214相反(或導電型)之摻雜/植入電荷載子之一基本量以減小源極230或基極232與通道區234之間之電阻。在浮動閘極210與源極/汲極區230、232之間存在一間隙之製程中，製程包含植入步驟以電連接浮動閘極210下方之源極/汲極區230、232與通道區234。在一情況中，可使用N型本體區220。可使P型本

體區 214 與 N 型本體區 220 兩者摻雜有每立方厘米 10^{17} 至 10^{18} 範圍內之原子。

N 型本體區亦包含形成源極 230 及汲極 232 之額外電子植入區。源極與汲極兩者包含一輕度摻雜汲極 (LDD) 區 218。LDD 區 218 在 N 型本體區之表面或表面附近處具有最高摻雜物濃度，且進一步下落至井中。LDD 摻雜質 218 之數量為每立方厘米約 10^{19} 個電荷載子。LDD 區 218 在與控制閘極 202 及高 K 材料 204 界接之間隔層 206 下方延伸至中途。

亦透過額外植入電荷載子 (此版本中為電子) 而在源極與汲極兩者處之 N 型區中形成額外 LDD 區 216。LDD 摻雜質 216 之數量為每立方厘米約 10^{19} 至 10^{20} 個電荷載子。LDD 區 216 位於其他 LDD 區 218 之相鄰處。LDD 區 216 在控制閘極 202 之部分及包圍浮動閘極 210 之高 K 層 204 下方延伸至中途。在位元單元 200 中，LDD 區 216 未在浮動閘極區 210 下方延伸且 LDD 區 216 亦未延伸至 N 型本體區 220 與 P 型本體區 214 之間之邊界。

若製程在 LDD 之部分處具有一暈狀植入以防止 LDD 區接觸 N 型本體區 220，則該暈狀植入被阻止。

圖 2b 繪示沿與 NVM 位元單元 200 之通道中之電流流動垂直之一方向之位元單元 200 之一橫截面。在該垂直方向上，P 型本體區 214 與一淺溝渠隔離區 (STI) 222 之兩側界接。STI 222 防止位元單元 200 之間之電流洩漏，其中多個位元單元 200 經緊密放置以形成一多位元記憶體裝置。

在位元單元 200 之若干區 (其中控制閘極 202 耦合至 STI

222上方之浮動閘極210)中，在不增大浮動閘極210與基板(例如P型區214、源極230及汲極232)之間之電容之情況下增大控制閘極202與浮動閘極210之間之電容。因此，控制閘極202與STI 222上方之浮動閘極210之間之重疊部分之表面面積之增大使浮動閘極210與控制閘極202之間之電容增大。類似地，控制閘極202與浮動閘極210之間之重疊部分之表面面積之減小使浮動閘極210與控制閘極202之間之電容減小。電容可為0至幾乎100%之間之任何值。

在一NVM裝置中，一記憶體區塊涵蓋諸多記憶體位元單元。該記憶體區塊通常包含一機制以控制待寫入、待讀取或待擦除之位元為何者以區分該區塊中之其他位元單元之各位元。在一些情況中，在記憶體之各位元內實施該控制機制。對各位元實施一控制機制以允許對各個別位元進行讀取、寫入及擦除控制。位元單元200併入呈控制閘極202形式之一控制機制。

可使用控制閘極202以藉由使電荷移向或移離浮動閘極210而寫入或擦除浮動閘極210。浮動閘極210與控制閘極202之間之電容越大，控制閘極202與浮動閘極210之耦合越緊密，使得浮動閘極210上之電壓將更緊密追蹤控制閘極202上之電壓。若浮動閘極起始於0伏特(V)，則使控制閘極202達一高電壓(例如9伏特)且使位元單元200之源極230及汲極232保持0伏特，假定自浮動閘極至控制閘極之一耦合比為80%，則浮動閘極將被耦合高達7.2伏特之。當浮動閘極與基板之間之一差值為7.2伏特時，一或多個同

時傳輸機制可使電子移動穿過閘極氧化物以藉此導致浮動閘極電壓下降。傳輸機制(諸如 Fowler-Nordheim(FN)穿隧、通道熱注入(CHI))影響離子化熱電子注入(IHEI)或能帶間穿隧(BTBT)。

控制閘極202可用以讀取浮動閘極210上之電荷。控制閘極202被設定為讀取電壓(例如0伏特或1伏特)。一電壓係施加至源極230及汲極232以具有源極與汲極之間之電壓降，若浮動閘極具有略大於位元單元200之 V_T 之一電壓，則將形成自源極至汲極之一通道234。若浮動閘極電壓小於 V_T ，則不會形成通道234。通道234將在浮動閘極210處於一第一邏輯狀態(例如1或邏輯高)之條件下使一電流通過源極230與汲極232之間且將在浮動閘極210處於一第二邏輯狀態(例如0或邏輯低)之條件下不使電流通過。

圖3係根據另一實施例之一絕緣體上覆矽(SOI)型NVM位元單元之一橫截面圖。如同位元單元200，位元單元300係體現為使用一SOI構造之一N型浮動閘極MOSFET。位元單元300亦可被構造為P型浮動閘極MOSFET。圖3繪示沿與位元單元300之通道中之電流流動平行之一方向之NVM位元單元300之一橫截面。在此情況中，位元單元300具有多數與位元單元200相同之元件。然而，位元單元300之元件在尺寸及形狀上明顯不同。

位元單元300之浮動閘極堆疊包含位於一多晶矽浮動閘極310之頂部上之一金屬控制閘極302。與位元單元200之控制閘極202相比，位元單元300之控制閘極302未包圍浮

動閘極310。控制閘極302與浮動閘極310一樣長，或在通道區334之方向上比浮動閘極310窄。控制閘極302及浮動閘極310在通道區334上實質上居中。間隔層306位於浮動閘極堆疊之外側上。

如同位元單元200，位元單元300中存在一高K層304、一非導電材料頂部障壁308、一底部障壁312。一般相對於位於通道區334上方之層之部分以與位元單元200相同之方式垂直配置此等層。然而，與位元單元200相比，位元單元300中之此等層之長度及形狀因控制閘極302未包圍浮動閘極310之事實而不同。在位元單元300中，高K層304未包圍浮動閘極310。高K層304與控制閘極302對齊。頂部障壁308及底部障壁312延伸浮動閘極310之長度且可在包圍控制閘極302及高K層304之間隔層306之頂部部分下方延伸。由於間隔層306與障壁308及312兩者係由非導電材料形成，所以間隔層之精確配置及構造可變動。相較於間隔層306之頂部部分，與浮動閘極310及障壁308及312共面之間隔層306之底部部分可在P型本體區314上方進一步延伸。

位元單元300具有一P型本體區314。當啟動裝置時，直接在底部障壁312下方之源極區330與汲極區332之間之P型區314之部分中形成一通道區334。位元單元300不具有位於源極及汲極處之N型本體區。相反，透過使P型本體區314摻雜有極性與P型本體區314相反(或導電型)之電荷載子而形成源極330及汲極332。源極與汲極兩者包含摻雜有電子之一輕度摻雜汲極(LDD)區318。LDD摻雜質318之數

量為每立方厘米約 10^{19} 個電荷載子。LDD區318在與浮動閘極310界接之間隔層306下方延伸一有限距離。LDD區318相對於浮動閘極310對稱。

額外LDD區316位於LDD區318相鄰處。與LDD植入區318相比，LDD區316相對於控制閘極302對稱。LDD區316在間隔層306下方延伸且在浮動閘極310下方延伸至中途。因此，源極330及汲極332一般在浮動閘極310下方延伸。

可透過額外摻雜p型摻雜物而在源極330與汲極332兩者處之LDD植入區接近處形成暈狀區(圖中未展示)。

圖4係根據一實施例之一塊體矽型NVM位元單元之一橫截面圖之一實例。位元單元400係體現為一N型浮動閘極MOSFET。位元單元400亦可被構造為P型浮動閘極MOSFET。圖4繪示沿與位元單元400之通道434平行之一方向之一NVM位元單元400之一橫截面。圖4之例示性位元單元400具有與圖2之位元單元200類似之一結構。

使用塊體矽而非SOI來構造位元單元400。因此，位元單元400之通道區434位於一塊體P型矽基板414中。源極430及汲極432並非形成於N型本體區中，而是形成於藉由使P井414摻雜有額外N型摻雜物而產生之N井420中。N井一般具有每立方厘米 10^{17} 個摻雜原子之一濃度。LDD植入區418與控制閘極402對準。一或多個井植入區(例如暈狀植入區)或一 V_T 調整植入區(圖中未展示)係用以調整裝置之 V_T 。

圖5係根據另一實施例之一塊體矽型NVM位元單元之一橫截面圖之一實例。圖5之例示性位元單元500具有與圖4

之位元單元400類似之一閘極堆疊組件佈局且以類似方式建於塊體矽上而非SOI上。然而，圖5之位元單元具有比圖4之位元單元400更小之一尺寸，此係因為將源極530及汲極532耦合至通道534的摻雜質不同。

位元單元500包含在添加控制閘極502或間隔層506之前植入P井基板514中之一額外摻雜臨限電壓調整植入區524(V_T 調整植入區)。 V_T 調整植入區524包括額外p型摻雜原子之一摻雜質，其中電荷濃度為每立方厘米約 10^{17} 個電荷載子。 V_T 調整植入區524在控制閘極502之部分及包圍浮動閘極510之高K層504下方延伸。 V_T 調整植入區524亦延伸超過浮動閘極510之邊緣。 V_T 調整植入區524有助於延伸浮動閘極下方之源極530及汲極532之可達距離。

位元單元之構造製程可變動。可使用一前閘極製程或一後閘極製程來產生位元單元，其中「閘極」意指控制閘極。製程步驟之發生順序亦可根據期望離子植入對熱之敏感度而變動，其影響該製程期間將浮動閘極添加至位元單元之時間。圖6係根據一實施例之用以產生圖2a及圖2b之NVM位元單元之一CMOS製程之一流程圖。圖7a至圖7h繪示根據一實施例之圖2a及圖2b之NVM位元單元之構造。圖7中繪示參考圖6而描述之製程。以起始晶圓為SOI或呈塊體來判定最終裝置為SOI或塊體裝置。SOI情況之步驟類似於一塊體矽情況之步驟。

在一矽晶圓中形成一淺溝渠隔離區以使作用表面區與其他附近作用區隔離(602)。可藉由沈積氧化物層及氮化物

層、生長一光阻劑且蝕刻該氧化物層、該氮化物層及矽晶圓而形成該淺溝渠隔離區(602)。

在矽晶圓上形成一底部障壁212(604)，底部障壁212部分在淺溝渠隔離區之區上方且覆蓋矽晶圓基板。底部障壁212係由具有相對較少陷阱之一非導電材料(諸如二氧化矽(SiO_2))形成。底部障壁212可被稱為犧牲氧化物層或Sac-Ox層，此係因為以下事實：通常在添加高K層204及金屬替換閘極202之前移除底部障壁212。通常，添加Sac-Ox層以防止雜質(諸如金屬離子)在離子植入期間進入基板及防止位元單元產生製程之其他有害步驟。然而，在位元單元200中，底部閘極212不被移除且代以充當浮動閘極210與基板214之間之障壁以使浮動閘極210與基板214隔離。

在底部障壁212上沈積一浮動閘極210(606)。浮動閘極210可由多晶矽、 Si_3N_4 或另一類似半導體或導電材料製成。接著，將浮動閘極210蝕刻成期望形狀(例如長度、寬度或任何額外形狀特性)(608)。圖7a繪示所形成之浮動閘極210及底部障壁212之一實例。圖7a中未展示STI 222。

接著，在浮動閘極210之頂部上形成一頂部障壁208(610)。可以由構成浮動閘極210之材料決定之不同方式形成頂部障壁208(610)。例如，若浮動閘極係由多晶矽製成，則可藉由氧化而形成頂部障壁208(610)，或若浮動閘極係由 Si_3N_4 製成，則可藉由沈積而形成頂部障壁208。圖7b繪示形成後之一頂部障壁208。

在矽基板中透過離子植入而形成P型本體區214及N型本

體區 220(612)。若使用一塊體製程，則形成 P 井 414 及 N 井 420 以取代本體區。圖 7c 繪示 SOI 製程之形成後之 N 型本體區 220 及 P 型本體區 214 之一實例。可在產生頂部障壁 208、底部障壁 212 或浮動閘極 210 之前或之後在基板中形成 P 型本體區 214 及 N 型本體區 220。P 型區 214 之產生形成以下區：其中將在位元單元之電晶體處於一「接通」狀態時產生一通道 234，使得電流自源極 230 流動至汲極 232。N 型區 220 為源極 230 及汲極 232 之位置。

在一些情況中，在植入 P 型區 214 及 N 型區 220 之前形成障壁 208 及 212 及浮動閘極 210 係有利的。較佳地，形成 P 型區及 N 型區之離子植入對熱較敏感。當離子植入經受高熱時，可發生非所欲離子擴散。浮動閘極 210 之產生可導致基板經受大量熱。若在形成 P 型區及 N 型區之離子植入之前形成浮動閘極 210，則 P 型區及 N 型區之植入不經受由浮動閘極之產生引起之熱。

在一些情況中，在將浮動閘極 210 或障壁 208 及 212 添加至位元單元之前形成 P 型區 214 及 N 型區 220 係有利的。較佳地，形成 P 型區及 N 型區之離子植入對熱相對不敏感。雖然離子植入能夠穿透障壁層 208 及 212 及浮動閘極 210 以植入至基板中，但在製程中一些離子通常會被遺留。藉由在形成障壁 208 及 212 及浮動閘極 210 之前形成 N 型區及 P 型區，剩餘離子不會被植入至障壁 208 及 212 及浮動閘極 210 中。因此，植入首先防止障壁或浮動閘極之任何不必要污染。

在頂部障壁 208 之頂部上添加一犧牲閘極 240(614)。犧

犧牲閘極通常由易於添加及移除之一材料(例如鍍)製成。犧牲閘極240包圍頂部障壁208且使外邊緣位於底部障壁212之頂部上。圖7d繪示形成後之犧牲閘極240之一實例。

透過離子植入而將LDD區216植入至N型區220中(616)。圖7e繪示在已將LDD區216植入至N型區220中之後之位元單元200之一實例。將間隔層206添加至犧牲閘極204之側。間隔層之添加亦可包含可移除底部障壁212之部分之蝕刻。在一些情況中，間隔區206可位於底部障壁212上。在其他情況中，間隔層206可位於基板上。透過離子植入而將LDD區218植入至N型區220中(616)。間隔層206之寬度影響植入電荷載子穿透至矽基板中之深度。圖7f繪示在已進一步將LDD區218植入N型區220中之後之位元單元200。

添加氧化物226以包圍犧牲閘極240。圖7g繪示在已添加氧化物226之後之位元單元200。

移除犧牲閘極240(618)。在移除犧牲閘極240之前添加一微影步驟(圖中未展示)以防止頂部障壁208在移除犧牲閘極240時被移除。形成一基座氧化物(或頂部障壁)。若製程具有以不同電壓操作之邏輯裝置，則形成一較厚頂部障壁以用在較高電壓裝置中。在自其移除犧牲閘極240之相同表面上添加一高K層204(620)。在先前被犧牲閘極佔用之空間之剩餘部分中，將一金屬閘極202添加在高K層204之頂部上(622)。換言之，金屬閘極替換犧牲閘極。圖7h繪示在已添加控制閘極202及高K層以替換犧牲閘極之大部分

(高K層204除外)之後之位元單元200。

在用於產生位元單元之製程之另一版本(圖中未展示)中，可延遲浮動閘極210、頂部障壁208及底部障壁212之添加直至已完成全部離子植入之後。在基板中形成淺溝渠隔離區。遮罩係用以植入本體區214及220以及植入暈狀區216、LDD區218及任何 V_T 調整植入區。結合遮罩，可在添加犧牲閘極240及間隔層206之後添加植入區之一或多者以有助於界定基板之區域，其中植入將添加電荷載子。

可在完成全部植入之後移除犧牲閘極240。如以上參考圖6所述，添加底部障壁212、浮動閘極210及頂部障壁208。接著，添加高K層204及替換金屬閘極202。

圖8a繪示一習知快閃記憶體裝置。在習知快閃記憶體裝置800a中，一位元單元860a係用以儲存一條資料，例如邏輯1或0。若位元單元860a將與諸多其他類似位元單元860結合使用，則一第二裝置(被稱為邏輯裝置850a)係用以選擇待讀取之列。邏輯裝置亦被稱為一選擇裝置且藉由使一系列位元單元860與另一列位元單元電隔離而操作。字線控制閘極802a具有在快閃浮動閘極810a上之電荷被讀取時施加至其之一電壓。當將該電壓施加至控制閘極802a時，位元單元860a之通道將根據浮動閘極810a上之電荷量而啟動或不啟動。在一快閃記憶體位元單元中，控制閘極802a與浮動閘極810a自行對準。

雖然快閃記憶體使用一高K介電層804a來使控制閘極802a與浮動閘極810a隔離，但快閃記憶體不會使用一高K

介電層來使邏輯裝置850a之選擇閘極852a與基板隔離。相反，邏輯裝置850a由一習知SiO₂閘極氧化物854a組成。

為使位元單元尺寸最小化，快閃位元單元使閘極堆疊860a相對較高以使浮動閘極之側壁電容耦合最大化。相比而言，在位元單元200中，使閘極堆疊高度最小化以使堆疊與邏輯裝置之高度保持近似相同。使一閘極堆疊高度矮於快閃型位元單元以避免因由增加閘極堆疊高度導致之拓撲問題而需要修改製程。

圖8b繪示根據一例示性實施例之一記憶體裝置。在一記憶體裝置800b中，一位元單元200係用以儲存一條資料，例如邏輯1或0。一邏輯裝置850b充當一選擇裝置。邏輯裝置850b包含一選擇閘極852b。一高K層856b及一障壁854b使選擇閘極852b與基板及不同於位元單元200之通道區234之一通道區(圖中未展示)隔離。高K層856b位於選擇閘極852b與障壁854b之間。障壁854b位於高K層856b與基板之間。在CMOS邏輯製程中，可在不使用額外製程步驟之情況下產生邏輯裝置及位元單元200。

額外考量

所揭示之實施例有益地允許一NVM位元單元降低功率及尺寸要求。因為可在構造時使用一22奈米及更小之CMOS邏輯製程來產生位元單元，所以位元單元已降低功率及尺寸要求。此外，位元單元消除涉及替換金屬閘極及高K介電障壁之後閘極製程之有害效應。外加邏輯浮動閘極及覆蓋該新浮動閘極之額外氧化物層之添加防止位元單元出現

歸因於影響邏輯裝置之製程步驟之熱引起之發生在既有技術中之問題。在製程之一點處形成額外氧化物層，使得熱不影響製程中其他裝置之效能。

此外，位元單元避免記憶效應問題，記憶效應問題損害使用替換金屬控制閘極(高K障壁使替換金屬控制閘極與電晶體通道分離)之既有位元單元。在位元單元中，替換金屬控制閘極充當一控制閘極以控制一分離邏輯浮動閘極上之電壓，而非充當一邏輯閘極本身。因為控制閘極係始終保持在一電壓處，所以記憶效應不起作用，因此，記憶效應不影響控制閘極。此外，氧化物障壁使攜帶邏輯值之浮動閘極與高K層隔離，以防止電荷恢復浮動閘極之邏輯狀態。

位元單元具有廣泛適用性。例如，位元單元可用作為昂貴快閃記憶體之一替代。因為快閃記憶體在產生時需要諸多額外製程步驟(其等非為標準CMOS邏輯製程之部分)且其增加大量熱，所以其較昂貴。相比而言，可使用具有更少額外步驟之既有CMOS邏輯製程來構造位元單元。此外，由於位元單元之差異，用以在相同基板上實施快閃式記憶體之任何相關聯邏輯裝置亦可具有一更有利構造，例如將高K層併入至邏輯裝置中。

快閃記憶體之特徵在於浮動閘極與控制閘極之間之電容較高(例如70%電容)。此電容之大部分位於浮動閘極之側壁上以導致不易與高效能高K金屬閘極電晶體合併之一高閘極堆疊。相比而言，本發明之位元單元可藉由增大位於

淺溝渠隔離區上方之浮動閘極及控制閘極之表面面積而產生較高控制閘極與浮動閘極之間之電容(例如70%或更高或更低)。因此，本發明之位元單元可實現快閃式電容且無需製造一高閘極堆疊。

在閱讀本發明之後，熟習此項技術者應透過本文中之所揭示原理而瞭解額外替代結構及功能設計。因此，雖然已繪示及描述特定實施例及應用，但應瞭解，所揭示實施例不受限於本文中所揭示之精確構造及組件。可在不背離隨附申請專利範圍中所界定之精神及範疇之情況下對本文中所揭示之方法及裝置之配置、操作及細節作出可使熟習此項技術者明白之各種修改、改變及變動。

【圖式簡單說明】

圖1a及圖1b係習知NVM位元單元之簡化橫截面圖。

圖2a及圖2b係根據一實施例之一絕緣體上覆矽(SOI)型NVM位元單元之垂直橫截面圖。

圖3係根據另一實施例之一絕緣體上覆矽(SOI)型NVM位元單元之一橫截面圖。

圖4係根據一實施例之一塊體矽型NVM位元單元之一橫截面圖。

圖5係根據另一實施例之一塊體矽型NVM位元單元之一橫截面圖。

圖6係根據一實施例之用以產生圖2a及圖2b之NVM位元單元之一CMOS製程之一流程圖。

圖7a至圖7h繪示根據一實施例之圖2a及圖2b之NVM位元

單元之構造。

圖 8a 繪示一習知快閃記憶體裝置。

圖 8b 繪示根據一實施例之一記憶體裝置。

【主要元件符號說明】

100a	邏輯裝置
100b	裝置/位元單元
102	金屬閘極
104	高介電常數(高K)介電障壁
110	浮動閘極
112a	障壁
112b	基座氧化物/SiO ₂ 層
200	非揮發性記憶體(NVM)位元單元
202	控制閘極/金屬閘極/金屬替換閘極
204	高K層/材料層
206	間隔層
208	頂部障壁
210	浮動閘極
212	底部障壁
214	P型本體區
216	輕度摻雜汲極(LDD)區/LDD摻雜質
218	LDD區/LDD摻雜質
220	N型本體區
222	淺溝渠隔離區(STI)
226	氧化物

230	源極/源極區
232	汲極/汲極區
234	通道區/通道
240	犧牲閘極
300	NVM位元單元
302	金屬控制閘極/控制閘極
304	高K層
306	間隔層
308	頂部障壁
314	P型本體區
316	LDD區
318	LDD區/LDD植入區
330	源極/源極區
332	汲極/汲極區
334	通道區
400	NVM位元單元
402	控制閘極
414	塊體P型矽基板/P井
418	LDD植入區
420	N井
430	源極
432	汲極
434	通道/通道區
500	位元單元

502	控制閘極
504	高 K 層
506	間隔層
510	浮動閘極
514	P 井基板
524	摻雜臨限電壓 (V_T) 調整植入區
530	源極
532	汲極
534	通道
800a	快閃記憶體裝置
800b	記憶體裝置
802a	字線控制閘極/控制閘極
804a	高 K 介電層
810a	快閃浮動閘極/浮動閘極
850a	邏輯裝置
850b	邏輯裝置
852a	選擇閘極
852b	選擇閘極
854a	SiO_2 閘極氧化物
854b	障壁
856b	高 K 層
860a	位元單元/閘極堆疊

七、申請專利範圍：

1. 一種非揮發性記憶體位元單元，其包括：
 - 一基板，其包括一源極、一汲極及一通道區；
 - 一非導電材料；
 - 一底部障壁，其位於該通道區上方；
 - 一浮動閘極，其位於該底部障壁上方，該浮動閘極覆蓋該通道區、且於該浮動閘極之至少二側上至少部分覆蓋該非導電材料、且至少部分覆蓋該源極及該汲極；
 - 一頂部障壁，其位於該浮動閘極上方；
 - 一介電層，其包括具有比該頂部障壁之介電常數高之一介電常數之一材料，該介電層直接接觸該頂部障壁；
 - 及
 - 一控制閘極，其延伸經過且覆蓋該浮動閘極之至少四個側壁之至少一部分及該浮動閘極之一頂表面，該控制閘極直接接觸該介電層。
2. 如請求項 1 之非揮發性記憶體位元單元，其中該源極及該汲極包括一第一導電類型且該通道區包括一第二導電類型。
3. 如請求項 1 之非揮發性記憶體位元單元，其中該頂部障壁與該底部障壁經連接使得該浮動閘極由該頂部障壁與該底部障壁之一組合包圍。
4. 如請求項 1 之非揮發性記憶體位元單元，其中該源極區及該汲極區之各者包括一輕度摻雜汲極(LDD)植入區。
5. 如請求項 4 之非揮發性記憶體位元單元，其中該 LDD 植

- 入區在該介電層及該控制閘極下方延伸至中途。
6. 如請求項4之非揮發性記憶體位元單元，其中該LDD植入區在與該介電層相鄰之位於該基板之頂部上之一間隔層下方延伸至中途。
 7. 如請求項4之非揮發性記憶體位元單元，其中該等LDD植入區與該控制閘極自行對準且該控制閘極與該浮動閘極未自行對準。
 8. 如請求項1之非揮發性記憶體位元單元，其中該基板包括一絕緣體上覆矽(SOI)結構，且其中該源極區及該汲極區之各者包括極性與該通道區相反之一本體區。
 9. 如請求項8之非揮發性記憶體位元單元，其中該本體區在該浮動閘極下方延伸至中途且與該通道區相鄰。
 10. 如請求項1之非揮發性記憶體位元單元，其中該基板包括一塊體矽結構且其中該源極區及該汲極區之各者包括極性與該通道區相反之一井區。
 11. 如請求項10之非揮發性記憶體位元單元，其中該井區在該浮動閘極下方延伸至中途且與該通道區相鄰。
 12. 如請求項1之非揮發性記憶體位元單元，其中該淺溝渠隔離區上方之該浮動閘極之表面面積使得該浮動閘極與該控制閘極之間之一電容介於60%至90%之間，含60%與90%。
 13. 如請求項1之非揮發性記憶體位元單元，其中該控制閘極為一金屬替換閘極。
 14. 如請求項1之非揮發性記憶體位元單元，其中該控制閘

極比該浮動閘極厚。

15. 如請求項1之非揮發性記憶體位元單元，其中該NVM單元中之高K介電質亦用在具有低於1.5伏特之一最大操作電壓之一MOSFET中。
16. 如請求項1之非揮發性記憶體位元單元，其中藉由透過該浮動閘極之植入而將該通道區中之大多數電荷載子放置於其中。
17. 一種非揮發性記憶體位元單元，其包括：
 - 一基板，其包括一源極、一汲極及在該源極與該汲極之間的一通道區；
 - 一底部障壁，其位於該通道區上方；
 - 一浮動閘極，其位於該底部障壁上方，該浮動閘極覆蓋該通道區，該浮動閘極之一頂表面係實質上為平面的，該浮動閘極包含至少部分覆蓋該源極與該汲極之二個側邊；
 - 一頂部障壁，其位於該浮動閘極上方，該頂部障壁具有複數個側邊，其接觸該底部障壁且環繞至少部分覆蓋該源極與該汲極之該浮動閘極之該等側邊；
 - 一介電層，其直接接觸該頂部障壁，該介電層包括具有比該頂部障壁之介電常數高之一介電常數之一材料；
 - 及
 - 一控制閘極，其直接接觸該介電層之至少一部分且在寬度上比沿著通過該源極、該汲極與該通道區之一軸之該頂部障壁之一寬度窄，該控制閘極由該介電層至少部

分包圍。

18. 如請求項17之非揮發性記憶體位元單元，其中該源極區及該汲極區之各者包括一暈狀植入區。
19. 如請求項18之非揮發性記憶體位元單元，其中該暈狀植入區在該底部障壁下方延伸至中途。
20. 如請求項17之非揮發性記憶體位元單元，其中該源極區及該汲極區之各者包括一輕度摻雜汲極(LDD)植入區。
21. 如請求項20之非揮發性記憶體位元單元，其中該LDD植入區在與該底部障壁相鄰之位於該基板之頂部上之一間隔層下方延伸至中途。
22. 如請求項17之非揮發性記憶體位元單元，其中該浮動閘極在由一非導電材料組成之一淺溝渠隔離區上方延伸至中途。
23. 如請求項22之非揮發性記憶體位元單元，其中該淺溝渠隔離區上方之該浮動閘極之表面面積使得該浮動閘極與該控制閘極之間之一電容為至少60%。
24. 如請求項17之非揮發性記憶體位元單元，其進一步包含複數個間隔層鄰接該頂部障壁及該底部障壁之部分，其環繞在該源極與該汲極上方延伸之該浮動閘極之該等側邊。
25. 一種非揮發性記憶體位元單元，其包括：
 - 一基板，其包括一源極、一汲極及一通道區；
 - 一非導電材料；
 - 一底部障壁，其位於該通道區上方；

一浮動閘極，其位於該底部障壁上方，該浮動閘極覆蓋該通道區、且於該浮動閘極之至少二側上至少部分覆蓋該非導電材料、且至少部分覆蓋該源極及該汲極；

一頂部障壁，其位於該浮動閘極上方；

一介電層，其包括具有比該頂部障壁之介電常數高之一介電常數之一材料，該介電層直接接觸該頂部障壁；

一控制閘極，其延伸經過且覆蓋該浮動閘極之至少四個側壁之至少一部分及該浮動閘極之一頂表面，該控制閘極直接接觸該介電層；及

來自由該底部障壁、該頂部障壁、及設置於該控制閘極之該部分與該源極和該汲極之間的該介電層組成之群組之至少一者。

八、圖式：

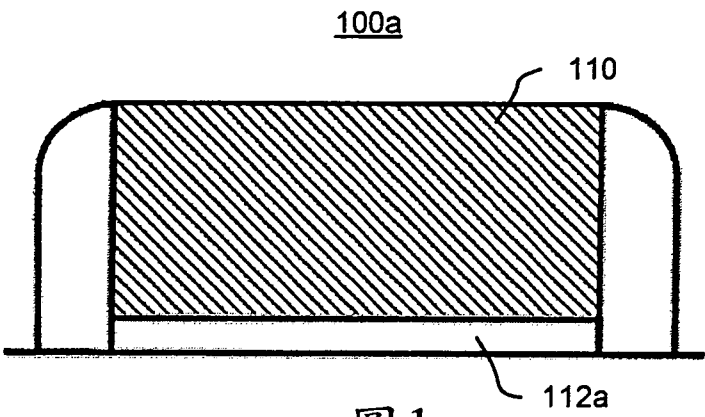


圖 1a

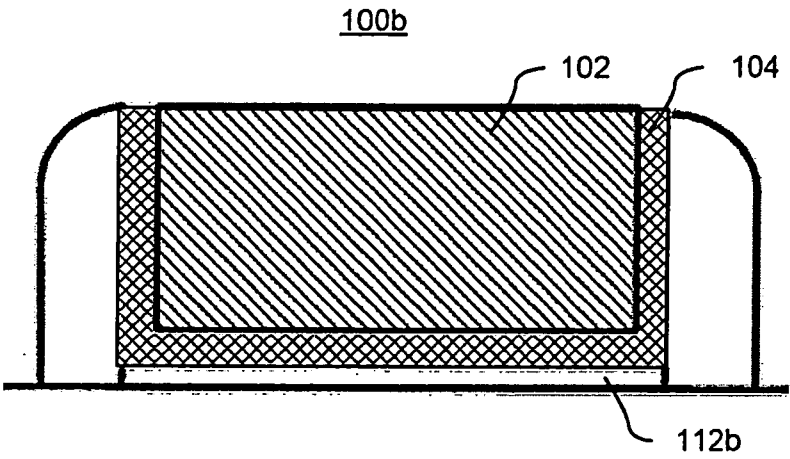
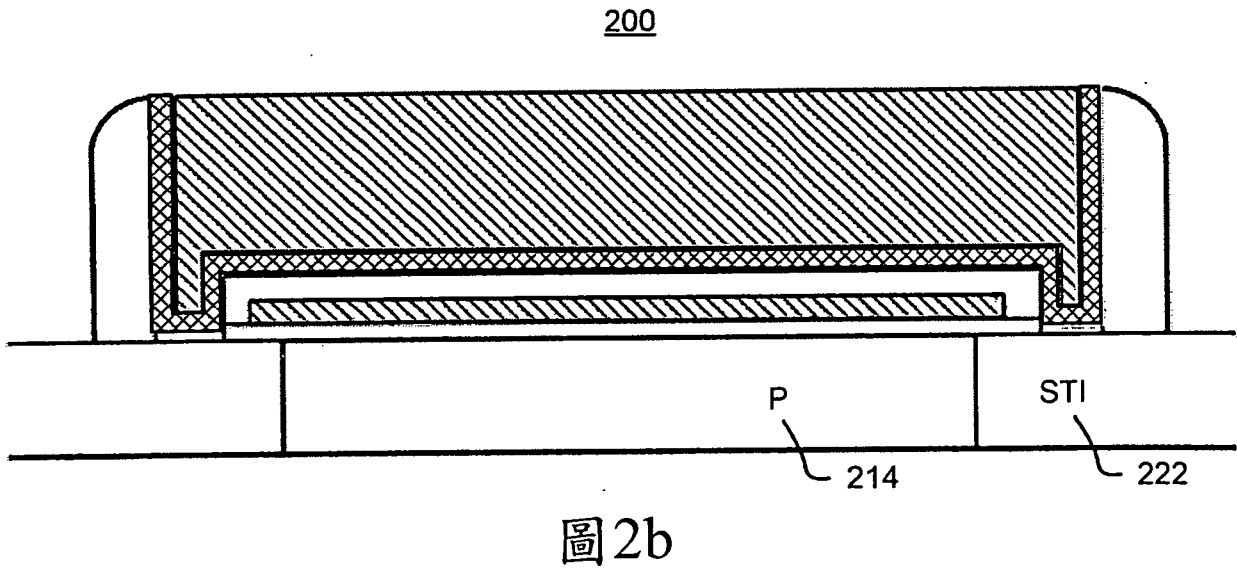
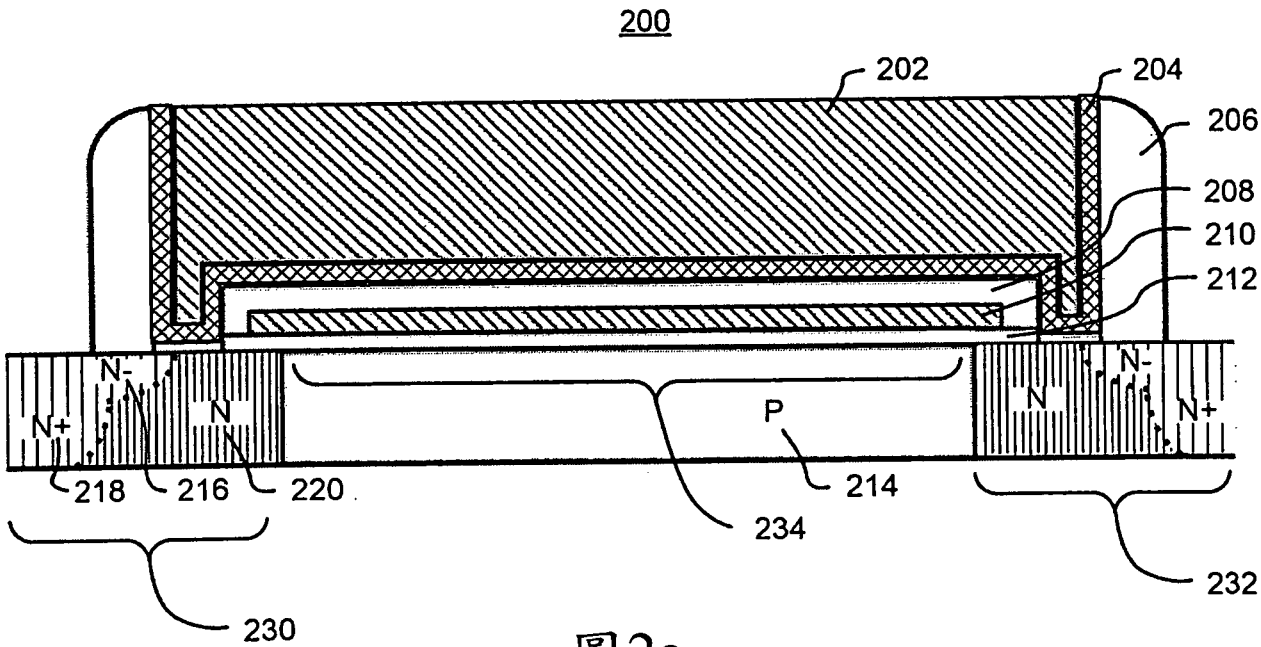


圖 1b



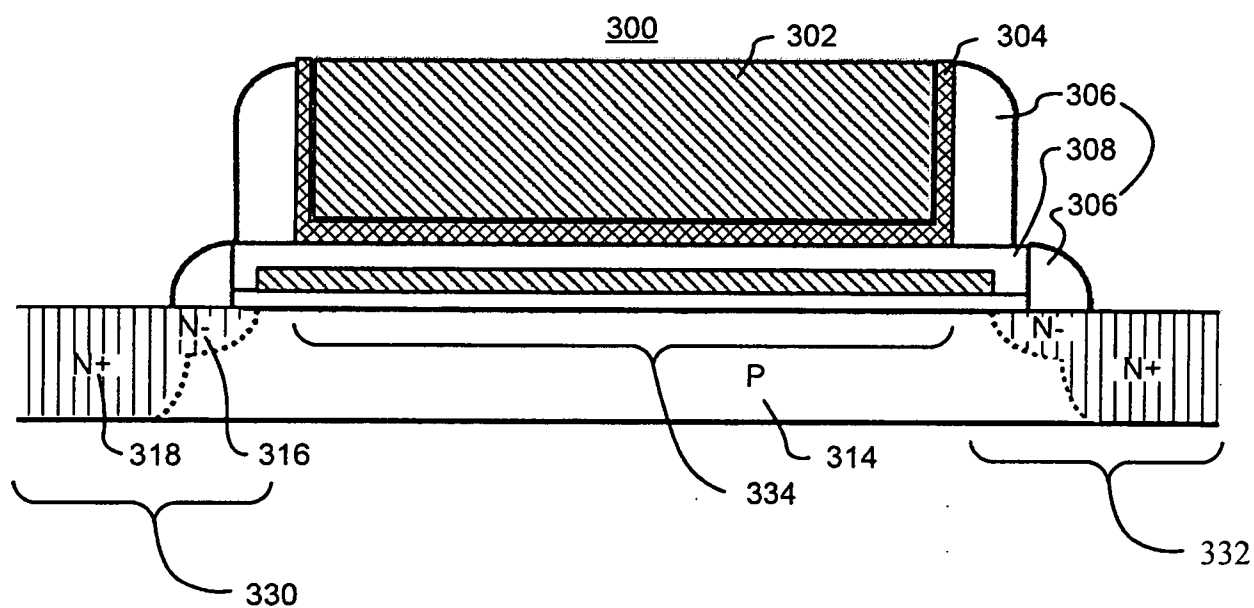


圖3

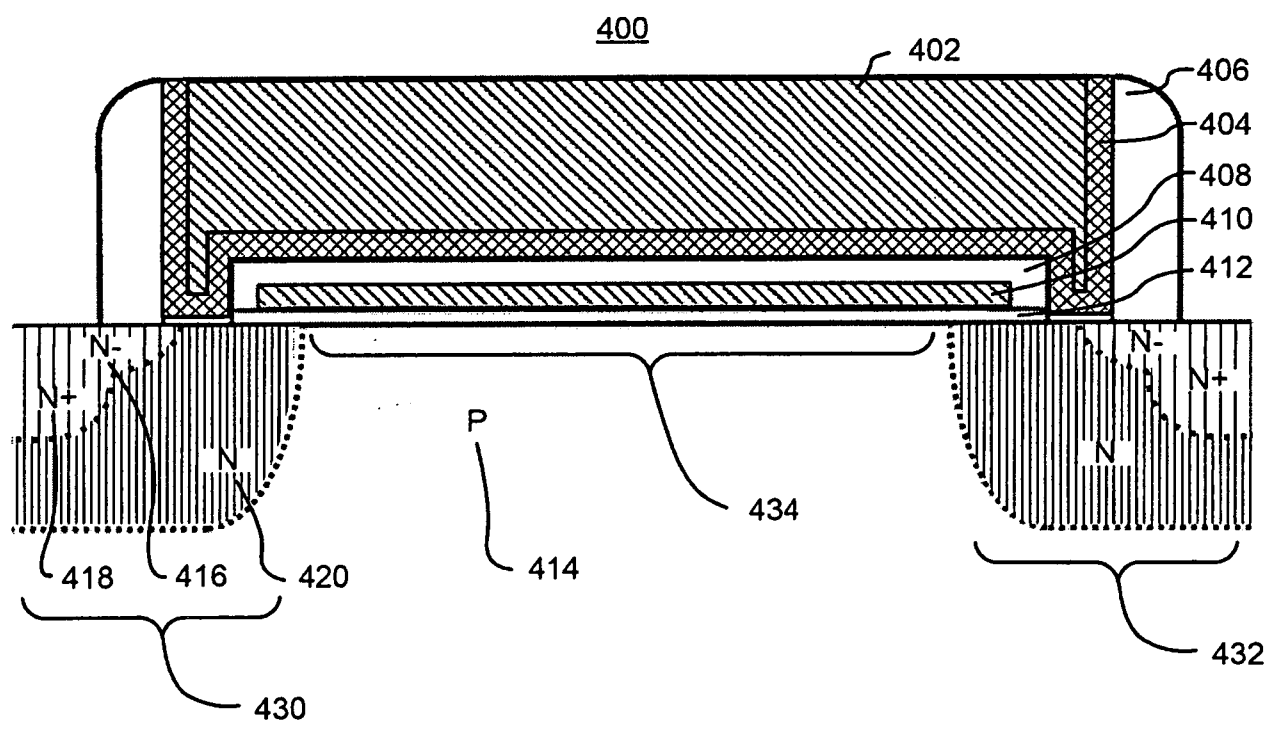


圖 4

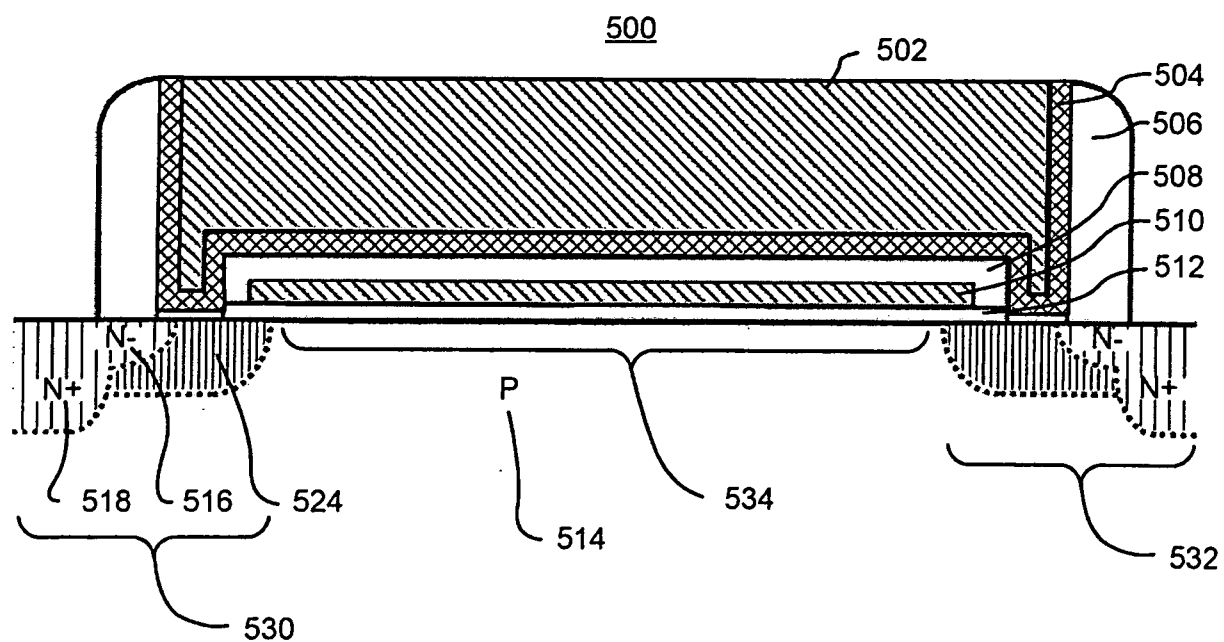


圖 5

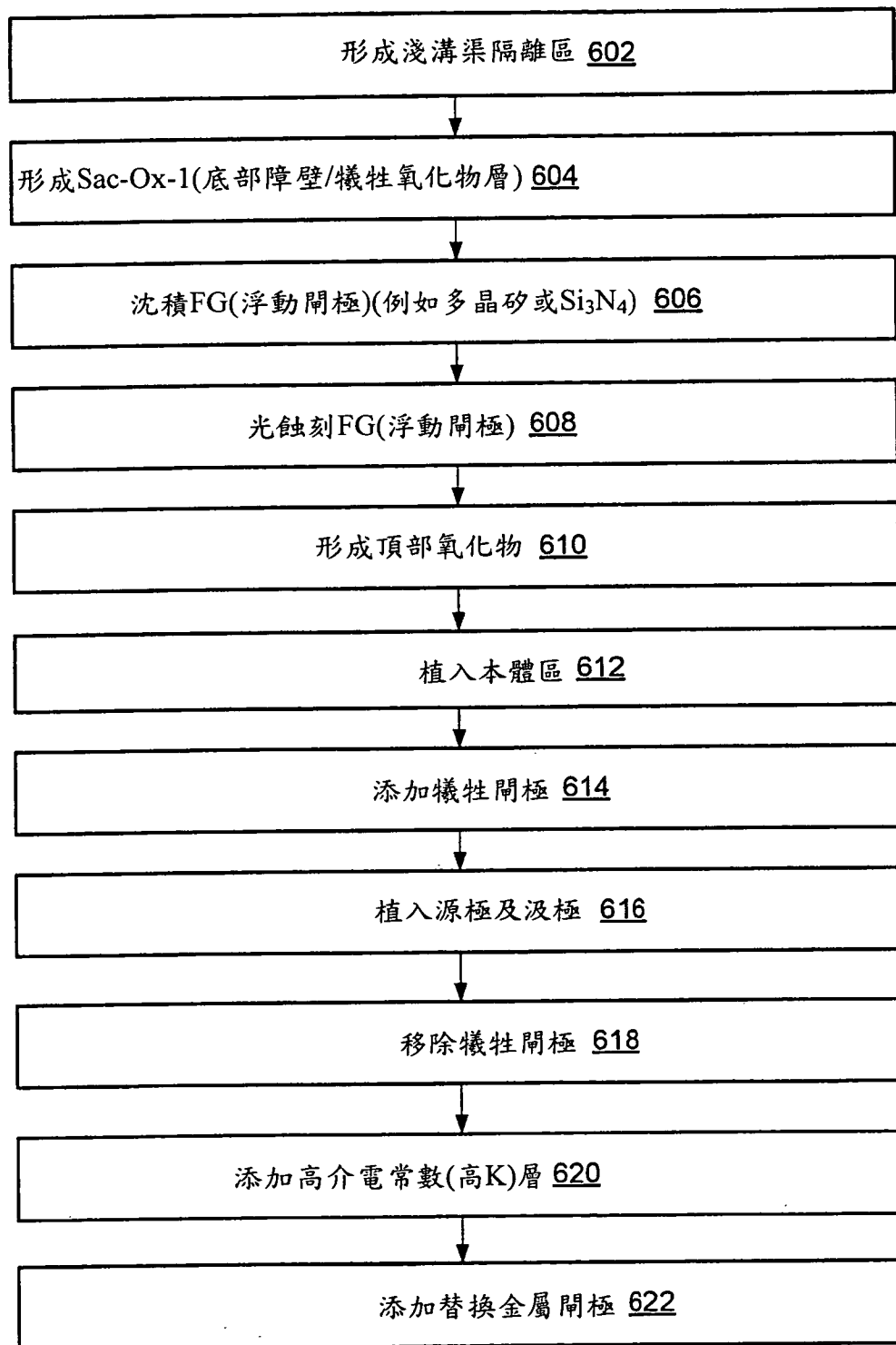


圖 6



圖 7a

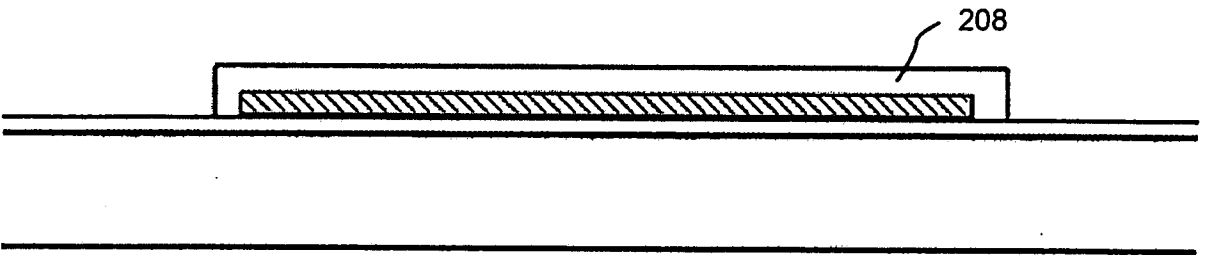


圖 7b

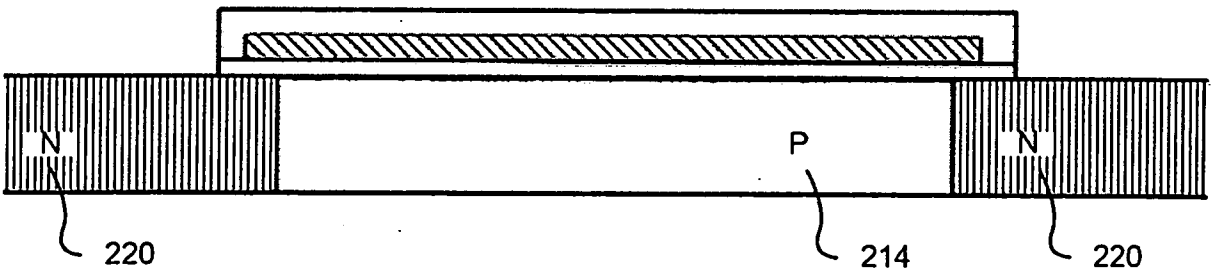


圖 7c

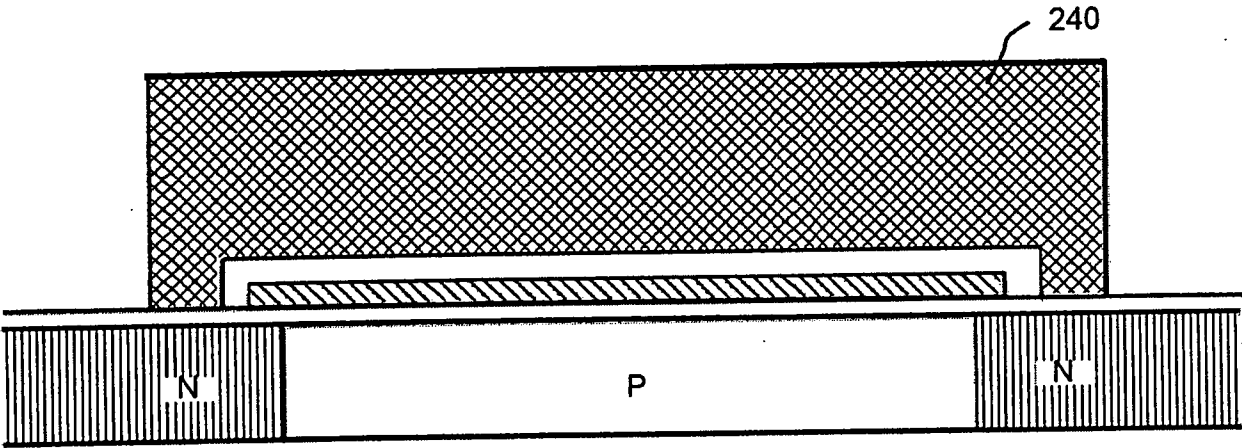


圖 7d

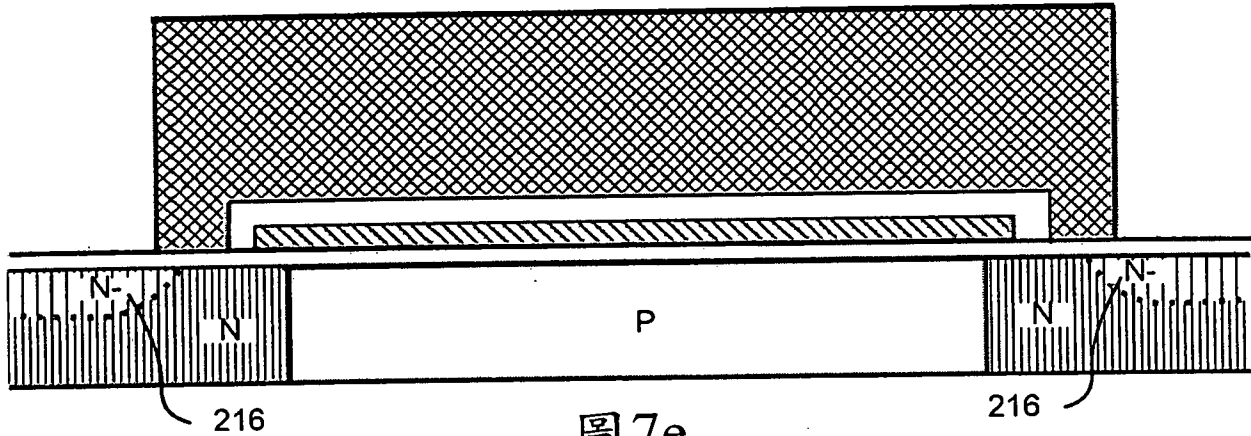


圖 7e

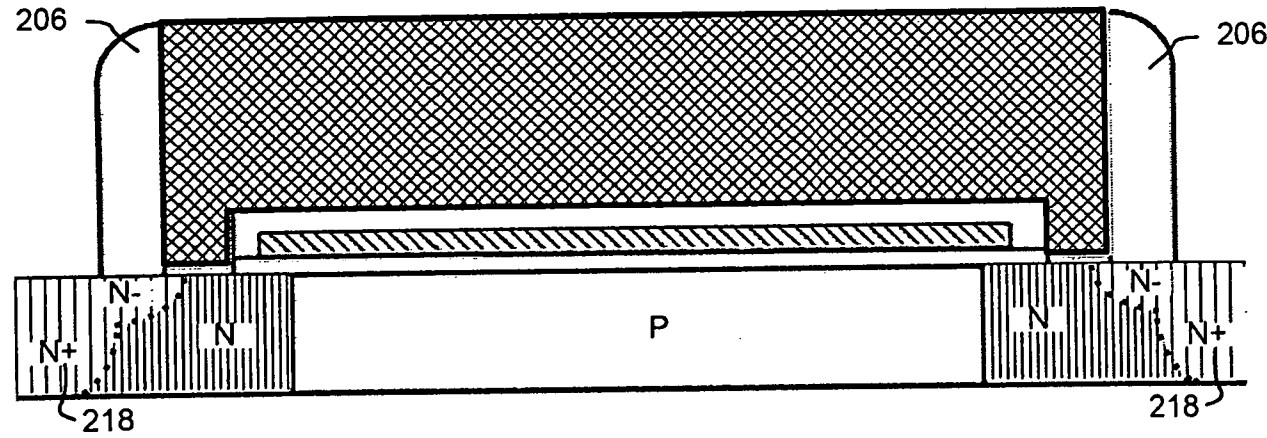


圖 7f

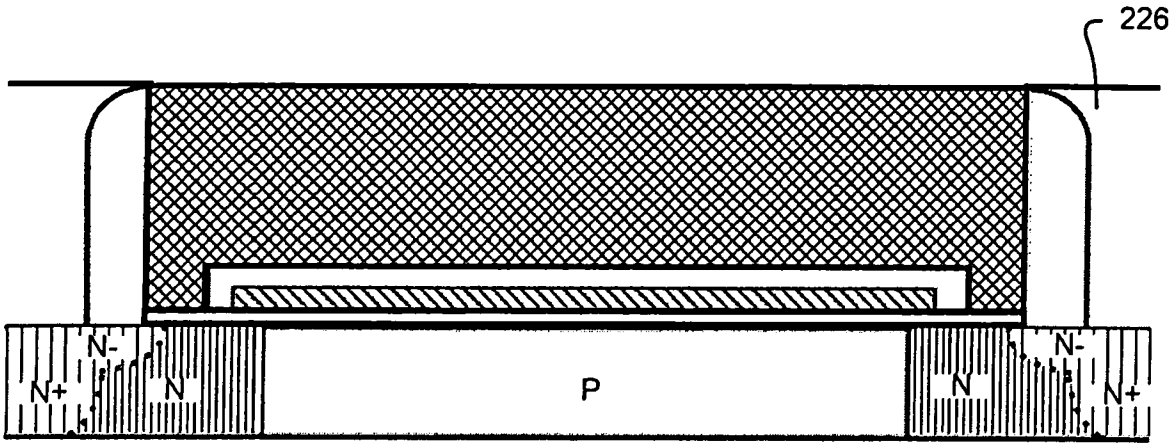


圖 7g

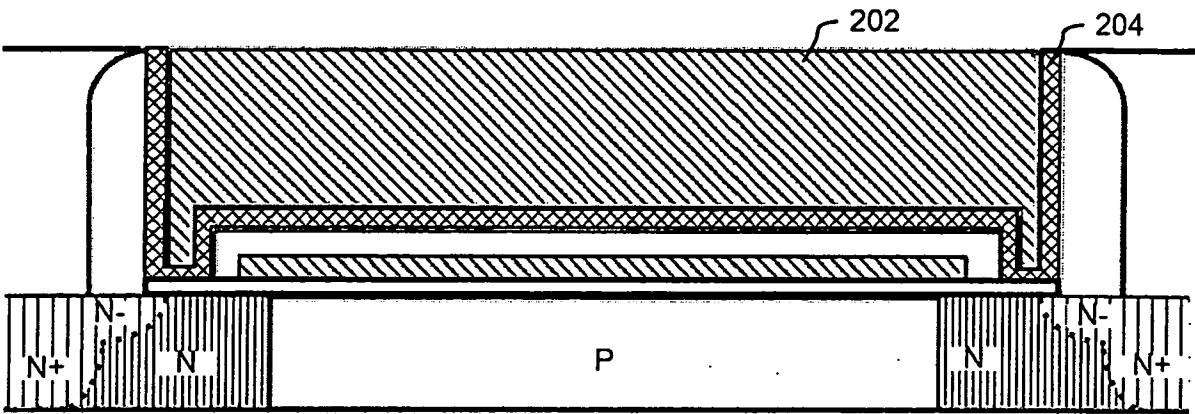


圖 7h

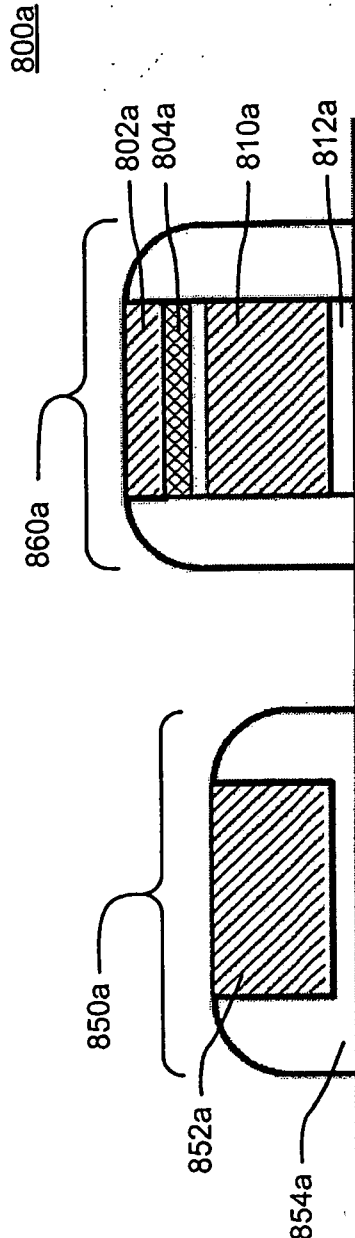


圖 8a

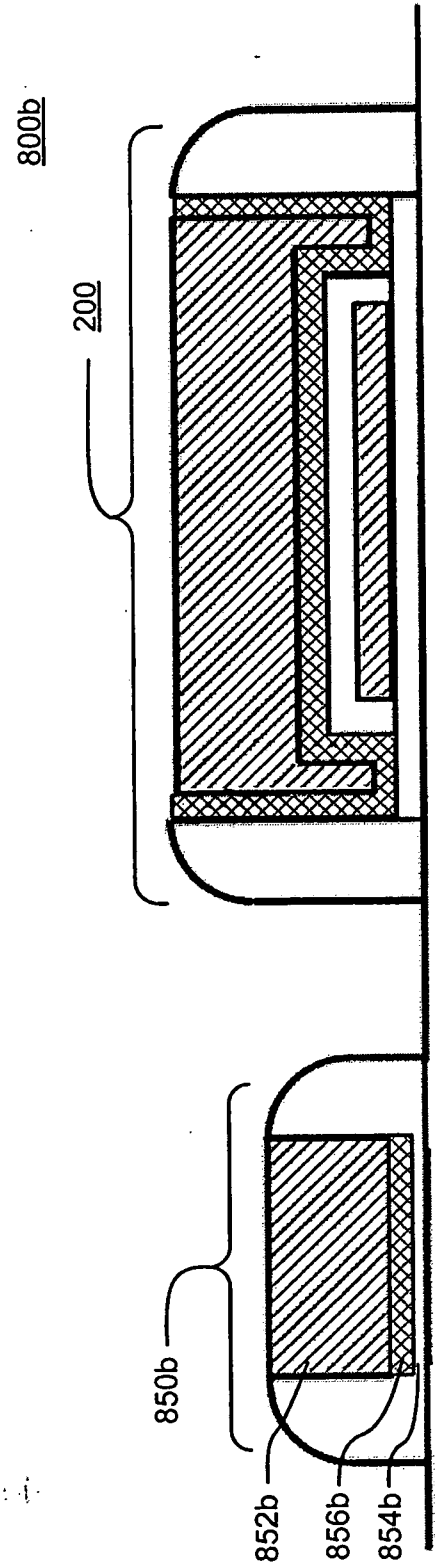


圖 8b