

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 8 日(08.12.2016)



(10) 国際公開番号
WO 2016/194462 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
- (21) 国際出願番号: PCT/JP2016/060587
- (22) 国際出願日: 2016 年 3 月 30 日(30.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-070369 2015 年 3 月 30 日(30.03.2015) JP
- (71) 出願人: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 Saitama (JP).
- (72) 発明者; および
(71) 出願人 (米国についてのみ): 福永 俊介(Fukunaga syunsuke) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 Saitama (JP).
- (74) 共通の代表者: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.); 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 Saitama (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

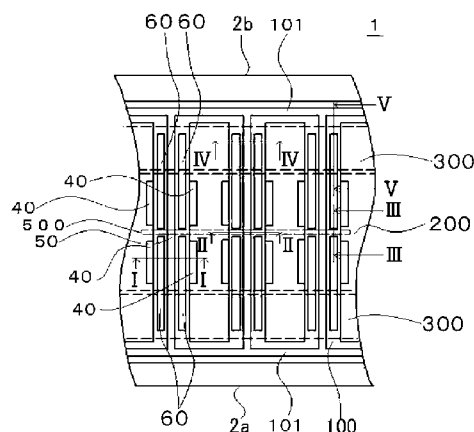
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

【図2】



(57) Abstract: [Problem] To provide a semiconductor device in which an increase in gate resistance is suppressed, and a decrease in voltage in an area between active regions caused by an imbalance among the voltage in an active region and the voltage in an area between active regions is suppressed. [Solution] In a plan view, a plurality of active regions are included in the direction in which grooves 100 extend. The grooves 100 are also formed in an area between active regions, and there is an auxiliary electrode in the area between active regions.

(57) 要約: 【課題】ゲート抵抗の増大を抑制し、活性領域と活性領域間の耐圧とのバランスが崩れて活性領域間の耐圧の低下を抑制した半導体装置を提供することを目的とする。【解決手段】平面視において、溝 100 の延伸する方向に複数の活性領域を含み、溝 100 は活性領域間にも形成されており、活性領域間において前記補助電極を有する。

WO 2016/194462 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、スイッチング動作を行うトレンチゲート型の半導体装置の構造に関する。

背景技術

[0002] 大電流のスイッチング動作を行うスイッチング装置（パワー半導体装置）として、トレンチゲート型のパワーMOSFETが広く用いられている。

[0003] トレンチゲート型のパワーMOSFETは、一般的に第1導電型のドレイン領域と、第1導電型のドレイン領域の上に形成された第1導電型のドリフト領域と、第1導電型のドリフト領域上に選択的に形成された第2導電型のベース領域と、第2導電型のベース領域上に選択的に形成された第1導電型のソース領域と、ソース領域からベース領域を貫通してドリフト領域に達する溝と、ベース領域と対向する溝の側壁に絶縁膜を介して形成されたゲート電極と、ソース領域と電氣的に接続したソース電極と、ドレイン領域と電氣的に接続したドレイン電極とを備える。しかし、このようなトレンチゲート型のパワーMOSFETにおいて、ゲート電極とドリフト領域との間の対向する面積が広いため、ゲートドレイン間の容量が大きくなる。これにより、トレンチゲート型のパワーMOSFETのオン／オフ時のミラー充電期間が長くなり、高速なスイッチング特性が得られないという問題がある。そこで、ゲートドレイン間容量を低減するため、ドリフト領域とゲート電極とが対向する面積を小さくし、ドリフト領域と対向するゲート電極下の溝内の領域にソース電極と電氣的に接続した補助電極を備える例が特許文献1に開示されている。さらに、溝内のゲート電極を左右の溝の側壁に沿って配置して、ソース電極と電氣的に接続した補助電極を左右のゲート電極間の下方に突出するように配置した例が特許文献2に開示されている。

[0004] 特許文献2に開示された構造によれば、溝内に配置された左右のゲート電極

間にソース電極と電氣的に接続した補助電極をゲート電極よりも下方に突出させることによって、ドリフト領域とゲート電極とが対向する面積を小さくし、補助電極によるドリフト領域の空乏層が広範囲に生じることが可能となる。更に、ドリフト領域の不純物濃度を高めることが可能となり、半導体装置のオン抵抗を低減することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2002-083963号公報

特許文献2：特開2007-165380号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1の図3のように、補助電極をトレンチゲート型のパワーMOSFETから成る活性領域の外側の半導体装置の一方の端側から引き揚げて基板上の一方の上部電極と接続し、ゲート電極を活性領域の外側の半導体装置の他方の端側から引き揚げて基板上の他方の上部電極と接続する場合、一方の上部電極からゲート電極の端（半導体装置の他方の端側の端）までの距離が長くなり、ゲート抵抗が増大する問題がある。また、特許文献1の図3の構造を半導体装置の一方の端側と半導体装置の他方の端側に活性領域を離間させて並べて配置することで、一方の上部電極からゲート電極の端（半導体装置の他方の端側の端）までの距離を短くした場合、活性領域内の耐圧と活性領域間の耐圧とのバランスが崩れてしまい、半導体装置の耐圧が低下してしまう問題もある。

[0007] そこで、本発明は、かかる問題点に鑑みてなされたものであり、上記問題点を解決する発明を提供することを目的とする。

課題を解決するための手段

[0008] 本発明は、上記課題を解決すべく、以下に掲げる構成とした。本発明の半導体装置は、第1導電型の第1半導体領域と、第1半導体領域上に配置された第

2導電型の第2半導体領域と、第2半導体領域上に配置された第1導電型の第3半導体領域と、を含む半導体基板と、第3半導体領域から第2半導体領域を貫通して第1半導体領域に達する溝と、溝の側面に絶縁膜を介して配置された制御電極と、溝内に制御電極と絶縁されて配置された補助電極とを含む活性領域を備え、平面視において、溝の延伸する方向に複数の活性領域を含み、溝は活性領域間にも形成されており、活性領域間において前記補助電極を有することを特徴とする。

発明の効果

[0009] 本発明は以上のように構成されているので、活性領域と活性領域間の耐圧とのバランスが崩れることを抑制することができる。

図面の簡単な説明

[0010] [図1]図2の半導体装置1のI—Iで切断した断面図である。

[図2]半導体装置1の平面図である。

[図3]図2の半導体装置1のII—IIで切断した断面図である。

[図4]図2の半導体装置1のIII—IIIで切断した断面図である。

[図5]図2の半導体装置1のIV—IVで切断した断面図である。

[図6]図2の半導体装置1のV—Vで切断した断面図である。

[図7]図1に対応する実施例2の断面図である。

[図8]図3に対応する実施例2の断面図である。

[図9]図5に対応する実施例2の断面図である。

発明を実施するための形態

[0011] 以下、本発明の実施の形態となる半導体装置について説明する。

実施例 1

[0012] 半導体装置(MOSFET)1の断面図を図1で示す。図1は図2の半導体装置1の平面図におけるI—Iで切断した断面図である。半導体装置1は、シリコンで構成された半導体基板2に形成されたトレンチゲート型の半導体装置である。半導体基板2において、ドレイン領域となるN⁺層10の上に、

ドリフト領域となる n -層20、ベース領域となる p -層30が順次形成されている。半導体基板2の表面側には、 p -層30を貫通する溝（トレンチ）100が形成されている。溝100は図1における紙面と垂直方向に延伸して並行に複数形成されており、図1においてそのうちの一つ溝100を中心に半導体装置1の断面図の一部のみが示されている。

[0013] 半導体基板2の表面側においては、溝100の両側に、ソース領域となる n +層40が形成されている。溝100の内面（側面及び底面）には絶縁膜71が形成されている。

[0014] まず、ゲート電極60は、 p -層30と対向する溝100の左右の側壁部に沿ってそれぞれ設けられている。ただし、左右のゲート電極60の各々は後述の第1の上部電極（バスライン）200によって接続されている。ゲート電極60は、例えば高濃度にドーピングされた導電性の多結晶シリコンで構成される。

[0015] 一方、各溝100内の左右のゲート電極60の間において、左右のゲート電極60と分離（絶縁）された補助電極50がゲート電極60の底面よりも下方まで延伸するように形成されている。溝100の底面に絶縁膜71が形成されており、補助電極50はその下の n -層20と絶縁されている。左右のゲート電極60上を覆い、かつ補助電極50とその両側のゲート電極60とを電氣的に絶縁するように、層間絶縁膜70が溝100内に形成されている。

[0016] 半導体基板2及び層間絶縁膜70の表面上に、ソース電極（第1の主電極）90が形成されている。上記の構成により、ソース電極90は、半導体基板2の表面において p -層30、 n +層40と接続される。層間絶縁膜70により、ソース電極90とゲート電極60とは絶縁される。一方、半導体基板2の裏面全面には、 N +層（ドレイン領域）10と電氣的に接続されるドレイン電極（第2の主電極）80が形成されている。

[0017] 本実施形態の半導体装置1においては、ゲート電極60が溝100の底面側に形成されず、溝100の両側に分断されている。さらに、補助電極50が

ソース電極 90 と同電位（接地電位）とされるために、ゲート・ドレイン間の容量 C_{gd} （帰還容量）が低減される。

[0018] また、補助電極 50 をゲート電極 60 よりも深くまで延びるように配置しているので、溝 100 の底部側における空乏層が良好に広がり、耐圧を向上させることが可能である。

[0019] 図 2 は半導体装置 1 の平面図である。図 2 の半導体装置 1 の平面図で示すように、半導体基板 2 の一方の端部 2a 側から他方の端部 2b 側に向かって延伸する複数の溝 100 を備える。複数の溝 100 の端部は、隣り合う複数の溝 100 の端部同士を接続している接続溝 101 を備える。なお、接続溝 101 は設けなくても良い。

[0020] 図 2 で示すように、 $n+$ 層 40 は溝 100 の左右に溝 100 の延伸方向に延伸するように形成されている。しかし、半導体基板 2 の端部 2a、2b で挟まれた半導体基板 2 の中央側の引揚げ領域 500（図 2 の点線で囲まれた領域）において、 $n+$ 層 40 は設けられていない。また、ゲート電極 60 が溝 100 内に設けられている。しかし、半導体基板 2 の端部 2a、2b で挟まれた半導体基板 2 の中央側の引揚げ領域 500 内の溝 100 において、ゲート電極 60 は設けられておらず、半導体基板 2 の一方の端部 2a 側のゲート電極 60 と他方の端部 2b 側のゲート電極 60 は分断されている。つまり、引揚げ領域 500 内は MOSFET として動作しない領域であり、図 2 のように平面的に見て、引揚げ領域 500 を挟むように半導体基板 2 の一方の端部 2a 側と半導体基板 2 の他方の端部 2b 側に MOSFET として機能する活性領域 400 が形成されている。なお、図 2 で示すように、ゲート電極 60 は $n+$ 層 40 よりも引き揚げ領域 500 側まで延びており、また、ゲート電極 60 は $n+$ 層 40 よりも半導体基板 2 の端部 2a、2b 側まで延びていることが望ましい。

[0021] 図 2 で示すように平面的に見て、補助電極 50 は半導体基板 2 の一方の端部 2a 側から半導体基板 2 の他方の端部 2b 側まで溝 100 内に連続して設けられている。つまり、補助電極 50 は活性領域 400 内だけではなく、活性

領域間にも配置されているので、活性領域間の耐圧と活性領域の耐圧のバランスが崩れることを抑制し、例えば活性領域間でリーク電流が集中することを抑制することができる。また、活性領域間の溝100内にゲート電極60を形成していないので、ゲート容量の増加を抑制することもできる。活性領域の耐圧と活性領域間の耐圧のバランスを崩さないように、隣り合う溝100の中心間の間隔は、活性領域内と第1の上部電極300の直下において同じ幅と間隔としても良い。図2において、半導体基板2の一方の端部と他方の端部との間に挟まれた中央側には、溝100と交差し、溝100から隣り合う溝100の方向へと複数の溝100上にわたって延伸する第1の上部電極（バスライン）200が配置されている。第1の上部電極200はソース電極90と電氣的に接続している。第1の上部電極200の各々は前述のソース電極90と電氣的に接続しているが、図2で示すように第1の上部電極200とソース電極90とが一体化されても良い。

[0022] 一方、補助電極50は溝100内を延伸し、さらに半導体基板2の一方の端部2a側及び他方の端部2b側の接続溝101内にも延伸し、補助電極50は溝100と接続溝101との接続部においてT字形状となっても良い。接続溝101内にも補助電極50が設けられることにより、隣り合う溝100内の補助電極50が互いに電氣的に接続される。この場合、全ての溝100内の補助電極50を半導体基板2上まで引き上げて第1の上部電極200と接続しなくても良く、複数本の溝100の内の1本の溝100内にある補助電極50を半導体基板2上まで引き上げればよい。それにより、溝100よりも幅が広い引き上げるスペースを容易に確保することができる。

[0023] 図2において、引揚げ領域の少なくとも一部を含み、II—IIで切断した断面を図3に、III—IIIで切断した断面を図4に示す。図3で示す半導体装置1の断面によれば、溝100内にゲート電極50は点線で示すように存在せず、補助電極50は半導体基板2上まで引き上げられており、第1の上部電極200と接続している。なお、接続溝101内で隣り合う溝100内の補助電極50が電氣的に接続している場合、複数本の溝100の内の少なくとも1

本の溝100内にある補助電極50を半導体基板2上まで引き揚げて第1の上部電極200と接続すれば良い。従って、複数本の溝100の内の少なくとも他の溝100内にある補助電極50は層間絶縁膜70に孔を設けて第1の上部電極200と接続しなくても良い。それにより、補助電極50と第1の上部電極200とを接続する際、層間絶縁膜70内の孔を設けるスペースと層間絶縁膜70の強度を確保することができる。

[0024] 図4において溝100の補助電極50に沿って切断した断面を示す。p層30及びゲート電極60は図4の断面図上では見えないが、説明のためにp層30の下面（p層30におけるn層20とのpn界面）を波線で示し、ゲート電極60（ゲート電極60と絶縁膜71との界面）を一点破線で示している。引揚げ領域500の外側でゲート電極60（一点斜線）の端があることがわかる。また、活性領域の耐圧と活性領域間の耐圧のバランスを崩さないように、p層30の深さは活性領域400内と引揚げ領域500内で実質的に同じとなっている。

[0025] ここで、活性領域400の耐圧と活性領域400間の耐圧のバランスを崩さないように、活性領域400間における補助電極50の幅Wは活性領域400内における補助電極50の幅W1よりも大きいことが望ましい。特に活性領域400間におけるp層30と対向する補助電極50の幅Wは活性領域400内におけるp層30と対向する補助電極50の幅W1よりも大きいことが望ましい。これにより、活性領域400間の耐圧が高まり、活性領域400の耐圧と活性領域400間の耐圧のバランスを崩さないようにすることができる。また、活性領域400間（特に引き揚げ領域500）におけるp層30と補助電極50との間隔W2は活性領域400内のp層30と補助電極50との間隔W3よりも狭い事が望ましい。これにより、活性領域400間（特に引き揚げ領域500）と活性領域400内との間の補助電極50によるp層30内の空乏層の広がりバランスを改善することができる。

[0026] 次に、ゲート電極60と第2の上部電極300と接続について説明する。第

2の上部電極300下の溝100内の補助電極50を含み、溝100の垂直方向に沿ったIV—IVで切断した半導体装置1の断面図を図5に示し、溝100から接続溝101に至る溝100の延伸方向に沿ったV—Vで切断した半導体装置1の断面図を図6に示す。なお、図5及び図6は半導体基板2の他方の端部2b側での断面図であるが、半導体基板2の一方の端部2a側の断面図は図5及び図6とは左右対称であって同様の構造である。

[0027] 図5及び図6で示すように、N+層10上にn-層20を有し、n-層20に達する溝100内に補助電極50が絶縁膜71を介して設けられている。ゲート電極60は半導体基板2上に引き揚げられ、引き揚げられた電極は層間絶縁膜70に設けた孔を介して第2の上部電極300と接続している。図2の半導体装置1の平面図で示すように、第1の上部電極200から離間し、第1の上部電極200を挟むように、半導体基板2の一方の端部2a側の領域と半導体基板2の他方の端部2b側の領域のそれぞれには、第2の上部電極300が配置されている。半導体装置1によれば、半導体基板2の一方の端部2a側の領域と半導体基板2の他方の端部2b側の領域のそれぞれに第2の上部電極300が配置され、第2の上部電極300の各々がそれに対応する半導体基板2の一方の端部2a側と半導体基板2の他方の端部2b側の活性領域内のゲート電極60と接続している。これにより、溝100内に設けられたゲート電極60の長さが短くなり、ゲート抵抗を低減することができる。その結果、半導体基板の面内で見した場合、活性領域400内の素子の一部が不均一な動作となることを抑制することができる。また、図2及び図6の半導体装置1の断面図で示すように、第2の上部電極300の一端（図6の右側の端）は接続溝101上には達していない。図6は溝100内のゲート電極60に沿って切断した断面のため、p-層30は断面図上では見えないが、説明のためにp-層30の下面（p-層30におけるn-層20とのpn界面）を波線で示している。p-層30の下面はゲート電極60の端よりも半導体基板2の中央側で終わっており、第2の上部電極300の一端（図6の右側の端）の下はp-層30が無い。また、第2の上部電極300

の一端を接続溝101まで延伸させないようにすることで、ゲート・ドレイン間容量 C_{gd} を低減することができる。

実施例 2

[0028] また、実施例2の半導体装置1aの断面図を図7で示す。実施例2の半導体装置1aは、補助電極50aの上部の幅が下部の幅よりも小さくなっている点の実施例1と異なる。特にゲート電極60で挟まれた補助電極50aの部分が補助電極50aの下部の幅よりも狭くなっている。実施例2において、図2の引き揚げ領域500の少なくとも一部を含み、II-IIで切断した断面を図8に、IV-IVで切断した断面を図9に示す。図8で示す半導体装置1aの断面によれば、溝100内にゲート電極60は点線で示すように存在せず、補助電極50aは半導体基板2上まで引き揚げられており、第1の上部電極200と接続している。活性領域400間における補助電極50aの幅 W_a は活性領域400内における補助電極50の幅 W_{1a} よりも大きいことが望ましい。特に活性領域400間におけるp層30と対向する補助電極50の幅 W_a は活性領域400内におけるp層30と対向する補助電極50の幅 W_{1a} よりも大きいことが望ましい。これにより、活性領域400間の耐圧が高まり、活性領域400の耐圧と活性領域400間の耐圧のバランスを崩さないようにすることができる。ここで、ゲート電極60が設けられていない箇所から引き揚げ部500との間の領域において、補助電極50aの上部の幅 W_{1a} が除々に増加し、補助電極50aの下部と実質同じ幅 W_a まで増加している。また、活性領域400間（特に引き揚げ領域500）におけるp層30と補助電極50との間隔 W_{2a} は活性領域400内のp層30と補助電極50との間隔 W_{3a} よりも狭い事が望ましい。これにより、活性領域400間（特に引き揚げ領域500）と活性領域400内との間の補助電極50によるp層30内の空乏層の広がりバランスを改善することができる。また、図9で示す半導体装置1aの断面によれば、ゲート電極60と第2の上部電極300との接続部において、補助電極50aの上部の幅が下部の幅よりも小さくなっている。これにより、補助電極50aに阻害されることなく、溝100内の

左右のゲート電極 60 と第2の上部電極 300 との接続を良好にする事ができる。

[0029] なお、実施例 1 及び 2 の半導体装置において、左右のゲート電極 60 の間に補助電極 50 を有し、補助電極 50 がゲート電極 60 よりも下まで延伸している図 1 のようなトレンチゲート型のパワー MOSFET の例で示したが、特許文献 1 のような溝 100 内に絶縁されたゲート電極 60 とゲート電極 60 と溝 100 の底面との間に絶縁された補助電極 50 とを上下に配置されたトレンチゲート型のパワー MOSFET においても同様の構造を用いることができ、同様に発明の効果を奏することは明らかである。 また、上記においては、半導体装置内の素子がトレンチゲート型のパワー MOSFET であるものとしたが、IGBT 等のトレンチゲート型の素子においても同様の構造を用いることができる。すなわち、半導体基板の表面において溝が形成され、その溝内にゲート電極とゲート電極と絶縁した補助電極が設けられ、半導体基板の表面側に形成された第 1 の主電極と裏面側に形成された第 2 の主電極との間に流れる動作電流がゲート電極に印加された電圧によってスイッチング制御される半導体装置であれば、同様の構造を採用することができ、同様の効果を奏することは明らかである。

[0030] また、第 2 の上部電極 300 をゲート電極 60 と接続し、第 1 の上部電極 200 を補助電極 50 と接続する例を示したが、第 2 の上部電極 300 を補助電極 50 と接続し、第 1 の上部電極 200 をゲート電極 60 と接続するようにしても良い。

[0031] また、上記の構成は、いずれも n チャネル型の素子であったが、導電型 (p 型、n 型) を逆転させ、p チャネル型の素子を同様に得ることができることは明らかである。この場合、図 1 に示されたアクセプタ濃度は、p 層 23 に対応する n 層におけるドナー濃度となる。また、半導体基板、ゲート電極等を構成する材料によらずに、上記の構造、製造方法を実現することができ、同様の効果を奏することも明らかである。

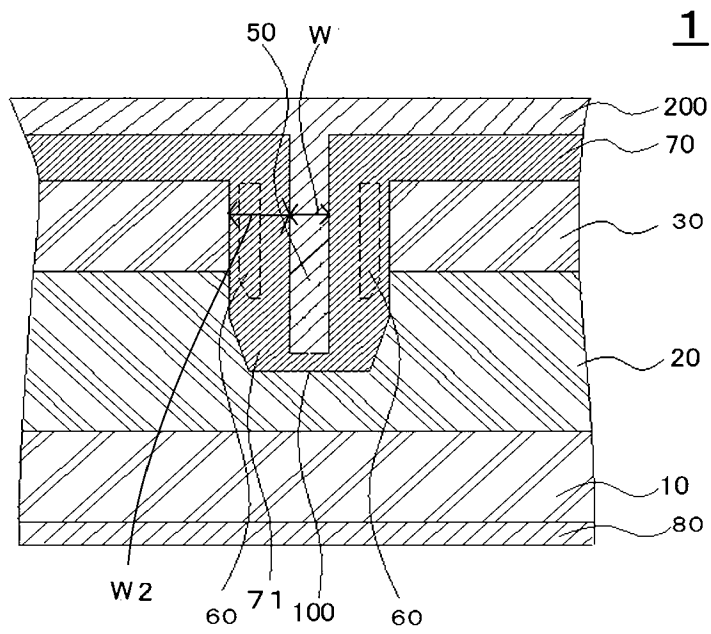
符号の説明

[0032] 1 半導体装置 2 半導体基板 10 N+層 20 n-層 30 p-層 40 n+層 50 補助電極 60 ゲート電極 70 層間絶縁膜 80 ソース電極（第1の主電極） 90 ドレイン電極（第2の主電極） 100 溝 101 接続溝 200 第1の上部電極 300 第2の上部電極 400 活性領域 500 引き揚げ領域

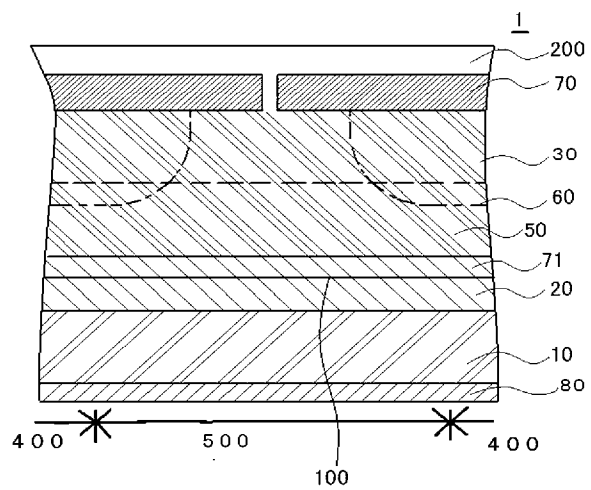
請求の範囲

- [請求項1] 第1導電型の第1半導体領域と、前記第1半導体領域上に配置された第2導電型の第2半導体領域と、前記第2半導体領域上に配置された第1導電型の第3半導体領域と、を含む半導体基板と、前記第3半導体領域から前記第2半導体領域を貫通して前記第1半導体領域に達する溝と、前記溝の側面に絶縁膜を介して配置された制御電極と、前記溝内に前記制御電極と絶縁されて配置された補助電極と、を含む活性領域を備え、平面視において、前記溝の延伸する方向に複数の前記活性領域を含み、前記溝は活性領域間にも形成されており、前記活性領域間において前記補助電極を有することを特徴とする半導体装置。
- [請求項2] 前記活性領域間における前記補助電極の幅は前記活性領域内における前記補助電極の幅より広いことを特徴とする請求項1の半導体装置。
- [請求項3] 前記活性領域間における前記第2半導体領域と補助電極との間隔は前記活性領域内における前記第2半導体領域と前記補助電極の間隔よりも狭いことを特徴とする請求項1～2のいずれか1項に記載の半導体装置。
- [請求項4] 前記補助電極の上部の幅が前記補助電極の下部の幅より狭いことを特徴とする請求項3に記載の半導体装置。
- [請求項5] 前記半導体基板の中央側の前記半導体基板上に第1の上部電極を備え、前記第1の上部電極は前記補助電極と接続することを特徴とする請求項4に記載の半導体装置。
- [請求項6] 前記第1の上部電極との接続部において、前記制御電極は設けられておらず、前記活性領域間において、前記補助電極の上部の幅が除々に大きくなっている事を特徴とする請求項5に記載の半導体装置。

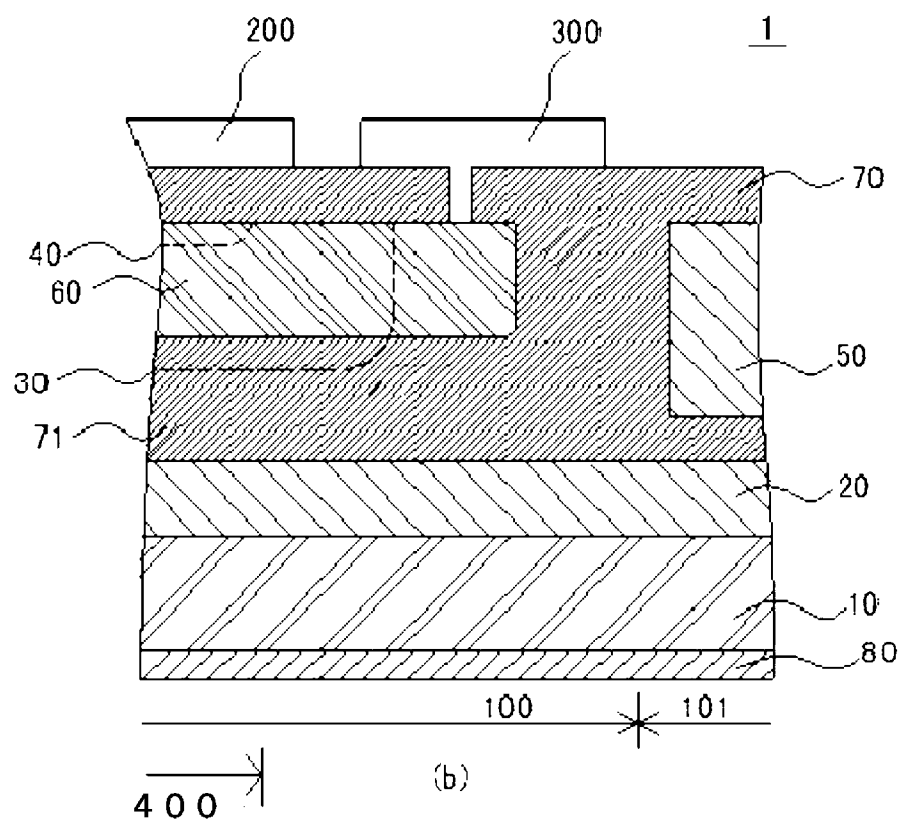
[図3]



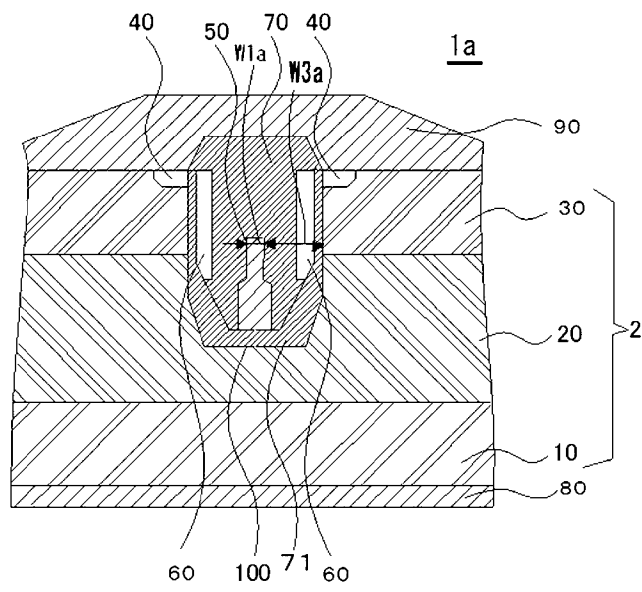
[図4]



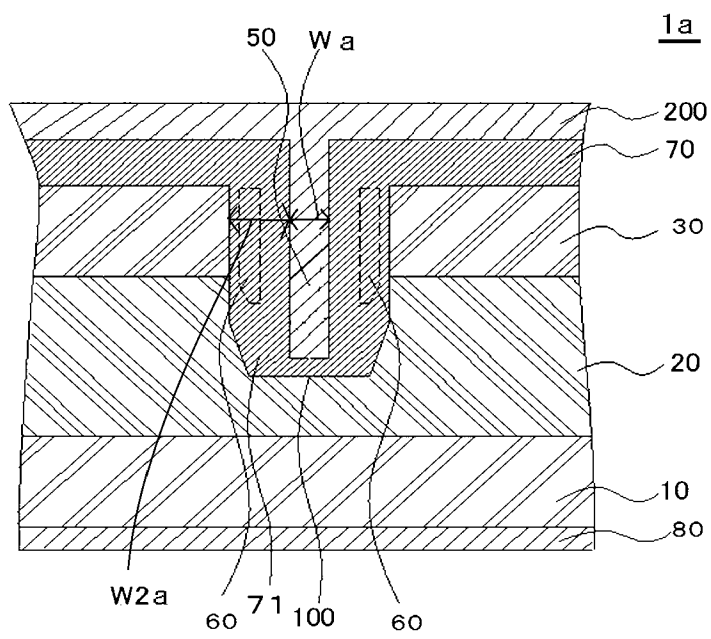
[図6]



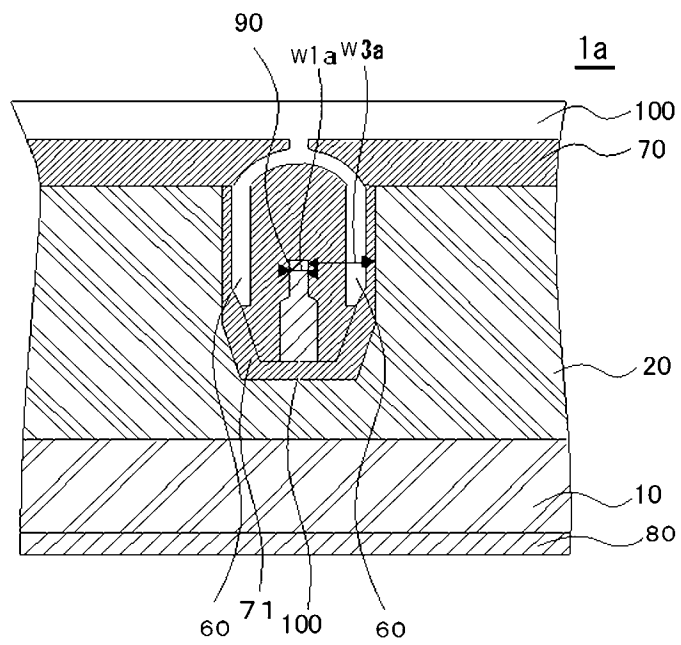
[図7]



[図8]



【図9】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060587

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L29/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-067753 A (Toshiba Corp.),	1
Y	17 April 2014 (17.04.2014),	2
A	paragraphs [0009] to [0058], [0088] to [0092]; fig. 1, 2, 7 & US 2014/0084333 A1 paragraphs [0020] to [0075], [0115] to [0121]; fig. 1, 2, 7 & CN 103681826 A	3-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 April 2016 (27.04.16)

Date of mailing of the international search report
17 May 2016 (17.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060587

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2012/144271 A1 (Nissan Motor Co., Ltd.), 26 October 2012 (26.10.2012), paragraphs [0008] to [0047], [0078] to [0080]; fig. 1, 2, 10, 11 & US 2014/0042523 A1 paragraphs [0029] to [0068], [0099] to [0101]; fig. 1, 2, 10, 11 & JP 5862660 B & EP 2701201 A1 & CN 103493208 A & KR 10-2013-0141701 A & MX 2013012149 A & RU 2548058 C1	1 2-6
Y A	JP 2010-258153 A (Renesas Electronics Corp.), 11 November 2010 (11.11.2010), paragraphs [0013] to [0040]; fig. 1 to 13 & US 2010/0270613 A1 paragraphs [0032] to [0062]; fig. 1 to 13 & US 2012/0043603 A1	2 1,3-6
A	JP 2014-060298 A (Toshiba Corp.), 03 April 2014 (03.04.2014), paragraphs [0010] to [0018], [0039]; fig. 1, 2, 8 & US 2014/0077278 A1 paragraphs [0023] to [0031], [0053] to [0054]; fig. 1, 2, 8 & US 8981470 B2 & CN 103681853 A	1-6
A	US 2009/0152624 A1 (INFINEON TECHNOLOGIES AUSTRIA AG), 18 June 2009 (18.06.2009), paragraphs [0025] to [0050]; fig. 1 to 4 & US 2011/0076817 A1 & DE 102007061191 A1	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-067753 A（株式会社東芝）	1
Y	2014.04.17, 段落[0009]-[0058], [0088]-[0092], 図1, 2, 7	2
A	& US 2014/0084333 A1, 段落[0020]-[0075], [0115]-[0121], 図1, 2, 7 & CN 103681826 A	3-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.04.2016

国際調査報告の発送日

17.05.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大橋 達也

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2012/144271 A1 (日産自動車株式会社) 2012. 10. 26, 段落[0008]-[0047], [0078]-[0080], 図 1, 2, 10, 11 & US 2014/0042523 A1, 段落[0029]-[0068], [0099]-[0101], 図 1, 2, 10, 11 & JP 5862660 B & EP 2701201 A1 & CN 103493208 A & KR 10-2013-0141701 A & MX 2013012149 A & RU 2548058 C1	1 2-6
Y A	JP 2010-258153 A (ルネサスエレクトロニクス株式会社) 2010. 11. 11, 段落[0013]-[0040], 図 1-13 & US 2010/0270613 A1, 段落[0032]-[0062], 図 1-13 & US 2012/0043603 A1	2 1, 3-6
A	JP 2014-060298 A (株式会社東芝) 2014. 04. 03, 段落[0010]-[0018], [0039], 図 1, 2, 8 & US 2014/0077278 A1, 段落[0023]-[0031], [0053]-[0054], 図 1, 2, 8 & US 8981470 B2 & CN 103681853 A	1-6
A	US 2009/0152624 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 2009. 06. 18, 段落[0025]-[0050], 図 1-4 & US 2011/0076817 A1 & DE 102007061191 A1	1-6