

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0056971 (43) 공개일자 2014년05월12일
(51) 국제특허분류(Int. Cl.) H01L 29/78 (2006.01) H01L 21/336 (2006.01)	(71) 출원인 서강대학교산학협력단 서울특별시 마포구 백범로 35 (신수동, 서강대학교)	
(21) 출원번호 10-2012-0123502	(72) 발명자 김광수 대전 유성구 배울2로 19, 905동 1204호 (관평동, 대덕테크노밸리9단지아파트)	
(22) 출원일자 2012년11월02일 심사청구일자 2012년11월02일	조두형 경기 광주시 오포읍 오포로909번길 32-7, 107동 605호 (금호아파트)	
	(74) 대리인 특허법인충현	

전체 청구항 수 : 총 13 항

(54) 발명의 명칭 전력 MOSFET 및 이의 제조 방법

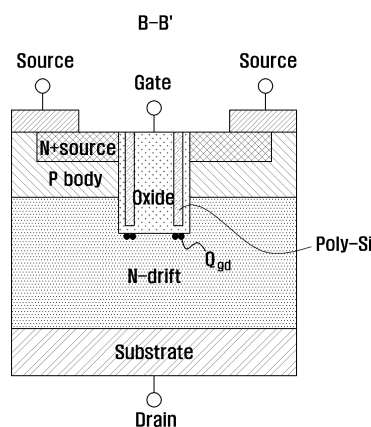
(57) 요약

본 발명은 전력 MOSFET(power Metal-Oxide-Semiconductor Field Effect Transistor)에 관한 것으로, 보다 상세하게는 트렌치 전력 MOSFET(Trench power MOSFET)의 스위칭 성능(switching characteristic)을 개선시킨 전력 MOSFET에 관한 것이다.

개시되는 전력 MOSFET은 트렌치 전력 MOSFET의 게이트 전극이 형성되는 트렌치의 일부 영역에만 상기 전극으로 사용될 물질을 증착(deposition)시켜 스위칭 성능의 개선을 이룩한다.

본 발명에 의한 트렌치 전력 MOSFET은 게이트 전극으로 사용되는 물질의 두께(단면적)를 단지 얇게(작게) 하는 것만으로 밀러 전하를 감소시켜 스위칭 특성을 개선할 수 있다. 아울러 전극 물질이 증착되지 않는 트렌치의 잔여 영역은 소자의 동작에 전혀 영향을 미치지 아니하는 영역으로서 추가적인 애플리케이션의 활용을 가능하게 하여 소자의 활용성을 향상시킬 수 있는 이점도 부수적으로 제공한다. 아울러 스위칭 특성의 개선을 의도하는 기존의 여러 trench gate MOSFET와는 달리 복잡하고 난해한 공정의 추가가 요구되지 아니하며, 따라서 스위칭 특성의 개선을 의도하는 기존의 여러 trench gate MOSFET에 비해 제조 공정에 소요되는 시간 및 비용의 개선도 도모할 수 있다.

대표도 - 도2b



이 발명을 지원한 국가연구개발사업

과제고유번호	201244002
부처명	지식경제부
연구사업명	없음
연구과제명	차세대 융복합 시스템용 아날로그IP 핵심 설계 기술 개발(3차년도)
기 여 율	1/2
주관기관	정보통신산업진흥원
연구기간	2012.01.01 ~ 2012.12.31이 발명을 지원한 국가연구개발사업
과제고유번호	1415123314
부처명	지식경제부
연구사업명	정보통신기술인력양성
연구과제명	아날로그IP설계기술
기 여 율	1/2
주관기관	서강대학교산학협력단
연구기간	2012.01.01 ~ 2012.12.31

특허청구의 범위

청구항 1

트렌치 전력 MOSFET(Trench power Metal Oxide Semiconductor Field Effect Transistor)의 게이트 전극이 형성되는 트렌치의 일부 영역에만 상기 전극으로 사용될 물질이 증착(deposition)된 것을 특징으로 하는 전력 MOSFET.

청구항 2

제 1 항에 있어서,

상기 증착은 상기 MOSFET의 산화물 층(oxide layer)에 접촉시켜 이루어지는 것을 특징으로 하는 전력 MOSFET.

청구항 3

제 1 항에 있어서,

상기 트렌치의 기저(bottom)에는 상기 물질의 증착이 이루어지지 않는 것을 특징으로 하는 전력 MOSFET.

청구항 4

제 2 항에 있어서,

상기 물질의 두께는 상기 산화물 층의 두께와 동일한 것을 특징으로 하는 전력 MOSFET.

청구항 5

제 1 항에 있어서,

상기 트렌치의 잔부 영역에는 절연체가 증착되는 것을 특징으로 하는 전력 MOSFET.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 물질은 폴리실리콘(Poly-Si)인 것을 특징으로 하는 전력 MOSFET.

청구항 7

(a)트렌치 전력 MOSFET(Trench power Metal Oxide Semiconductor Field Effect Transistor)의 에피텍셜 층(epitaxial layer)을 에칭(etching)하여 게이트 전극이 형성될 트렌치를 형성시키는 단계;

(b)상기 트렌치의 표면에 산화물 층(oxide layer)을 형성시키는 단계; 및

(c)상기 산화물 층 위에 상기 게이트 전극으로 사용될 물질을 증착시키되, 상기 트렌치의 일부 영역에만 상기 물질을 증착시키는 단계를 포함하는 것을 특징으로 하는 전력 MOSFET의 제조 방법.

청구항 8

제 7 항에 있어서,

(d)상기 트렌치의 잔부 영역에 절연체를 증착시키는 단계를 더 포함하는 것을 특징으로 하는 전력 MOSFET의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 (a)단계는 RIE(Reactive Ion Etching) 공정을 이용해 상기 에피텍셜 층을 수직 에칭(vertical etching)하여 이루어지는 것을 특징으로 하는 전력 MOSFET의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 (c)단계에 의한 증착은 상기 트렌치의 기저(bottom)에는 이루어지지 않는 것을 특징으로 하는 전력 MOSFET의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 (c)단계에 의해 증착되는 상기 물질의 두께는 상기 산화물 층의 두께와 같게 하는 것을 특징으로 하는 전력 MOSFET의 제조 방법.

청구항 12

제 7 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 물질은 폴리실리콘(Poly-Si)인 것을 특징으로 하는 전력 MOSFET의 제조 방법.

청구항 13

제 12 항의 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 판독 가능한 기록 매체.

명세서

기술분야

[0001] 본 발명은 전력 MOSFET(power Metal-Oxide-Semiconductor Field Effect Transistor) 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 트렌치 전력 MOSFET(Trench power MOSFET)의 스위칭 성능(switching characteristic)을 개선시킨 전력 MOSFET 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 트렌치 전력 MOSFET('트렌치 게이트 MOSFET'로도 불린다)은 일반적인 MOSFET 보다 대 전력, 대 전류 특성이 우수한 반도체 소자이다. 이는 게이트(gate) 전극을 트렌치 에칭(Trench etching)하여 실리콘 물질(대표적으로 폴리실리콘(Poly-Si))을 통해 구현하며, 기존의 트렌치 D-MOSFET(Trench Double-diffused gate MOSFET)의 구조적인 단점을 극복하고 효율을 높일 수 있어 가장 널리 사용되는 전력 MOSFET이다. 이 소자는 모바일 기기, 자동차 등에서의 전력 변환 및 전력 관리(power management) 등의 분야에서 사용되고 있다. 이하 트렌치 전력 MOSFET은 전력 MOSFET으로도 약칭한다.

[0003] 한편 최근에는 전력 MOSFET의 전력 소모(power loss) 감소를 도모할 수 있는 기술에 관한 연구가 전력 MOSFET 관련 분야에서의 화두이다. 전력 소모량에 영향을 미치는 여러 파라미터(parameter)가 있지만 그 중 가장 비중이 큰 파라미터는 전력 MOSFET의 ON/OFF 스위칭 특성이다. 전력 소모량은 소자 내부의 기생 소자들에 의한 기생 커패시턴스(parasitic capacitance)의 값과 비례하고 이 커패시턴스는 게이트 전하(gate charge, 소위 '밀러 전하(Miller charge)')의 양과 비례한다. 즉, 밀러 전하가 많을수록 전력 소모량이 증가하며 이는 스위칭 특성의 열화를 유발시킨다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 전력 MOSFET의 상기와 같은 문제적 현상을 인식하여 이를 극복하기 위해 창안된 것으로, 본 발명이 해결하고자 하는 과제는 전력 소모의 감소를 도모하고 스위칭 특성을 개선시킬 수 있는 트렌치 전력 MOSFET 및 이의 제조 방법을 제시하는 것이다.

과제의 해결 수단

[0005] 상기의 과제를 해결하기 위해 개시되는 전력 MOSFET은 트렌치 전력 MOSFET의 게이트 전극이 형성되는 트렌치의

일부 영역에만 상기 전극으로 사용될 물질이 증착(deposition)되도록 하여 상기의 과제를 해결한다.

[0006] 상기와 같은 과제를 해결하기 위해 개시되는 전력 MOSFET의 제조 방법은 (a)트렌치 전력 MOSFET(Trench power Metal Oxide Semiconductor Field Effect Transistor)의 에피택셜 층(epitaxial layer)을 에칭(etching)하여 게이트 전극이 형성될 트렌치를 형성시키는 단계; (b)상기 트렌치의 표면에 산화물 층(oxide layer)을 형성시키는 단계; 및 (c)상기 산화물 층 위에 상기 게이트 전극으로 사용될 물질을 증착시키되, 상기 트렌치의 일부 영역에만 상기 물질을 증착시키는 단계를 포함하여 상기의 과제를 해결한다.

발명의 효과

[0007] 본 발명에 의한 트렌치 전력 MOSFET은 게이트 전극으로 사용되는 물질의 두께(단면적)를 얇게 하는 것만으로(트렌치의 일부 영역에만 전극 물질을 증착하는 것만으로) 밀러 전하를 감소시켜 스위칭 특성을 개선할 수 있다. 아울러 전극 물질이 증착되지 않는 트렌치의 잔여 영역은 소자의 동작에 전혀 영향을 미치지 아니하는 영역으로서 추가적인 애플리케이션의 활용을 가능하게 하여 소자의 활용성을 향상시킬 수 있는 이점도 부수적으로 제공한다.

[0008] 아울러 두께를 얇게 하면서도 기존의 여러 trench gate MOSFET과 비교하여 전류-전압 특성, 항복 전압(breakdown voltage) 등의 측면에서 아무런 성능의 저하가 없는 장점도 제공한다. 아울러 스위칭 특성의 개선을 의도하는 기존의 여러 trench gate MOSFET와는 달리 복잡하고 난해한 공정의 추가가 요구되지 아니하며, 따라서 기존의 여러 trench gate MOSFET에 비해 제조 공정에 소요되는 시간 및 비용의 개선도 도모할 수 있다.

도면의 간단한 설명

[0009] 도 1a 내지 도 1c는 기존의 전력 MOSFET 중 현재 가장 통용되고 있는 트렌치 전력 MOSFET을 제시한 도면이다. 도 2a 내지 도 2c는 본 발명에 의한 트렌치 전력 MOSFET을 제시한 도면이다. 도 3은 본 발명에 의한 전력 MOSFET의 제조 공정을 제시한 도면이다. 도 4a 내지 도 4c는 폴리실리콘의 두께에 따른 밀러 전하의 변화를 설명하기 위해 제시한 도면이다. 도 5a와 도 5b는 각각 본 발명에 의한 전력 MOSFET과 기존 MOSFET의 기생 커패시턴스의 변화를 드레인 전압에 따라 제시한 그래프이다. 도 6a와 도 6b는 본 발명에 의한 전력 MOSFET의 스위칭 특성 개선 효과를 설명하기 위해 제시한 도면이다. 도 7a는 본 발명에 의한 전력 MOSFET과 다른 기존 MOSFET의 I_d-V_{ds} 특성을 제시한 그래프이며, 도 7b는 항복 전압을 제시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명을 실시하기 위한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하려는 과제의 해결 방안의 개요를 우선 제시한다.

[0011] 위에서 언급한 바와 같이 전력 MOSFET의 스위칭 특성에 영향을 미치는 가장 중요한 팩터(factor)는 밀러 전하의 양이며, 따라서 밀러 전하를 줄이는 것이 스위칭 특성을 개선시킴에 관건(crucial point)이 된다. 즉, 밀러 전하를 줄인다면 소자 내부의 기생 커패시턴스를 최소화시킬 수 있고 결과적으로 소자 내부의 열과 기생 커패시턴스의 영향으로 인한 전력 소모와 스위칭 특성 모두를 개선시킬 수 있다.

[0012] 한편 전력 MOSFET의 기생 커패시턴스에는 C_{iss} , C_{oss} 와 C_{rss} 가 있는데, 이 중 C_{iss} (입력 커패시턴스)와 C_{oss} (출력 커패시턴스)는 C_{gs} (게이트-소스 간 커패시턴스), C_{gd} (게이트-드레인 간 커패시턴스), C_{ds} (드레인-소스 간 커패시턴스)의 영향을 받는다. 하지만 전력 MOSFET(Trench gate MOSFET)은 태생적으로 C_{gs} 와 C_{ds} 를 최소화하기 어려운 구조이므로, 주로 C_{gd} 에 의한 전하(Q_{gd} , 이것이 바로 밀러 전하)를 최소화시켜 전력 소모와 스위칭 특성 모두를 개선시키는 방안을 사용하고 있다. 한편 $C_{iss} = C_{gs} + C_{gd}$, $C_{oss} = C_{ds} + C_{gd}$, $C_{rss} = C_{gd}$ 이다.

[0013] 밀러 전하를 최소화하기 위한 현재의 방안들은 크게 두 가지로 압축할 수 있는데, 첫 번째 방안은 게이트의 구조적 변화를 통해 밀러 전하를 최소화시키는 것이며, 두 번째 방안은 게이트 내부에 또 다른 게이트 전극을 삽입하여 두 개 게이트의 전압 조절(control)을 통해 밀러 전하를 최소화시키는 것이다. 두 번째 방안에 의한 게

이트 구조를 소위 분리 게이트(split gate) 구조라 한다.

- [0014] 상기한 첫 번째 방안이 적용된 대표적인 것으로 W-gated MOSFET과 Thick bottom oxide trench MOSFET이 있다. 이 두 MOSFET은 게이트와 드레인에 겹친(overlapped) 영역의 산화물 층(oxide layer)을 두껍게 형성하며, 기저 산화물(bottom oxide)이 두꺼워지면 자연스럽게 C_{gd} 가 줄어들며 따라서 상기 관계식에 따라 C_{iss} , C_{oss} 와 C_{rss} 모두 감소하게 되어 소자의 전체적인 스위칭 특성(효율)이 향상되게 된다. 하지만 W-gated MOSFET의 경우 트렌치 에칭 후 질화규소(Si_3N_4 , Silicon nitride)로 스페이서(spacer)를 형성한 다음 산화 과정(oxidation)을 해야 하는 까다로운 추가 공정이 필요하게 되며, 스페이서의 영역 확보를 위한 정확한 증착 제어(deposition control), 두꺼운 기저 산화물의 형성으로 인한 소자 면적 측면에서의 손실 등 여러 단점들을 수반한다. Thick bottom oxide trench MOSFET 또한 마찬가지로 공정 단계가 추가되어 소자 생산 비용이 증가하게 된다.
- [0015] 상기한 두 번째 방안에 의하면 메인 게이트(main gate) 외에 별도의 게이트가 존재하기 때문에 분리 게이트(split gate)의 조절 여하에 따라 항복 전압(breakdown voltage) 조절, ON/OFF 게이트 전하를 조절하여 스위칭 속도 및 전류 전압 특성을 조절하는 등 사용자의 필요에 맞게 사용할 수 있는 장점이 있다. 하지만 두 번째 방안 역시 공정이 매우 복잡해져 비용이 증가하고, 분리 게이트를 조절하기 위한 전극이 추가적으로 필요하다. 또한 메인 게이트와 분리 게이트 사이에 산화 커패시턴스(oxide capacitance, C_{ox})가 존재하기 때문에 성능 향상에는 여전히 한계가 존재한다. 아울러 위의 두 가지 방안 모두 게이트 기저(gate bottom) 지역의 축적(accumulation) 영역에 게이트 전계(gate electric field)가 직접적으로 닿지 않으므로 게이트 기저 부분은 조절할 수가 없어 전류의 전도 손실(conduction loss)이 발생한다.
- [0016] 현재 가장 통용되고 있는 전력 MOSFET이 도 1a 내지 도 1c에 제시되어 있다. 도 1a는 사시도이고, 도 1b는 A-A'에서의 단면도이며, 도 1c는 A" 방향에서 본 단면도(top view)이다.
- [0017] 도 1에 제시된 전력 MOSFET은 에피택셜 층(epitaxial layer)을 수직 에칭(vertical etching)하여 그 안에 산화물 층(oxide layer)을 형성하고, 폴리실리콘(poly-Si)으로 게이트 전극을 형성한다. 이 경우 드레인(Drain) 전극의 상부 단면(upper face)에 상응하는(overlap) 부분의 게이트 전극의 기저 단면(bottom face)의 하부에 밀러 전하(Q_{gd})가 축적되고, 따라서 소자의 C_{gd} (게이트-드레인 간 커패시턴스)가 높아져 스위칭 특성이 열화되고 전력 소모가 많아진다.
- [0018] 본 발명에 의한 스위칭 특성의 개선(전력 소모 감소)의 해결 방안의 핵심은 게이트 전극의 기저 단면의 단면적을 줄여(게이트 전극의 두께를 줄여) 밀러 전하를 감소시키는 것이다. 기저 단면의 단면적을 줄이면(게이트 전극의 두께를 줄이면) C_{gd} 가 낮아지고 따라서 밀러 전하(게이트 전하)가 감소되는 효과를 볼 수 있다. 이의 근거가 되는 실험적 결과에 대한 상세는 후술할 것이다.
- [0019] 이하, 본 발명을 실시하기 위한 구체적인 내용을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0020] 도 2a 내지 도 2c는 본 발명에 의한 전력 MOSFET을 제시한 도면으로, 도 2a는 사시도이고, 도 2b는 B-B'에서의 단면도이며, 도 2c는 B" 방향에서 본 단면도(top view)이다.
- [0021] 게이트 전극이 형성될 트렌치를 수직 에칭하는 것은 도 1의 경우와 동일하다. 다만, 도 1의 경우와 다른 점은 게이트 전극의 기저 단면의 단면적을 줄여(게이트 전극의 두께를 줄여) 구현하는 점이다. 이는 도 1의 경우와는 달리 트렌치 영역 전부에 폴리실리콘을 증착시키는 것이 아니라 일부 영역에만 폴리실리콘을 증착시켜 게이트 전극을 형성하고 잔여 영역에는 절연체(예를 들어 산화물)를 증착시킨다.
- [0022] 한편 폴리실리콘의 증착 위치는 MOSFET의 채널(channel)이 형성되는 영역(도 2의 경우에는 NMOS로서 N+ source)에 근접하는 것이 바람직하다. 왜냐하면 채널은 소스와 드레인 간에 전자(내지는 정공)의 흐름이 이루어지는 부분이므로 폴리실리콘으로 형성되는 게이트 전극과의 접촉(contact)이 필요한 부분이기 때문이다. 아울러 절연체가 증착되는 트렌치의 잔여 영역은 소자의 동작에 전혀 영향을 미치지 아니하는 영역으로, 분리 게이트(split gate), 이중 게이트(dual gate) 등 추가적인 애플리케이션의 활용을 가능하게 하여 소자의 활용성을 향상시킬 수 있는 이점도 부수적으로 제공한다.

- [0023] 결론적으로 본 발명에 의한 게이트 전극의 구현(폴리실리콘의 증착)은 밀러 전하를 줄일 수 있음과 아울러 소자가 정상적으로 동작(operation)함에 필요한 정도로만 이루어지게 하는 것이다.
- [0024] 도 3은 본 발명에 의한 전력 MOSFET의 제조 공정(방법)의 일례를 제시한 도면이다.
- [0025] 도 3의 (a)는 MOSFET의 '0'에 해당하는 산화물 층(oxide layer)을 형성시키는 단계로, 우선 N+로 고농도 도핑된 기판(substrate)의 위에 인(phosphorus)이 도핑된 Si 에피택셜 층(Si epi층, N-drift 층)을 성장시킨다. 이후 RIE(Reactive Ion Etching) 공정을 이용해 에피택셜 층의 일부를 수직 에칭하여 게이트 전극이 형성될 트렌치를 형성한 후 소정 두께로 산화물 층을 증착시키거나, 트렌치를 형성한 후 에피택셜 층의 수직 에칭된 부분을 산화 공정(oxidation)을 통해 직접 산화시켜 산화물 층을 형성시킨다. 도 3의 (a)단계는 도 1에 제시된 기존의 MOSFET의 경우와 동일한 공정으로 이루어진다.
- [0026] 도 3의 (b)는 MOS의 게이트 전극으로 사용될 폴리실리콘을 증착시키는 단계로, 도 3의 (a)단계에 의해 형성된 산화물 층 위에 게이트 전극으로 사용될 폴리실리콘을 상기 형성된 산화물 층과 같은 두께로 증착시킨다. 위에서 언급한 현재 가장 많이 통용되는 trench gate MOSFET에서는 수직 에칭된 트렌치의 모든 영역에 폴리실리콘을 증착하지만, 본 발명에 의한 전력 MOSFET은 트렌치의 일부 영역에만 폴리실리콘을 증착한다.
- [0027] 도 3의 (c)는 게이트 전극의 형성을 완료시키는 단계로, 도 3의 (b)단계를 통해 증착된 폴리실리콘 중 트렌치의 기저 영역(bottom)과 겹치는 부분을 RIE 공정을 사용하여 에칭시켜 게이트 전극을 형성한다.
- [0028] 이 과정은 본 발명에 의한 전력 MOSFET의 특징을 발현시키기 위한 과정으로서, 전력 MOSFET에서 게이트에 전압이 인가되면 게이트의 기저 영역(gate bottom)으로 밀러 전하가 쌓이게 되어 소자의 스위칭 특성의 악화(on/off switching delay)를 초래한다. 따라서 기저 영역으로 밀러 전하가 쌓이는 효과를 최소화하기 위해 트렌치의 기저 영역과 접촉한 폴리실리콘을 제거하여 게이트에 전압이 인가되더라도 밀러 전하를 최소화시킨다.
- [0029] 도 3의 (d)는 에칭된 트렌치의 잔부 영역에 산화물을 증착하고, p-body와 N+ source 영역을 형성하고 각 소자의 전극을 형성하여 본 발명에 의한 전력 MOSFET의 구현을 완성시키는 단계이다.
- [0030] 이하 본 발명에 의한 전력 MOSFET의 개선된 효과를 뒷받침할 수 있는 실험적 결과들을 제시한다.
- [0031] 우선 실험을 위한 주요 공정 변수 일례는 다음과 같다.

공정 변수	기존 전력	본 발명
	MOSFET	
Cell pitch	2.4[μm]	2.4[μm]
Trench width	1[μm]	1[μm]
Trench depth	1.3[μm]	1.3[μm]
Poly-Si thickness	450[nm]	50[nm]
Epitaxial thickness	4[μm]	4[μm]
Source doping	$1 \times 10^{20} \text{cm}^{-3}$	$1 \times 10^{20} \text{cm}^{-3}$
P-body doping	$1 \times 10^{17} \text{cm}^{-3}$	$1 \times 10^{17} \text{cm}^{-3}$
Gate oxide thickness	50[nm]	50[nm]

- [0032]
- [0033] 1. 폴리실리콘의 두께(Poly-Si thickness)에 따른 밀러 전하(Q_{gd})의 변화
- [0034] 도 4a는 폴리실리콘의 두께에 따른 밀러 전하의 변화를 측정하기 위한 회로를 제시한 도면이며, 도 4b는 본 측정 실험에 따른 결과 그래프를 제시한 도면이다. 도 4a의 회로에는 10[μA]의 일정한 크기의 게이트 전류(I_g)를 흘렸다.
- [0035] 도 4b의 그래프는 폴리실리콘의 두께(단면적)에 따른 게이트 전압(y축) vs 전이 시간(transient time, x축)을 제시한 것이다. 게이트 전압 0.5와 1사이의 평평한 영역(Miller plateau)은 밀러 전하(Q_{gd})에 해당하는 영역이다. Miller plateau는 스위칭의 ON/OFF에 직접적인 영향을 미치는 파라미터로 전력 MOSFET이 ON되어 드레인-소스 간 전압(V_{ds})이 하강하면, 밀러 전하로 인해 스위칭 지연(switching delay)이 발생하며, 지연 시간(delay time)은 밀러 전하의 양에 비례한다.
- [0036] 따라서 밀러 전하의 양을 낮추면 지연 시간을 최소로 할 수 있으며, 본 발명은 위에서 언급한 바와 같이 게이트 전극으로 사용되는 폴리실리콘의 두께(폴리실리콘의 하부 단면적)를 줄여 밀러 전하의 양을 낮추었으며, 도 4b의 그래프를 참조하면 폴리실리콘의 두께가 가장 얇은 경우에 상기한 전이 시간(지연 시간)이 최소임을 확인할

수 있고, 두께가 커질수록 전이 시간이 증가됨을 확인할 수 있다.

[0037] 한편 상기한 공정 변수를 전제로, 본 발명에 의한 전력 MOSFET의 밀러 전하는 13.8[nC]이고, 기존의 전력 MOSFET의 경우에는 19.4[nC]로 측정되었다. 즉, 28.9[%]의 밀러 전하 감소 효과를 볼 수 있다. 폴리실리콘의 두께에 따른 밀러 전하는 150[nm] 일 때 16[nC], 250nm 일 때 18[nC], 350[nm] 일 때 19.2[nC]으로 나타난다. 이 결과를 확인해 보면 게이트 전극(폴리실리콘)의 두께가 얇아질수록 전하량(Q_{gd})이 대폭 감소하지만 250[nm] 이상 두꺼워지기 시작하면, 전하량 감소 효과가 둔화된다. 이 현상은 폴리실리콘의 두께가 두꺼워 질수록 기존의 trench MOSFET의 gate 형태와 가까워지고 두 poly-Si 게이트 사이의 간격이 좁아지게 된다. 즉, 본 발명의 특징인 게이트 기저(gate bottom)에 전압이 인가되지 않는 현상이 250[nm]이전까지는 최대의 전하량 감소 효과를 보았다가 이후에는 두 게이트 사이의 간격이 좁아지므로 이 효과가 저하된다. 도 4c에는 폴리실리콘의 두께에 따른 C_{gd} 의 변화가 제시되어 있는데, Q_{gd} 와 C_{gd} 는 서로 비례하므로 위에서 언급한 전하량 감소 효과에 대해 잘 설명해주고 있다.

[0038] 2. 본 발명에 의한 전력 MOSFET과 기존 MOSFET의 기생 커패시턴스 비교

[0039] 도 5a와 도 5b는 각각 본 발명에 의한 전력 MOSFET과 기존 MOSFET의 기생 커패시턴스의 변화를 드레인 전압에 따라 제시한 그래프이다.

[0040] Trench power MOSFET에는 여러 기생 커패시턴스가 있음을 위에서 언급하였다. 각각의 커패시턴스는 ON/OFF 스위칭시에 소자에 기여하는 역할이 다른데, 기생 커패시턴스에 대해 다시 한 번 언급하면 다음과 같다.

[0041] $C_{iss} = C_{gs} + C_{gd}$, $C_{oss} = C_{ds} + C_{gd}$, $C_{rss} = C_{gd}$.

[0042] C_{iss} 는 소자가 턴-온(turn on)될 시에 충전되는 커패시턴스이다. 이 값이 작을수록 턴-온 될 시에 입력 스위칭(input switching) 속도가 향상된다. 이 커패시턴스는 게이트와 소스가 마주하고 있는 영역에서의 커패시턴스(C_{gs})와 게이트-드레인 오버랩 커패시턴스(gate-drain overlap capacitance, C_{gd})의 합이다. C_{oss} 와 C_{rss} 은 각각 출력 커패시턴스, 역 회복 커패시턴스(reverse recovery capacitance)이다.

[0043] 도 5a와 도 5b를 참조하면 본 발명에서의 C_{iss} , C_{oss} 및 C_{rss} 모두 기존 MOSFET에 비해 개선되었는데, 각각 14.3[%], 23[%], 30[%]의 커패시턴스 감소 효과를 보였다. 이 효과는 위에서 언급한 밀러 전하(Q_{gd})의 감소 효과로 도출되는 C_{gd} 의 감소 효과이며, 따라서 C_{iss} , C_{oss} 및 C_{rss} 모두에 C_{gd} 의 성분이 포함되어 있으므로 모든 기생 커패시턴스가 감소되는 효과를 볼 수 있다.

[0044] 3. 본 발명에 의한 전력 MOSFET의 스위칭 특성 개선 효과

[0045] 도 6a는 본 발명에 의한 전력 MOSFET의 스위칭 특성을 확인하기 위한 회로의 예시이며, 도 6b는 기존 MOSFET의 입출력과 본 발명에 의한 전력 MOSFET의 입출력 관계를 제시한 그래프이다. 상기한 Q_{gd} , C_{gd} 모두 스위칭의 속도(스위칭 지연 시간, 전이 시간)와 관련된 파라미터이므로, 스위칭 속도를 비교하는 것은 의미가 있다.

[0046] 도 6a에 제시된 회로는 인버터(inverter)이다. 도 6a의 트랜지스터에 기존의 MOSFET을 적용했을 경우와 본 발명에 의한 전력 MOSFET을 적용했을 경우의 입력 펄스(input pulse)가 반전되어 출력되는 출력 펄스(output pulse)의 그래프를 오버레이(overlay)하여 제시한 그래프가 도 6b이다.

[0047] 도 6b를 참조하면, 입력 펄스는 1.1[nsec]일 때, ON에서 OFF로 반전이 이루어지는데, 이 때 응답속도가 빠를수록 전력 MOSFET의 스위칭 속도가 빠르다고 할 수 있다. 스위칭 속도의 비교를 위해 입력 펄스가 반전되는 지점인 1.1[nsec]에서 출력 펄스가 3[V]가 될 때까지의 시간을 측정하여 스위칭 속도를 비교해보면, 본 발명에 의한 전력 MOSFET이 기존의 MOSFET 보다 0.06[nsec] 빨리 도달하며 스위칭 효율(switching efficiency)이 28[%] 개선됨을 확인할 수 있다.

[0048] 4. 본 발명에 의한 전력 MOSFET의 전류-전압 특성과 항복 전압

[0049] 폴리실리콘의 두께를 얇게 하여 밀러 전하(기생 커패시턴스)를 줄이더라도 전력 MOSFET이 가진 전류-전압(I_d - V_{ds}) 특성과 항복 전압(breakdown voltage)은 유지되어야 소자의 정상 동작을 보장할 수 있다. 본 발명에 의한 전력 MOSFET의 게이트 전극(폴리실리콘)의 두께의 변화에도 불구하고 I_d - V_{ds} 특성과 항복 전압이 유지됨을 보여주는 실험 결과에 대해 제시한다.

[0050] 도 7a는 본 발명에 의한 전력 MOSFET과 다른 기존 MOSFET의 I_d-V_{ds} 특성을 제시한 그래프이며, 도 7b는 항복 전압을 제시한 도면이다. 두 그래프 모두 폴리실리콘의 두께와 관계없이 I_d-V_{ds} 특성과 항복 전압이 같음을 알 수 있다. 도 5a와 관련된 실험 결과의 각 커브(curve)는 각각 $V_{gs} = 3[V]$, $10[V]$ 일 때의 커브이다.

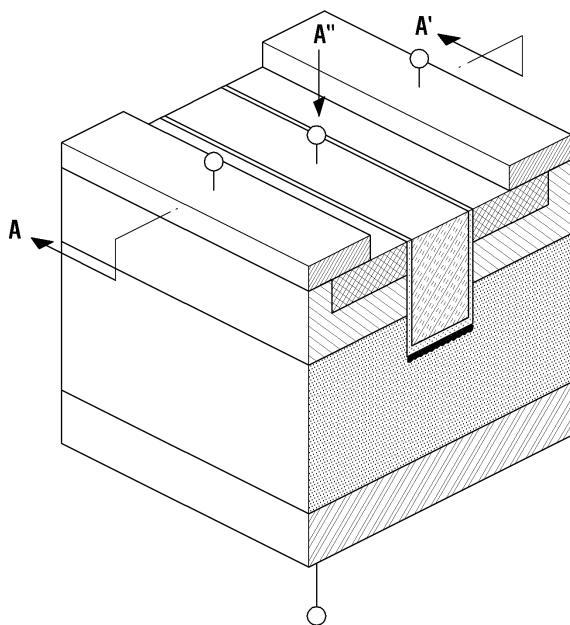
[0051] 본 방법발명은 또한 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 반도체는 실제 제조 전에 통상적으로 제조 공정 시뮬레이션 프로그램을 통해 원하는 특성이 나오는지 사전 검증을 한 후에 이루어지는 것이 압도적이므로, 본 방법발명이 프로그램(코드)의 형태로 구현되어 기록매체에 구현되는 것은 의미가 있다.

[0052] 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다. 컴퓨터가 읽을 수 있는 기록매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광 데이터 저장장치 등이 있으며, 또한 캐리어 웨이브(예를 들어 유무선 네트워크를 통한 전송)의 형태로 구현되는 것도 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.

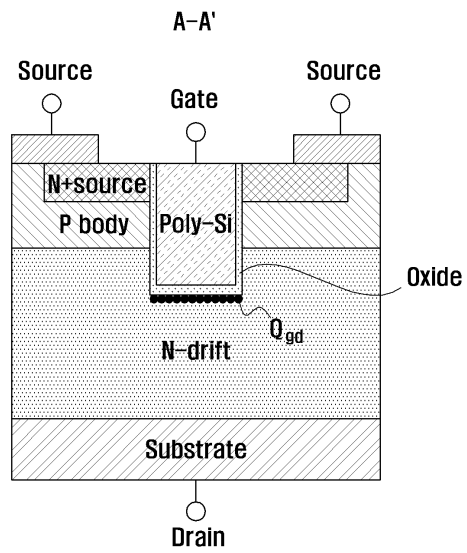
[0053] 이제까지 본 발명에 대하여 그 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

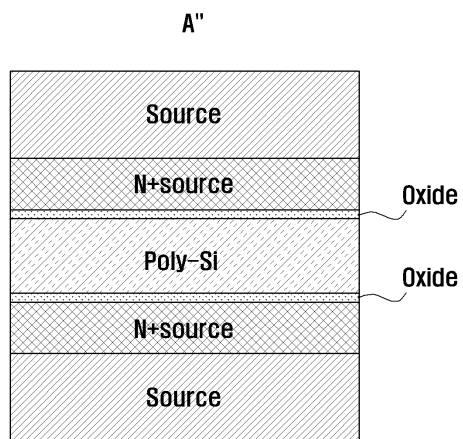
도면1a



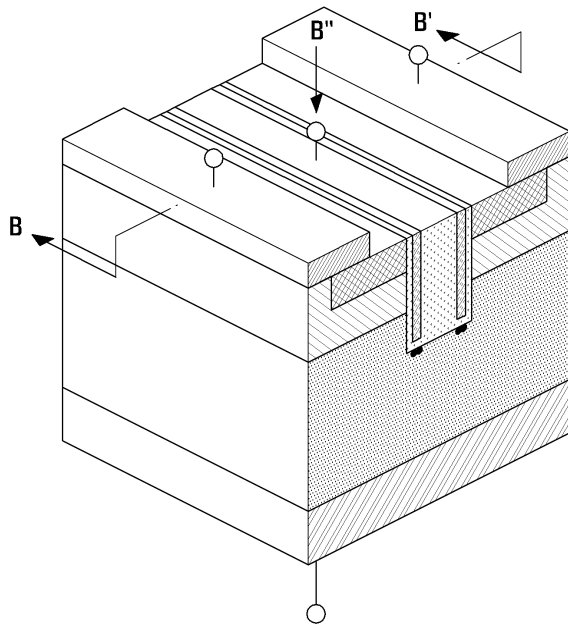
도면1b



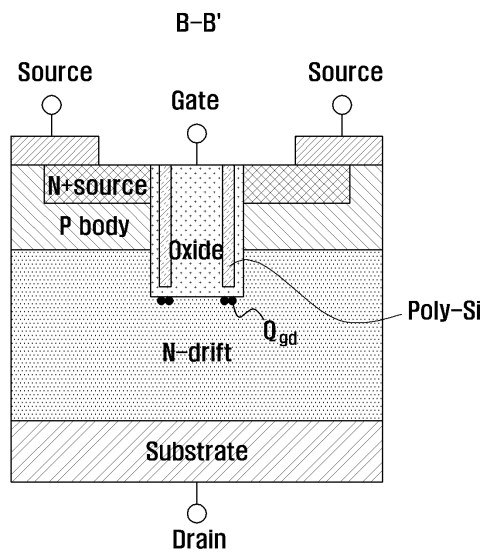
도면1c



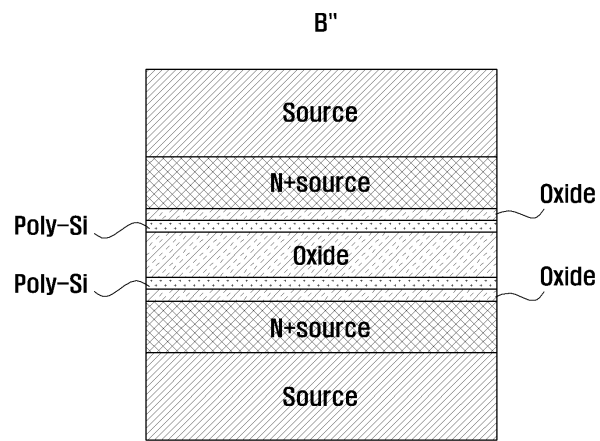
도면2a



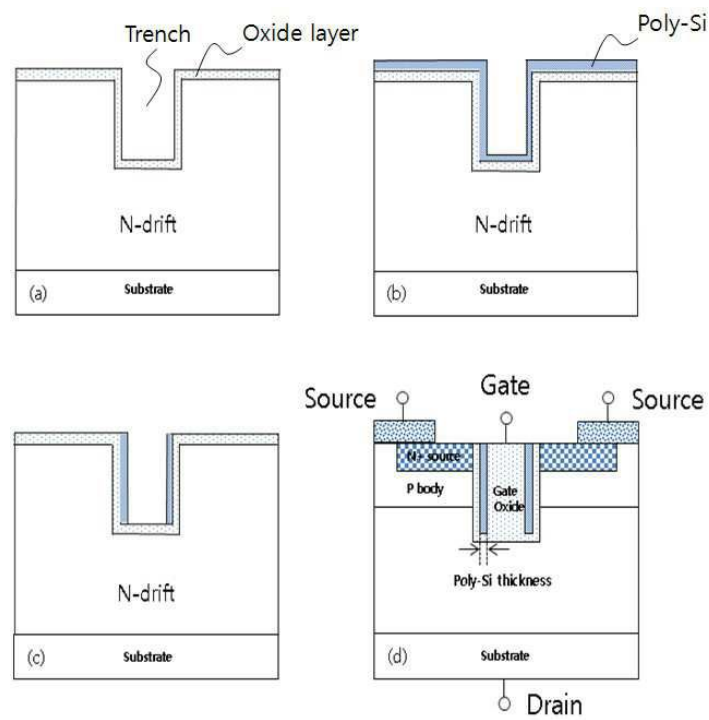
도면2b



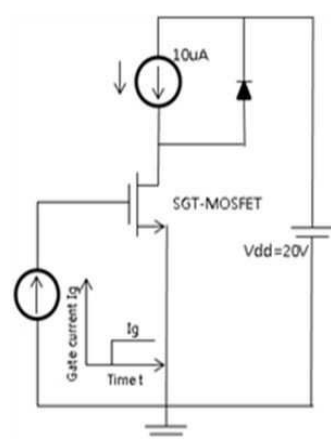
도면2c



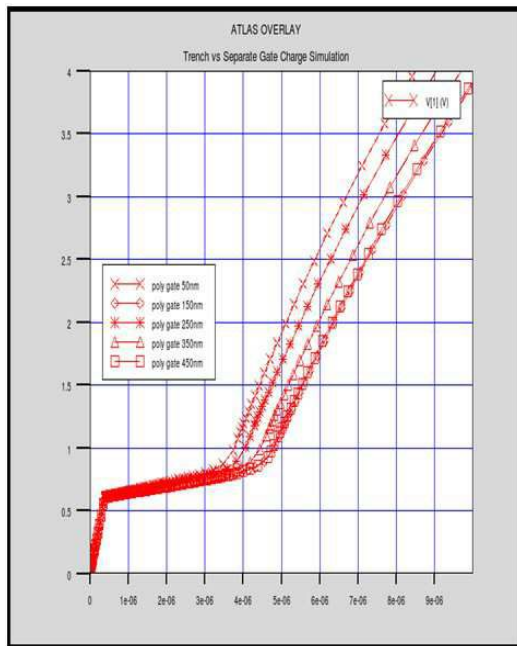
도면3



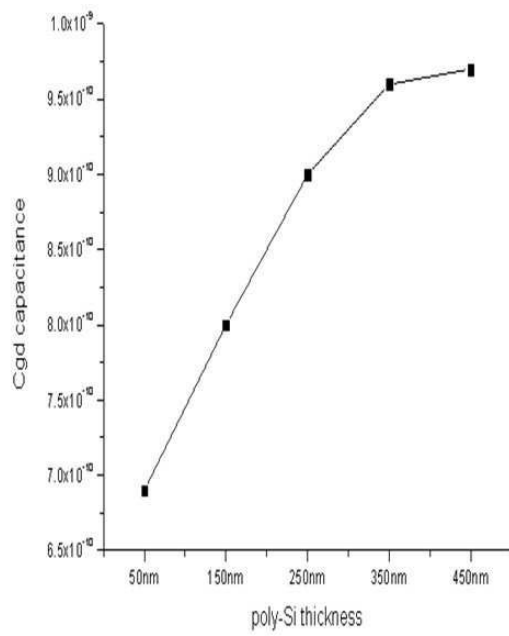
도면4a



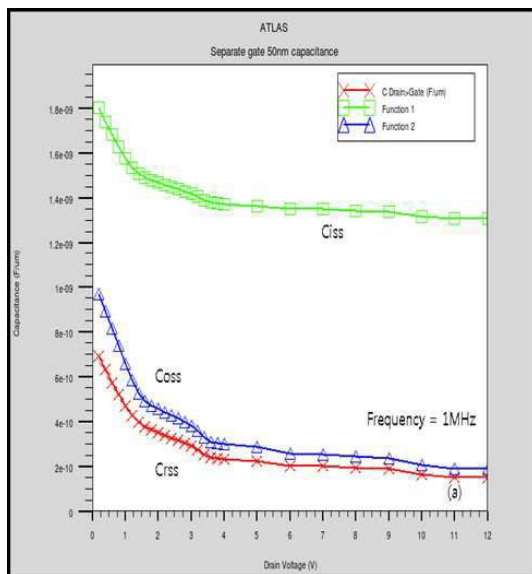
도면4b



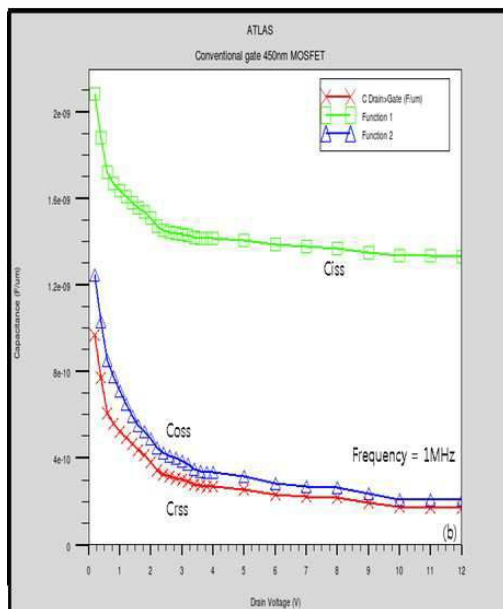
도면4c



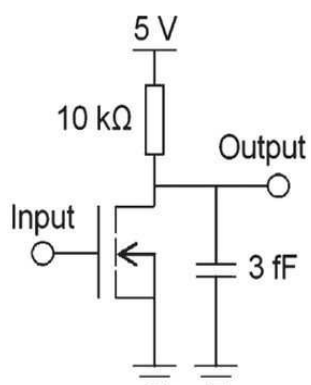
도면5a



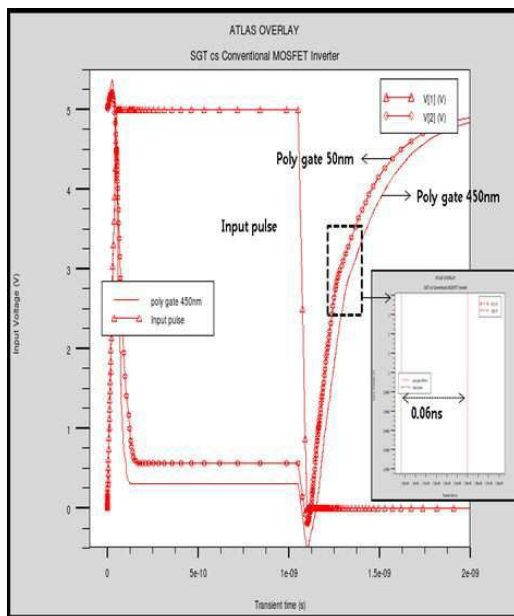
도면5b



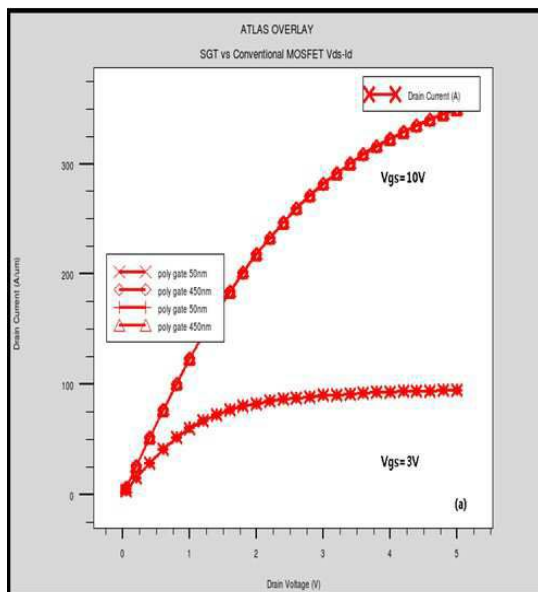
도면6a



도면6b



도면7a



도면7b

