

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4139633号  
(P4139633)

(45) 発行日 平成20年8月27日 (2008. 8. 27)

(24) 登録日 平成20年6月13日 (2008. 6. 13)

(51) Int. Cl.

F I

G O 6 T 1/20 (2006. 01)

G O 6 T 1/20 B

G O 6 F 15/16 (2006. 01)

G O 6 F 15/16 6 1 O A

G O 6 F 17/10 (2006. 01)

G O 6 F 17/10 D

G O 6 F 17/14 (2006. 01)

G O 6 F 17/14 S

H O 4 N 7/30 (2006. 01)

H O 4 N 7/133 Z

請求項の数 2 (全 21 頁)

(21) 出願番号 特願2002-189475 (P2002-189475)  
 (22) 出願日 平成14年6月28日 (2002. 6. 28)  
 (65) 公開番号 特開2004-30515 (P2004-30515A)  
 (43) 公開日 平成16年1月29日 (2004. 1. 29)  
 審査請求日 平成17年6月21日 (2005. 6. 21)

(73) 特許権者 000006747  
 株式会社リコー  
 東京都大田区中馬込1丁目3番6号  
 (74) 代理人 100062144  
 弁理士 青山 稔  
 (72) 発明者 佐藤 豊  
 東京都大田区中馬込1丁目3番6号 株式  
 会社リコー内  
 審査官 真木 健彦

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項 1】

画像に関するデータを処理する複数の処理部の一部に、他の処理部に比べて処理に時間を要する高負荷処理を並列に実行する並列信号処理部（5）を含んでいる画像処理装置であって、

上記並列信号処理部が、入力データの内容に応じたデータ量の処理データを出力する  $n$  個（ $n$  は 2 以上の整数）の高負荷処理部（14、15、16、17）と、データ分配部（13）と、データ合成部（18）と、を含んでおり、

上記データ分配部が、一連のデータを  $n$  個の高負荷処理部で処理するように  $n$  個のデータに分割して出力すると共に、分割したデータを出力する毎にターミネーション信号を出力するものであり、

上記データ合成部が、 $n$  個の高負荷処理部から出力される  $n$  個の処理データを一連のデータに合成しつつ連続して出力するものであり、メモリ回路と、 $n$  個のアドレス生成回路と、データ合成回路と、を含んでおり、

上記メモリ回路が、入力される  $n$  個の処理データをそれぞれ予め定めてある  $n$  個の書き込み開始アドレスから書き込みを行って記憶するものであり、

上記アドレス生成回路が、対応する高負荷処理部から出力される処理データのデータ量をカウントする第1カウンタ（41、44、47、50）と、アドレス生成部（42、45、48、51）と、を含んでおり、上記アドレス生成部が、予め定めてある書き込み開始アドレスに、上記第1カウンタによってカウントされた処理データの総データ量を加

10

20

算した値の読み出し終了アドレスを生成するものであり、読み出し信号入力端子（４２ａ）へのHighレベルの信号入力に応じて読み出し開始アドレスと読み出し終了アドレスとを出力するものであり、

上記データ合成回路が、メモリ回路から読み出された処理データを出力すると共に、データ量をカウントする第２カウンタ（２３７）と、論理回路と、アドレス出力信号生成部と、を含んでおり、

上記論理回路が、上記データ分配部から出力される $n$ 個のターミネーション信号をそれぞれ高負荷処理部での処理に要する予め定めた時間だけ遅延させる遅延回路（５３、５４、５５、５６）と遅延後の信号の論理積を求めるANDゲート（５７）とを含んでおり、ANDゲートの出力信号を、 $n$ 個に分割した一連のデータ内の最初のデータの処理データに対応するアドレス生成部の読み出し信号入力端子（４２ａ）に出力するものであり

10

上記アドレス出力信号生成部が、第２カウンタのカウント値と、処理データを出力しているアドレス生成回路の第１カウンタのカウント値とを比較する $n - 1$ 個の比較器（６０、６１、６２）を含んでおり、各比較器が、第１、第２カウンタのカウント値が一致した場合に、第２カウンタのリセット端子にHighレベルの信号を出力すると共に、次に出力する処理データを記憶しているアドレス生成回路のアドレス生成部の読み出し信号入力端子（４５ａ、４８ａ、５１ａ）にHighレベルの信号を出力することによって、メモリ回路から処理データを連続して出力させるものである、

ことを特徴とする画像処理装置。

20

#### 【請求項２】

画像に関するデータを処理する複数の処理部の一部に、他の処理部に比べて処理に時間を要する高負荷処理を並列に実行する並列信号処理部（５'）を含んでいる画像処理装置であって、

上記並列信号処理部が、入力データの内容に応じたデータ量の処理データを出力する $n$ 個（ $n$ は２以上の整数）の高負荷処理部（２０７、２０８、２０９、２１０）と、データ分配部と、データ合成部と、を含んでおり、

上記データ分配部が、一連のデータを $n$ 個の高負荷処理部で処理するように $n$ 個のデータに分割して出力すると共に、分割したデータを出力する毎にターミネーション信号を出力するものであり、

30

上記データ合成部が、 $n$ 個の高負荷処理部から出力される $n$ 個の処理データを一連のデータに合成しつつ連続して出力するものであり、 $n$ 個のレジスタ（２３０、２３２、２３４、２３６）と、 $n - 1$ 個の第１カウンタ（２３１、２３３、２３５）と、データ合成回路（２１５）と、を含んでおり、

上記レジスタの各々が、対応する $n$ 個の高負荷処理部から出力される処理データを記憶するものであり、

上記第１カウンタの各々が、 $n$ 個に分割したデータの内の最初から第 $n - 1$ 番目までのデータを記憶するレジスタのデータ入力端子に接続されており、入力データ量をカウントするものであり、

上記データ合成回路が、第２カウンタ（２３７）と、論理回路と、読み出しイネーブル信号生成部と、を含んでおり、

40

上記論理回路が、上記データ分解部から出力される $n$ 個のターミネーション信号をそれぞれ高負荷処理部での処理に要する予め定めた時間だけ遅延させる遅延回路（２４１、２４２、２４３、２４４）と遅延後の信号の論理積を求めるANDゲート（２４５）とを含んでおり、ANDゲートの出力信号を、 $n$ 個に分割した一連のデータ内の信号の最初のデータの処理データを記憶しているレジスタの読み出しイネーブル信号の入力端子（２３０ｃ）に出力するものであり、

上記読み出しイネーブル信号生成部が、 $n - 1$ 個の比較器（２３８、２３９、２４０）を含んでおり、各比較器が、第２カウンタのカウント値が、処理データを出力しているレジスタのデータ入力端子に接続されている第１カウンタのカウント値に一致した場合

50

に、第2カウンタのリセット端子にHighレベルの信号を出力すると共に、次に出力する処理データを記憶しているレジスタの読み出しイネーブル信号の入力端子(232c、234c)にHighレベルの信号を出力することによって、n個のレジスタから処理データを連続して出力させるものである、

ことを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像に関するデータを処理する複数の処理部の一部に、他の処理部に比べて時間を要する処理を実行する高負荷処理部を備える画像処理装置及び画像処理方法に関する。

10

【0002】

【従来の技術】

画像に関するデータに対して所定の処理を実行する画像処理装置には、画像に関するデータを処理する複数の処理部の一部に、他の処理部に比べて時間を要する処理を実行する高負荷処理部を備えるものがある。上記高負荷処理部としては、例えば、駆動クロックの周波数が同じ場合において、他の処理部が画像データ単位で処理を行うのに対して、上記画像データを構成するビットデータ単位で処理を行う処理部が該当する。このような高負荷処理部を備える画像処理装置としては、J P E G 2 0 0 0形式の画像処理装置が挙げられる。J P E G 2 0 0 0形式の画像処理装置においては、以下に説明するように、係数モデリング及びM Q符号化処理を実行する処理部が上記の高負荷処理部に相当する。

20

【0003】

図11は、J P E G 2 0 0 0形式の画像処理装置300の構成を示す図である。画像データは、まず、色変換部301においてY(輝度)、C r(色差)、C b(色差)に変換される。不可逆変換フィルタを用いる離散ウェーブレット変換部302は、所定レベルの離散ウェーブレット変換を行い、求められるウェーブレット係数を次段の量子化部303に出力する。量子化部303では、スカラー量子化を実行する。

【0004】

次の係数モデリング部304では、ウェーブレット係数を各サブバンド内で所定サイズのブロックに分割し、ブロック単位で、上記スカラー量子化されたデータを上位ビットから順にビットプレーンに分解する。係数モデリング部304では、ビットプレーンに分解された各ウェーブレット係数を3通りの符号化パスに分けてビットデータ単位で係数符号化する。

30

【0005】

M Q符号化部305は、上記係数モデリング部4においてビットデータ単位で係数符号化された画像データに対して2値算術符号化処理を行い、得られる符号データを符号形成部306に出力する。

【0006】

符号形成部306は、上記M Q符号化部305において求められる符号データの所定の箇所に、符号化に関する情報等のデータを付加してコードストリームと呼ばれる一連の符号データを形成し、これを出力する。

40

【0007】

【発明が解決しようとする課題】

上記各処理部の内、色変換部301、離散ウェーブレット変換部302、及び量子化部303は、8ビットや16ビット等の画像データ単位で処理を実行する。これに対して、係数モデリング部304及びM Q符号化部305では、上記画像データ等を構成するビットデータ単位で処理を実行する。即ち、係数モデリング部304及びM Q符号化部305は、他の処理部に比べて処理データ量が多く、処理に時間を要する高負荷処理部(図中、高負荷処理部Aと記す。)であるといえる。

【0008】

50

色変換部 301、離散ウェーブレット変換部 302 及び量子化部 303 において、8 ビットの画像データを 12 ビットの離散ウェーブレット係数に変換する場合、量子化部 303 から出力されるデータを、大きなバッファメモリを介さずにスムーズに処理するには、係数モデリング部 304 及び MQ 符号化部 305 の処理速度、即ち駆動クロックの周波数を 12 倍にする必要がある。このように、駆動クロックの周波数を大幅に高めるには、個別にクロック信号の発生装置を用意するか、又はサイズの大きな周波数通倍回路を必要とする。

#### 【0009】

本発明は、画像に関するデータを処理する複数の処理部の一部に、他の処理部に比べて時間を要する処理を実行する高負荷処理部を備える画像処理装置において、上記高負荷処理部の駆動クロックを他の処理部に比べて大幅に上げることなく、各処理部において処理に要する時間の整合が行い易い画像処理装置を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

請求項 1 に記載の画像処理装置は、画像に関するデータを処理する複数の処理部の一部に、他の処理部に比べて処理に時間を要する高負荷処理を並列に実行する並列信号処理部(5)を含んでいる画像処理装置であって、上記並列信号処理部が、入力データの内容に応じたデータ量の処理データを出力する  $n$  個 ( $n$  は 2 以上の整数) の高負荷処理部(14、15、16、17)と、データ分配部(13)と、データ合成部(18)と、を含んでおり、上記データ分配部が、一連のデータを  $n$  個の高負荷処理部で処理するように  $n$  個のデータに分割して出力すると共に、分割したデータを出力する毎にターミネーション信号を出力するものであり、上記データ合成部が、 $n$  個の高負荷処理部から出力される  $n$  個の処理データを一連のデータに合成しつつ連続して出力するものであり、メモリ回路と、 $n$  個のアドレス生成回路と、データ合成回路と、を含んでおり、上記メモリ回路が、入力される  $n$  個の処理データをそれぞれ予め定めてある  $n$  個の書き込み開始アドレスから書き込みを行って記憶するものであり、上記アドレス生成回路が、対応する高負荷処理部から出力される処理データのデータ量をカウントする第 1 カウンタ(41、44、47、50)と、アドレス生成部(42、45、48、51)と、を含んでおり、上記アドレス生成部が、予め定めてある書き込み開始アドレスに、上記第 1 カウンタによってカウントされた処理データの総データ量を加算した値の読み出し終了アドレスを生成するものであり、読み出し信号入力端子(42a)への High レベルの信号入力に応じて読み出し開始アドレスと読み出し終了アドレスとを出力するものであり、上記データ合成回路が、メモリ回路から読み出された処理データを出力すると共に、データ量をカウントする第 2 カウンタ(237)と、論理回路と、アドレス出力信号生成部と、を含んでおり、上記論理回路が、上記データ分配部から出力される  $n$  個のターミネーション信号をそれぞれ高負荷処理部での処理に要する予め定めた時間だけ遅延させる遅延回路(53、54、55、56)と遅延後の信号の論理積を求める AND ゲート(57)とを含んでおり、AND ゲートの出力信号を、 $n$  個に分割した一連のデータ内の最初のデータの処理データに対応するアドレス生成部の読み出し信号入力端子(42a)に出力するものであり、上記アドレス出力信号生成部が、第 2 カウンタのカウント値と、処理データを出力しているアドレス生成回路の第 1 カウンタのカウント値とを比較する  $n - 1$  個の比較器(60、61、62)を含んでおり、各比較器が、第 1、第 2 カウンタのカウント値が一致した場合に、第 2 カウンタのリセット端子に High レベルの信号を出力すると共に、次に出力する処理データを記憶しているアドレス生成回路のアドレス生成部の読み出し信号入力端子(45a、48a、51a)に High レベルの信号を出力することによって、メモリ回路から処理データを連続して出力させるものである、ことを特徴とする。

#### 【0011】

請求項 2 に記載の画像処理装置は、画像に関するデータを処理する複数の処理部の一部に、他の処理部に比べて処理に時間を要する高負荷処理を並列に実行する並列信号処理部(5')を含んでいる画像処理装置であって、上記並列信号処理部が、入力データの内容

10

20

30

40

50

に応じたデータ量の処理データを入力する  $n$  個 ( $n$  は 2 以上の整数) の高負荷処理部 (207、208、209、210) と、データ分配部と、データ合成部と、を含んでおり、上記データ分配部が、一連のデータを  $n$  個の高負荷処理部で処理するように  $n$  個のデータに分割して出力すると共に、分割したデータを出力する毎にターミネーション信号を出力するものであり、上記データ合成部が、 $n$  個の高負荷処理部から出力される  $n$  個の処理データを一連のデータに合成しつつ連続して出力するものであり、 $n$  個のレジスタ (230、232、234、236) と、 $n - 1$  個の第 1 カウンタ (231、233、235) と、データ合成回路 (215) と、を含んでおり、上記レジスタの各々が、対応する  $n$  個の高負荷処理部から出力される処理データを記憶するものであり、上記第 1 カウンタの各々が、 $n$  個に分割したデータの内の最初から第  $n - 1$  番目までのデータを記憶するレジスタのデータ入力端子に接続されており、入力データ量をカウントするものであり、上記データ合成回路が、第 2 カウンタ (237) と、論理回路と、読み出しイネーブル信号生成部と、を含んでおり、上記論理回路が、上記データ分解部から出力される  $n$  個のターミネーション信号をそれぞれ高負荷処理部での処理に要する予め定めた時間だけ遅延させる遅延回路 (241、242、243、244) と遅延後の信号の論理積を求める AND ゲート (245) とを含んでおり、AND ゲートの出力信号を、 $n$  個に分割した一連のデータ内の信号の最初のデータの処理データを記憶しているレジスタの読み出しイネーブル信号の入力端子 (230c) に出力するものであり、上記読み出しイネーブル信号生成部が、 $n - 1$  個の比較器 (238、239、240) を含んでおり、各比較器が、第 2 カウンタのカウント値が、処理データを出力しているレジスタのデータ入力端子に接続されている第 1 カウンタのカウント値に一致した場合に、第 2 カウンタのリセット端子に High レベルの信号を出力すると共に、次に出力する処理データを記憶しているレジスタの読み出しイネーブル信号の入力端子 (232c、234c) に High レベルの信号を出力することによって、 $n$  個のレジスタから処理データを連続して出力させるものである、ことを特徴とする。

#### 【0020】

#### 【発明の実施の形態】

##### (1) 全体構成

以下、添付の図面を用いて実施の形態 1 に係る J P E G 2 0 0 0 形式の画像処理装置 1 について説明する。画像処理装置 1 は、4 つの係数モデリング及び M Q 符号化処理部 (処理データ量が多く処理に時間を要する高負荷処理部である。) を備え、量子化した一連のウェーブレット係数を、データ量が略同じになる様に上記 4 つの係数モデリング及び M Q 符号化部に分配し、上記 4 つの係数モデリング及び M Q 符号化部での処理が終了した符号データを、上記量子化後の一連のウェーブレット係数を 1 つの係数モデリング及び M Q 符号化部において処理した場合に生成される符号データと同じになる様に合成して出力するものを備えることを特徴とする。これにより、8 ビット等のデータ単位で処理を行う前段の各処理部とビットデータ単位で処理を行う係数モデリング及び M Q 符号化処理間部との処理に要する時間の差を、当該係数モデリング及び M Q 符号化部の動作クロックの周波数を極端に高くすることなく吸収することができる。

#### 【0021】

図 1 は、画像処理装置 1 の構成を示す図である。画像データは、まず、色変換部 2 において Y (輝度)、C r (色差)、C b (色差) の 3 つの信号に変換される。不可逆変換フィルタを用いる離散ウェーブレット変換部 3 は、上記 3 つの信号それぞれに対してレベル 3 の離散ウェーブレット変換を行い、求められるウェーブレット係数を次段の量子化部 4 に出力する。量子化部 4 では、スカラー量子化を実行する。

#### 【0022】

並列信号処理部 5 では、量子化後のウェーブレット係数を、処理データ量が同じ程度になるようにサブバンド単位で 4 つのグループに分け、各グループ別に用意した 4 つの係数モデリング及び M Q 符号化処理部 (高負荷処理部である。) で並列処理した後に、上記量子化後のウェーブレット係数を 1 つの係数モデリング及び M Q 符号化処理部で処理した場合

に得られるデータと同じになる様に合成して出力する。当該並列信号処理部 5 については、後に詳しく説明する。

【 0 0 2 3 】

符号形成部 6 は、並列信号処理部 5 において生成された一連の符号データの所定箇所に、符号化に関する情報等の付加情報を追加したデータをコードストリームと呼ばれる最終的な符号データとして出力する。

【 0 0 2 4 】

( 2 ) 並列信号処理部

図 2 は、並列信号処理部 5 の構成を示す図である。並列信号処理部 5 は、それぞれ同じ構成の第 1 信号処理部 1 0、第 2 信号処理部 1 1、及び第 3 信号処理部 1 2 で構成されている。各信号処理部には、初段の色変換部 2 において Y ( 輝度 )、C r ( 色差 )、C b ( 色差 ) の 3 つの信号に変換された画像データを離散ウェーブレット変換部 3 及び量子化部 4 で処理したデータがそれぞれ入力される。

10

【 0 0 2 5 】

以下、第 1 信号処理部 1 0 の構成について説明する。係数メモリ 1 3 は、入力される Y ( 輝度 ) についての量子化後のウェーブレット係数を、処理データ量が略同じになる様に、サブバンド単位で 4 つのグループに分け、分けた各グループのウェーブレット係数のデータを個別に設けた係数モデリング及び M Q 符号化部 1 4 ~ 1 7 に出力する。即ち、係数メモリ 1 3 は、入力されるデータを 4 つの係数モデリング及び M Q 符号化処理部 1 4 ~ 1 7 に分配するデータ分配部として機能する。係数メモリ 1 3 の構成及び動作については、後に詳しく説明する。

20

【 0 0 2 6 】

係数モデリング及び M Q 符号化部 1 4 ~ 1 7 では、J P E G 2 0 0 0 の規定に従い、入力されたウェーブレット係数のデータをブロック単位でビットプレーンに分割し、各ビットプレーンについて 3 通りの符号化パスに分けてビットデータ単位で係数符号化し、更に、係数符号化後のデータを M Q 符号化処理として 2 値算術符号化して符号化後のデータを符号メモリ部 1 8 に出力する。即ち、係数モデリング及び M Q 符号化部 1 4 ~ 1 7 は、他の処理部に比べて処理データ量が多く、処理に時間を要する高負荷処理部 ( 図中、括弧書きで高負荷処理部 A 1 ~ A 4 と記す。 ) であるといえる。

【 0 0 2 7 】

30

符号メモリ部 1 8 では、係数モデリング及び M Q 符号化部 1 4 ~ 1 7 から出力された符号データを、量子化されたウェーブレット係数を 1 つの係数モデリング及び M Q 符号化処理部で処理した場合に得られる符号データと同じになる様に合成して出力する。符号メモリ部 1 8 については後に詳しく説明する。即ち、符号メモリ部 1 8 は、各係数モデリング及び M Q 符号化部 1 4 ~ 1 7 で生成された符号データを、量子化後のウェーブレット係数を 1 つの係数モデリングおよび M Q 符号化部で処理した場合に得られる符号データと同じになる様に、合成して出力するデータ合成部として機能する。

【 0 0 2 8 】

( 3 ) 係数メモリ

図 3 は、係数メモリ 1 3 の構成を示す図である。係数メモリ 1 3 は、入力されるウェーブレット係数のデータを、一旦メモリ 2 0 に格納した後、3 L L , 3 L H , 3 H L , 3 H H , 2 L H , 2 H L , 2 H H のサブバンドのグループ ( 以下、第 1 グループと呼ぶ )、1 L H のサブバンドのグループ ( 以下、第 2 グループと呼ぶ。 )、1 H L のサブバンドのグループ ( 以下、第 3 グループと呼ぶ。 )、及び 1 H H のサブバンドのグループの 4 つのグループ ( 以下、第 4 グループと呼ぶ。 ) に分けて順に読み出し、第 1 グループのデータをセレクタ 3 1 の出力端子 3 1 a から係数モデリング及び M Q 符号化部 1 4 に出力し、第 2 グループのデータをセレクタ 3 1 の出力端子 3 1 b から係数モデリング及び M Q 符号化部 1 5 に出力し、第 3 グループのデータをセレクタ 3 1 の出力端子 3 1 c から係数モデリング及び M Q 符号化部 1 6 に出力し、第 4 グループのデータをセレクタ 3 1 の出力端子 3 1 d から係数モデリング及び M Q 符号化部 1 7 に出力する。

40

50

## 【0029】

以下、係数メモリ13の回路構成について詳しく説明する。量子化後のウェーブレット係数は、まず、メモリ20及びカウンタ21に入力される。カウンタ21は、入力されるウェーブレット係数のデータ量をカウントし、カウント値を4つの比較器22, 24, 26, 28の一方の信号入力端子に入力する。

## 【0030】

比較器22は、3LL, 3LH, 3HL, 3HH, 2LH, 2HL及び2HHのサブバンド全てのデータ量を基準値ref1とし、カウント値が当該値を超えた場合にHighレベルの信号をレジスタ23のデータ出力要求端子に出力する。レジスタ23には、メモリ20内における3LL, 3LH, 3HL, 3HH, 2LH, 2HL及び2HHのサブバンドのウェーブレット係数のデータを読み出すのに必要な第1アドレス指定データが格納されており、比較器22からのHighレベルの信号に応じて当該第1アドレス指定データをメモリ20のアドレス指定端子20aに出力する。メモリ20は、上記第1アドレス指定データの入力に応じて、3LL, 3LH, 3HL, 3HH, 2LH, 2HL及び2HHのサブバンドのウェーブレット係数のデータをセクタ31に出力する。

10

## 【0031】

比較器24は、上記基準値ref1に1LHのサブバンドのデータ量を加算した値を基準値ref2とし、カウンタ21のカウント値が当該基準値ref2を超えた場合にHighレベルの信号をレジスタ25のデータ出力要求端子に出力する。レジスタ25には、メモリ20内における1LHのサブバンドのウェーブレット係数のデータを読み出すのに必要な第2アドレス指定データが格納されており、比較器24からのHighレベルの信号に応じて当該第2アドレス指定データをメモリ20のアドレス指定端子20aに出力する。メモリ20は、上記第2アドレス指定データの入力を受けて、1LHのサブバンドのウェーブレット係数のデータをセクタ31に出力する。

20

## 【0032】

比較器26は、上記基準値ref2に1HLのサブバンドのデータ量を加算した値を基準値ref3とし、カウント値が当該基準値ref3を超えた場合にHighレベルの信号をレジスタ27のデータ出力要求端子に出力する。レジスタ27には、メモリ20内における1HLのサブバンドのウェーブレット係数のデータを読み出すのに必要な第3アドレス指定データが格納されており、比較器26からのHighレベルの信号に応じて当該第3アドレス指定データをメモリ20のアドレス指定端子20aに出力する。メモリ20は、上記第3アドレス指定データの入力を受けて1HLのサブバンドのウェーブレット係数のデータをセクタ31に出力する。

30

## 【0033】

比較器28は、上記基準値ref3に1HHのサブバンドのデータ量を加算した値を基準値ref4とし、カウント値が当該基準値ref4を超えた場合にHighレベルの信号をレジスタ29のデータ出力要求端子に出力する。レジスタ29には、メモリ20内における1HHのサブバンドのウェーブレット係数のデータを読み出すのに必要な第4アドレス指定データが格納されており、比較器28からのHighレベルの信号に応じて当該第4アドレス指定データをメモリ20のアドレス指定端子20aに出力する。メモリ20は、上記第4アドレス指定データの入力を受けて1HHのサブバンドのウェーブレット係数のデータをセクタ31に出力する。

40

## 【0034】

上記比較器22, 24, 26, 28から出力される信号は、ターミネーション信号T1, T2, T3, T4として符号メモリ部18に出力される。当該ターミネーション信号T1~T4を用いる処理の内容の説明は、後述の符号メモリ部18の詳しい説明の欄で行う。

## 【0035】

また、比較器24, 26, 28の出力する信号は、それぞれ加算器30に入力される。加算器30は、入力される3つの信号の内、Highレベルの信号の数を求め、求めた値を2ビットの選択信号としてセクタ31の選択信号入力端子31fに出力する。上述した

50

ように、比較器 24, 26, 28 は、それぞれ 1 L H, 1 H L, 1 H H のサブバンドのウェーブレット係数のデータがメモリ 20 に格納完了すると同時に High レベルの信号を出力する。即ち、加算器 30 は、メモリ 20 への 1 L H のサブバンドのウェーブレット係数のデータが格納完了するまでは、選択信号として “00” を選択信号入力端子 31 f に出力する。セクタ 31 は、“00” の選択信号の入力を受けている間、信号入力端子 31 a に入力されるデータを信号出力端子 31 b より出力する。従って、選択信号が “00” の期間中に、メモリ 20 に格納された 3 L L, 3 L H, 3 H L, 2 L H, 2 H L, 2 H H のサブバンドのウェーブレット係数のデータがセクタ 31 の信号出力端子 31 b から出力される。

#### 【0036】

加算器 30 は、メモリ 20 への 1 L H のサブバンドのウェーブレット係数のデータの格納が完了すると、選択信号として “01” をセクタ 31 の選択信号入力端子 31 f に出力する。セクタ 31 は、“01” の選択信号を受けて信号入力端子 31 a に入力されるデータを信号出力端子 31 c より出力する。選択信号が “01” の期間中、メモリ 20 に格納された 1 L H のサブバンドのウェーブレット係数のデータがセクタ 31 の信号出力端子 31 c から出力される。

#### 【0037】

以下同様に、加算器 31 は、メモリ 20 への 1 H L, 1 H H のサブバンドのウェーブレット係数が格納完了すると選択信号としてそれぞれ “10”, “11” をセクタ 31 の選択端子に出力する。セクタ 31 は、“10”, “11” の選択信号を受けて信号入力端子 31 a に入力されるデータをそれぞれ信号出力端子 31 d, 31 e に出力する。選択信号が “10”, “11” の期間中、それぞれメモリ 20 に格納された 1 H L, 1 H H のサブバンドのウェーブレット係数のデータがセクタの信号出力端子 31 d, 31 e から出力される。

#### 【0038】

##### (4) 符号メモリ部

図 4 は、符号メモリ部 18 の構成を示す図である。符号メモリ部 18 では、係数モデリング及び M Q 符号化部 14 ~ 17 からそれぞれ出力される符号データを一旦メモリ 58 に格納した後、量子化後のウェーブレット係数が 1 つの係数モデリング及び M Q 符号化部において処理された場合に得られる符号データと同じになる様に、メモリ 58 から第 1 グループ、第 2 グループ、第 3 グループ、第 4 グループのデータを順に出力する。

#### 【0039】

以下、回路構成について説明する。係数モデリング及び M Q 符号化部 14, 15, 16, 17 の出力は、順に、レジスタ 40, 43, 46, 49 に出力される。係数モデリング及び M Q 符号化部 14 ~ 17 において生成される符号データの量は一定でない。そこで、符号メモリ部 18 では、J P E G 2 0 0 0 の規定に従う係数モデリング及び M Q 符号化部 14 ~ 17 から符号データが出力される際に High レベルに切り換えるバイトアウト信号から出力符号データの量をカウンタ 41, 44, 47, 50 によりカウントする。

#### 【0040】

また、符号メモリ部 18 では、係数メモリ 13 から出力される 4 つのターミネーション信号 T1 ~ T4 がそれぞれ High レベルに切り換ってから、対応する係数モデリング及び M Q 符号化部 14 ~ 17 の処理能力から予め特定される遅延時間だけ経過した時点で、当該対応する係数モデリング及び M Q 符号化部 14 ~ 17 における符号化処理が完了したと判断する。具体的には、係数メモリ 13 の比較器 22, 24, 26, 28 から出力されたターミネーション信号 T1, T2, T3, T4 は、それぞれ遅延回路 53, 54, 55, 56 において所定時間だけ遅延された後、処理完了信号 C1, C2, C3, C4 としてレジスタ 40, 43, 46, 49 のデータ要求端子、調停回路 52、及び AND ゲート 57 に出力される。遅延回路 53, 54, 55, 56 は、それぞれ入力されるターミネーション信号 T1, T2, T3, T4 を上記係数モデリング及び M Q 符号化部 14, 15, 16, 17 の処理能力から特定される処理時間だけ信号を遅延させる。

10

20

30

40

50

## 【 0 0 4 1 】

まず、係数モデリング及びM Q符号化部 1 4 から出力される第 1 グループ、即ち、3 L L , 3 L H , 3 H L , 3 H H , 2 L H , 2 H L , 2 H H のサブバンドのウェーブレット係数の符号データに関して説明する。レジスタ 4 0 は、係数モデリング及びM Q符号化部 1 4 から H i g h レベルのバイトアウト信号がイネーブル端子 4 0 e に入力されている時に入力端子 4 0 a に入力されるデータを符号データとして格納する。カウンタ 4 1 は、H i g h レベルのバイトアウト信号の数をカウントする。アドレス生成部 4 2 は、カウンタ 4 1 によるカウント値に基づいて、メモリ 5 8 に書き込んだ符号データの読み出しに必要なアドレス信号の生成を行う。メモリ 5 8 の各グループの符号データの書き込み開始アドレスは、予め決められている。アドレス生成部 4 2 は、上記データ書き込み開始アドレスにカウンタ 4 1 のカウント値から特定されるデータ量を加算してメモリ 5 8 に書き込まれる符号データの最終アドレスを特定する。

10

## 【 0 0 4 2 】

係数モデリング及びM Q符号化部 1 5 , 1 6 , 1 7 からそれぞれ出力される第 2 グループ , 第 3 グループ , 第 4 グループ、即ち、1 L H , 1 H L , 1 H H のサブバンドのウェーブレット係数の符号データに関して同様である。即ち、レジスタ 4 3 , 4 6 , 4 9 は、それぞれ係数モデリング及びM Q符号化部 1 5 , 1 6 , 1 7 から H i g h レベルのバイトアウト信号がイネーブル端子 4 3 e , 4 6 e , 4 9 e に入力されている時に、信号入力端子 4 3 a , 4 6 a , 4 9 a に入力されるデータを符号データとして格納する。カウンタ 4 4 , 4 7 , 5 0 は、H i g h レベルのバイトアウト信号に基づいて入力された符号データの量をカウントする。アドレス生成部 4 5 , 4 8 , 5 1 は、それぞれカウンタ 4 4 , 4 7 , 5 0 によるカウント値に基づいて、メモリ 5 8 に書き込んだ符号データの読み出しに必要なアドレス信号の生成を行う。上述したようにメモリ 5 8 の各グループの符号データの書き込み開始アドレスは、予め決められている。アドレス生成部 4 5 , 4 8 , 5 1 は、上記データ書き込み開始アドレスに、それぞれカウンタ 4 4 , 4 7 , 5 0 のカウント値から特定されるデータ量を加算してメモリ 5 8 に書き込まれる符号データの最終アドレスを特定する。

20

## 【 0 0 4 3 】

レジスタ 4 0 , 4 3 , 4 6 , 4 9 は、データ要求端子 4 0 b , 4 3 b , 4 6 b , 4 9 b に対する上記処理完了信号の入力に応じて、格納しているデータを信号出力端子 4 0 c , 4 3 c , 4 6 c , 4 9 c から後段のメモリ 5 8 へと出力する。各レジスタとメモリ 5 8 との間には、複数のレジスタから同時に格納データが出力された場合に、メモリ 5 8 へのデータ出力順序を調整する調停回路 5 2 を設けておく。当該調停回路 5 2 については、後に詳しく説明する。

30

## 【 0 0 4 4 】

A N D ゲート 5 7 は、入力される 4 つの処理完了信号 C 1 ~ C 4 が全て H i g h レベルに換わった時にメモリ 5 8 への各グループの符号データの格納が完了したと判断して、第 1 グループ用のアドレス生成部 4 2 のアドレスデータ出力要求端子 4 0 b に H i g h レベルの信号を出力する。アドレス生成部 4 2 は、アドレス信号の出力要求端子 4 2 a への H i g h レベルの信号入力に応じて、アドレス信号をメモリ 5 8 のアドレス指定端子 5 8 a に出力し、メモリ 5 8 に格納している第 1 グループ、即ち、3 L L , 3 L H , 3 H L , 3 H H , 2 L H , 2 H L , 2 H H のサブバンドについての符号データの読み出しを行う。なお、当該アドレス信号は、読み出し開始アドレス、及び、読み出し終了アドレスのデータで構成される。

40

## 【 0 0 4 5 】

メモリ 5 8 から出力される符号データは、そのまま外部に出力されると共に、カウンタ 5 9 に入力され、データ量のカウンタが行われる。カウンタ 5 9 は、カウント値を比較器 6 0 , 6 1 , 6 2 の一方の信号入力端子に入力する。

## 【 0 0 4 6 】

比較器 6 0 の残りの信号入力端子には、カウンタ 4 1 のカウント値が入力される。即ち比

50

較器 60 は、第 1 グループ分の全ての符号データがメモリ 58 から出力された時に High レベルの信号を第 2 グループ用のアドレス生成部 45 のアドレス信号の出力要求端子 45a に出力する。アドレス生成部 45 は、アドレス信号の出力要求端子 45a への High レベルの信号入力に応じてアドレス信号をメモリ 58 のアドレス指定端子 58a に出力し、メモリ 58 に格納している第 2 グループ、即ち 1 LH のサブバンドについての符号データの読み出しを行う。

#### 【0047】

比較器 61 の残りの信号入力端子には、カウンタ 44 からのカウント値が入力される。即ち、比較器 61 は、第 2 グループ分の全ての符号データがメモリ 58 から出力された時に High レベルの信号を第 3 グループ用のアドレス生成部 48 のアドレス信号の出力要求端子 48a に出力する。アドレス生成部 48 は、アドレス信号の出力要求端子 48a への High レベルの信号入力に応じて、アドレス信号をメモリ 58 のアドレス指定端子 58a に出力し、メモリ 58 に格納している第 3 グループ、即ち 1 HL のサブバンドについての符号データの読み出しを行う。

10

#### 【0048】

比較器 62 の残りの信号入力端子には、カウンタ 47 からのカウント値が入力される。即ち、比較器 62 は、第 3 グループ分の全ての符号データがメモリ 58 から出力された時に High レベルの信号を第 4 グループ用のアドレス生成部 51 のアドレス信号の出力要求端子 51a に出力する。アドレス生成部 51 は、アドレス信号の出力要求端子 51a への High レベルの信号入力に応じて、アドレス信号をメモリ 58 のアドレス指定端子 58a に出力し、メモリ 58 に格納している第 4 グループ、即ち 1 HH のサブバンドについての符号データの読み出しを行う。

20

#### 【0049】

##### (5) 調停回路

図 5 は、図 4 に示した符号メモリ部 18 の備える調停回路 52 の構成を示す図である。調停回路 52 には、係数モデリング及び MQ 符号化処理の完了したグループの符号データが並列に入力される。調停回路 52 では、第 1 グループから第 4 グループへと順に繰り返し係数モデリング及び MQ 符号化処理の完了を調べ、調べた結果、先に処理の完了したグループのデータから優先してメモリ 58 に出力させる。あるグループのデータをメモリ 58 に出力している間に処理の完了した他のグループのデータは、個別に用意するレジスタ 70, 72, 74, 76 に保存する。

30

#### 【0050】

以下、回路構成について説明する。レジスタ 70, 72, 74, 76 は、FIFO 型のレジスタメモリであり、データ出力要求端子 70a, 72a, 74a, 76a への High レベルの信号の入力に応じて、データを格納順に出力する。各レジスタの出力端子は、全て調停回路 52 自体の符号データ出力端子 52a に出力されると共にカウンタ 78 に入力される。また、カウンタ 71, 73, 75, 77 は、それぞれ上記レジスタ 70, 72, 74, 76 に入力されるデータ量をカウントする。

#### 【0051】

係数メモリ 13 からの 4 つの処理完了信号 C1, C2, C3, C4 は、それぞれ AND ゲート 88, 89, 90, 91 の一方の信号入力端子に入力されると共に、これら 4 つ全ての処理完了信号が 4 入力 NOR ゲート 100 の信号入力端子に接続される。4 入力 NOR ゲート 100 の信号出力端子は、RS フリップフロップ 102 のセット端子 S に入力されている。NOR ゲート 100 は、4 つの処理完了信号全てが Low レベルにある時、High レベルの信号を出力するが、4 つの処理完了信号の内、1 つでも High レベルに切り換ると、以降ずっと Low レベルを保持する。

40

#### 【0052】

リレー回路 83 は、セット端子 83a に High レベルの信号が入力されている間、端子 83b, 83c, 83d, 83e の順にパルス状の信号、即ち、一時的に High レベルに切り換る信号を繰り返し出力する。各端子は、それぞれ 2 入力 AND ゲート 96, 97

50

、 98, 99 の一方の信号入力端子に接続される。これらの AND ゲート 96, 97, 98, 99 の残りの信号入力端子には、それぞれフリップフロップ 92, 93, 94, 95 の出力データが反転して入力される。AND ゲート 96, 97, 98, 99 の出力端子は、それぞれ上述した 2 入力 AND ゲート 88, 89, 90, 91 の残りの信号入力端子に入力される。

【0053】

AND ゲート 88 の出力端子は、4 入力 OR ゲート 101 の信号入力端子の 1 つ、フリップフロップ 92 のデータ入力端子、RS フリップフロップ 107 のセット端子 S に接続されている。RS フリップフロップ 107 のデータ出力端子 Q は、レジスタ 70 のデータ出力要求端子 70a 及び 2 入力 AND ゲート 103 の一方の信号入力端子に接続されている。

10

【0054】

同様に、AND ゲート 89 の出力端子は、4 入力 OR ゲート 101 の信号入力端子の 1 つ、フリップフロップ 93 のデータ入力端子、RS フリップフロップ 108 のセット端子 S に接続されている。RS フリップフロップ 108 のデータ出力端子 Q は、レジスタ 72 のデータ出力要求端子 72a 及び 2 入力 AND ゲート 104 の一方の信号入力端子に接続されている。

【0055】

AND ゲート 90 の出力端子は、4 入力 OR ゲート 101 の信号入力端子の 1 つ、フリップフロップ 94 のデータ入力端子、RS フリップフロップ 109 のセット端子 S に接続されている。RS フリップフロップ 109 のデータ出力端子 Q は、レジスタ 74 のデータ出力要求端子 74a 及び 2 入力 AND ゲート 105 の一方の信号入力端子に接続されている。

20

【0056】

AND ゲート 91 の出力端子は、4 入力 OR ゲート 101 の最後の信号入力端子、フリップフロップ 95 のデータ入力端子、RS フリップフロップ 110 のセット端子 S に接続されている。RS フリップフロップ 110 のデータ出力端子 Q は、レジスタ 76 のデータ出力要求端子 76a 及び 2 入力 AND ゲート 106 の一方の信号入力端子に接続されている。

【0057】

4 入力 OR ゲート 101 の出力端子は、RS フリップフロップ 102 のリセット端子 R に接続されている。各 AND ゲート 103, 104, 105, 106 の出力端子を接続して伸びる配線 L1 は、RS フリップフロップ 102 のセット端子 S、RS フリップフロップ 107, 108, 109, 110 のリセット端子 R 及びカウンタ 78 のリセット端子 R に接続されている。

30

【0058】

比較器 79, 80, 81, 82 の一方の信号入力端子には、カウンタ 78 のカウント値が入力され、もう一方の信号入力端子には、それぞれカウンタ 71, 73, 75, 77 のカウント値が入力される。比較器 79, 80, 81, 82 の信号出力端子は、上述した AND ゲート 103, 104, 105, 106 の残りの信号入力端子に接続されている。

40

【0059】

上記構成の調停回路 52 において、4 つの処理完了信号 C1 ~ C4 の全てが Low レベルの時、AND ゲート 88, 89, 90, 91 は、入力される処理完了信号 C1, C2, C3, C4 をそのまま通過させる。

【0060】

この状態において、4 つの処理完了信号 C1 ~ C4 の内の 1 つ、例えば、信号 C2 が High レベルに切り換った場合を考える。処理完了信号 C2 が High レベルに切り換えることで、フリップフロップ 93 及び RS フリップフロップ 108 がセットされる。また、RS フリップフロップ 102 のセット端子 S に接続されている NOR ゲート 100 の出力が Low レベルに切り換る。また、OR ゲート 101 の出力が High レベルに切り換り、

50

RSフリップフロップ102をリセットしてリレー回路83の動作を停止させる。フリップフロップ93がセットされることで、ANDゲート97の出力が常にLowに切り換る。これにより、ANDゲート89及びORゲート101の出力がHighからLowに切り換えられる。RSフリップフロップ108がセットされることで、レジスタ72のデータ出力要求端子72a及びANDゲート104の一方の信号入力端子の信号レベルがHighに切り換る。これにより、レジスタ72に格納されている第2グループ、即ち1LHのサブバンドについての符号データが出力される。カウンタ78は、レジスタ72から出力されるデータの量をカウントし、カウント値を各比較器79～82に出力する。比較器80は、カウンタ73のカウント値と同じ量のデータの出力が完了した場合にHighレベルの信号を出力する。上述したように、ANDゲート104の一方の信号入力端子には、Highレベルの信号が入力されているため、比較器80の出力するHighレベルの信号は、カウンタ78のリセット端子R、及びRSフリップフロップ102のセット端子Sに入力される。これにより、カウンタ78はリセットされる。また、RSフリップフロップ102がセットされることで、リレー回路83が再び始動し、各信号出力端子83b, 83c, 83d, 83eに順にパルス状の信号が出力される。

10

#### 【0061】

引き続き、上記1LHのサブブロックの符号データをレジスタ72からメモリ58に出力している間に、処理完了信号C3, C4がHighレベルに切り換った場合について考察する。上述した処理によりフリップフロップ93がセットされているため、処理完了信号C2がHighレベルであってもANDゲート89の出力が再びHighに切り替わることはない。リレー回路83は、Highレベルのパルス状の信号を信号出力端子83d, 83eの順で出力するため、処理完了信号C3の方が先にANDゲート90を通過し、ORゲート101の出力をHighレベルに切り換え、RSフリップフロップ102をリセットしてリレー回路83の動作を止める。これにより、処理完了信号C3がANDゲート90を通過すると同時に、処理完了信号C4がANDゲート91を通過することはない。ANDゲート90を通過した処理完了信号C3は、フリップフロップ94及びRSフリップフロップ109をセットする。フリップフロップ94がセットされることで、ANDゲート98の出力が常にLowに切り換る。これにより、ANDゲート90及びORゲート101の出力がHighからLowに切り換えられる。RSフリップフロップ109がセットされることで、レジスタ74のデータ出力要求端子74a及びANDゲート105の一方の信号入力端子の信号レベルがHighレベルに切り換る。これにより、レジスタ74に格納されている第3グループ、即ち1HLのサブバンドの符号データが出力される。カウンタ78は、レジスタ74から出力されるデータの量をカウントし、カウント値を各比較器79～82に出力する。比較器81は、カウンタ75のカウント値と同じ量のデータの出力を完了した場合にHighレベルの信号を出力する。上述したように、ANDゲート105の一方の信号入力端子にはHighレベルの信号が入力されているため、比較器81の出力するHighレベルの信号は、カウンタ78のリセット端子R、及びRSフリップフロップ102のセット端子Sに入力される。これにより、カウンタ78はリセットされる。また、RSフリップフロップ102がセットされることで、リレー回路83が再び始動し、各信号出力端子83b, 83c, 83d, 83eに順にパルス状の信号が出力される。

20

30

40

#### 【0062】

以下、同様の調停動作が実行される。

#### 【0063】

##### (6) 処理結果

図6は、並列信号処理部5を使用せずに、量子化部4から出力される量子化後の各サブバンドのウェーブレット係数をそのままJPEG2000に準拠した係数モデリング及びMQ符号化処理した場合(従来技術を示す図11を参照)に処理に要する時間と、並列信号処理部5を用いて処理した場合に要する時間との比較を示す図である。図示する様に、調停回路52での調停処理及び各メモリからのデータ読み出しに要する時間を加算しても処

50

理に要する全時間は短縮できることが確認された。即ち、並列信号処理部 5 を採用することで、データ単位で処理を行う色変換部 2、離散ウェーブレット変換部 3 及び量子化部 4 において実行する処理に要する時間と、ビットデータ単位で処理を行う係数モデリング及び M Q 符号化処理に要する時間との差を低減し得ることができていることが確認された。

#### 【 0 0 6 4 】

##### ( 7 ) 実施の形態 2

上記実施の形態 1 に係る画像処理装置 1 では、並列信号処理部 5 に調停回路 5 2 を必要としたが、これらを用いずに装置を構成することも考えられる。実施の形態 2 の画像処理装置 1 ' ( 図示せず ) では、調停回路を使用しない並列信号処理部 5 ' を採用する。並列信号処理部 5 ' を用いる以外、その他の処理部の構成は画像処理装置 1 と同じである。以下、並列信号処理部 5 ' についてのみ説明する。また当該説明においては、必要に応じて上記その他の処理部を画像処理装置 1 と同じ参照番号を付して使用する。

#### 【 0 0 6 5 】

図 7 は、並列信号処理部 5 ' の構成を示す図である。並列信号処理部 5 ' は、それぞれ同じ構成の第 1 信号処理部 2 0 0、第 2 信号処理部 2 0 1、及び第 3 信号処理部 2 0 3 で構成されている。各信号処理部には、初段の色変換部 2 において Y ( 輝度 )、C r ( 色差 )、C b ( 色差 ) の 3 つの信号に変換された画像データを離散ウェーブレット変換部 3 及び量子化部 4 で処理したデータがそれぞれ入力される。

#### 【 0 0 6 6 】

以下、第 1 信号処理部 2 0 0 の構成について説明する。係数メモリ 2 0 3 は、入力される Y ( 輝度 ) についての量子化後のウェーブレット係数のデータから、3 L L、3 L H、3 H L、3 H H、2 L H、2 H L、2 H H ( 上記第 1 実施形態の場合と同様に第 1 グループという。 ) のサブバンドのウェーブレット係数を抽出し、後段の係数モデリング及び M Q 符号化部 2 0 7 にメモリを介さずに直接出力する。同様に、係数メモリ 2 0 4、2 0 5、2 0 6 は、量子化後のウェーブレット係数のデータから、それぞれ、1 L H ( 第 2 グループという。 )、1 H L ( 第 3 グループという。 )、1 H H ( 第 3 グループという。 ) のサブバンドのウェーブレット係数のデータを抽出し、後段の係数モデリング及び M Q 符号化部 2 0 8、2 0 9、2 1 0 にメモリを介さずに直接出力する。即ち、係数メモリ 2 0 3 ~ 2 0 6 は、入力されるデータを 4 つの係数モデリング及び M Q 符号化処理部 2 0 7 ~ 2 1 0 に分配するデータ分配部として機能する。

#### 【 0 0 6 7 】

係数モデリング及び M Q 符号化部 2 0 7、2 0 8、2 0 9、2 1 0 では、それぞれ J P E G 2 0 0 0 の規定に従い、入力されたウェーブレット係数のデータをブロック単位でビットプレーンに分割し、各ビットプレーンについて 3 通りの符号化パスに分けてビットデータ単位で係数符号化し、更に、係数符号化後のデータを M Q 符号化処理として 2 値算術符号化して符号化後のデータに対応する符号メモリ部 2 1 1、2 1 2、2 1 3、2 1 4 に出力する。上記係数モデリング及び M Q 符号化部 2 0 7 ~ 2 1 0 は、他の処理部に比べて処理データ量が多く、処理に時間を要する高負荷処理部 ( 図中、括弧書きで高負荷処理部 A 1 ~ A 4 と記す。 ) であるといえる。

#### 【 0 0 6 8 】

符号メモリ部 2 1 1 ~ 2 1 4 及び信号合成部 2 1 5 では、係数モデリング及び M Q 符号化部 2 0 7 ~ 2 1 0 から出力された符号データをそれぞれ別のレジスタに格納した後、量子化後のウェーブレット係数のデータを 1 つの係数モデリングおよび M Q 符号化部で処理した場合に得られる符号データと同じになる様に、上記レジスタから順に出力する。即ち、符号メモリ部 2 1 1 ~ 2 1 4 及び信号合成部 2 1 5 は、各係数モデリング及び M Q 符号化部 2 0 7 ~ 2 1 0 で生成された符号データを、量子化後のウェーブレット係数を 1 つの係数モデリングおよび M Q 符号化部で処理した場合に得られる符号データと同じになる様に、合成して出力するデータ合成部として機能する。なお、符号メモリ部 2 1 1 ~ 2 1 4 及び信号合成部 2 1 5 については後に詳しく説明する。

#### 【 0 0 6 9 】

### ( 8 ) 係数メモリ

図 8 の ( a ) は、係数メモリ 2 0 3 の構成を示し、( b ) は、係数メモリ 2 0 4 の構成を示す。係数メモリ 2 0 5 , 2 0 6 は、基本的に係数メモリ 2 0 4 と同じ構成であり、相違点については後に説明する。

#### 【 0 0 7 0 】

まず、係数メモリ 2 0 3 について説明する。図 8 の ( a ) に示すように、係数メモリ 2 0 3 に入力される量子化後のウェーブレット係数のデータは、レジスタ 2 2 0 の信号入力端子 2 2 0 a 及びカウンタ 2 2 1 に入力される。NOR ゲート 2 2 3 の出力は、最初 H i g h レベルであり、当該信号は、レジスタ 2 2 0 のイネーブル端子 2 2 0 e に入力されると共に、当該信号の反転信号がレジスタ 2 2 0 のデータ読み出し要求端子 2 2 0 c に入力される。レジスタ 2 2 0 のイネーブル端子 2 2 0 e に入力される信号が H i g h レベルであるため、レジスタ 2 2 0 は入力されるデータを最初から格納する。カウンタ 2 2 1 は、入力されるウェーブレット係数のデータ量をカウントし、カウント値を比較器 2 2 2 の一方の信号入力端子に入力する。比較器 2 2 2 の残りの信号入力端子には、第 1 グループ、即ち 3 L L , 3 L H , 3 H L , 3 H H , 2 L H , 2 H L , 2 H H のサブバンドのウェーブレット係数のデータ量を示す基準値 r e f 1 が入力されている。比較器 2 2 2 は、当該係数メモリ 2 0 3 に入力されたデータの量が第 1 グループのウェーブレット係数のデータ量になった時に H i g h レベルの信号を 2 入力 NOR ゲート 2 2 3 の一方の信号入力端子に入力すると共に、当該信号をターミネーション信号 T 1 として出力する。NOR ゲート 2 2 3 のもう一方の信号入力端子は、L o w レベルの信号が入力されており、比較器 2 2 2 から入力される信号の L o w レベルから H i g h レベルに切り換りに応じて出力信号を H i g h レベルから L o w レベルに切り換える。これにより、イネーブル端子 2 2 0 e に入力される信号が L o w レベルに切り換り、レジスタ 2 2 0 へのデータの書き込みが停止する一方で、データ読み出し要求端子 2 2 0 c に入力される信号が H i g h レベルに切り換り、格納したデータを出力する。

#### 【 0 0 7 1 】

次に、係数メモリ 2 0 4 について説明する。係数メモリ 2 0 4 に入力されるウェーブレット係数のデータは、レジスタ 2 2 4 のデータ入力端子 2 2 4 a に入力されると共に、カウンタ 2 2 5 に入力される。以下に説明するように AND ゲート 2 2 8 の出力は、最初 L o w レベルである。このため、第 1 グループのウェーブレット係数が入力されている間は、イネーブル端子 2 2 4 e には L o w レベルの信号が入力されているため、レジスタ 2 2 4 へのデータの書き込みは行われない。

#### 【 0 0 7 2 】

カウンタ 2 2 5 は、当該係数メモリ 2 0 4 に入力されるデータの量のカウントを行い、カウント値を比較器 2 2 6 , 2 2 7 に出力する。比較器 2 2 6 の一方の信号入力端子には、上記した第 1 グループのウェーブレット係数のデータ量を表す基準値 r e f 1 が入力されている。比較器 2 2 6 は、カウント値が基準値 r e f 1 になった時に H i g h レベルの信号を出力する。比較器 2 2 6 の出力は、2 入力 AND ゲート 2 2 8 に入力される。当該 AND ゲート 2 2 8 の残りの信号入力端子には、比較器 2 2 7 の出力が反転して入力されている。比較器 2 2 7 の一方の信号入力端子には、上記基準値 r e f 1 に第 2 グループ、即ち、1 L H のサブバンドのウェーブレット係数のデータ量を加算した基準値 r e f 2 が入力されている。比較器 2 2 7 は、カウント値が基準値 r e f 2 になった時に H i g h レベルの信号をターミネーション信号 T 2 として出力すると共に、上記 AND ゲート 2 2 8 に反転して出力する。

#### 【 0 0 7 3 】

上記構成において、AND ゲート 2 2 8 は、第 2 グループ、即ち 1 L H のサブバンドのウェーブレット係数のデータが入力されている間だけ H i g h レベルの信号をレジスタ 2 2 4 のイネーブル端子 2 2 4 e に出力すると共に、当該信号の反転信号をデータ読み出し要求端子 2 2 4 c に出力する。即ち、係数メモリ 2 0 4 では、第 2 グループのウェーブレット係数が入力されている間だけレジスタ 2 2 4 へのデータの書き込みが行われ、当該デー

タの書き込み完了後、出力端子 2 2 4 b から書き込んだデータの出力が行われる。

【 0 0 7 4 】

係数メモリ 2 0 5 , 2 0 6 は、係数メモリ 2 0 4 と基本的な構成が同じである。係数メモリ 2 0 5 , 2 0 6 と係数メモリ 2 0 4 との相違点は、比較器 2 2 6 及び 2 2 7 に入力する基準値の値が違ふことである。即ち、係数メモリ 2 0 5 の場合、比較器 2 2 6 の一方の信号入力端子には、上記基準値 r e f 2 が入力され、比較器 2 2 7 の一方の信号入力端子には、上記基準値 r e f 2 に第 3 グループ、即ち 1 H L のサブバンドのウェーブレット係数のデータ量を加えた基準値 r e f 3 が入力される。この場合において、比較器 2 2 7 は、入力されるウェーブレット係数のデータ量が基準値 r e f 3 を超えた場合に、H i g h レベルのタイミネーション信号 T 3 を出力する。

10

【 0 0 7 5 】

また、係数メモリ 2 0 6 では、比較器の一方の信号入力端子には、上記基準値 r e f 3 が入力され、比較器 2 2 7 の一方の信号入力端子には、上記基準値 r e f 3 に第 4 グループ、即ち 1 H H のサブバンドのウェーブレット係数のデータ量を加えた基準値 r e f 4 が入力される。この場合において、比較器 2 2 7 は、入力されるウェーブレット係数のデータ量が基準値 r e f 4 を超えた場合に、H i g h レベルのターミネーション信号 T 4 を出力する。

【 0 0 7 6 】

( 9 ) 符号メモリ及び信号合成部

図 9 は、符号メモリ 2 1 1 ~ 2 1 4 及び信号合成部 2 1 5 の構成を示す図である。符号メモリ 2 1 1 , 2 1 2 , 2 1 3 の構成は同じであり、それぞれ入力される符号データの量をカウントしておき、当該カウント値をデータ出力するレジスタの切り換え用のデータとして使用する。J P E G 2 0 0 0 形式に準拠する係数モデリング及び M Q 符号化部 2 0 7 ~ 2 1 0 において生成される符号データの量は一定でない。そこで、符号メモリ 2 1 1 , 2 1 2 , 2 1 3 では、J P E G 2 0 0 0 の規定に従う係数モデリング及び M Q 符号化部 2 0 7 , 2 0 8 , 2 0 9 から、符号データが出力される際に同時に出力されるバイトアウト信号に基づいて符号データの量をカウンタ 2 3 1 , 2 3 3 , 2 3 5 で計数する。

20

【 0 0 7 7 】

以下、符号メモリ 2 1 1 について説明する。係数モデリング及び M Q 符号化部 2 0 7 から符号メモリ 2 1 1 に入力された符号データは、レジスタ 2 3 0 のデータ入力端子 2 2 1 a に入力される。符号メモリ 2 1 1 には、また、係数モデリング及び M Q 符号化部 2 0 7 から、符号データが出力される際に同時に出力されるバイトアウト信号が入力される。当該バイトアウト信号は、レジスタ 2 3 0 のイネーブル端子 2 3 0 e 及びカウンタ 2 3 1 に入力される。即ち、レジスタ 2 3 0 は、バイトアウト信号が入力されている時に入力される符号データを格納する。

30

【 0 0 7 8 】

同様に、係数メモリ 2 1 2 , 2 1 3 では、それぞれ係数モデリング及び M Q 符号化部 2 0 8 , 2 0 9 から出力される符号データ及びバイトアウト信号が入力され、レジスタ 2 3 2 , 2 3 4 は、バイトアウト信号が入力されている時に入力される符号データを格納する。また、カウンタ 2 3 3 , 2 3 5 は、上記バイトアウト信号の数をカウントする。

40

【 0 0 7 9 】

符号メモリ 2 1 4 は、格納したデータの量の情報を必要としないため、レジスタ 2 3 6 のみを備え、バイトアウト信号が入力されている時に入力される符号データを格納する。

【 0 0 8 0 】

信号合成部 2 1 5 は、係数メモリ 2 0 3 ~ 2 0 6 から出力されるターミネーション信号 T 1 ~ T 4 を係数モデリング及び M Q 符号化部 2 0 7 ~ 2 1 0 において必要な処理時間だけ遅延させた信号を、処理完了信号 C 1 ~ C 4 として取り扱い、これら処理完了信号 C 1 ~ C 4 が全て H i g h レベルに切り換った時に、全てのウェーブレット係数についての係数モデリングおよび M Q 符号化処理が終了したと判断し、符号メモリ 2 1 1 , 2 1 2 , 2 1 3 , 2 1 4 の順に、レジスタに格納している符号データを読み出し、これを一連の符号デ

50

ータとして外部に出力する。

#### 【 0 0 8 1 】

より具体的には、各ターミネーション信号 T 1 , T 2 , T 3 , T 4 を遅延回路 2 4 1 , 2 4 2 , 2 4 3 , 2 4 4 に入力して遅延させ、遅延させた信号を処理完了信号 C 1 , C 2 , C 3 , C 4 として 4 入力 A N D ゲート 2 4 5 に入力する。各遅延回路 2 4 1 ~ 2 4 4 は、上述するように、対応する係数モデリング及び M Q 符号化部 2 0 7 ~ 2 1 0 において必要な処理時間だけターミネーション信号 T 1 ~ T 4 を遅延させせる。全ての処理完了信号 C 1 ~ C 4 が H i g h レベルに切り換った場合、A N D ゲート 2 4 5 は、H i g h レベルの信号をカウンタ 2 3 7 のリセット端子 R に出力すると共に、符号メモリ 2 1 1 のレジスタ 2 3 0 のデータ要求端子 2 3 0 c に出力する。当該信号を受けて、カウンタ 2 3 7 はリセ 10  
ットされ、レジスタ 2 3 0 は格納した第 1 グループ、即ち 3 L L , 3 L H , 3 H L , 3 H H , 2 L H , 2 H L , 2 H H のサブバンドについての符号データを出力する。当該レジスタ 2 3 0 の出力するデータ量はカウンタ 2 3 7 によりカウントされる。比較器 2 3 8 の一方の信号入力端子にはカウンタ 2 3 7 のカウンタ値が入力され、残りの信号入力端子には、カウンタ 2 3 1 のカウンタ値が入力される。

#### 【 0 0 8 2 】

比較器 2 3 8 は、レジスタ 2 3 0 から出力されたデータの量がカウンタ 2 3 1 の計数したカウント値と同じになった時に H i g h レベルの信号を、カウンタ 2 3 7 のリセット端子 R、及び符号メモリ 2 1 2 のレジスタ 2 3 2 のデータ要求端子 2 3 2 c に出力する。当該信号を受けてカウンタ 2 3 7 はリセットされ、レジスタ 2 3 2 は格納した第 2 グループ、 20  
即ち 1 L H のサブバンドについての符号データを出力する。当該レジスタ 2 3 2 の出力するデータ量はカウンタ 2 3 7 によりカウントされる。比較器 2 3 9 の一方の信号入力端子にはカウンタ 2 3 7 のカウンタ値が入力され、残りの信号入力端子には、カウンタ 2 3 3 のカウンタ値が入力される。

#### 【 0 0 8 3 】

比較器 2 3 9 は、レジスタ 2 3 2 から出力されたデータの量がカウンタ 2 3 3 の計数したカウント値と同じになった時に H i g h レベルの信号を、カウンタ 2 3 7 のリセット端子 R、及び符号メモリ 2 1 3 のレジスタ 2 3 4 のデータ要求端子 2 3 4 c に出力する。当該信号を受けてカウンタ 2 3 7 はリセットされ、レジスタ 2 3 4 は格納した第 3 グループ、 30  
即ち 1 H L のサブバンドについての符号データを出力する。当該レジスタ 2 3 4 の出力するデータ量はカウンタ 2 3 7 によりカウントされる。比較器 2 4 0 の一方の信号入力端子にはカウンタ 2 3 7 のカウンタ値が入力され、残りの信号入力端子には、カウンタ 2 3 5 のカウンタ値が入力される。

#### 【 0 0 8 4 】

比較器 2 4 0 は、レジスタ 2 3 4 から出力されたデータの量がカウンタ 2 3 5 の計数したカウント値と同じになった時に H i g h レベルの信号を、符号メモリ 2 1 4 のレジスタ 2 3 6 のデータ要求端子 2 3 6 c に出力する。当該信号を受けてレジスタ 2 3 6 は格納した第 4 グループ、即ち 1 H H のサブバンドについての符号データを出力する。

#### 【 0 0 8 5 】

信号合成部 2 1 5 の上記働きにより、4 つのグループに分割されたサブバンド後との符号データが、第 1 ~ 第 4 グループの順に並ぶ一連の符号データに合成され、出力される。 40

#### 【 0 0 8 6 】

##### ( 1 0 ) 処理結果

図 9 は、並列信号処理部 5 ' を使用せずに、量子化部 4 から出力される量子化後の各サブバンドのウェーブレット係数をそのまま係数モデリング及び M Q 符号化処理した場合（従来技術を示す図 1 1 を参照）に処理に要する時間と、並列信号処理部 5 ' を用いて処理した場合に要する時間と、更に、上記実施の形態 1 に係る並列信号処理部 5 を用いて処理した場合に要する時間の比較を示す図である。図示するように、並列信号処理部 5 ' を使用する方が、並列信号処理部 5 の備える調停回路 5 2 での調停処理に要する時間が不要であるため、より高速な処理を実現できることが確認された。即ち、並列信号処理部 5 ' を採 50

用することで、データ単位で処理を行う色変換部 2、離散ウェーブレット変換部 3 及び量子化部 4 において実行する処理に要する時間と、ビットデータ単位で処理を行う係数モデリング及び M Q 符号化処理に要する時間との差を一層低減することができることが確認された。

【 0 0 8 7 】

【発明の効果】

請求項 1、2 に記載の画像処理装置では、例えば、J P E G 2 0 0 0 形式に準拠する係数モデリング及び M Q 符号化部のように、入力データに対し一定でないデータ量の処理データを出力する高負荷処理を実行する並列信号処理部を含んでいる画像処理装置において、カウンタを用いた簡単な構成のデータ合成部を採用したことによって、並列信号処理によって処理時間の短縮化を図るとともに、各高負荷処理部で処理に要する予め定めた時間が全て経過した後直ちに、1 つの高負荷処理部で入力データを処理した場合に得られるデータと同じになる様に、高負荷処理後の処理データを一連のデータに合成しつつ連続して出力することができる。これによって、他の処理部との処理時間の整合をとることが容易になる。

10

【図面の簡単な説明】

【図 1】 画像処理装置の構成を示す図である。

【図 2】 並列信号処理部の構成を示す図である。

【図 3】 係数メモリの構成を示す図である。

【図 4】 符号メモリ部の構成を示す図である。

20

【図 5】 調停回路の構成を示す図である。

【図 6】 従来の画像処理装置との処理速度の比較結果を示す図である。

【図 7】 実施の形態 2 に係る画像処理装置の並列信号処理部の構成を示す図である。

【図 8】 各係数メモリの構成を示す図である。

【図 9】 各符号メモリ及び信号合成部の構成を示す図である。

【図 10】 従来の画像処理装置との処理速度の比較結果を示す図である。

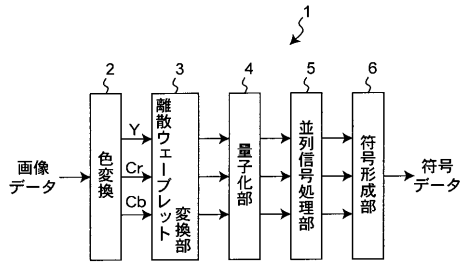
【図 11】 従来の J P E G 2 0 0 0 形式の画像処理装置の構成を示す図である。

【符号の説明】

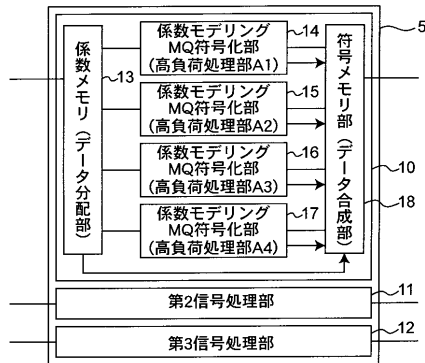
1 画像処理装置、2 色変換部、3 離散ウェーブレット変換部、4 量子化部、5 並列信号処理部、6 符号形成部、10 第 1 信号処理部、11 第 2 信号処理部、12 第 3 信号処理部、13 係数メモリ、18 符号メモリ部、20 メモリ、21 カウンタ、22, 24, 26, 28 比較器、23, 25, 27, 29 レジスタ、30 加算器、31 セレクタ、40, 43, 46, 49 レジスタ、41, 44, 47, 50 カウンタ、42, 45, 48, 51 アドレス生成部、52 調停回路、53, 54, 55, 56 遅延回路、58 メモリ、70, 72, 74, 76 レジスタ、71, 73, 75, 77 カウンタ。

30

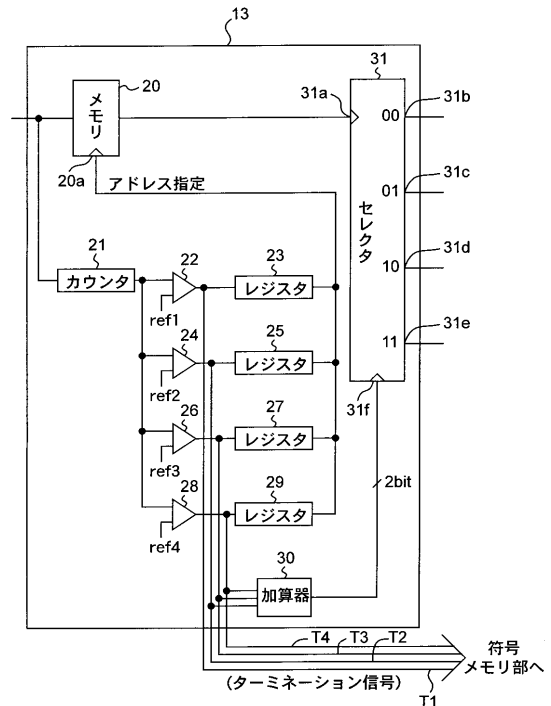
【 図 1 】



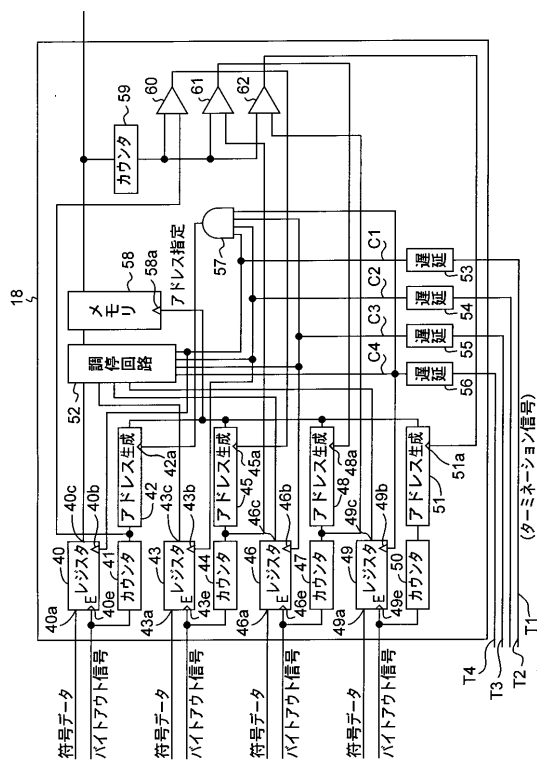
【 図 2 】



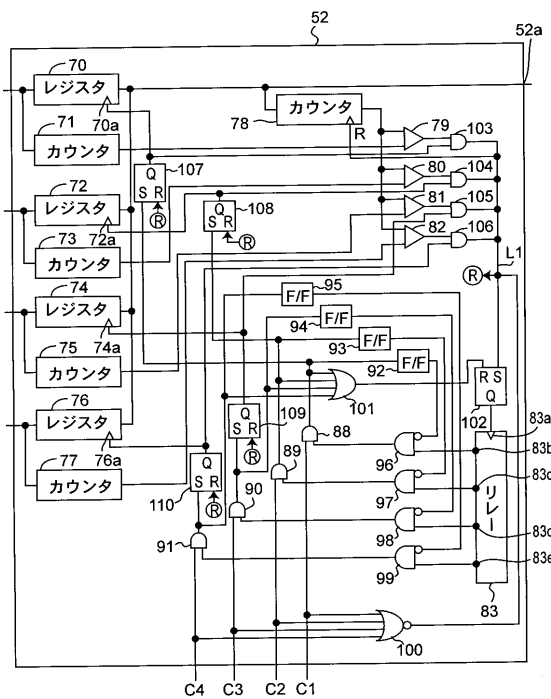
【 図 3 】



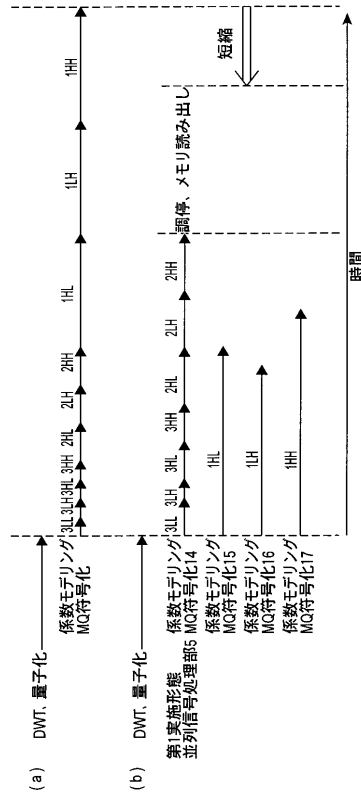
【 図 4 】



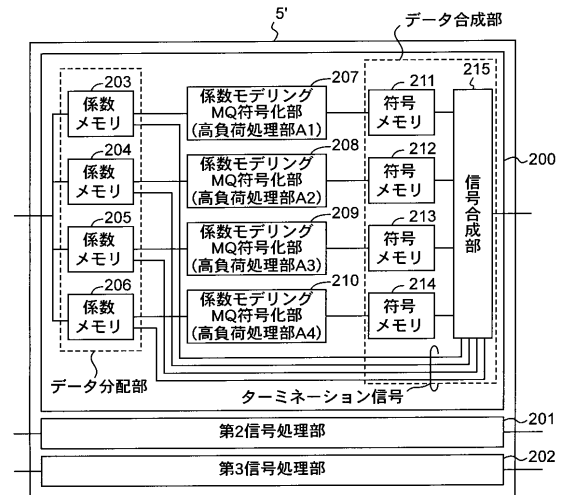
【 図 5 】



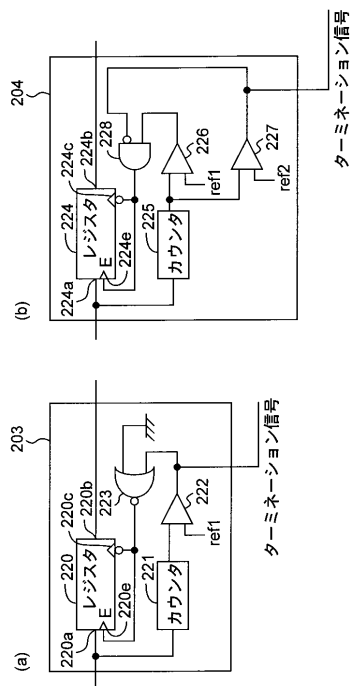
【 図 6 】



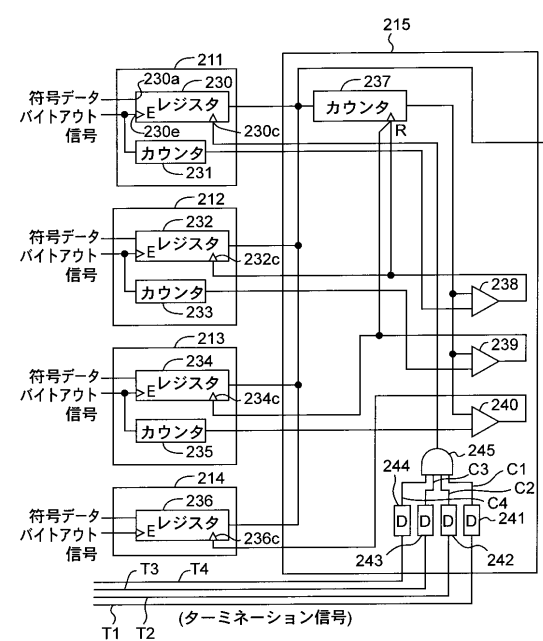
【 図 7 】



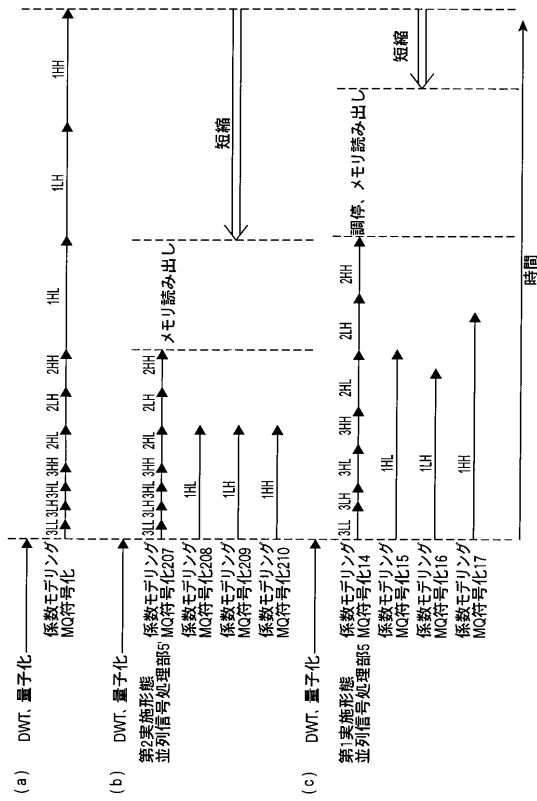
【 図 8 】



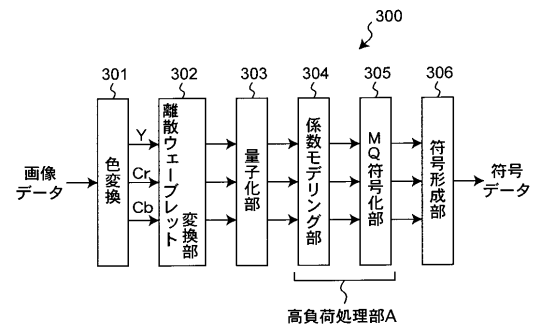
【 図 9 】



【図 10】



【図 11】



---

フロントページの続き

- (56)参考文献 特開昭 6 1 - 1 2 5 2 7 5 ( J P , A )  
特開平 0 4 - 2 4 5 8 6 5 ( J P , A )  
特開平 0 3 - 2 5 0 9 9 5 ( J P , A )  
特開 2 0 0 0 - 2 1 7 0 0 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G06T 1/20

H04N 1/41

G06F 15/16