



(12) 发明专利申请

(10) 申请公布号 CN 115714130 A

(43) 申请公布日 2023. 02. 24

(21) 申请号 202211483844.7

H01L 21/762 (2006.01)

(22) 申请日 2017.12.01

(30) 优先权数据

62/429,922 2016.12.05 US

(62) 分案原申请数据

201780075383.0 2017.12.01

(71) 申请人 环球晶圆股份有限公司

地址 中国台湾新竹市工业东二路8号

(72) 发明人 J·L·利贝特 刘庆旻 王刚

A·M·琼斯

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

专利代理师 江葳

(51) Int.Cl.

H01L 27/12 (2006.01)

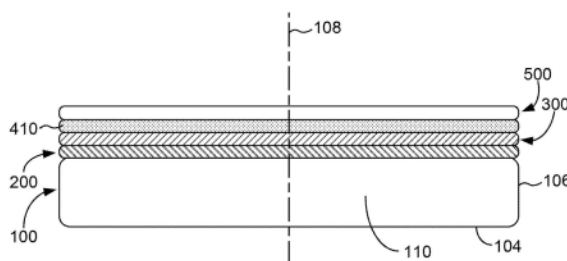
权利要求书1页 说明书15页 附图6页

(54) 发明名称

高电阻率绝缘体上硅结构及其制造方法

(57) 摘要

本申请涉及高电阻率绝缘体上硅结构及其制造方法。提供了一种多层结构,包括绝缘体上半导体结构的所述多层结构包括增强下方电荷俘获层的稳定性的绝缘层。



1. 一种多层结构,其包括:
单晶半导体处置衬底(100),其包括:
两个主要、大体上平行表面,所述表面中的一者是所述单晶半导体处置衬底的前表面(102)且所述表面中的另一者是所述单晶半导体处置衬底的背表面(104);
在所述前表面与所述背表面之间的虚中心平面;
结合所述单晶半导体处置衬底的所述前表面及所述背表面的圆周边缘;及
在所述单晶半导体处置衬底的所述前表面与所述背表面之间的主体区域,其中所述单晶半导体处置衬底具有至少约500欧姆-cm的最小主体区域电阻率;
半导体氧化物层,其与所述单晶半导体处置衬底的所述前表面界面接触;
电荷俘获层(200),其包括多晶硅层,所述电荷俘获层与所述半导体氧化物层界面接触,其中所述电荷俘获层具有至少约1000欧姆-cm的最小电阻率;
绝缘层(300),其包括氮化硅或氮氧化硅,所述绝缘层与包括所述多晶硅层的所述电荷俘获层界面接触;
电介质层(410),其与所述绝缘层界面接触,所述电介质层包括两个或更多个层,其中所述两个或更多个层中的每一者包括从由二氧化硅、氮氧化硅和氮化硅组成的组中选择的材料;及
单晶硅装置层(500),其中所述单晶硅装置层与所述电介质层界面接触。
2. 根据权利要求1所述的多层结构,其中所述单晶半导体处置衬底包括单晶硅。
3. 根据权利要求1或2所述的多层结构,其中所述单晶半导体处置衬底具有介于约500欧姆-cm与约100,000欧姆-cm之间的主体电阻率。
4. 根据权利要求1或2所述的多层结构,其中所述单晶半导体处置衬底具有介于约3000欧姆-cm与约5,000欧姆-cm之间的主体电阻率。
5. 根据权利要求1到4中任一权利要求所述的多层结构,其中所述电荷俘获层具有至少约3000欧姆-cm的最小电阻率。
6. 根据权利要求1到4中任一权利要求所述的多层结构,其中所述电荷俘获层具有至少约7000欧姆-cm的最小电阻率。
7. 根据权利要求1到6中任一权利要求所述的多层结构,其中所述绝缘层包括氮化硅。
8. 根据权利要求1到6中任一权利要求所述的多层结构,其中所述绝缘层包括氮氧化硅层。
9. 根据权利要求1到8中任一权利要求所述的多层结构,其中所述绝缘层具有介于约2000埃与约10,000埃之间的厚度。
10. 根据权利要求1到9中任一权利要求所述的多层结构,其中所述电介质层中的每一层具有至少约10纳米的厚度。

高电阻率绝缘体上硅结构及其制造方法

[0001] 分案申请信息

[0002] 本申请是申请日为2017年12月1日、申请号为201780075383.0、发明名称为“高电阻率绝缘体上硅结构及其制造方法”的发明专利申请案的分案申请。

[0003] 相关申请案的交叉参考

[0004] 本申请案主张2016年12月05日申请的序列号为62/429,922的美国临时申请案的优先权,所述申请案的揭示内容特此宛如陈述那样以全文引用的方式并入。

技术领域

[0005] 本发明大体上涉及半导体晶片制造的领域。更明确来说,本发明涉及一种制备用于绝缘体上半导体(例如,绝缘体上硅)结构的制造中的处置衬底的方法,且更特定来说,涉及一种用于在绝缘体上半导体结构的处置晶片中产生电荷俘获层的方法。

背景技术

[0006] 半导体晶片通常从单晶锭(例如,硅锭)制备,所述单晶锭经修整及研磨以具有一或多个平边或凹痕,以用于在后续程序中晶片的正确定向。接着,将锭切片成个别晶片。虽然本文中将参考由硅构造的半导体晶片,但可使用其它材料来制备半导体晶片,例如锗、碳化硅、锗化硅、砷化镓及III族及V族元素的其它合金(例如氮化镓或磷化铟),或II族及VI族元素的合金(例如硫化镉或氧化锌)。

[0007] 半导体晶片(例如,硅晶片)可用于复合层结构的制备中。复合层结构(例如,绝缘体上半导体,且更明确来说,绝缘体上硅(SOI)结构)通常包括处置晶片或层、装置层、及介于处置层与装置层之间的绝缘(即,电介质)膜(通常氧化物层)。通常,装置层的厚度介于0.01与20微米之间,例如厚度介于0.05与20微米之间。厚膜装置层可具有介于约1.5微米与约20微米之间的装置层厚度。薄膜装置层可具有介于约0.01微米与约0.20微米之间的厚度。一般来说,通过将两个晶片呈紧密接触放置,借此由范德华(van der Waal's)力起始接合,接着进行热处理以加强接合,而产生复合层结构,例如绝缘体上硅(SOI)、蓝宝石上硅(SOS)及石英上硅。退火可将末端硅醇基转化为两个界面之间的硅氧烷键,借此加强接合。

[0008] 在热退火之后,接合结构经历进一步处理以移除施体晶片的大部分以实现层转移。举例来说,可使用晶片减薄技术(例如蚀刻或研磨),其往往被称为回蚀SOI(即,BESOI),其中硅晶片经束缚于处置晶片且接着被缓慢蚀除,直到仅保留处置晶片上的薄硅层。例如,参见第5,189,500号美国专利,所述专利的揭示内容宛如陈述那样以全文引用的方式并入本文中。此方法是耗时且昂贵的,浪费衬底中中一者且对于薄于几微米的层通常不具有适合厚度均匀性。

[0009] 实现层转移的另一常用方法利用氢植入,接着进行热诱发的层分裂。将微粒(原子或离子化原子,例如,氢原子或氢原子及氢原子的组合)植入在施体晶片的前表面下方的指定深度处。所植入微粒在施体晶片于微粒被植入的指定深度处形成劈裂面(cleave plane)。清洁施体晶片的表面以移除在植入过程期间沉积于晶片上的有机化合物或其它污

染物,例如硼化合物。

[0010] 接着,通过亲水接合工艺将施体晶片的前表面接合到处置晶片以形成接合晶片。在接合之前,通过将晶片的表面暴露于含有(举例来说)氧或氮的等离子体而活化施体晶片及/或处置晶片。暴露于等离子体在通常被称为表面活化的工艺中改性表面的结构,所述活化工艺使施体晶片及处置晶片中的一或两者的表面呈现亲水性。可通过湿处理(例如SC1清洁或氢氟酸)另外使晶片的表面化学活化。湿处理及等离子体活化可以任顺序发生,或晶片可能经受仅一个处理。接着,将晶片按压在一起,且在其间形成接合。归因于范德华力,此接合相对较弱,且必须被加强,之后才可发生进一步处理。

[0011] 在一些过程中,施体晶片与处置晶片之间的亲水接合(即,接合晶片)通过加热或退火接合晶片对而被加强。在一些过程中,晶片接合可在例如介于近似300℃与500℃之间的低温下发生。在一些过程中,晶片接合可在例如介于近似800℃与1100℃之间的高温下发生。高温导致施体晶片与处置晶片的邻接表面之间的共价键的形成,因此加固施体晶片与处置晶片之间的接合。在接合晶片的加热或退火的同时,先前植入于施体晶片中的微粒弱化劈裂面。

[0012] 接着,施体晶片的一部分沿着劈裂面而与接合晶片分离(即,劈裂)以形成SOI晶片。可通过将接合晶片放置在固定架中而执行劈裂,其中垂直于接合晶片的相对侧施加机械力以便将施体晶片的一部分与接合晶片拉开。根据一些方法,利用吸杯来施加机械力。通过在劈裂面处的接合晶片的边缘处应用机械楔以便起始裂纹沿着劈裂面的传播而起始施体晶片的部分的分离。接着,通过吸杯施加的机械力从接合晶片拉动施体晶片的部分,因此形成SOI晶片。

[0013] 根据其它方法,接合对可代替地在一段时间内经受高温以将施体晶片的部分与接合晶片分离。暴露于高温导致裂纹沿着劈裂面的起始及传播,因此分离施体晶片的一部分。归因于从通过奥斯瓦尔德熟化(Ostwald ripening)生长的植入离子形成空隙而形成裂纹。空隙用氢及氦填充。空隙变成薄板(platelet)。薄板中的加压气体传播微腔及微裂纹,其弱化植入面上的硅。如果退火在适当时间停止,那么可通过机械工艺劈裂弱化的接合晶片。然而,如果在较长持续时间内及/或在较高温度下持续热处理,那么微裂纹传播达到其中全部裂纹沿着劈裂面合并的程度,因此分离施体晶片的一部分。此方法允许转移层的较好均匀性且允许施体晶片的回收利用,但通常要求将经植入及接合对加热到接近500℃的温度。

[0014] 将高电阻率绝缘体上半导体(例如,绝缘体上硅)晶片用于RF相关装置(例如天线开关)在成本及集成方面提供超越传统衬底的益处。为在将导电衬底用于高频应用时减少寄生功率损耗且最小化固有谐波失真,使用具有高电阻率的衬底晶片是必要但并非足够的。因此,用于RF装置的处置晶片的电阻率通常大于约500欧姆-cm。现参考图1,绝缘体上硅结构2包括极高电阻率硅晶片4、掩埋氧化物(BOX)层6、及硅装置层10。此衬底倾向于在BOX/处置界面处形成高导电率电荷反转或积累层12,从而导致自由载子(电子或空穴)的产生,当装置以RF频率操作时,此减小衬底的有效电阻率且引起寄生功率损耗及装置非线性。这些反转/积累层可归因于BOX固定电荷、氧化物俘获的电荷、界面俘获的电荷及甚至施加于装置自身的DC偏压。

[0015] 因此,需要一种方法以俘获任何诱发的反转或积累层中的电荷,使得甚至在非常近的表面区域中也维持衬底的高电阻率。已知高电阻率处置衬底与掩埋氧化物(BOX)之间

的电荷俘获层 (CTL) 可改进使用SOI晶片制造的RF装置的性能。已提出若干方法以形成这些高界面俘获层。举例来说,现参考图2,一种针对RF装置应用产生具有CTL的绝缘体上半导体结构20 (例如,绝缘体上硅、或SOI) 的方法是基于将未掺杂多晶硅膜28沉积于具有高电阻率的硅衬底22上且接着在其上形成氧化物24及顶部硅层26的堆叠。多晶硅层28充当介于硅衬底22与掩埋氧化物层24之间的高缺陷率层。参见图2,其描绘在绝缘体上硅结构20中用作高电阻率衬底22与掩埋氧化物层24之间的电荷俘获层28的多晶硅膜。替代方法是植入重离子以产生近表面损伤层。例如射频装置的装置内建于顶部硅层26中。

[0016] 在学术研究中已展示氧化物与衬底中间的多晶硅层改进装置隔离,减少传输线损耗且减小谐波失真。举例来说,参见:H.S.甘布勒 (H.S.Gamble) 等人,“表面稳定的高电阻率硅上的低损耗CPW线 (Low-loss CPW lines on surface stabilized high resistivity silicon)”,《微波导波研究快报》(Microwave Guided Wave Lett.),9(10),第395-397页,1999年;D.莱德勒 (D.Lederer)、R.乐博 (R.Lobet) 及J.-P.拉斯金 (J.-P.Raskin),“用于RF应用的增强型高电阻率SOI晶片 (Enhanced high resistivity SOI wafers for RF applications)”,《IEEE国际SOI会议》(IEEE Intl.SOI Conf.),第46-47页,2004年;D.莱德勒及J.-P.拉斯金,“专用于具有增强的衬底电阻率的高电阻率SOI晶片制造的新衬底钝化方法 (New substrate passivation method dedicated to high resistivity SOI wafer fabrication with increased substrate resistivity)”,《IEEE电子装置快报》(IEEE Electron Device Letters),第26卷,第11章,第805-807页,2005年;D.莱德勒、B.卡斯帕 (B.Aspar)、C.士拉夫 (C.Laghaé) 及J.-P.拉斯金,“在经钝化HR SOI衬底上转移的RF无源结构及SOI MOSFET的性能 (Performance of RF passive structures and SOI MOSFETs transferred on a passivated HR SOI substrate)”,《IEEE国际SOI会议》,第29-30页,2006;及丹尼尔C.克拉特 (Daniel C.Kerret) 等人,“使用富俘获层识别Si衬底上的RF谐波失真及其减少 (Identification of RF harmonic distortion on Si substrates and its reduction using a trap-rich layer)”,《RF系统中的硅单片集成电路》(Silicon Monolithic Integrated Circuits in RF Systems),2008.SiRF 2008 (《IEEE专题会议》(IEEE Topical Meeting)),第151-154页,2008年。

发明内容

[0017] 本发明涉及一种多层结构,其包括:单晶半导体处置衬底,其包括两个主要、大体上平行表面 (所述表面中中的一者是单晶半导体处置衬底的前表面且所述表面中中的另一者是单晶半导体处置衬底的背表面)、前表面与背表面之间的虚中心平面、结合单晶半导体处置衬底的前表面及背表面的圆周边缘、及单晶半导体处置衬底的前表面与背表面之间的主体区域,其中单晶半导体处置衬底具有至少约500欧姆-cm的最小主体区域电阻率;电荷俘获层,其包括多晶硅层,所述电荷俘获层与单晶半导体处置衬底的前表面界面接触,其中所述电荷俘获层具有至少约1000欧姆-cm的最小电阻率;绝缘层,其包括与多晶硅层界面接触的氮化硅或氮氧化硅;及单晶硅装置层。

[0018] 本发明更进一步涉及一种制备多层结构的方法,所述方法包括:将电荷俘获层沉积于单晶半导体处置衬底的前表面上,其中单晶半导体处置衬底包括两个主要、大体上平行表面 (所述表面中的一者是单晶半导体处置衬底的前表面且所述表面中的另一者是单晶

半导体处置衬底的背表面)、前表面与背表面之间的虚中心平面、结合单晶半导体处置衬底的前表面及背表面的圆周边缘、及单晶半导体处置衬底的前表面与背表面之间的主体区域,其中单晶半导体处置衬底具有至少约500欧姆-cm的最小主体区域电阻率且进一步其中电荷俘获层包括多晶硅且具有至少约1000欧姆-cm的最小电阻率;将包括氮化硅或氮氧化硅的绝缘层沉积于多晶硅层上;及将单晶半导体施体衬底的前表面上的电介质层接合到绝缘层以借此形成接合结构,其中单晶半导体施体衬底包括两个主要、大体上平行表面(所述表面中的一者是半导体施体衬底的前表面且所述表面中的另一者是半导体施体衬底的背表面)、结合半导体施体衬底的前表面及背表面的圆周边缘、半导体施体衬底的前表面与背表面之间的中心平面、及半导体施体衬底的前表面与背表面之间的主体区域,且进一步其中单晶半导体施体衬底包括劈裂面。

[0019] 在下文中将部分明白且部分指出其它目标及特征。

附图说明

[0020] 图1是包括高电阻率衬底及掩埋氧化物层的绝缘体上硅晶片的描绘。

[0021] 图2是根据现有技术的绝缘体上硅晶片的描绘,SOI晶片包括介于高电阻率衬底与掩埋氧化物层之间的多晶硅电荷俘获层。

[0022] 图3A到3E描绘根据本发明的一些实施例的工艺流。

[0023] 图4A是描绘经受氮等离子体以借此沉积氮化硅电介质层的绝缘体上硅晶片中的硼浓度轮廓的图表。图4B是描绘经受氧等离子体以借此沉积二氧化硅电介质层的绝缘体上硅晶片中的硼浓度轮廓的图表。

[0024] 图5是描绘通过CPW测试的二次谐波相对功率的图表。测试比较通过氮等离子体沉积及氧等离子体沉积制备的晶片。

具体实施方式

[0025] 根据本发明,提供一种用于制备包括电荷俘获层(CTL)的绝缘体上半导体复合结构(SOI,例如,绝缘体上硅复合结构)的方法。本发明进一步涉及一种包括电荷俘获层(CTL)的绝缘体上半导体复合结构(例如,绝缘体上硅复合结构)。本发明提供一种设计单晶半导体处置衬底以增强射频装置中使用的SOI结构的电气性能的方法。

[0026] 在一些实施例中,本发明涉及一种通过设计多晶硅电荷俘获层(CTL)与施体衬底之间的界面以借此显著地改进完成RF装置的性能而制造SOI晶片的方法。多晶硅电荷俘获层(CTL)的性质取决于SOI结构所经受的热处理。实践上,SOI结构制造及装置处理的热预算高到足以导致电荷俘获层的结构变化,所以其变得对于改进RF装置特性无效。另外,污染物(例如硼、铝及在接合界面处俘获的其它金属)可容易地扩散通过多晶硅层且减小多晶硅层的电阻率或诱发多晶硅层的再结晶。这些效应中的任一者减小多晶硅层在改进RF性能方面的有效性。本发明的目标是提供一种制造具有热稳定CTL的SOI晶片的方法,其保持电荷俘获有效性且显著地改进完成RF装置的性能。

[0027] I. 半导体处置衬底及半导体施体衬底

[0028] 在本发明中使用的衬底包含半导体处置衬底(例如,单晶半导体处置晶片)及半导体施体衬底(例如,单晶半导体施体晶片)。绝缘体上半导体复合结构中的半导体装置层是

从单晶半导体施体衍生的晶片。半导体装置层可通过晶片减薄技术(例如蚀刻半导体施体晶片)或通过劈裂包括损坏平面的半导体施体衬底而转移到半导体处置衬底上。

[0029] 图3A到3E描绘根据本发明的一些实施例的工艺流。参考图3A,描绘示范性非限制单晶半导体处置晶片100。一般来说,单晶半导体处置晶片100包括两个主要、大体上平行表面。所述平行表面中的一者是单晶半导体处置晶片100的前表面102,且另一平行表面是单晶半导体处置晶片100的背表面104。单晶半导体处置晶片100包括结合前表面102及背表面104的圆周边缘106。单晶半导体处置晶片100包括垂直于两个主要、大体上平行表面102、104且还垂直于由前表面102与背表面104之间的中点界定的中心平面的中心轴108。单晶半导体处置晶片100包括两个主要、大体上平行表面102、104之间的主体区域110。由于半导体晶片(例如,硅晶片)通常具有一些总厚度变化(TTV)、翘曲及弓形,因此前表面102上的每一点与背表面104上的每一点之间的中点可能未精确地落在平面内。然而,作为实际问题,TTV、翘曲及弓形通常如此微小,使得近似地中点可被称作落在近似等距介于前表面102与背表面104之间的虚中心平面内。

[0030] 在如本文中描述的任何操作之前,单晶半导体处置晶片100的前表面102及背表面104可为基本上相同的。表面仅出于便利被称为“前表面”或“背表面”且通常用以区别在其上执行本发明的方法的操作的表面。在本发明的上下文中,单晶半导体处置晶片100(例如,单晶硅处置晶片)的“前表面”是指衬底的主要表面,其成为接合结构的内表面。因此,单晶半导体处置晶片100(例如,处置晶片)的“背表面”是指成为接合结构的外表面的主要表面。类似地,单晶半导体施体衬底(例如,单晶硅施体晶片)的“前表面”是指成为接合结构的内表面的单晶半导体施体衬底的主要表面,且单晶半导体施体衬底(例如,单晶硅施体晶片)的“背表面”是指成为接合结构的外表面的主要表面。在本发明的上下文中,可在单晶半导体处置衬底100及单晶半导体施体衬底中的任一者或两者的前表面上制备一或多个绝缘层。在完成常规接合及晶片减薄步骤后,单晶半导体施体衬底形成绝缘体上半导体(例如,绝缘体上硅)复合结构的半导体装置层。

[0031] 单晶半导体处置衬底及单晶半导体施体衬底可为单晶半导体晶片。在优选实施例中,半导体晶片包括选自由硅、碳化硅、锗化硅、砷化镓、氮化镓、磷化铟、砷化铟镓、锗及其组合组成的群组的材料。本发明的单晶半导体晶片(例如,单晶硅处置晶片及单晶硅施体晶片)通常具有至少约150mm、至少约200mm、至少约300mm,或至少约450mm标称直径。晶片厚度可从约250微米变化到约1500微米,例如介于约300微米与约1000微米之间,适合地在约500微米到约1000微米的范围内。在一些特定实施例中,晶片厚度可为约725微米。在一些实施例中,晶片厚度可为约775微米。

[0032] 在特别优选实施例中,单晶半导体晶片包括单晶硅晶片,其已从根据常规丘克拉斯基(Czochralski)晶体生长方法或浮区生长方法生长的单晶锭切片。此类方法,以及标准硅切片、磨平(lapping)、蚀刻及抛光技术被揭示在(举例来说)F.志村(F.Shimura),《半导体硅晶体技术》(Semiconductor Silicon Crystal Technology),学术出版社(Academic Press),1989及《硅化学蚀刻》(Silicon Chemical Etching),(J.格林布迈尔(J.Grabmaier)编辑)施普林格出版公司(Springer-Verlag),纽约(N.Y.),1982(以引用的方式并入本文中)中。优选地,以所属领域的技术人员已知的标准方法来抛光并清洁晶片。举例来说,参见W.C.O' 玛拉(W.C.O' Mara)等人,《半导体硅技术手册》(Handbook of

Semiconductor Silicon Technology), 诺伊斯出版社 (Noyes Publications)。如果需要, 晶片可 (举例来说) 在标准SC1/SC2溶液中进行清洁。在一些实施例中, 本发明的单晶硅晶片是已从根据常规丘克拉斯基 (“Cz”) 晶体生长方法生长的单晶锭切片的单晶硅晶片, 其通常具有至少约150mm、至少约200mm、至少约300mm, 或至少约450mm的标称直径。优选地, 单晶硅处置晶片及单晶硅施体晶片两者都具有无表面缺陷 (例如刮痕、大微粒等) 的经镜面抛光的前表面光洁度。晶片厚度可从约250微米变化到约1500微米, 例如介于约300微米与约1000微米之间, 适合地在约500微米到约1000微米的范围内。在一些特定实施例中, 晶片厚度可介于约725微米与约800微米之间, 例如介于约750微米与约800微米之间。在一些实施例中, 晶片厚度可为约725微米。在一些实施例中, 晶片厚度可为约775微米。

[0033] 在一些实施例中, 单晶半导体晶片 (即, 单晶半导体处置晶片及单晶半导体施体晶片) 包括通常通过丘克拉斯基-生长方法实现的浓度的间隙氧。在一些实施例中, 单晶半导体晶片包括介于约4PPMA与约18PPMA之间的浓度的氧。在一些实施例中, 半导体晶片包括介于约10PPMA与约35PPMA之间的浓度的氧。在一些实施例中, 单晶硅晶片包括不大于约12PPMA (例如小于约10PPMA) 的浓度的氧。间隙氧可根据SEMI MF 1188-1105进行测量。

[0034] 单晶半导体处置晶片100可具有可通过丘克拉斯基或浮区方法获取的任何电阻率。因此, 单晶半导体处置晶片100的电阻率是基于本发明的结构的最终使用/应用的要求。因此, 电阻率可从毫欧姆或更小变化到兆欧姆或更大。在一些实施例中, 单晶半导体处置晶片100包括p型掺杂物或n型掺杂物。适合掺杂物包含硼 (p型)、镓 (p型)、磷 (n型)、锑 (n型) 及砷 (n型)。基于处置晶片的所要电阻率选择掺杂物浓度。在一些实施例中, 单晶半导体处置衬底包括p型掺杂物。在一些实施例中, 单晶半导体处置衬底是包括p型掺杂物 (例如硼) 的单晶硅晶片。

[0035] 在一些实施例中, 单晶半导体处置晶片100具有相对较低最小主体电阻率, 例如低于约100欧姆-cm, 低于约50欧姆-cm, 低于约1欧姆-cm, 低于约0.1欧姆-cm, 或甚至低于约0.01欧姆-cm。在一些实施例中, 单晶半导体处置衬底100具有相对较低最小主体电阻率, 例如低于约100欧姆-cm, 或介于约1欧姆-cm与约100欧姆-cm之间。低电阻率晶片可包括电活性掺杂物, 例如硼 (p型)、镓 (p型)、铝 (p型)、镉 (p型)、磷 (n型)、锑 (n型) 及砷 (n型)。

[0036] 在一些实施例中, 单晶半导体处置晶片100具有相对较高最小主体电阻率。高电阻率晶片通常是从通过丘克拉斯基方法或浮区方法生长的单晶锭切片。高电阻率晶片可包括通常极低浓度的电活性掺杂物, 例如硼 (p型)、镓 (p型)、铝 (p型)、镉 (p型)、磷 (n型)、锑 (n型) 及砷 (n型)。Cz-生长硅晶片可经受范围从约600°C到约1000°C的温度下的热退火, 以便湮灭由在晶体生长期间并入的氧导致的热施体。在一些实施例中, 单晶半导体处置晶片具有至少100欧姆-cm, 或甚至至少约500欧姆-cm, 例如介于约100欧姆-cm与约100,000欧姆-cm之间, 或介于约500欧姆-cm与约100,000欧姆-cm之间, 或介于约1000欧姆-cm与约100,000欧姆-cm之间, 或介于约500欧姆-cm与约10,000欧姆-cm之间, 或介于约750欧姆-cm与约10,000欧姆-cm之间, 介于约1000欧姆-cm与约10,000欧姆-cm之间, 介于约1000欧姆-cm与约6000欧姆-cm之间, 介于约2000欧姆-cm与约10,000欧姆-cm之间, 介于约3000欧姆-cm与约10,000欧姆-cm之间, 或介于约3000欧姆-cm与约5,000欧姆-cm之间的最小主体电阻率。在一些优选实施例中, 单晶半导体处置衬底具有介于约1000欧姆-cm与约6,000欧姆-cm之间的主体电阻率。所属领域中已知用于制备高电阻率晶片的方法, 且此类高电阻率晶片可

从商业供货商(例如太阳爱迪生半导体有限公司(SunEdison Semiconductor Ltd.)(密苏里州圣彼得斯;原MEMC电子材料有限公司(MEMC Electronic Materials, Inc.)))获取。

[0037] 在一些优选实施例中,单晶半导体处置衬底包括选自硼、铝、镓、铟及其任何组合组成的群组的电活性掺杂物。在一些优选实施例中,单晶半导体处置衬底包括硼,其可以小于约 2×10^{13} 个原子/ cm^3 、小于约 1×10^{13} 个原子/ cm^3 ,例如小于约 5×10^{12} 个原子/ cm^3 ,或小于约 1×10^{12} 个原子/ cm^3 的浓度存在。所属领域中已知用于制备高电阻率晶片的方法,且此类高电阻率晶片可从商业供货商(例如太阳爱迪生半导体有限公司(密苏里州圣彼得斯;原MEMC电子材料有限公司))获取。

[0038] 单晶半导体处置晶片100可包括单晶硅。单晶半导体处置晶片100可具有(举例来说)(100)、(110)或(111)晶体定向中的任一者,且晶体定向的选择可由结构的最终使用支配。

[0039] 任选地,前表面102、背表面104或所述两者可根据所属领域中已知的方法氧化。可通过所属领域中已知的手段(例如热氧化(其中将消耗经沉积半导体材料膜的一些部分)或CVD氧化物沉积)完成氧化。前表面102、背表面104或所述两者上的氧化层可为至少约1纳米厚,例如介于约10纳米与约5000纳米之间厚,例如介于约100纳米与约1000纳米之间,或介于约200纳米与约400纳米之间。在一些实施例中,氧化层相对较薄,例如介于约5埃与约25埃之间,例如介于约10埃与约15埃之间。薄氧化物层可通过暴露于标准清洁溶液(例如SC1/SC2清洁溶液)而获取。在一些实施例中,SC1溶液包括5重量份去离子水、1重量份水性 NH_4OH (氢氧化铵,29重量%的 NH_3)及1重量份的水性 H_2O_2 (过氧化氢,30%)。在一些实施例中,处置衬底可通过暴露于包括氧化剂的水溶液(例如SC2溶液)而氧化。在一些实施例中,SC2溶液包括5重量份去离子水、1重量份水性 HCl (盐酸,39重量%)及1重量份的水性 H_2O_2 (过氧化氢,30%)。

[0040] II. 电荷俘获层的沉积

[0041] 根据本发明的方法且参考图3A及3B,将电荷俘获层200沉积成与单晶半导体处置晶片100的前表面102接触。在一些实施例中,电荷俘获层200包括多晶硅。此类材料包含多晶半导体材料及非晶半导体材料。可为多晶或非晶的材料包含硅(Si)、锗化硅(SiGe)、掺杂碳的硅(SiC)及锗(Ge)。多晶半导体(例如,多晶硅)表示包括具有随机晶体定向的小晶体的材料。多晶材料表示包括具有随机晶体定向的小晶体的材料。多晶晶粒在大小上可小到约20纳米,且晶粒大小的范围通常介于约20纳米与约1微米之间,例如介于约0.3微米与约1微米之间。根据本发明的方法,沉积的多晶材料的晶体晶粒大小越小,电荷俘获层中的缺陷率越高。多晶硅电荷俘获层的电阻率可为至少100欧姆-cm、至少约500欧姆-cm、至少约1000欧姆-cm、至少约3000欧姆-cm,或甚至至少约7000欧姆-cm,例如介于约100欧姆-cm与约100,000欧姆-cm之间,或介于约500欧姆-cm与约100,000欧姆-cm之间,或介于约1000欧姆-cm与约100,000欧姆-cm之间,或介于约500欧姆-cm与约100,000欧姆-cm之间,或介于约750欧姆-cm与约100,000欧姆-cm之间。在一些优选实施例中,多晶硅层的电阻率介于约3000欧姆-cm与约100,000欧姆-cm之间,例如介于约3000欧姆-cm与约10,000欧姆-cm之间或甚至介于约7000欧姆-cm与约100,000欧姆-cm之间,例如介于约7000欧姆-cm与约10,000欧姆-cm之间。

[0042] 用于将电荷俘获层200沉积在单晶半导体处置晶片100的前表面102上的材料可通

过气相沉积来沉积。用于沉积电荷俘获层200的材料可通过化学或物理气相沉积(举例来说,通过金属有机化学气相沉积(MOCVD)、物理气相沉积(PVD)、化学气相沉积(CVD)、低压化学气相沉积(LPCVD),或等离子体增强化学气相沉积(PECVD))沉积。在优选实施例中,多晶硅通过CVD沉积。用于CVD的硅前体包含甲基硅烷、四氢化硅(硅烷)、丙硅烷、乙硅烷、戊硅烷、新戊硅烷、四硅烷、二氯硅烷(SiH_2Cl_2)、三氯硅烷(SiHCl_3)、四氯化硅(SiCl_4)以及其它硅前体。在一些优选实施例中,从硅烷、二氯硅烷(SiH_2Cl_2)及三氯硅烷(SiHCl_3)当中选择硅前体。举例来说,可通过在大于约850°C,例如介于约850°C与约1100°C之间,或介于约850°C与约1000°C之间的温度中的硅烷、二氯硅烷(SiH_2Cl_2)及三氯硅烷(SiHCl_3)的CVD而将多晶硅沉积到表面氧化层上。高温有助于高生长速率以及其它优势,借此促进生产量及成本减小。CVD沉积速率的范围可为至少约0.1微米/分钟,例如介于约0.1微米/分钟到约10微米/分钟之间,或介于约0.1微米/分钟到约2微米/分钟之间。多晶硅层的沉积可持续,直到层具有至少约0.1微米,例如介于约0.1微米与约50微米之间,例如介于约0.1微米与约20微米之间,介于约0.1微米与约10微米之间,介于约0.5微米与约5微米之间,或介于约0.5微米与约3微米之间,例如介于约1微米与约2微米之间或介于约2微米与约5微米之间的厚度。沉积可在介于约1托与约760托之间,例如介于约1托与约400托之间的压力下发生。

[0043] 在一些实施例中,在多晶硅晶种层的沉积之后中断通过化学气相沉积沉积多晶硅层。多晶硅晶种层可具有比最终多晶硅电荷俘获层的整体所要厚度更小的厚度。因此,多晶晶种层可经沉积到小于20微米、小于10微米、小于5微米、小于3微米、小于2微米,或小于1微米,或小于0.5微米,例如介于约50纳米与约20微米之间,或介于约50纳米与约10微米之间,或介于约50纳米与约5微米之间,或介于约50纳米与约3微米之间,或介于约50纳米与约2微米之间,或介于约50纳米与约1微米之间,或介于约50纳米与约500纳米之间,或介于约50纳米与约200纳米之间的厚度。通过多晶硅晶核的大小设置晶种层的厚度。为实现有效应力释放,晶种层需要覆盖下方层的表面,同时留下小于50nm的空隙,此实现 H_2 对多晶硅晶种层与下方层之间的界面的接达。 H_2 减少界面氧化物且促进原子在多晶硅晶种层的晶粒边界处扩散到衬底且因此释放膜应力。当晶种层厚到足以完全防止 H_2 接达到下方层时,后续退火工艺无法有效地释放膜应力。另一方面,当晶种层不连续且两个邻近晶核之间的开口区域宽于50nm时,在晶种退火工艺期间形成大晶核。大晶核将在多晶硅沉积结束时生长为大晶粒(即,直径 $>1\mu\text{m}$),此减小俘获效率。可通过停止硅前体流动到CVD腔室中而中断沉积。在中断多晶硅的沉积之后,可对包括多晶晶种层的处置衬底进行退火。对多晶晶种层进行退火促进所要电荷俘获层性质,例如获取清洁表面、高纯度膜、高电阻率膜、所要晶核大小及均匀性、及残留膜应力的减小。在一些实施例中,多晶硅晶种层经受高温退火以便将膜应力减小到介于约0MPa与约500MPa之间,例如介于约0MPa与约100MPa之间的范围。多晶晶种层在大于约1000°C,例如介于约1000°C与约1200°C之间,或介于约1000°C与约1100°C之间的温度下退火。晶种层可经退火达介于约1秒与约300秒之间,例如介于约5秒与约60秒之间,或介于约10秒与约40秒之间的持续时间。退火的环境氛围可包括氢、氯化氢、氯或氢、氯化氢及氯的任何组合。退火步骤可在减小的压力或大气压力(例如介于约1托与约760托之间,或介于约10托与约760托之间)下执行。通过退火温度、持续时间及气流控制多晶硅膜的晶粒大小及应力。在适当退火持续时间之后,在将单晶半导体处置衬底冷却到介于约850°C与约1000°C之间的温度之后恢复通过多晶硅层的化学气相沉积的沉积。

[0044] 在一些实施例中,在沉积完成之后对单晶半导体处置衬底100及多晶硅电荷俘获层200进行退火。对多晶晶种层进行退火促进所要电荷俘获层性质,例如获取清洁表面、高纯度膜、高电阻率膜、所要晶核大小及均匀性、及残留膜应力的减小。在一些实施例中,经完全沉积的多晶硅电荷俘获层经受高温退火以便将膜应力减小到介于约0MPa与约500MPa之间,例如介于约0MPa与约100MPa之间的范围。单晶半导体处置衬底100及多晶硅电荷俘获层200可在大于约1000℃,例如介于约1000℃与约1100℃之间的温度下退火。单晶半导体处置衬底100及多晶硅电荷俘获层200可经退火达介于约1秒与约300秒之间,例如介于约5秒与约60秒,或介于约10秒与约40秒之间的持续时间。退火的环境氛围可包括氢、氯化氢、氯,或氢、氯化氢及氯的任何组合。在适当退火持续时间之后,CVD腔室可经冷却到对于移除单晶半导体处置衬底安全的温度。

[0045] 在沉积电荷俘获层200之后,晶片清洁及抛光是任选的。在一些实施例中,经沉积多晶硅电荷俘获层具有如通过 $RMS_{2 \times 2 \text{ } \mu m^2}$ 测量的大约50纳米的表面粗糙度。如果需要,晶片可在(举例来说)标准SC1/SC2溶液中进行清洁。另外,晶片(特别地,电荷俘获层上的任选二氧化硅层)可经受化学机械抛光(CMP)以减小表面粗糙度,优选地到小于约5埃,例如介于约

1埃与约2埃之间的 $RMS_{2 \times 2 \text{ } \mu m^2}$ 的水平,其中均方根 $R_q = \sqrt{\frac{1}{n} \sum_{i=1}^n y_i^2}$ 粗糙度轮廓含有沿迹

线的有序、相等间隔的点,且 y_i 是从等分线到数据点的垂直距离。在优选地小于2埃的表面粗糙度下,表面准备好接合或任选氧化。

[0046] III. 绝缘层的沉积

[0047] 在一些实施例中,且参考图3B及3C,包括半导体氮化物层(例如,氮化硅)或半导体氮氧化物层(例如,氮氧化硅)的绝缘层300可形成为与经沉积电荷俘获层200接触。此可通过例如热氮化或CVD氮化物沉积的方法完成。在一些实施例中,电荷俘获层可经热氮化(其中将消耗经沉积半导体材料膜的一些部分)或膜可通过CVD氮化物沉积生长。在一些实施例中,电荷俘获层可在炉(例如ASM A400)中进行热氮化。在氮化环境中,温度的范围可从750℃到1400℃,例如介于1100℃与1400℃之间。氮化环境氛围可为惰性气体(例如Ar及 N_2)与任选地 O_2 的混合物。氮含量可从1%变化到10%或更高。在示范性实施例中,半导体处置晶片可被装载到立式炉(例如A400)中。使温度斜升到运用Ar及 N_2 与任选地 O_2 的混合物的氮化温度。在已获取所要氮化硅或氮氧化硅厚度之后,气流被关闭且炉温度降低且将晶片从炉卸除。替代氮源是氨。在一些实施例中,电荷俘获层可经处理达足以提供介于约1.5纳米与约50纳米埃厚度之间,例如介于约2.5纳米与约10纳米厚度之间,或介于约2.5纳米与约5纳米厚度之间,例如约3.5纳米厚度的氮化物层或氮氧化物层的持续时间。

[0048] 在一些实施例中,可通过CVD(例如等离子体增强化学气相沉积)形成包括半导体氮化物层(例如,氮化硅)或半导体氮氧化物层(例如,氮氧化硅)的绝缘层300。在一些实施例中,等离子体沉积工具是市售工具,例如可从依威集团(EV Group)购得的工具,例如EVG®810LT低温等离子体活化系统。等离子体增强CVD腔室的一般要求包含具有各种电极设计的反应器、发电电子器件、用以将电力转移到气体负载的阻抗匹配网络、用于输入气体的质量流量控制器及压力控制系统。典型系统是由电感耦合RF源供电的垂直管反应器。单晶半导体处置衬底100经装载到腔室中且放置在经加热支撑腔室上。腔室经抽空且回填载

气(例如氩)中的氮气源到小于大气压的压力以借此产生等离子体。氮及/或氮及/或氧化氮(NO)及/或一氧化二氮(N_2O)气体是用于等离子体氮化物处理的适合源气体。氮氧化物膜可通过包含氧气及氮气源而沉积。氧及/或水是用于等离子体氧化物处理的适合源气体。另外,氧化氮或一氧化二氮的使用另外将氧并入到绝缘层中,借此沉积氮氧化物膜。为沉积氮化硅或氮氧化硅等离子体膜,适合硅前体包含甲基硅烷、四氢化硅(硅烷)、丙硅烷、乙硅烷、戊硅烷、新戊硅烷、四硅烷、二氯硅烷(SiH_2Cl_2)、三氯硅烷($SiHCl_3$)、四氯化硅($SiCl_4$)以及其它硅前体。适合地,添加Ar作为载气。

[0049] 可改变等离子体沉积以调谐半导体氮化物(例如,氮化硅)或半导体氮氧化物(例如,氮氧化硅)的性质。举例来说,前体的压力、流速、温度及相对比率可调谐等离子体沉积的氮化物层的硅与氮化物摩尔比率。另外,包含氧前体并入氧以制备氮氧化物层。在一些实施例中,等离子体沉积可发生在包括硅及氮前体的环境氛围中以借此将氮化硅层沉积于处置衬底及/或施体衬底上。在足以沉积氮化物的持续时间之后,可将氧前体引入到氛围中以借此沉积氮氧化物。处置半导体氮氧化物层中的氧浓度可根据梯度变化,借此氧浓度在与处置半导体氮化物层的界面处是低的且在朝向处置半导体氮氧化物层的表面的垂直方向上增大。在足以沉积氮氧化物层的持续时间之后,氮前体的流动可停止且沉积可仅运用硅前体及氧气源继续以借此沉积包括半导体氧化物(例如,氧化硅)的绝缘层。在一些实施例中,绝缘层300可通过等离子体技术而沉积,包括半导体氮化物(例如,氮化硅)层及半导体氮氧化物(例如,氮氧化硅)层。在一些实施例中,绝缘层300可通过等离子体技术而沉积,包括半导体氮化物(例如,氮化硅)层、半导体氮氧化物(例如,氮氧化硅)层及半导体氧化物(例如,氧化硅)层。有利地,多个绝缘层的等离子体沉积可通过改变工艺气体的比率及成分而连续(即,无中断)地发生。

[0050] 等离子体沉积的半导体氮化物(例如,氮化硅)或半导体氮氧化物(例如,氮氧化硅)可在介于约0.01托与约100托之间,例如介于约0.1托与约1托之间的压力下形成。等离子体沉积可在介于约20℃与约400℃之间的温度下发生。具有介于约500埃与约10,000埃之间,例如介于约2000埃与约10,000埃之间的厚度的绝缘层可通过PECVD按介于约100埃/分钟与约1000埃/分钟之间的速率进行沉积。

[0051] 气态硅前体与气态氮前体的流速比可介于约1/200与约1/50之间,例如约1/100。这些比率可产生具有介于约0.7与约1.8之间的硅与氮化物的摩尔比率的氮化硅层。可通过添加含氧物种(例如氧或NO)而将氧并入在等离子体工艺中。在等离子体沉积期间添加氧实现具有以梯度方式变化的组合物的绝缘层的沉积,例如,层可从半导体氮化物(例如,氮化硅)转变为增大氧浓度的半导体氮氧化物(例如,氮氧化硅)到半导体氧化物(例如,氧化硅)。

[0052] 可在1.5与2之间的范围中调谐绝缘层的折射率。氧化硅(SiO_2)的处理后退火及化学气相沉积可进一步调谐膜的接合界面或氢含量。根据2微米 $\times$ 2微米表面积内的均方根($RMS_{2 \times 2 \text{ } \mu m^2}$)方法,处置衬底与施体衬底之间的接合受益于小于约5埃的粗糙度。通常此可在运用受控电感耦合等离子体且将偏压功率降低到粗糙阈值以下的等离子体沉积中实现。已在具有约5埃或更小的粗糙度的等离子体沉积膜上展现成功层转移。

[0053] 由等离子体产生的氮化硅在结构上相异于根据常规化学或物理气相沉积技术沉积的氮化硅。常规CVD或PVD沉积通常导致具有 Si_3N_4 的化学计量的氮化硅层。等离子体工艺

可经控制以取决于输入反应物气体、功率电平、衬底温度及整体反应器压力而沉积具有组合物(例如 $\text{Si}_x\text{N}_y\text{H}_z$)的膜。存在等离子体系统中的路径以形成 Si-N 、 Si=N 及 Si≡N 键。这归因于等离子体能量产生 Si_xH_z 及 N_yH_z 物种的事实。举例来说,折射率及光学间隙随 Si/N 比率显著变化。在较高硅烷浓度下,膜变得富含 Si 且可达到最多3.0(与LPCVD的2相比)的折射率。可能受影响的其它性质包含电介质常数、击穿、机械及化学(蚀刻速率)。

[0054] IV. 等离子体活化

[0055] 在一些实施例中,包括多晶硅电荷俘获层200及绝缘层300的单晶半导体处置衬底100经受氧等离子体及/或氮等离子体表面活化。在一些实施例中,氧等离子体及/或氮等离子体表面活化工具是市售工具,例如可从伊威集团购得的工具,例如EVG®810LT低温等离子体活化系统。将包括多晶硅电荷俘获层200及绝缘层300的单晶半导体处置衬底100装载到腔室中。腔室经抽空且回填载气(例如氩)中的氧气源及/或氮气源到小于大气压的压力以借此产生等离子体。氧及/或水是用于等离子体氧化物处理的适合源气体。氮及/或氮及/或氧化氮(NO)及/或一氧化二氮(N_2O)气体是用于等离子体氮化物处理的适合源气体。氮氧化物等离子体活化可包含环境氛围中的氧气及氮气源。单晶半导体处置衬底100暴露于此等离子体达所要时间,所述时间的范围可从约1秒到约120秒。执行氧或氮等离子体表面氧化以便使单晶半导体处置衬底100的前表面呈现为亲水的且能够接合到单晶半导体施体衬底。在等离子体活化之后,用去离子水冲洗活化表面。接着,晶片在接合之前旋转干燥。

[0056] V. 接合结构的制备

[0057] 参考图3D,根据本文中描述的方法制备的包括多晶硅电荷俘获层200及绝缘层300的高电阻率单晶半导体处置衬底100(例如,单晶半导体处置晶片,例如单晶硅处置晶片)接着接合到根据常规层转移方法制备的半导体施体衬底400(例如,单晶半导体施体晶片)。单晶半导体施体衬底400可为单晶半导体晶片。在优选实施例中,半导体晶片包括选自自由硅、碳化硅、锗化硅、砷化镓、氮化镓、磷化铟、砷化铟镓、锗及其组合组成的群组的材料。取决于最终集成电路装置的所要性质,单晶半导体(例如,硅)施体晶片400可包括从硼(p型)、镓(p型)、铝(p型)、铟(p型)、磷(n型)、锑(n型)及砷(n型)当中选择的掺杂物。单晶半导体(例如,硅)施体晶片的电阻率的范围可从1欧姆-cm到50欧姆-cm,通常,从5欧姆-cm到25欧姆-cm。单晶半导体施体晶片400可经受包含氧化、植入及植入后清洁的标准工艺步骤。因此,半导体施体衬底400(例如常规地用于多层半导体结构的制备中的材料单晶半导体晶片,例如,单晶硅施体晶片,其已经蚀刻且抛光且任选地氧化)经受离子植入以在施体衬底中形成损伤层。

[0058] 在一些实施例中,半导体施体衬底400包括电介质层410。根据本发明的电介质层410可包括从二氧化硅、氮化硅、氮氧化硅、氧化钪、氧化钛、氧化锆、氧化镧、氧化钡及其任何组合当中选择的绝缘材料。在一些实施例中,电介质层410包括一或多个绝缘层,其包括选自自由二氧化硅、氮化硅、氮氧化硅及其任何组合组成的群组的材料。在一些实施例中,电介质层具有至少约10纳米厚,例如介于约10纳米与约10,000纳米之间,介于约10纳米与约5,000纳米之间,介于50纳米与约400纳米之间,或介于约100纳米与约400纳米之间,例如约50纳米、100纳米或200纳米的厚度。

[0059] 在一些实施例中,电介质层410包括绝缘材料的多个层。电介质层可包括两个绝缘层、三个绝缘层或更多。每一绝缘层可包括从二氧化硅、氮氧化硅、氮化硅、氧化钪、氧化钛、

氧化锆、氧化镧、氧化钡及其任何组合当中选择的材料。在一些实施例中，每一绝缘层可包括选自自由二氧化硅、氮化硅、氮氧化硅及其任何组合组成的群组的材料。每一绝缘层可具有至少约10纳米厚，例如介于约10纳米与约10,000纳米之间，介于约10纳米与约5,000纳米之间，介于50纳米与约400纳米之间，或介于约100纳米与约400纳米之间，例如约50纳米、100纳米或200纳米的厚度。

[0060] 在一些实施例中，单晶半导体施体衬底400 (例如，单晶硅施体衬底) 的前表面可经热氧化 (其中将消耗经沉积半导体材料膜的一些部分) 以制备半导体氧化物膜，或半导体氧化物 (例如，二氧化硅) 膜可通过CVD氧化物沉积而生长。在一些实施例中，单晶半导体施体衬底400的前表面可以上文中描述的相同方式在炉 (例如ASM A400) 中进行热氧化。在一些实施例中，单晶半导体施体衬底400经氧化以提供前表面层上至少约1纳米厚、约10纳米厚，例如介于约10纳米与约10,000纳米之间，介于约10纳米与约5,000纳米之间，或介于约100纳米与约400纳米之间的氧化物层。在一些实施例中，单晶半导体施体衬底400上的氧化层相对较薄，例如介于约5埃与约25埃之间，例如介于约10埃与约15埃之间。薄氧化物层可通过暴露于标准清洁溶液 (例如SC1/SC2清洁溶液) 而获取。

[0061] 可在市售仪器 (例如应用材料量子II (Applied Materials Quantum II)、量子跳跃 (Quantum LEAP) 或量子X (Quantum X)) 中执行离子植入。经植入离子包含He、H、H₂或其组合。离子植入以足以在半导体施体衬底中形成损伤层的密度及持续时间执行。植入密度的范围可从约10¹²个离子/cm²到约10¹⁷个离子/cm²，例如从约10¹⁴个离子/cm²到约10¹⁷个离子/cm²，例如从约10¹⁵个离子/cm²到约10¹⁶个离子/cm²。植入能量的范围可从约1keV到约3,000keV，例如从约10keV到约3,000keV。植入能量的范围可从约1keV到约3,000keV，例如从约5keV到约1,000keV，或从约5keV到约200keV，或从5keV到约100keV，或从5keV到约80keV。植入的深度确定最终SOI结构中的单晶半导体装置层的厚度。离子可被植入到介于约100埃与约30,000埃之间，例如介于约200埃与约20,000埃之间，例如介于约2000埃与约15,000埃之间，或介于约15,000埃与约30,000埃之间的深度。在一些实施例中，使单晶半导体施体晶片 (例如，单晶硅施体晶片) 在植入之后经受清洁可为合意的。在一些优选实施例中，清洁可包含皮蓝哈清洁 (Piranha clean)，接着进行DI水冲洗及SC1/SC2清洁。

[0062] 在本发明的一些实施例中，其中具有由He⁺、H⁺、H₂⁺及其任何组合离子植入形成的离子植入区域的单晶半导体施体衬底400是在足以在单晶半导体施体衬底中形成热活化劈裂面的温度下退火。适合工具的实例可为例如Blue M型号的简单箱式炉 (Box furnace)。在一些优选实施例中，离子植入的单晶半导体施体衬底在从约200℃到约350℃、从约225℃到约350℃、优选地约350℃的温度下退火。热退火可发生达从约2小时到约10小时，例如从约2小时到约8小时的持续时间。这些温度范围内的热退火足以形成热活化劈裂面。在用热活化劈裂面的热退火之后，优选地清洁单晶半导体施体衬底表面。

[0063] 在一些实施例中，经离子植入且任选地经清洁且任选地经退火的单晶半导体施体衬底经受氧等离子体及/或氮等离子体表面活化。在一些实施例中，氧等离子体表面活化工具是市售工具，例如可从伊威集团购得的工具，例如EVG®810LT低温等离子体活化系统。经离子植入且任选地经清洁的单晶半导体施体晶片被装载到腔室中。腔室经抽空且回填O₂或N₂到小于大气压的压力以借此产生等离子体。单晶半导体施体晶片暴露于此等离子体达所要时间，所述时间的范围可从约1秒到约120秒。执行氧或氮等离子体表面氧化以便使单

晶半导体施体衬底的前表面呈现为亲水的且能够接合到根据上文中描述的方法制备的单晶半导体处置衬底。在等离子体活化之后,用去离子水冲洗活化表面。接着,晶片在接合之前旋转干燥。

[0064] 接着,使单晶半导体施体衬底400的亲水前表面层及包括多晶硅电荷俘获层200及绝缘层300的单晶半导体处置衬底100的前表面紧密接触以借此形成接合结构。所述接合结构包括电介质层410,例如,掩埋氧化物,例如氧化硅。

[0065] 由于机械接合相对较弱,因此接合结构进一步经退火以加固单晶半导体施体衬底400与包括多晶硅电荷俘获层200及绝缘层300的单晶半导体处置衬底100之间的接合。在本发明的一些实施例中,接合结构于足以在单晶半导体施体衬底中形成热活化劈裂面的温度下退火。适合工具的实例可为例如Blue M型号的简单箱式炉。在一些优选实施例中,接合结构在从约200℃到约350℃、从约225℃到约350℃、优选地约350℃的温度下退火。热退火可发生达从约0.5小时到约10小时的持续时间,优选地约2小时的持续时间。这些温度范围内的热退火足以形成热活化劈裂面。在用以活化劈裂面的热退火之后,可劈裂接合结构。

[0066] 在一些实施例中,退火可在相对较高压力下发生,例如介于约0.5MPa与约200MPa之间,例如介于约0.5MPa与约100MPa之间,例如介于约0.5MPa与约50MPa之间,或介于约0.5MPa与约10MPa之间,或介于约0.5MPa与约5MPa之间。在常规接合方法中,可能通过“自动劈裂”限制温度。此在植入面处的薄板的压力超过外部等静压时发生。因此,常规退火可能由于自动劈裂而限于介于约350℃与约400℃之间的接合温度。在植入及接合之后,晶片经弱保持在一起。但晶片之间的间隙足以防止气体渗入或逸出。弱接合可通过热处理加强,但在植入期间形成的腔体填充气体。在加热时,腔体内的气体加压。估计压力可取决于剂量而达到0.2到1GPa(切尔卡什(Cherkashin)等人,《应用物理杂志》(J. Appl. Phys.) 118, 245301 (2015))。当压力超过临界值时,层分层。此被称为自动劈裂或热劈裂。其防止退火中的较高温度或较长时间。根据本发明的一些实施例,接合在高压下发生,例如,介于约0.5MPa与约200MPa之间,例如介于约0.5MPa与约100MPa之间,例如介于约0.5MPa与约50MPa之间,或介于约0.5MPa与约10MPa之间,或介于约0.5MPa与约5MPa之间,此借此实现高温下的接合。在一些实施例中,接合结构在从约300℃到约700℃、从约400℃到约600℃,例如介于约400℃与约450℃之间,或甚至介于约450℃与约600℃之间,或介于约350℃与约450℃之间的温度下退火。增加热预算将对接合强度具有积极影响。热退火可发生达从约0.5小时到约10小时,例如介于约0.5小时与约3小时之间的持续时间,优选地约2小时的持续时间。这些温度范围内的热退火足以形成热活化劈裂面。在常规接合退火中,归因于边缘下降(roll off),处置晶片及施体晶片两者的边缘可能变得相距甚远。在此区域中,不存在层转移。其被称为阶梯(terrace)。期望加压接合减小此阶梯,从而使SOI层进一步向外朝向边缘延伸。所述机制是基于俘获气囊被压缩且向外“拉链运动(zippering)”。在用以活化劈裂面的热退火之后,可劈裂接合结构。

[0067] 在热退火之后,单晶半导体施体衬底400与包括多晶硅电荷俘获层200及绝缘层300的单晶半导体处置衬底100之间的接合强到足以经由在劈裂面处劈裂接合结构来起始层转移。劈裂可根据所属领域中已知的技术发生。在一些实施例中,接合结构可被放置在常规劈裂台上,所述劈裂台一侧附接到固定吸杯且另一侧通过额外吸杯附接在铰接臂上。裂纹在接近吸杯附接处被起始且可移动臂绕铰链枢转,从而将晶片劈裂开。劈裂移除半导体

施体晶片的一部分,借此在绝缘体上半导体复合结构上留下单晶半导体装置层500(优选地硅装置层)。参见图3E。

[0068] 在劈裂之后,经劈裂结构可经受高温退火以便进一步加强经转移装置层500与包括多晶硅电荷俘获层200及绝缘层300的单晶半导体处置衬底100之间的接合。适合工具的实例可为立式炉,例如ASM A400。在一些优选实施例中,接合结构在从约1000℃到约1200℃,优选地在约1000℃的温度下退火。热退火可发生达从约0.5小时到约8小时的持续时间,优选地约2小时到4小时的持续时间。这些温度范围内的热退火足以加强经转移装置层与单晶半导体处置衬底之间的接合。

[0069] 在劈裂及高温退火之后,接合结构可经受清洁过程,所述清洁过程经设计以移除薄热氧化物且从表面清洁微粒。在一些实施例中,单晶半导体装置层可通过经受使用H₂作为载气的水平流单个晶片外延反应器中的气相HCl蚀刻工艺而实现所要厚度及平滑度。在一些实施例中,半导体装置层500可具有介于约10纳米与约20微米之间,介于约20纳米与约3微米之间,例如介于约20纳米与约2微米之间,例如介于约20纳米与约1.5微米之间或介于约1.5微米与约3微米之间的厚度。厚膜装置层可具有介于约1.5微米与约20微米之间的装置层厚度。薄膜装置层可具有介于约0.01微米与约0.20微米之间的厚度。

[0070] 在一些实施例中,外延层可经沉积在经转移单晶半导体装置层500上。经沉积外延层可包括基本上与下方单晶半导体装置层500相同的电气特性。替代地,外延层可包括与下方单晶半导体装置层500不同的电气特性。外延层可包括选自由硅、碳化硅、锗化硅、砷化镓、氮化镓、磷化铟、砷化铟镓、锗及其组合组成的群组的材料。取决于最终集成电路装置的所要性质,外延层可包括从硼(p型)、镓(p型)、铝(p型)、铟(p型)、磷(n型)、锑(n型)及砷(n型)当中选择的掺杂物。外延层的电阻率的范围可从1欧姆-cm到50欧姆-cm,通常从5欧姆-cm到25欧姆-cm。在一些实施例中,外延层可具有介于约10纳米与约20微米之间,介于约20纳米与约3微米之间,例如介于约20纳米与约2微米之间,例如介于约20纳米与约1.5微米之间或介于约1.5微米与约3微米之间的厚度。

[0071] 接着,包括单晶半导体处置衬底100、多晶硅电荷俘获层200、绝缘层300、电介质层410(例如,掩埋氧化物层)及半导体装置层500的完成的SOI晶片可经受生产线终端计量检验且使用典型SC1-SC2工艺进行最后一次清洁。

[0072] 实例1。

[0073] 施体晶片在ASM400立式炉中氧化。氧化物经生长以匹配最终绝缘体上半导体结构中期望的BOX层的厚度。在氧化之后,施体晶片经受氮及氢植入,其中植入能量经选取以将离子放置在硅施体晶片中的深度处以实现最终SOI结构中的所要硅装置层厚度。通过根据标准产业方法使晶片经受皮蓝哈清洁,接着进行SC1/SC2清洁而使晶片准备好进行接合。

[0074] 制备处置晶片(大于3000欧姆-cm的电阻率)。多晶硅经沉积且抛光以实现小于5埃RMS的粗糙度。根据标准产业方法通过SC1/SC2清洁对晶片进行清洁。施体晶片及处置晶片被加载到EVG®810LT低温等离子体活化系统中。腔室经抽空且回填N₂到0.32托的压力,且晶片表面经等离子体活化暴露于氮等离子体达15秒。在等离子体活化之后,用去离子水冲洗活化表面。处置晶片及施体晶片在接合之前旋转干燥。施体晶片及处置晶片经加载到EVG®810LT低温等离子体活化系统的接合腔室中且经接合。类似地制备额外晶片,除处置晶片及施体晶片在接合之前经受氧等离子体外。

[0075] 接合对在350℃下经受热处理达90分钟,在此之后将接合结构放置在常规劈裂台中。接合结构一侧附接到固定吸杯且另一侧附接到铰接臂上的额外吸杯。裂纹在接近吸杯附接处被起始,且可移动臂绕铰链枢转,从而劈裂晶片。

[0076] 根据标准产业方法通过SC1/SC2清洁对所得SOI晶片进行清洁。清洁晶片经加载到ASM400炉中且经受高温退火以进一步加强经转移装置层500与由CTL层及单晶衬底组成的处置衬底之间的接合。在退火之后,晶片经受浸渍在稀释水性氢氟酸溶液中以移除在退火期间生长的薄氧化物,其后接着根据标准产业方法的SC1/SC2清洁。通过使SOI晶片的单晶半导体装置层经受使用H₂作为载气的水平流单个晶片外延反应器中的气相HCl蚀刻工艺而使其实现所要厚度及平滑度。

[0077] 通过针对由氮且由氧等离子体活化的晶片的SIMS而从样本晶片获取穿透SOI、BOX及CTL层的硼轮廓。参见图4A及4B。经受氮等离子体活化的晶片中的硼含量集中在接合界面处且尚未扩散到多晶硅CTL层中,指示氮等离子体层产生有效扩散势垒。相比之下,经受氧等离子体活化的晶片展现多晶硅CTL层中的较高硼含量,指示最初在接合界面处俘获的一些硼能够在接合后退火期间扩散到CTL中。

[0078] 来自两个群组的其它晶片经受各种高温应力退火以模拟半导体制造生产线前端热循环。剥除硅装置层,且建置共面波导(CPW)结构。在这些结构上测量二次谐波失真以推断电荷俘获层的完整性。发现使用N₂等离子体接合的晶片比O₂等离子体群组好约5dBm。参见图5。

[0079] 已详细描述本发明,将明白,修改及变化是可行的,而不背离所附权利要求书中定义的本发明的范围。

[0080] 在介绍本发明的元件或其优选实施例时,冠词“一(a/an)”及“所述(the/said)”希望意味着存在一或多个元件。术语“包括”、“包含”及“具有”希望是包含的且意味着可能存在除所列元件以外的额外元件。

[0081] 鉴于上文,将看到实现本发明的数个目标且获得其它有利结果。

[0082] 由于可在上述产品及方法中作出各种改变而不背离本发明的范围,因此希望上述描述中含有且附图中展示的所有问题应解释为说明性而非限制意义。

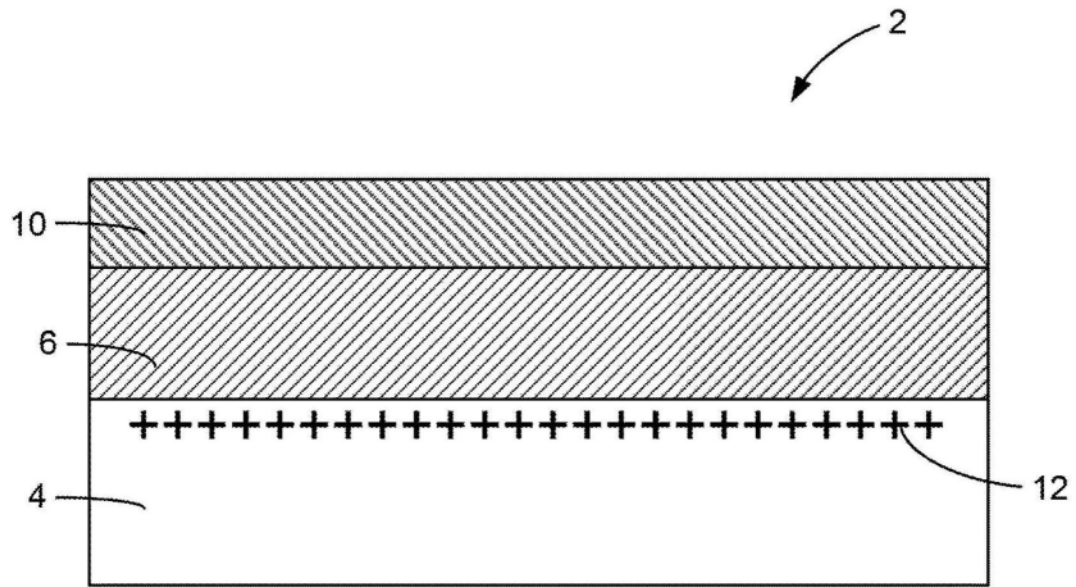


图1

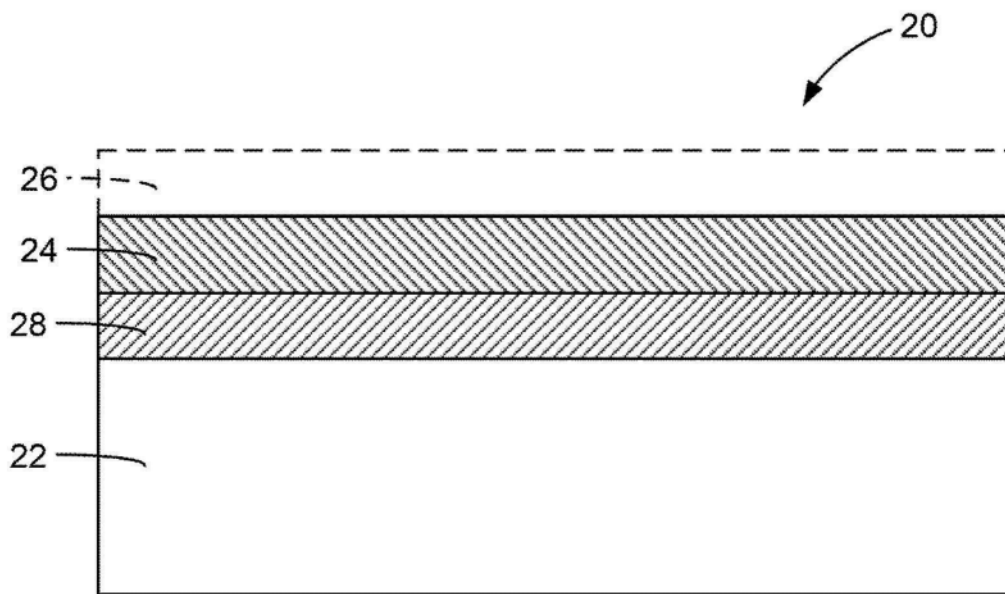


图2

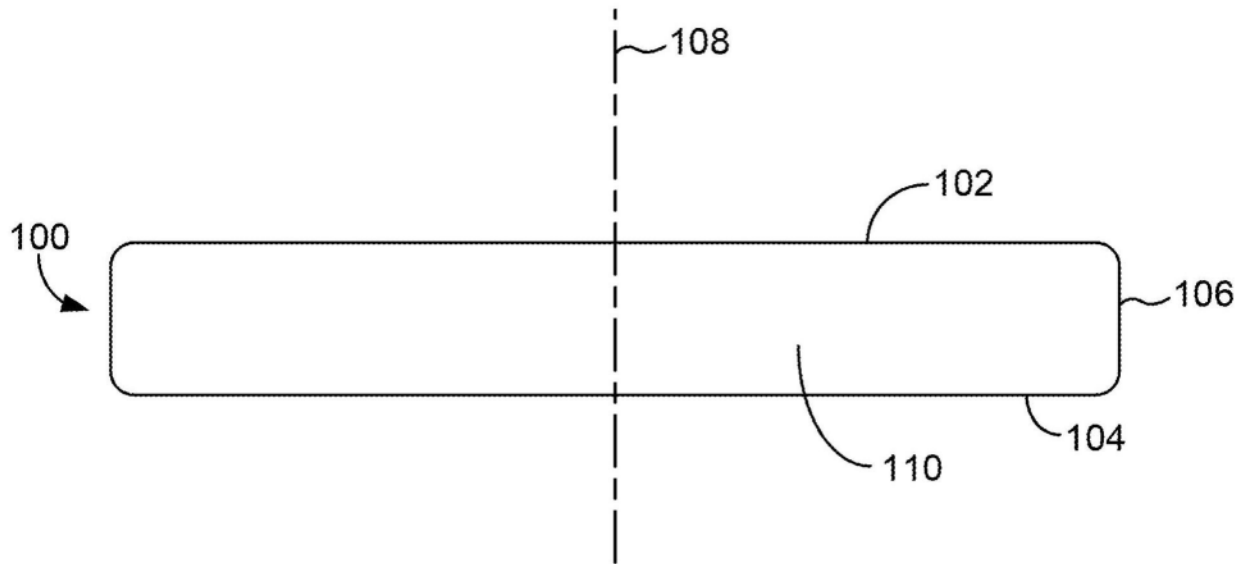


图3A

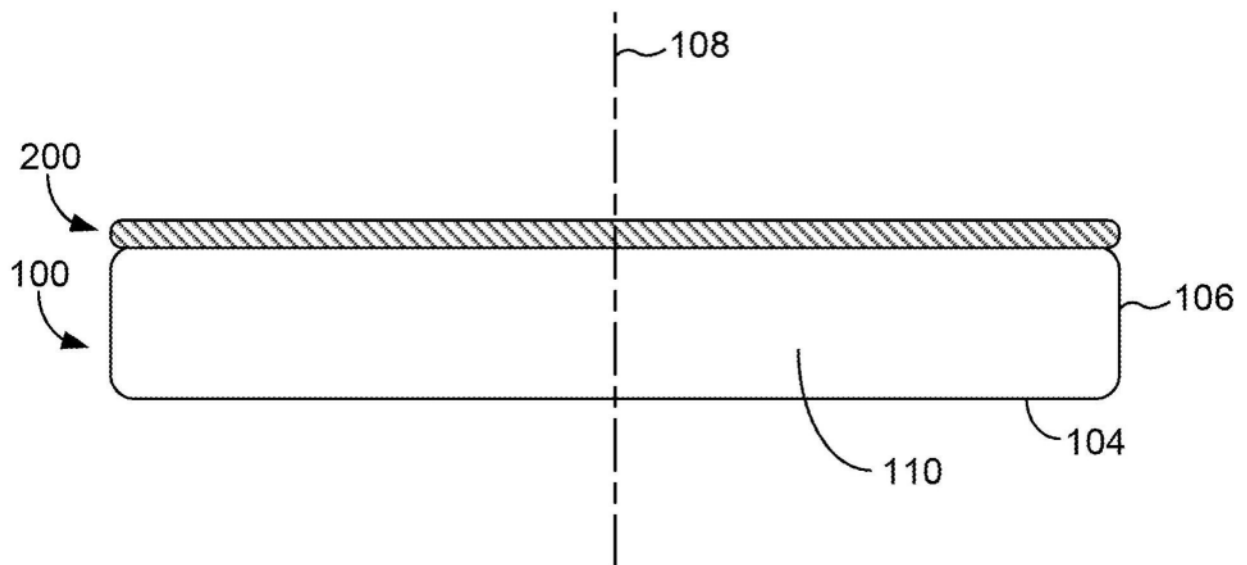


图3B

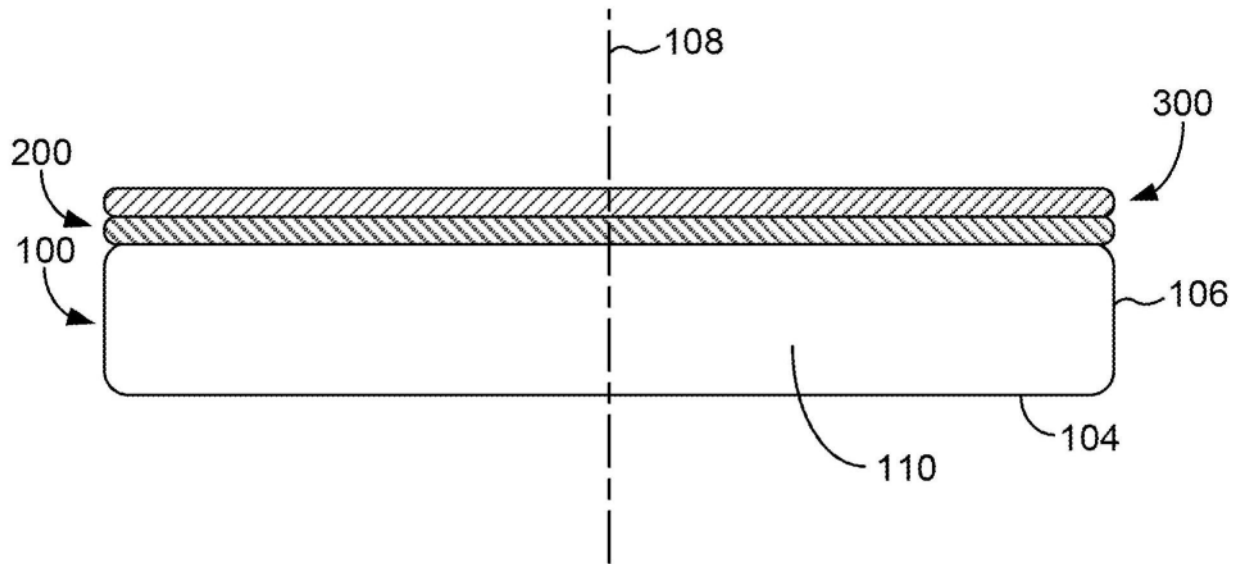


图3C

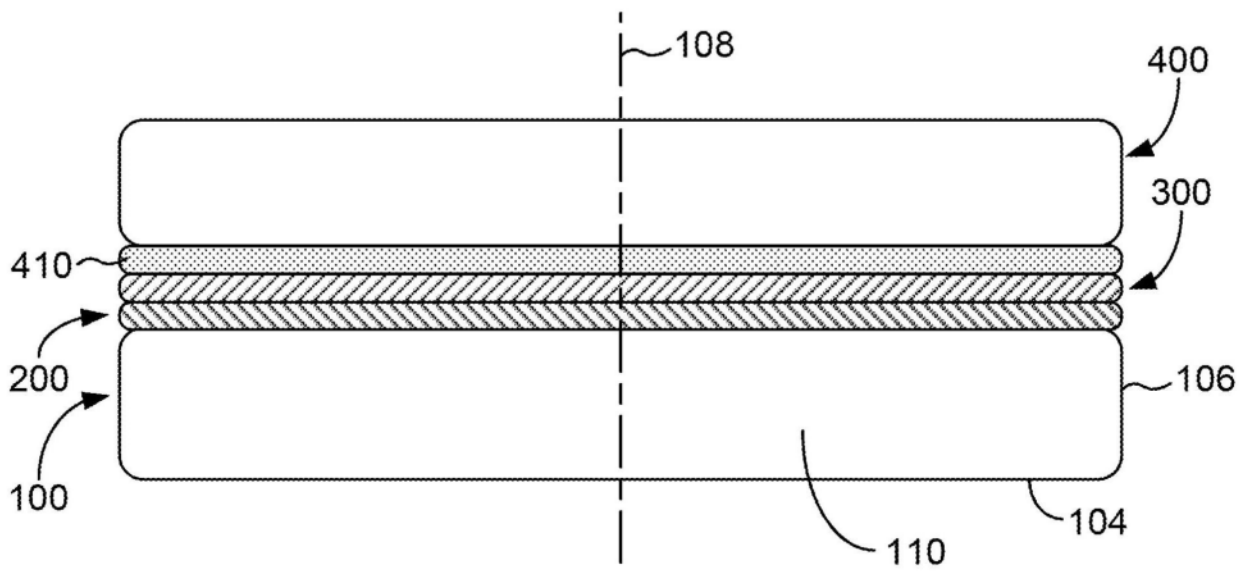


图3D

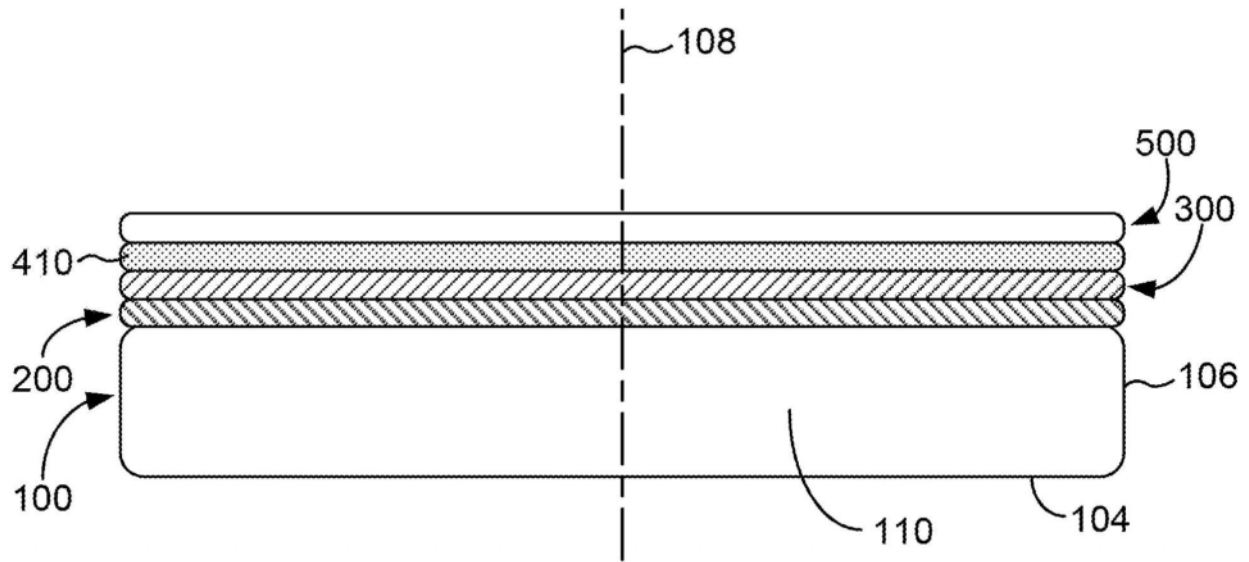


图3E

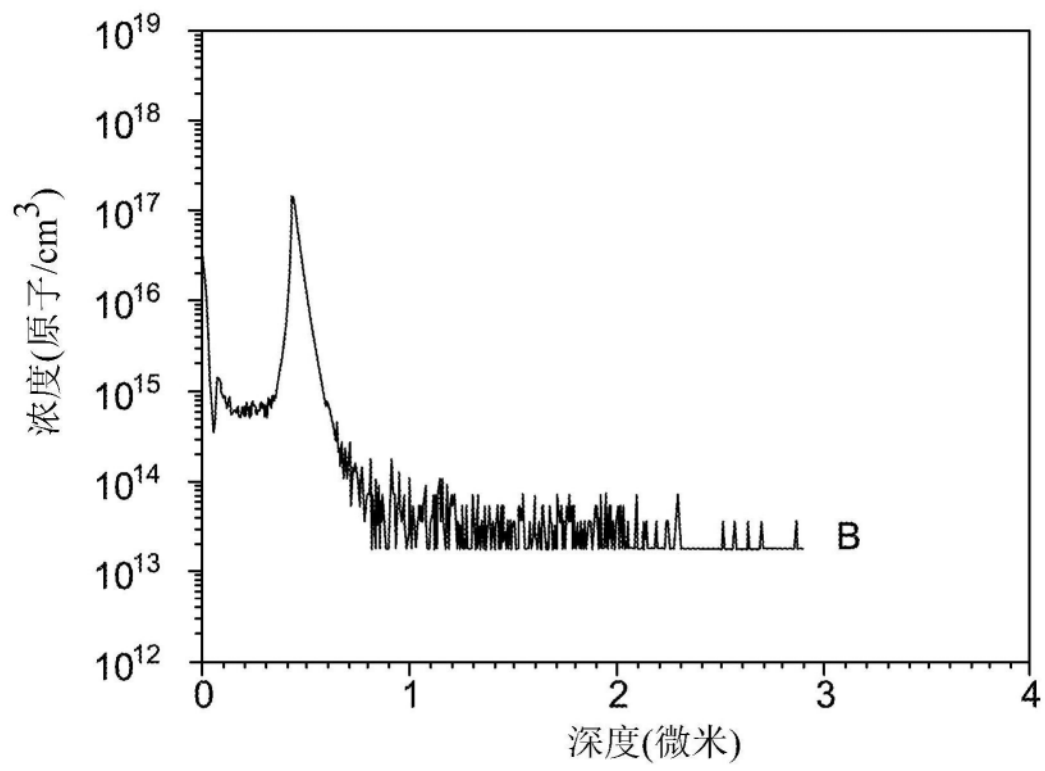


图4A

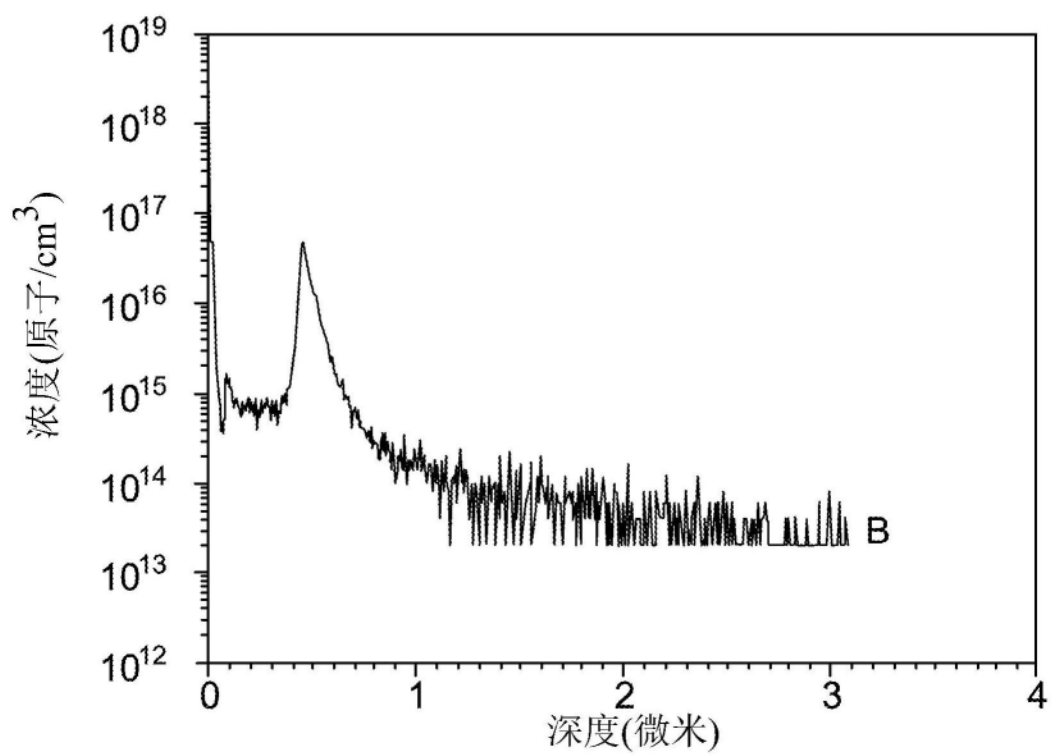


图4B

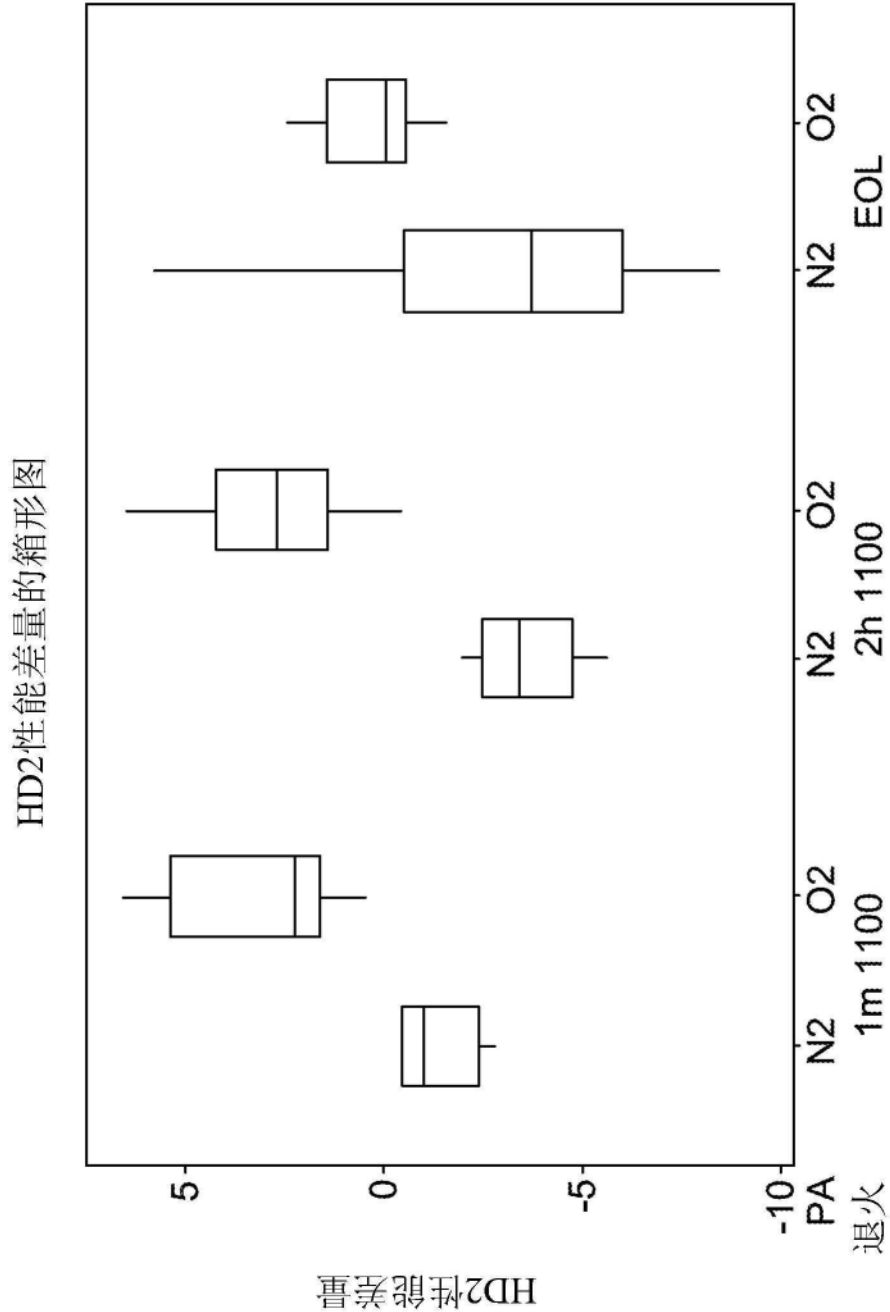


图5