(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3542380号
(P3542380)
(45)発行日　平成16年7月14日(2004.7.14)　(24)登録日　平成16年4月9日(2004.4.9)

(51)Int.Cl.[7]	F I		
G06F 12/00	G06F	12/00	564D
G11C 11/407	G11C	11/34	354R
G11C 11/409	G11C	11/34	354C

請求項の数 9　(全 29 頁)

(21)出願番号　特願平6-123412
(22)出願日　平成6年6月6日(1994.6.6)
(65)公開番号　特開平7-334409
(43)公開日　平成7年12月22日(1995.12.22)
審査請求日　平成12年3月15日(2000.3.15)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100068504
弁理士　小川　勝男
(74)代理人　100061893
弁理士　高橋　明夫

最終頁に続く

(54)【発明の名称】メモリシステム

(57)【特許請求の範囲】
【請求項１】
複数のメモリブロックと、
第１クロックのサイクルで送られてくる一連のシリアルデータを第２クロックのサイクルに変換して第２クロックサイクルの一連のシリアルデータとして出力するためのデータ入出力同期回路と、
前記データ入出力同期回路と前記複数のメモリブロックとの間を接続するためのデータバスと、
前記複数のメモリブロックの夫々を制御するために共通して設けられた共通制御回路と、
前記複数のメモリブロックごとに分散配置され、前記共通制御回路から伝達された初期アドレス及び要求されたデータ数に基づいて、前記共通制御回路の制御なしに前記第１クロックのサイクルで一連のシリアルデータを出力するための第１クロック発生回路とを具備し、
前記複数のメモリブロックからの一連のシリアルリードデータは、前記データバスを経由して前記データ入出力同期回路の入力に前記第１クロックのサイクルで供給され、
前記リードデータは、前記データ入出力同期回路から前記第２クロックのサイクルでシリアルに出力され、
前記第１クロック発生回路において生成される前記第１クロックの周期は、前記第２クロックの周期と非同期であって、
前記データバスは相補型のデータバスであり、

前記データ入出力同期回路は、複数のレジスタからなるバッファと、前記相補型のデータバスのペア電位が同じ値から異なる値またはその反対に変化したことを受けて前記複数のレジスタのいずれかの入力を前記相補型のデータバスに巡回的に接続するための第１スイッチ手段と、前記第２クロックを受けて前記複数のレジスタのいずれかの出力をデータ出力端子に巡回的に接続するための第２スイッチ手段とを含むことを特徴とするメモリシステム。

【請求項２】

複数のメモリブロックと、

第１クロックのサイクルで送られてくる一連のシリアルデータを第２クロックのサイクルに変換して第２クロックサイクルの一連のシリアルデータとして出力するためのデータ入出力同期回路と、

前記データ入出力同期回路と前記複数のメモリブロックとの間を接続するためのデータバスと、

前記複数のメモリブロックの夫々を制御するために共通して設けられた共通制御回路と、

前記複数のメモリブロックごとに分散配置され、前記共通制御回路から伝達された初期アドレス及び要求されたデータ数に基づいて、前記共通制御回路の制御なしに前記第１クロックのサイクルで一連のシリアルデータを出力するための第１クロック発生回路と、

前記共通制御回路と前記複数のメモリブロックとに接続するアドレスバスと、

前記アドレスバスと前記複数のメモリブロックの夫々との接続状態を制御するために対応して設けられた複数のスイッチ手段とを具備し、

前記複数のメモリブロックからの一連のシリアルリードデータは、前記データバスを経由して前記データ入出力同期回路の入力に前記第１クロックのサイクルで供給され、

前記リードデータは、前記データ入出力同期回路から前記第２クロックのサイクルでシリアルに出力され、

前記第１クロック発生回路において生成される前記第１クロックの周期は、前記第２クロックの周期と非同期であって、

前記複数のメモリブロックの夫々は、メモリチップ上に設けられた複数のメモリアレーブロックの一つであり、

前記データ入出力同期回路は、前記メモリチップ上に設けられることを特徴とするメモリシステム。

【請求項３】

請求項１又は２において、

前記複数のメモリブロックの夫々は、アドレスバッファとアドレスカウンタとを含むことを特徴とするメモリシステム。

【請求項４】

請求項１乃至３のいずれかにおいて、

前記要求されたデータ数は、前記データ入出力同期回路のバッファ内のレジスタの数以下であることを特徴とするメモリシステム。

【請求項５】

請求項１乃至４のいずれかにおいて、

前記データ入出力同期回路は、前記複数のメモリブロックの一つから前記データ入出力同期回路に転送されたが前記データ入出力同期回路がまだ出力していない未出力データの数を監視し、前記未出力データが所定数まで増加した際に前記複数のメモリブロックの動作を一時停止させるための一時停止信号を発生するバッファ状態信号発生回路を含むことを特徴とするメモリシステム。

【請求項６】

請求項５において、

前記バッファ状態信号発生回路は、前記一時停止信号により前記複数のメモリブロックの一つから前記データ入出力同期回路へのデータ転送が停止した後、前記未出力データの数が所定数まで減少した場合に前記複数のメモリブロックの一つに再始動の信号を送出する

機能を更に有することを特徴とするメモリシステム。
【請求項７】
請求項１乃至６のいずれかにおいて、
前記データ入出力同期回路は、前記複数のメモリブロックの一つから前記データ入出力同期回路に転送されたが前記データ入出力同期回路がまだ出力していない未出力データの数を監視し、前記未出力データの数が所定数より減少した際に、前記データ入出力同期回路からデータの出力を一時停止させるための信号を前記共通制御回路に送る回路を含むことを特徴とするメモリシステム。
【請求項８】
請求項１乃至７のいずれかにおいて、
前記共通制御回路と前記複数のメモリブロックとに接続するアドレスバスと、
前記アドレスバスと前記複数のメモリブロックの夫々との接続状態を制御するために対応して設けられた複数のスイッチ手段とを具備し、
前記スイッチ手段は、対応する前記メモリブロックのアドレスカウンタがリセット状態でない場合には、前記アドレスバスの信号の前記アドレスカウンタへの供給を遮断することを特徴とするメモリシステム。
【請求項９】
請求項１において、
前記データ入出力同期回路は、一つの半導体チップに設けられたＣＰＵの一部であり、前記複数のメモリブロックの夫々は、別の半導体チップに設けられることを特徴とするメモリシステム。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は高速、低消費電流、高信頼性でかつ設計の容易なメモリシステムに係り、特に、中央演算処理装置（以下、ＣＰＵと称する）と複数のメモリチップ間、或いはメモリチップ内の入出力回路とメモリアレーブロック間の同期の取れたデータ転送方式を備えるメモリシステムに関する。
【０００２】
【従来の技術】
近年の半導体装置或いは電子装置におけるメモリシステムでは、システム全体が１つのクロックに同期して動作する構成になってきている。図１８は、このような１つのクロックで同期して制御する従来のメモリシステムの構成例を示すものである。システムSys_1はメモリブロックB_{c1}，B_{c2}，…などからなり、各メモリブロックB_{c1}，B_{c2}，…は制御回路$CNTL_c$により制御される。例えば、システムSys_1をメモリチップとすると、メモリブロックB_{c1}はチップ内を複数に分割した時の１つのメモリアレーブロックであり、制御回路$CNTL_c$は外部装置とのインターフェイス回路である。このメモリチップSys_1を外部装置たとえばＣＰＵ（不図示）に同期して動作させるために、ＣＰＵからのクロック信号線１０がチップ全体に網羅される。このような、同期メモリチップの詳細は、例えば特開平５－１２０１１４号公報に記載されている。このような構成にすることにより、システム全体の設計が容易となり、高速化も達成しやすくなる。なぜなら、例えばＣＰＵがメモリチップSys_1へデータを要求した場合、一定のクロックサイクル後にデータがＣＰＵに同期して転送されてくることが常に決まっているからである。そして、クロック信号に同期して行なうパイプライン方式による高速化の設計も容易だからである。
【０００３】
また、データを連続して高速に出力する方法として、システム全体が１つのクロックに同期して動作する上記構成によるパイプライン方式以外に、並列出力する方法が知られている。すなわち、連続データの少なくとも一部をまとめて出力し、これらを一時的に所定のバッファ領域に記憶しておき、そして、このバッファ領域から高速に順次出力する方式で

ある。このような方式は、例えば特開昭５７－１５０１９０号公報に示されている。

【０００４】

【発明が解決しようとする課題】

しかしながら、上述した前者の１つのクロックに同期して動作する従来のメモリシステムSys_1によれば、以下のような問題点がある。

【０００５】

（１）図１９に示すように、システム内のクロック遅延の分布に起因した処理速度の劣化がある。図１９は、従来のクロック同期方式のシステム内のクロック遅延の違いを説明する動作波形図である。図１９において、ＣＬＫ（$CNTL_c$）は制御回路$CNTL_c$のクロック波形、ＣＬＫ（B_{cs}）は制御回路$CNTL_c$に近接して配置されたメモリブロックB_{cs}のクロック波形、ＣＬＫ（B_{ct}）はメモリブロックB_{cs}に比べ制御回路$CNTL_c$から遠くに配置されたメモリブロックB_{ct}のクロック波形、B_{cs}処理及びB_{ct}処理はそれぞれメモリブロックB_{cs}及びメモリブロックB_{ct}におけるデータ処理を示す波形、$CNTL_c$次段処理は１つの仕事を処理した後の次の処理を示す波形である。

【０００６】

すなわち、図１９から明らかなように、制御回路$CNTL_c$に近接して配置されたメモリブロックB_{cs}に比べ、遠くに配置されたメモリブロックB_{ct}では、クロックがより遅延する。各メモリブロック内での１つの仕事に要する時間をT_0、最も信号伝達の遅れるメモリブロックB_{ct}での信号遅延をΔT_1とすれば、全体を同期的に動作させるためには制御回路のクロック信号ＣＬＫ（$CNTL_c$）のクロック周期は$T_0 + 2 \times \Delta T_1$以上でなければならない。ここで、係数２は、メモリブロックB_{ct}での処理開始を指示するクロック信号ＣＬＫ（B_{ct}）の遅延と、メモリブロックB_{ct}の出力が制御回路$CNTL_c$に到達するまでの遅延の和を意味する。このように、理想的クロック周期T_0に対し、$2 \times \Delta T_1$だけ処理速度が劣化するという問題点がある。

【０００７】

（２）パイプライン構成にした場合、図２０に示すように、処理速度のばらつきに対するマージンの必要性から、動作速度の劣化が生じる。図２０は、従来のクロック同期方式のパイプライン方式によるパイプライン最長段及び各段の処理速度の違いを説明する動作波形図である。図２０において、B_{cr}出力はパイプライン３段の場合のメモリブロックB_{cr}のデータ１からデータ４までのデータ処理の出力を示す波形である。

【０００８】

すなわち、図２０から明らかなように、処理速度が最長の段（ここではP_2）の平均的な処理速度をT_cとすると、デバイス特性のばらつき、温度依存性などを考慮して、制御回路のクロック信号ＣＬＫ（$CNTL_c$）の周期は平均処理速度T_cにマージン分ΔT_2を加えただけ遅くする必要があるという問題点がある。さらには、パイプライン各段P_1，P_2，P_3の処理速度の違いに起因して、最初のデータが出力されるまでに要する時間は、各段P_1、P_2、P_3の処理速度の総和よりもかなり遅くなるという問題点もある。例えば、パイプラインが３段構成の場合には、処理時間は$T_c + \Delta T_2$の約３倍となる。

【０００９】

（３）システム全体に網羅されたクロック信号線１０を、クロック周波数で充放電するので、消費電流が増大するという問題点がある。特に、この消費電流の増大はシステムを高速化する際に顕著となる。

（４）システム全体に網羅されたクロック信号線１０の充放電に伴い、多大な雑音が発生するという問題点がある。

（５）クロック信号遅延のシステム内での分布を考慮して、動作タイミングなどを決める必要があり、設計が煩雑となるという問題点がある。

以上の問題点は、チップサイズが増大し配線長が長くなったり、システムの規模が大きくなると、ますます深刻になる。

【００１０】

また、前述した従来例の後者の、連続データの少なくとも一部をまとめて出力し、これら

を一時的に所定のバッファ領域に記憶した後、バッファ領域から高速に順次出力するという並列出力方式においても、以下のような問題点がある。

【００１１】

（１）並列にデータを出力するためには、入出力線やメインアンプなどが複数個必要となり、チップ面積の増大を招くという点。

（２）一度に複数ビット分の読み出し動作を行うため、消費電力のピーク値が増大するという点。

（３）少数ビット、例えば１ビットのデータを読み出す場合にも、回路構成上不必要に複数個のデータを読み出すことになり、消費電流が不必要に増大するという点。

【００１２】

そこで、本発明の目的は、外部装置のクロックと同期して動作させる方式の利点を活かしながら上記問題点を解決したメモリシステムを提供することであり、メモリシステムが半導体装置の場合であれば、チップ面積が増大しても、チップ内の入出力回路からメモリアレーブロックまでのクロック信号の遅延に起因する速度劣化及び設計の複雑化を避けることができ、或いはメモリシステムがＣＰＵに多数のメモリチップを接続する電子装置の場合であれば、メモリチップ構成数が大規模化しても、ＣＰＵとメモリチップ間の信号遅延に起因する速度劣化及び設計の複雑化を避けることができるメモリシステムを提供することにある。その他、クロック信号線の充放電による消費電流及び雑音を低減して低消費電力及び高信頼性を図ったメモリシステムを得ることも課題となっている。

【００１３】

【課題を解決するための手段】

上記課題を解決するために、本発明に係るメモリシステムは、図１の実施例で言えば、複数のメモリブロックすなわちメモリアレーブロックB_iと、これらの各メモリアレーブロックB_iを制御するための共通の制御回路$CNTL_0$とを少なくとも有するメモリシステムにおいて、シリアルに入力してくるデータを所要の周期に変換してシリアルに出力するデータ入出力同期回路$CLKMT_0$を有し、該データ入出力同期回路の入力部すなわちバッファBF_0と前記複数のメモリアレーブロックB_iとを相補データバスＩ／Ｏで接続して、前記データ入出力同期回路$CLKMT_0$の出力の周期を、このデータ入出力同期回路に接続配置した前記制御回路$CNTL_0$によって制御するように構成したことを特徴とする。

【００１４】

また、本発明に係るメモリシステムは、複数のメモリブロックと、これらの各メモリブロックを制御するための共通の制御回路とを少なくとも有するメモリシステムにおいて、前記各メモリブロックは、接続される相補データバス上の一対の電位が同じ値から異なる値または異なる値から同じ値に変化したことを検知してデータ書き込みを行うアドレス切り換え手段、すなわち図７の実施例で言えば入力部７Ａとアドレスカウンタ ＡＤ．Ｃを有することを特徴とする。この場合、任意の周期でシリアルに入力してくるデータを所要の周期に変換してシリアルに出力するデータ入出力同期回路$CLKMT_0$を更に設ければ好適である。

【００１５】

前記データ入出力同期回路$CLKMT_0$は、複数のレジスタからなるバッファ、すなわち図４の実施例で言えばフリップフロップ$F_{1\ i}$からなるバッファBF_0を有すると共に、前記相補データバスＩ／Ｏ上の一対のデータ線ＤＴ，ＤＢの電位が同じ値から異なる値または異なる値から同じ値に変化したことに呼応して前記複数のレジスタの入力の内の一つを前記データバスに巡回的に接続していく一方、前記制御回路$CNTL_0$からのクロック信号に呼応して前記複数のレジスタの出力の内の一つを外部装置、例えばＣＰＵへデータ出力するための前記制御回路$CNTL_0$の出力線に巡回的に接続していく手段すなわちカウンタＣｏｕｎｔｅｒ２及びデコーダＤｅｃ２からなる回路を備えるように構成すれば良い。

【００１６】

一方、前記メモリシステムにおいて、各メモリブロックすなわちメモリアレーブロックB_iは、図１に示すように、アドレスバッファＡＢおよびアドレスカウンタＡＤ．Ｃを備えれば好適である。

【００１７】

また、各メモリブロックは、連続したアドレスのデータ列を、前記制御回路$CNTL_0$から与えられた初期アドレスａおよび連続データ数ＢＬにしたがって独自の周期で前記制御回路からの制御なしに、前記データバスにシリアルに出力する出力手段、すなわち図７の実施例で言えば、ブロック選択信号バーＢＳ（以下、バーＢＳはBS^-と表示する）により動作を開始する内部クロック発生回路B_i．ＣＬＫ．ｇｅｎをパルス源として含む出力手段を有し、前記制御回路から与えられる前記データ数は最大でも前記データ入出力同期回路$CLKMT_0$のバッファBF_0のレジスタ数であるように構成する。

【００１８】

更に、前記メモリブロックから前記データバスを介してバッファBF_0にデータを転送するに際し、前記メモリブロックから前記バッファに既に転送され外部装置へは未だ出力されていない未出力データの数を監視して未出力データの数が所定数を越えた場合に前記メモリブロックに動作の一時停止の信号を送出するバッファ状態信号発生回路、すなわち図１１で言えば論理回路$Comp_0$及びホールド回路$HOLD_0$からなるバッファ状態信号ＢＦＳＴを出力する回路を備えることができる。

【００１９】

この場合、前記バッファ状態信号発生回路は、前記一時停止信号により前記メモリブロックから前記バッファへBF_0のデータ転送が停止した後、前記未出力データの数が所定数まで減少した場合に前記メモリブロックに再始動の信号を送出する機能を更に備えれば好適である。

【００２０】

或いは、前記メモリシステムにおいて、前記メモリブロックから前記バッファBF_0にデータを転送するに際し、前記メモリブロックから前記バッファに既に転送され外部装置へは未だ出力されていない未出力データの数を監視して未出力データの数が所定数まで減少した場合に前記制御回路に前記バッファからのデータの出力の一時停止を指示する信号を送出するための回路、すなわち図１２の実施例で言えば制御回路$CNTL_0$へ一時停止信号Ｗａｉｔを出力する論理回路$Comp_1$を備えるように構成してもよい。

【００２１】

また、前記メモリシステムは、メモリブロックをメモリチップ内の分割された複数のメモリアレーブロックの各メモリアレーブロックとし、すなわち図１５で言えばメモリアレーブロックMB_iであり、前記制御回路をメモリチップ内に設けた外部装置とのインターフェイス回路すなわち$CNTL_m$として構成した半導体メモリチップとすることができる。

【００２２】

この場合、読み出しデータを検出してメモリアレーブロックを独自の周期で動作させるためのクロックを発生するクロック発生回路すなわちMB_i．ＣＬＫ．ｇｅｎを、前記各メモリアレーブロックMB_iごとに設ければ好適である。

【００２３】

また、前記メモリシステムは、例えば図１７に示すように、前記制御回路をＣＰＵとし、前記メモリブロックをメモリチップとして構成したＣＰＵと複数のメモリチップからなる電子装置としてもよい。

【００２４】

【作用】

本発明に係るメモリシステムは、例えば図１～図７に示すように、外部装置、ＣＰＵのクロックＣＬＫをメモリチップSys_0の全体には分配せず、メモリチップの入出力インターフェイスである制御回路$CNTL_0$のみＣＰＵのクロックＣＬＫに同期して動作する。メモリチップSys_0は、独自の内部周期で一連のデータをシリアルに出力する複数のメモリアレーブロックB_iから相補データバスＩ／Ｏを通してシリアルに送られてくるデー

タ列を、バッファＢＦ$_0$を含むデータ入出力同期回路ＣＬＫＭＴ$_0$によって、クロックＣＬＫに同期するように時間調整して制御回路へ出力する。

【００２５】

メモリチップＳｙｓ$_0$の読み出し動作は、次のように行なわれる。各メモリアレーブロックＢ$_i$ごとにアドレスバッファＡＢおよびアドレスカウンタＡＤ．Ｃを有し、初期アドレスａ及び連続データ数ＢＬがＣＰＵから制御回路ＣＮＴＬ$_0$を経てメモリアレーブロックＢ$_i$に与えられた後は、メモリアレーブロックＢ$_i$はアドレスカウンタＡＤ．Ｃをカウントアップしながら独自の周期で次々とデータ列を出力する。ＣＰＵとは異なる周期でメモリアレーブロックＢ$_i$からバッファＢＦ$_0$へ送られてくるデータ列をＣＰＵに同期して出力するために、先ずメモリアレーブロックＢ$_i$からのデータをバッファＢＦ$_0$内の異なるレジスタＦＦ$_{1\ i}$に次々に一時格納する。この一時格納動作は、データ入出力同期回路ＣＬＫＭＴ$_0$が、相補データバスＩ／Ｏ上の１対のデータ線ＤＴ，ＤＢの電位が同じ値から異なる値に（またはその逆に）変化したことにより新しいデータの到着を認識し、上記複数のレジスタＦＦ$_{1\ i}$の一つの入力をデータバスに巡回的に接続することによって行われる。この一時格納動作にほぼ並行してＣＰＵのクロック周期ＣＬＫに合わせてバッファＢＦ$_0$のデータを制御回路ＣＮＴＬ$_0$を介して外部に出力するために、データ入出力同期回路ＣＬＫＭＴ$_0$は制御回路からのクロックすなわちＣＰＵのクロックＣＬＫに同期して、上記複数のレジスタＦＦ$_{1\ i}$の一つの出力を制御回路ＣＮＴＬ$_0$に巡回的に接続する。このようにして、メモリアレーブロックＢ$_i$からのデータはデータ入出力同期回路ＣＬＫＭＴ$_0$を通過時の時間遅延もほとんどなく、ＣＰＵのクロックＣＬＫに同期して次々と出力される。

【００２６】

ここで、連続データ数ＢＬがバッファＢＦ$_0$の容量以上で、メモリアレーブロックＢ$_i$のクロックがＣＰＵのクロックＣＬＫより高速の場合は、いずれＢＦ$_0$が満杯になり転送不可能となってしまうが、本発明に係るメモリシステムによれば、バッファＢＦ$_0$およびアドレスカウンタＡＤ．Ｃを数ビットの小容量とすることが可能となる。すなわち、バッファＢＦ$_0$の容量を越える連続データをメモリアレーブロックＢ$_i$からＣＰＵへ出力する場合、例えば制御回路ＣＮＴＬ$_0$はとりあえずバッファＢＦ$_0$のビット数だけのデータをメモリアレーブロックＢ$_i$に要求する。そして、制御回路ＣＮＴＬ$_0$はこのビット数のデータ数と同じクロック数の後、さらにバッファＢＦ$_0$のビット数だけのデータをメモリアレーブロックＢ$_i$に要求する。これを繰り返すことにより、ＣＰＵはバッファＢＦ$_0$のビット数を越える連続データを、ＣＰＵのクロックＣＬＫの周期で切れ目なくメモリアレーブロックＢ$_i$より得ることができる。

【００２７】

或いは、図８～図１１に示すように、バッファＢＦ$_0$が転送データで満杯となるか、あるいは残り数ビットとなった時点で、バッファＢＦ$_0$からメモリアレーブロックＢ$_i$へ一時停止の信号すなわちバッファ状態信号ＢＦＳＴを送る。そしてバッファＢＦ$_0$がほとんど空に戻った状態で一時停止を解除する。これにより、ＣＰＵはバッファＢＦ$_0$のビット数を越える連続データを、ＣＰＵのクロックＣＬＫの周期で切れ目なくメモリアレーブロックＢ$_i$より得ることができる。

【００２８】

メモリチップＳｙｓ$_0$への書き込みは、次のように行なわれる。外部装置すなわちＣＰＵからの一連のデータ列は、制御回路ＣＮＴＬ$_0$を経て相補データとして相補データバスＩ／Ｏに送られる。データを受けたメモリアレーブロックＢ$_i$は、相補データバスＩ／Ｏ上の１対のデータ線ＤＴ，ＤＢの電位が同じ値から異なる値に（またはその逆に）変化したことにより新しいデータの到着を認識し、メモリアレーブロックＢ$_i$内部のアドレスカウンタＡＤ．Ｃをカウントアップしてデータを連続したアドレスに格納していく。

【００２９】

なお、以上述べたメモリチップＳｙｓ$_0$の構成を、図１７に示すように、ＣＰＵと複数のメモリチップＭ．Ｃｈｉｐ$_i$とからなる電子装置に適用することにより、ＣＰＵとメモリ

チップM．$Chip_i$との間にＣＰＵのクロックＣＬＫの信号線を配線することなく、メモリチップM．$Chip_i$とＣＰＵ間のデータ転送をＣＰＵのクロックＣＬＫに同期して行なうことができる。この場合、前記メモリアレーブロックB_iはメモリチップM．$Chip_i$に、制御回路$CNTL_0$はＣＰＵに対応し、ＣＰＵ内あるいはこれに近接して制御回路$CLKMT_0$が設けられる。

【００３０】

ここで、図１３及び図１４の動作波形図を用いて本発明に係るメモリシステムと従来例のメモリシステムとの作用の相違につき簡単に説明する。

図１９に示した従来例のようにメモリシステム全体を１つのクロックで同期的に動作させる構成では、システム内メモリブロック間でのクロック遅延の違いが、システムの高速化を妨げていた。これに対して本発明に係るメモリシステムでは、図１３に示すように、例えば制御回路$CNTL_0$から最も遠くに配置されたメモリブロックB_tの出力が、制御回路$CNTL_0$に近接して配置されたメモリブロックB_sに対してクロック信号が遅れていても、メモリシステム全体が１つのクロックで同期的に動作するわけではないので、メモリブロックB_tのデータが出力されるまで次のクロック立ち上がりを待つ必要はない。制御回路$CNTL_0$は、バッファBF_0にメモリブロックB_s及びB_tからの最初の出力が転送されるまで、最初のデータ取り込みを待つ必要があるが、その後は、メモリブロックB_s及びB_tの処理速度と同じ速度でデータの取り込みを行なうことができる。

【００３１】

この様に、従来のメモリシステムでは制御回路のクロック信号ＣＬＫは、$T_0+2\times\Delta T_1$（メモリブロックB_tのクロック遅延）の周期であったのに対し、本発明に係るメモリシステムではクロック信号ＣＬＫはT_0の周期が可能となり、メモリシステム内でのクロック遅延の違いがクロック周波数に影響を与えない。従って、高速のメモリシステムを得ることができる。

【００３２】

また、図２０を用いて説明したように、メモリブロックB_i内にパイプライン方式を適用した場合、従来のメモリシステムではパイプライン最長段の設計上の処理速度T_cに対してばらつきを見込み、クロック周期は$T_c+\Delta T_2$より遅くなければならなかった。更に、パイプライン各段、例えばパイプラインが３段構成で各段の処理速度が異なる場合、最初のデータが得られるまでの時間は、パイプライン最長段のクロック周期、$T_c+\Delta T_2$の約３倍が必要であった。これに対して、本発明に係るメモリシステムでは、図１４に示すように、制御回路$CNTL_0$のクロック信号ＣＬＫの周期はパイプライン各段の処理速度とは別個に任意に設定できる。なぜなら、制御回路のクロック信号ＣＬＫはバッファBF_0に貯め込まれたデータを制御回路$CNTL_0$に送るのに使われるだけであり、メモリブロックB_i内部のパイプライン動作とは無関係だからである。ただし、メモリブロックB_iの内部処理を開始してから制御回路$CNTL_0$が最初のデータを取り込むまでの時間を、一定値以上に設定する必要がある。例えば、データ１～データ４の４つの連続データをメモリブロックB_iから制御回路$CNTL_0$に送る場合、メモリブロックB_iからデータ４がバッファBF_0に送られた後に、制御回路$CNTL_0$がクロック信号ＣＬＫに同期してデータ４の取り込みを行なうように、制御回路$CNTL_0$のデータ１取り込みのタイミングを決める必要がある。一方、最初のデータが得られるまでの時間は、例えばパイプラインが３段構成の場合、従来のメモリシステムがパイプライン最長段の処理速度の約３倍であったのに対し、本発明に係るメモリシステムでは、各段の処理速度の和にまで短縮できる。従って、最後のデータ、例えばデータ４を得るまでの時間も従来に比べて同じだけ短縮可能である。

【００３３】

以上の説明から明らかなように、本発明に係るメモリシステムおけるバッファBF_0の動作は、従来からよく知られているキャッシュメモリの概念とは以下の２点で全く異なるものである。

【００３４】

（１）バッファＢＦ$_0$のレジスタは入力と出力とを持ち、レジスタへの入力動作と出力動作とが同時刻に並行して行なわれる。これに対してキャッシュメモリでは書き込み動作と読み出し動作とを同時に行なうことはできない。従って、本発明に係るメモリシステムでは、メモリアレーブロックＢ$_i$からのデータがバッファＢＦ$_0$に留まる時間を最小限に押さえることができ、メモリアレーブロックＢ$_i$からのデータがほとんど遅延無くバッファＢＦ$_0$を通過することも可能である。すなわち、本発明に係るメモリシステムで使用するバッファＢＦ$_0$は、メモリアレーブロックＢ$_i$の動作の高速性を生かしつつ外部装置に同期して動作させることを目的としたものである。

【００３５】

（２）バッファＢＦ$_0$は、キャッシュメモリのように一度データをまとめて蓄積し、そして蓄積した後にまとめて放出するものではなく、シリアルデータの転送速度を変調するためのものである。従って、上述したように、転送すべきデータ数よりバッファＢＦ０の容量をはるかに小さくしても、外部装置のクロックでメモリアレーブロックから外部装置へデータを切れ目無く高速転送することが可能である。

【００３６】

【実施例】

以下、本発明に係るメモリシステムの好適な幾つかの実施例につき、図面を用いて詳細に説明する。

【００３７】

＜実施例１＞

図１は、本発明に係るメモリシステムの一実施例の要部を示すブロック図であり、各メモリブロックが個別の周期で動作しながら、全体が同期して動作する同期メモリシステムである。以下では、複数のメモリアレーブロックに分割されたメモリチップに本発明に係るメモリシステムを適用した場合について説明するが、ＣＰＵと複数のメモリチップからなる電子装置に対しても同様に適用することができる。

【００３８】

図１において、Ｓｙｓ$_0$はメモリシステム、ここではメモリチップを示し、このメモリチップＳｙｓ$_0$は、独自の内部周期で一連のデータをシリアルに出力する複数のメモリアレーブロックＢ$_i$（ここで、添字ｉは１，２，…）と、メモリアレーブロックＢ$_i$から相補データバスＩ／Ｏを通してシリアルに送られてくるデータ列を、外部装置例えばＣＰＵのクロック信号ＣＬＫに同期するように時間調整して外部出力するためのバッファＢＦ$_0$を含むデータ入出力同期回路ＣＬＫＭＴ$_0$と、及び外部装置との入出力インターフェイスである制御回路ＣＮＴＬ$_0$とから少なくとも構成される。

【００３９】

各メモリアレーブロックＢ$_i$内には、アドレスバッファＡＢとアドレスカウンタＡＤ．Ｃからなるインターフェイス回路が設けられている。制御回路ＣＮＴＬ$_0$と各メモリアレーブロックＢ$_i$とは、ブロック選択信号$\overline{\text{ＢＳ}}$の信号線、相補データバスＩ／Ｏ、アドレスバスＡＤ、およびライトイネーブル信号ＷＥの信号線によりそれぞれ結ばれている。しかし、本実施例の構成では、図１８の従来例で示したクロック信号線１０は各メモリアレーブロックＢ$_i$に接続配置されていない。

【００４０】

次に、このように構成される本実施例のメモリシステムの動作について説明する。

まず、ブロック選択信号$\overline{\text{ＢＳ}}$により複数のメモリアレーブロックＢ$_i$の中のメモリアレーブロックＢ$_1$が選択されたとする。このメモリアレーブロックＢ$_1$からデータ入出力同期回路ＣＬＫＭＴ$_0$と制御回路ＣＮＴＬ$_0$を経て外部装置のＣＰＵへ一連のデータを転送する場合（すなわち、メモリチップＳｙｓ$_0$からの読み出し動作の場合）、初期アドレスがＣＰＵから制御回路ＣＮＴＬ$_0$を介して選択されたメモリアレーブロックＢ$_1$のアドレスバッファＡＢに与えられた後は、メモリアレーブロックＢ$_1$は内部のアドレスカウンタＡＤ．Ｃをカウントアップしながら独自の周期で次々とデータ列を出力する。データ入出同期回路ＣＬＫＭＴ$_0$は、この到来するデータ列を内部のバッファＢＦ$_0$に一時格納して

時間調整を行ない、制御回路ＣＮＴＬ$_0$から与えられる一定の周期（一般にはＣＰＵの周期）で制御回路ＣＮＴＬ$_0$を介して外部に出力する。尚、この場合のバッファＢＦ$_0$における一時格納動作は、到来するデータを格納している最中にも格納データを次々と出力しており、外からみればデータの転送速度を変調して出力しているような動作であり、到来するデータを一旦まとめて格納し、その後格納したデータを出力するというキャッシュメモリの一時格納動作とは異なる。

【００４１】

ここで、メモリアレーブロックＢ$_1$の内部クロック信号の動作周波数がＣＰＵのクロック信号ＣＬＫに比べ高速であったとしても、バッファＢＦ$_0$の記憶容量が転送すべき連続データ数より大きければ、バッファＢＦ$_0$が満杯になることなくデータ転送を続けることができる。これに対して、バッファＢＦ$_0$の記憶容量が小容量（ｎビットとする）であった場合には、以下に述べる方法によりデータ転送を続けることができる。

【００４２】

すなわち、メモリアレーブロックＢ$_1$の内部周期がＣＰＵのクロック信号ＣＬＫに比べ高速の時、データを連続的に転送するとバッファＢＦ$_0$がまもなく満杯になってしまう。そこで、制御回路ＣＮＴＬ$_0$は、とりあえずｎビットだけのデータをメモリアレーブロックＢ$_1$に対して要求し、ｎビットのデータの処理に要したサイクルの後、制御回路ＣＮＴＬ$_0$は再び次のアドレスからｎビットだけのデータをメモリアレーブロックＢ$_1$に要求する。これを繰り返すことにより、バッファＢＦ$_0$の記憶容量を超える任意の長さの連続データに対しても、正常にデータ転送を切れ目なく行なうことができる。

【００４３】

図２は、図１に示した本発明に係るメモリシステムＳｙｓ$_0$におけるメモリアレーブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へのデータ転送動作を示す動作波形である。図２を用いて、上記データ転送動作をより具体的に説明する。まず、制御回路ＣＮＴＬ$_0$のクロック信号ＣＬＫに同期して、ブロック選択信号ＢＳ¯が制御回路ＣＮＴＬ$_0$からデータ入出力同期回路ＣＬＫＭＴ$_0$を介して各メモリアレーブロックに伝達され、所要のメモリアレーブロックＢ$_i$が選択される。選択されたメモリアレーブロックＢ$_i$はこれを受けて、動作を開始する。

【００４４】

この時、制御回路ＣＮＴＬ$_0$から送られたライトイネーブル信号ＷＥがロウレベルであることから、メモリブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へのデータ転送であることを選択されたメモリアレーブロックＢ$_i$は認識する。また、選択されたメモリアレーブロックＢ$_i$は、同時に制御回路ＣＮＴＬ$_0$からアドレスバスＡＤを介して送られた初期アドレスａおよび連続データ数ＢＬを認識する。ただし、連続データ数ＢＬがバッファＢＦ$_0$の容量、例えば４を越える場合には、制御回路ＣＮＴＬ$_0$はとりあえず連続データ数ＢＬとして４を指定する。

【００４５】

メモリアレーブロックＢ$_i$内のアドレスカウンタＡＤ．Ｃは、初期値が０となっている。このアドレスカウンタＡＤ．Ｃの初期値０とアドレスバッファＡＢに転送された初期アドレスａとから、メモリアレーブロックＢ$_i$での内部アドレスＡＤ．ｉｎｔはａに設定される。この結果、アドレスａのデータがメモリアレーブロック内部処理の後、メモリアレーブロックＢ$_i$から相補データバスＩ／Ｏに出力される。アドレスカウンタＡＤ．ＣはメモリアレーブロックＢ$_i$の内部周期（一般にはＣＰＵのクロック信号ＣＬＫの周期よりも短い）で０から３までカウントアップされ、これに対応してメモリアレーブロックＢｉ内部でのアドレスＡＤ．ｉｎｔもａからａ＋３まで変化する。そして、アドレスａからａ＋３までの４つの連続データが、次々にメモリアレーブロックＢ$_i$から相補データバスＩ／Ｏに出力される。

【００４６】

一方、制御回路ＣＮＴＬ$_0$近くに接続配置されたデータ入出力同期回路ＣＬＫＭＴ$_0$内には、４ビットのバッファＢＦ$_0$が設けられているので、選択されたメモリアレーブロック

B_iから送られて来る連続データはバッファBF_0内の４つのフリップフロップ$FF1_i$（図２の場合、添字ｉは０，１，２，３）に巡回的に送りこまれる。データの入力先であるフリップフロップＦＦ1_iの切り換えは、後に示すようにメモリアレーブロックB_iから転送されるデータの変化を検知して行なわれる。制御回路$CNTL_0$は、データ転送指定から例えば図２の場合で３クロック後から、バッファBF_0へメモリアレーブロックB_iより送られてくるデータをＣＰＵのクロック信号ＣＬＫに同期して順次受け取り外部に出力する。

次に、初期アドレスをａ＋４として、以上と同様な動作を、最初のデータ転送指定から４クロック後に開始する。

【００４７】

これを繰り返せば、メモリアレーブロックB_iの内部周期がＣＰＵのクロック信号ＣＬＫより高速である場合でも、制御回路$CNTL_0$はバッファBF_0の記憶容量を超えた連続データをＣＰＵのクロック信号ＣＬＫに同期して切れ目無く受け取ると共に外部に出力することができる。

【００４８】

このようにしてメモリシステムSys_0からデータ読み出し動作を行うので、クロック信号線１０をメモリシステム全体に分配する図１８に示した従来例の場合に比べ、（１）図１３により前述したように、システム内のクロック遅延の分布に起因する速度劣化のない、高速の読み出し動作を行うことができるメモリシステムが得られる、（２）図１４により前述したように、パイプライン方式採用時に、パイプライン最長段の処理速度ばらつきに起因した余分のマージンをとる必要がなく、高速の読み出し動作を行うことができるメモリシステムが得られる、（３）クロック信号線の充放電が不要となり、低消費電流のメモリシステムが得られる、（４）高速に充放電されるクロック信号線に起因する雑音のない、高信頼性のメモリシステムが得られる、（５）設計に際して、メモリアレーブロックB_i間のクロック遅延の違いを考慮する必要がないので、設計が容易になる、などの利点がある。

【００４９】

なお、バッファBF_0の記憶容量は、最大転送ビット数（例えば、５１２ビット）としてもよいが、本実施例のように小容量（ここでは４ビット）としてデータ転送を繰返した方が、メモリシステムSys_0を小規模化できるという利点がある。

【００５０】

また、初期アドレスａおよび連続データ数ＢＬが制御回路$CNTL_0$からアドレスバスＡＤを介して、ブロック選択信号BS^-により選択されたメモリアレーブロックB_iに与えられ、メモリアレーブロックB_iが行なうべき仕事が確定した後は、この仕事が終了するまで選択されたメモリアレーブロックB_iはアドレスバスＡＤなどの信号線から切り離されることが好ましい。これらの信号線から切り離すことにより、制御回路$CNTL_0$は次の仕事に備えて上記信号線にあらかじめ信号を与えておくことができ、選択されたメモリアレーブロックB_iが一連の仕事を終えて上記信号線へ再びみずからを接続した瞬間に、次の仕事を開始することができる。この結果、信号線を充放電するのに要する時間に起因する速度劣化を避けることができる。

【００５１】

次に、逆に、図１のメモリシステムSys_0において、制御回路$CNTL_0$からメモリアレーブロックB_iへデータを転送する場合（すなわち、メモリチップへの書き込み動作の場合）について、図３を用いてより具体的に説明する。図３は、例えばメモリアレーブロックB_iの中のメモリアレーブロックB_1が選択された場合の、制御回路$CNTL_0$からメモリアレーブロックB_1へのデータ転送動作を示す動作波形図である。この場合には以下に説明するように、転送データによる相補データバスＩ／Ｏ上の電位変化に対応してメモリアレーブロックB_1の内部クロック信号を発生させ、メモリアレーブロックB_1はこの内部クロック信号に同期してデータの取り込みおよび格納アドレスの切り換えを行なう。

【００５２】
まず、制御回路ＣＮＴＬ$_0$のクロック信号ＣＬＫに同期してメモリアレーブロックＢ$_i$へブロック選択信号ＢＳ$^-$が伝達され、メモリアレーブロックＢ$_1$が選択されたとする。選択されたメモリアレーブロックＢ$_1$はこれを受けて、動作を開始する。制御回路ＣＮＴＬ$_0$から送られたライトイネーブル信号ＷＥがハイレベルであることから、制御回路ＣＮＴＬ$_0$からメモリアレーブロックへのデータ転送であることを選択されたメモリアレーブロックＢ$_1$は認識する。
【００５３】
また、メモリアレーブロックＢ$_1$は制御回路ＣＮＴＬ$_0$からアドレスバスＡＤを介して送られた初期アドレスａおよび連続データ数ＢＬを認識する。アドレスカウンタＡＤ．Ｃの初期値は０であり、この初期値０とアドレスバッファＡＢに転送された初期アドレスａとから、メモリアレーブロックＢ$_1$での内部アドレスＡＤ．ｉｎｔはａに設定される。制御回路ＣＮＴＬ$_0$から相補データバスＩ／Ｏに最初の相補データが送られると、選択されたメモリアレーブロックＢ$_1$内のアドレスａの記憶領域に格納される。メモリアレーブロックＢ$_1$は、相補データバスＩ／Ｏ上の電位変化を検知してアドレスカウンタＡＤ．Ｃを順次カウントアップし、対応するアドレスのメモリセルＭＣ$_1$にデータを格納する。
【００５４】
このようにしてメモリシステムＳｙｓ$_0$への書き込み動作が行われるので、クロック信号線１０をメモリシステム全体に分配する図１８に示した従来例の場合に比べ、（１）制御回路ＣＮＴＬ$_0$側は、メモリシステム内のクロック遅延の分布とは無関係に、メモリアレーブロックＢ$_i$の内部処理速度を越えない範囲で連続データを送信することができるので、高速に書き込み動作を行うメモリシステムが得られる、（２）クロック信号線の充放電が不要となり、低消費電流のメモリシステムが得られる、（３）高速に充放電されるクロック信号線に起因する雑音のない、高信頼性のメモリシステムが得られる、（４）設計に際して、メモリアレーブロックＢ$_i$間のクロック遅延の違いを考慮する必要がないので、設計が容易になる、などの利点がある。
【００５５】
＜実施例２＞
図４乃至図６を用いて、図１に示した本発明に係るメモリシステムを構成するデータ入出力同期回路の一実施例について説明する。図４の（ａ）において、参照符号ＣＬＫＭＴ$_{0\ A}$はデータ入出力同期回路を示し、図１における回路ブロックＣＬＫＭＴ$_0$の具体的回路構成例である。ライトイネーブル信号ＷＥがロウレベルで、メモリアレーブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へデータを転送するモードの場合、メモリアレーブロックＢ$_i$から相補データバスＩ／Ｏに出力されたデータは、データ入出力同期回路ＣＬＫＭＴ$_{0\ A}$を通って制御回路ＣＮＴＬ$_0$に送られる。一方、ライトイネーブル信号ＷＥがハイレベルで、制御回路ＣＮＴＬ$_0$からメモリアレーブロックＢｉへデータを転送するモードの場合には、制御回路ＣＮＴＬ$_0$からのデータはデータ入出力同期回路ＣＬＫＭＴ$_{0\ A}$を介さずに直接相補データバスＩ／Ｏに送られる。
【００５６】
上記データ入出力同期回路ＣＬＫＭＴ$_{0\ A}$は、相補データバスＩ／Ｏの一対のデータ線ＤＴ、ＤＢの変化を検知してパルスを発生するＮＯＲゲートからなる回路４０Ａと、フリップフロップＦＦ$_{1\ i}$（ｉ＝０～３）で構成されるバッファＢＦ$_0$と、バッファＢＦ$_0$へのデータ入力を制御するカウンタＣｏｕｎｔｅｒ１およびデコーダＤｅｃ１と、バッファＢＦ$_0$からのデータ出力を制御するカウンタＣｏｕｎｔｅｒ２およびデコーダＤｅｃ２とから構成される。なお、フリップフロップＦＦ$_{l\ i}$としては、例えば図５に示すように、４個のＮＡＮＤゲートから構成される、いわゆるクロックパルス入力端子付きＲＳフリップフロップを用いることができる。
【００５７】
次に図６を用いて、このように構成されるデータ入出力同期回路ＣＬＫＭＴ$_{0\ A}$の内部動作を説明する。図６は、データ入出力同期回路ＣＬＫＭＴ$_{0\ A}$の内部動作波形を示す図で

ある。図６に示すように、相補データバスＩ／Ｏの一対のデータ線ＤＴ，ＤＢは、基準電位V_{ref}に対して通常ロウレベルにあるが、選択されたメモリアレーブロックB_iからのデータ転送に伴って、データ線ＤＴ，ＤＢのいずれかがハイレベルとなる。この時、デコーダＤｅｃ１の４本の出力線E_iのうち出力線E_0のみがハイレベルにあることに対応して、データはバッファBF_0内のフリップフロップFF_{10}に取り込まれ、フリップフロップFF_{10}のQ_0端子から出力される。相補データバスＩ／Ｏの一対のデータ線ＤＴ，ＤＢが共にロウレベルに戻ると、回路４０ＡのＮＯＲゲートの出力が立ち上がり、カウンタＣｏｕｎｔｅｒ１は０から１にカウントアップされる。この結果、デコーダＤｅｃ１の出力線E_0はロウレベルとなり、出力線E_1がハイレベルとなる。そして、メモリアレーブロックB_iから送られる次のデータが、バッファBF_0内のフリップフロップFF_{11}に取り込まれる。このようにして、メモリアレーブロックB_iから送られるデータはフリップフロップFF_{1i}に巡回的に取り込まれる。

【００５８】

一方、バッファBF_0内のフリップフロップFF_{1i}からのデータの取り出しは、制御回路$CNTL_0$からのクロック信号ＣＬＫに同期して行われる。このクロック信号ＣＬＫによりカウンタＣｏｕｎｔｅｒ２が順次カウントアップされ、デコーダＤｅｃ２によりバッファBF_0内のフリップフロップFF_{1i}のうちの一つが巡回的に制御回路$CNTL_0$に接続される。

【００５９】

このようにデータ入出力同期回路$CLKMT_{0A}$が動作することにより、制御回路$CNTL_0$のクロック信号ＣＬＫよりも高速の周期でメモリアレーブロックB_iからデータが転送されてきた場合でも、制御回路$CNTL_0$はクロック信号ＣＬＫに同期してデータを受け取ることができる。すなわち、本実施例によれば、図１のメモリシステムSys_0において、メモリアレーブロックB_iの内部周期が外部装置のクロック信号ＣＬＫと同期せず、より高速であっても、全体として同期的にデータの受渡しを行なうことができる。そして、クロック信号ＣＬＫの信号線１０を、システム全体に分配する図１８に示した従来のメモリシステムSys_1の場合に比べ、本実施例のメモリシステムSys_0においても図２の実施例で述べたのと同様な効果を有する。

【００６０】

なお、データ入出力同期回路$CLKMT_{0A}$内の回路４０Ａは、図４の（ｂ）に示すように、相補データバスＩ／ＯとＮＯＲゲートとの間に、それぞれ基準電位V_{ref}を一方の入力とする差動アンプＡｍｐ１１とＡｍｐ１２を設けてもよい。これにより、メモリアレーブロックB_iからのデータ転送時に相補データバスＩ／Ｏの振幅を小さくすることができる。この結果、相補データバスＩ／Ｏの充放電に伴う消費電流をより一層小さくできる効果がある。

【００６１】

＜実施例３＞

図７を用いて、図１に示した本発明に係るメモリシステムを構成するメモリアレーブロックB_iのインターフェイス回路の一実施例について説明する。本実施例のインターフェイス回路では、ライトイネーブル信号ＷＥの状態に応じて、アドレスカウンタＡＤ．Ｃをカウントアップするパルス源が切り換えられるように構成されている。図７の（ａ）において、B_i．ＣＬＫ．ｇｅｎはメモリアレーブロックB_i内部のクロック発生回路を示し、ライトイネーブル信号ＷＥがロウレベルでメモリアレーブロックB_iから制御回路$CNTL_0$へのデータ転送を行なう場合、すなわちメモリアレーブロックB_i内のメモリアレー（不図示）から出力バッファＤｏｕｔを介して相補データバスＩ／Ｏ上へデータを載せる場合には、この内部クロック発生回路B_i．ＣＬＫ．ｇｅｎがパルス源となる。ブロック選択信号$\overline{BS}$によって所要のメモリアレーブロックB_iが選択されると、選択されたメモリアレーブロックB_iの内部クロック発生回路B_i．ＣＬＫ．ｇｅｎが動作を開始し、アドレスカウンタＡＤ．Ｃを内部周期でカウントアップしていく。

【００６２】

これに対してライトイネーブル信号ＷＥがハイレベルで、制御回路ＣＮＴＬ$_0$からメモリアレーブロックＢ$_i$へのデータ転送を行なう場合には、データ転送に伴う相補データバスＩ／Ｏ上の電位変化を検知してパルスを発生し、ＡＤ．Ｃをカウントアップする。すなわち、転送データに対応して一方がハイレベル、他方がロウレベルであった相補データバスＩ／Ｏの一対のデータ線ＤＴ，ＤＢが、待機状態に戻り同レベルになると、入力部７ＡのＮＯＲゲートの出力が立ち上がり、メモリアレー（不図示）と入力バッファＤｉｎとの間に設けられた一対のパストランジスタをオフすると共に、アドレスカウンタＡＤ．Ｃをカウントアップする。次にバッファＢＦ$_0$から転送データが送られると、相補データバスＩ／Ｏの一対のデータ線ＤＴ、ＤＢは転送データに対応して一方がハイレベル、他方がロウレベルとなるので、上記ＮＯＲゲートの出力が立ち下がり、入力バッファＤｉｎに接続されたパストランジスタが導通する。この時、アドレスカウンタＡＤ．Ｃは上記ＮＯＲゲートのパルス立上り時に既にカウントアップされており、送られてきた転送データはカウントアップ後のアドレスに格納される。

【００６３】

このように、本実施例によれば、メモリアレーブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へのデータ転送時には、内部周期で動作するので、メモリアレーブロックＢ$_i$の設計をブロック内で閉じることができ、設計が容易となる利点がある。また、メモリアレーブロックＢ$_i$をパイプライン動作させるときには、内部クロック発生回路Ｂ$_i$．ＣＬＫ．ｇｅｎは、一つの段の処理が終了した時点で次段の処理の開始を知らせる自己同期型のクロック発生回路とすれば良い。これにより、自己同期型パイプラインが構成できるので、システムの高速化が可能になる効果がある。更に、クロック信号線をシステム全体に網羅して配線する必要がないので、クロック信号線の充放電に伴う消費電流の増大や雑音の発生を回避できる効果がある。

【００６４】

なお、入力部７Ａの代わりに、図７の（ｂ）に示すように、相補データバスＩ／ＯとＮＯＲゲートとの間にそれぞれ基準電位Ｖ$_{ref}$を一方の入力とする差動アンプＡｍｐ２１，Ａｍｐ２２を設けて、相補データバスＩ／Ｏの一対のデータ線ＤＴ，ＤＢの変化を差動アンプＡｍｐ２１，２２で検知増幅した後、ＮＯＲゲートでパルスを発生させるようにした構成の入力部７Ｂを用いてもよい。この場合、相補データバスＩ／Ｏの振幅を小さくでき、相補データバスＩ／Ｏの充放電に伴う消費電流を小さくできる効果がある。

【００６５】

＜実施例４＞

図８は、本発明に係るメモリシステムの別の実施例の要部を示すブロック図であり、各メモリブロックが個別の周期で動作しながら、全体が同期して動作するメモリシステムである。本実施例では、複数のメモリアレーブロックに分割されたメモリチップに適用した場合について説明するが、ＣＰＵと複数のメモリチップとからなる電子装置に対しても同様に適用することができる。図１に示したメモリシステムと異なる点は、メモリアレーブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へデータを転送するときの同期方法にあり、メモリシステムの構成としてはデータ入出力同期回路ＣＬＫＭＴ$_0$と各メモリアレーブロックとの間にバッファＢＦ$_0$の状態を示すバッファ状態信号ＢＦＳＴの信号線１２を設けている点が相違する。このバッファ状態信号ＢＦＳＴの働きによって、メモリアレーブロックＢ$_i$が制御回路のクロック信号ＣＬＫと異なるより高速の内部周期で動作する場合でも、メモリアレーブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へのデータ転送を正常に切れ目なく行うことができる。以下、このメモリシステムの動作について説明する。

【００６６】

図８において、メモリアレーブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へデータを転送する場合、メモリアレーブロックＢ$_i$はデータを内部周期で、データ入出力同期回路ＣＬＫＭＴ$_0$内のバッファＢＦ$_0$に転送する。そして、制御回路ＣＮＴＬ$_0$は、バッファＢＦ０にメモリアレーブロックＢｉから転送されたデータを、外部装置（例えばＣＰＵ）のクロック信号ＣＬＫに同期して、バッファＢＦ$_0$から受け取る。メモリアレーブロックＢ$_i$の内部

周期が制御回路ＣＮＴＬ$_0$のクロック信号ＣＬＫに比べて高速の場合、データを連続的に転送するとバッファＢＦ$_0$がまもなく満杯となる。この時、バッファ状態信号ＢＦＳＴが例えばロウレベルからハイレベルへ変化し、メモリアレーブロックＢ$_i$のデータ転送動作を一時停止状態にする。メモリアレーブロックＢ$_i$からのデータ転送を一時停止後、バッファＢＦ$_0$の蓄積データはＣＰＵのクロック信号ＣＬＫに同期した制御回路ＣＮＴＬ$_0$を介して外部に送り続けられる。すなわち、外部装置側からはデータ転送が中断されずに、メモリチップＳｙｓ$_0$からクロック信号ＣＬＫに同期してデータが送り続けられることになる。バッファＢＦ$_0$がほとんど空になった時、バッファ状態信号ＢＦＳＴが例えばハイレベルからロウレベルへ変化し、これによりメモリアレーブロックＢ$_i$は再びデータ転送処理を開始する。一方、制御回路ＣＮＴＬ$_0$からメモリアレーブロックＢ$_i$へのデータ転送は、図１の実施例において図３を用いて説明したのと同様に行なわれる。

【００６７】

更に、図９に示した動作波形図により、図８のメモリシステムのメモリアレーブロックＢ$_i$から制御回路ＣＮＴＬ$_0$へのバッファ状態信号ＢＦＳＴを用いたデータ転送動作の一例を具体的に説明する。

【００６８】

まず、制御回路のクロック信号ＣＬＫに同期して、所要のメモリアレーブロックＢ$_i$を選択するブロック選択信号ＢＳ¯が伝送される。ここでは、図８に示したメモリアレーブロックＢ$_1$が選択されたとする。選択されたメモリアレーブロックＢ$_1$は、一定の遅延後このブロック選択信号ＢＳ¯を受け取り、動作を開始する。アドレスバスＡＤを介して初期アドレスａおよび連続データ数ＢＬすなわち連続データのバースト長が与えられると共に、ライトイネーブル信号ＷＥの状態から（この場合、信号ＷＥがロウレベルであるので）、メモリアレーブロックＢ$_1$から制御回路ＣＮＴＬ$_0$へのデータ転送であることが指定される。メモリアレーブロックＢ$_1$は内部にアドレスバッファＡＢとアドレスカウンタＡＤ．Ｃを持ち、アドレスカウンタＡＤ．Ｃは最初は０に設定されている。この初期値０とアドレスバッファＡＢに転送された初期アドレスａとから、内部アドレスＡＤ．ｉｎｔはａに設定される。メモリアレーブロックＢ$_1$は内部処理の後、アドレスａのデータを相補データバスＩ／Ｏに出力する。この時、アドレスカウンタＡＤ．Ｃは内部周期によりカウントアップされ、これに対応して内部アドレスＡＤ．ｉｎｔも順次変化してアドレスａ、ａ＋１、ａ＋２…のデータがメモリアレーブロックＢ$_1$の内部周期で連続的に相補データバスＩ／Ｏに出力される。このようにして相補データバスＩ／Ｏに出力されたデータは、一定の遅延の後にデータ入出力同期回路ＣＬＫＭＴ$_0$内のバッファＢＦ$_0$に到達する。

【００６９】

一方、制御回路ＣＮＴＬ$_0$側も数クロック後にＣＰＵのクロック信号ＣＬＫに同期してバッファＢＦ$_0$から制御回路ＣＮＴＬ$_0$へのデータ転送を開始する。なお、メモリアレーブロックＢ$_i$からのデータがバッファＢＦ$_0$に到着する以前に制御回路ＣＮＴＬ$_0$がデータ取り込みを開始しないように、ユーザに対してデータ取り込み開始のタイミングをスペックとして与えられていることは言うまでもない。

【００７０】

選択されたメモリアレーブロックＢ$_1$からのデータの連続的な転送が進むと、メモリアレーブロックＢ$_1$の内部クロックが制御回路のクロック信号ＣＬＫに比べて高速の場合、バッファＢＦ$_0$は次第に満杯となって行く。バッファＢＦ$_0$が満杯に近づいたら、データ入出力同期回路ＣＬＫＭＴ$_0$はバッファ状態信号ＢＦＳＴをロウレベルからハイレベルにする。図９に示した場合には、メモリアレーブロックＢ$_1$からバッファＢＦ$_0$へのデータ入力累積数（以下、ＢＦ$_0$入力累積数と呼ぶ）とバッファＢＦ$_0$から制御回路ＣＮＴＬ$_0$へのデータ出力累積数（以下、ＢＦ$_0$出力累積数と呼ぶ）との差が３となった時点で、メモリアレーブロックＢ$_1$のバッファ状態信号ＢＦＳＴ（Ｂ$_1$）がハイレベルとなる。

【００７１】

バッファ状態信号ＢＦＳＴがハイレベルになると、メモリアレーブロックＢ$_1$は一時停止状態となる。ただし、バッファ状態信号ＢＦＳＴがメモリアレーブロックＢ$_1$に到達して

一時停止の処理が終了するまでにはいくらかの遅延があるので、メモリアレーブロックB_1からしばらくデータが送られ続けられる場合がある。その場合には、バッファBF_0が完全に満杯となる数ビット手前の段階で、バッファ状態信号ＢＦＳＴをハイレベルとするように設定すれば良い。

【００７２】

図９においてＤａｔａ（$CNTL_0$）の動作波形に示すように、メモリアレーブロックB_1が一時停止となった後、すなわちバッファ状態信号ＢＦＳＴ（B_1）がハイレベルになった後も、制御回路$CNTL_0$のデータ取り込みは続くので、メモリアレーブロックB_1からのBF_0入力累積数と制御回路へのBF_0出力累積数との差は減少していく。この差が一定数まで減少し、バッファBF_0に十分空きができたら、データ入出力同期回路$CLKMT_0$はバッファ状態信号ＢＦＳＴを再びロウレベルとしてメモリアレーブロックB_1のデータ転送を再開する。図９に示した場合には、メモリアレーブロックB_1からのＢＦ０入力累積数と制御回路へのＢＦ０出力累積数との差が１に戻った時点で、バッファ状態信号ＢＦＳＴ（B_1）がロウレベルとなる。ただし、メモリアレーブロックB_1から再びデータがバッファBF_0に達するまでに、いくらかの遅延がある場合には、バッファBF_0が完全に空となる数ビット手前の段階で、バッファ状態信号ＢＦＳＴをロウレベルとすれば良い。

【００７３】

このように、バッファ状態信号ＢＦＳＴの働きによって、メモリアレーブロックB_iが制御回路$CNTL_0$のクロック信号ＣＬＫと異なるより高速の内部クロック信号で動作しても、正常にデータ転送を切れ目なく行うことができる。データ転送の終了は、アドレスカウンタＡＤ．Ｃの連続データ数に対応する桁の桁あげ信号がロウレベルからハイレベルへ変化したことを検知して行なう。

【００７４】

ここで、図１０を用いて、バッファ状態信号ＢＦＳＴによるメモリアレーブロックB_iの一時停止および再始動について説明する。図１０は、バッファ状態信号ＢＦＳＴがメモリアレーブロックB_iの一時停止信号（Ｓｔｏｐ信号）および再開信号（Ｒｅｓｔａｒｔ信号）を発生するタイミングの一例を示す説明図である。横軸に時間を、縦軸にBF_0入力累積数とBF_0出力累積数をとっている。

【００７５】

バッファ状態信号ＢＦＳＴが一時停止信号を発生した後も、一時停止信号がメモリアレーブロックB_iに到達するまでの遅延時間やメモリアレーブロックB_i内部での一時停止処理に要する時間などのために、バッファBF_0へのデータ転送がしばらく続く可能性がある。すなわち、メモリアレーブロックB_iからバッファBF_0へのデータ転送が実際に停止する時点でのBF_0入力累積数とBF_0出力累積数との差は、バッファ状態信号ＢＦＳＴが一時停止信号を発生した時よりもさらにｊビット増加している可能性がある。従って、データ転送が実際に停止する時点での累積数の差のビットがバッファBF_0の容量以下であるように、一時停止信号発生のタイミングを決める必要がある。すなわち、一時停止信号を発生する時点での上記累積数の差のビット数をｎ（Ｓｔｏｐ）とすれば、ｎ（Ｓｔｏｐ）はバッファBF_0の容量からｊビットを差し引いた値となった時のビット数に設定すれば良い。

【００７６】

一方、バッファ状態信号ＢＦＳＴが再開信号を発生するタイミングについても、再開信号がメモリアレーブロックB_iに到達するまでの遅延時間やメモリアレーブロックB_i内部でのデータ転送開始に要する時間などを考慮する必要がある。すなわち、再開信号発生後も、BF_0入力累積数とBF_0出力累積数との差が減少し続けて、再開信号発生時よりもｋビット減少する可能性がある。従ってメモリアレーブロックＢｉから再び送られてくるデータが、バッファBF_0に到達する直前でのBF_0入力累積数とBF_0出力累積数との差が、０以上であるように、再開信号発生のタイミングを決める必要がある。すなわち、再開信号を発生した時点での上記累積数の差のビット数をｎ（Ｒｅｓｔａｒｔ）とすれば

、ｎ（Ｒｅｓｔａｒｔ）をｋビット以上に設定すれば良い。

【００７７】

以上述べたように、本実施例によれば、メモリアレーブロックB_iが制御回路$CNTL_0$のクロック信号ＣＬＫと異なるより高速の内部周期で動作する場合でも、全体として同期して動作する半導体チップのメモリシステムを得ることができる。しかも、バッファBF_0の記憶容量は小さくて良いので、メモリシステムの小規模化が容易となる。

【００７８】

また、クロック信号線１０をシステム全体に分配する図１８に示した従来例の場合に比べ、本実施例のメモリシステムでも図２及び図３を用いて説明した実施例１と同様の効果を有する。なお、バッファBF_0の単位時間当りの充放電回数は、従来構成の図１８のクロック信号線１０の充放電回数に比べれば遥かに少なくできるので、クロック信号線１０を使用する従来構成の場合と異なり、消費電流及び雑音の増大を招くことはない。

【００７９】

＜実施例５＞

図１１を用いて、図８に示した本発明に係るメモリシステムを構成するデータ入出力同期回路$CLKMT_0$の一実施例について説明する。図１１において、参照符号$CLKMT_{0\ B}$はデータ入出力同期回路を示し、図８における回路ブロック$CLKMT_0$の具体的構成例である。図４に示した実施例のデータ入出力同期回路$CLKMT_{0\ A}$に対して、このデータ入出力同期回路$CLKMT_{0\ B}$は、ＡＮＤ回路及びＯＲ回路から構成される論理回路$Comp_0$と、クロック信号ＣＬＫによりオン・オフするスイッチ及びインバータからなるレジスタとＯＲ回路から構成されるホールド回路$HOLD_0$と、が更に付加されている点が相違する。論理回路$Comp_0$はデコーダＤｅｃ１とデコーダＤｅｃ２の出力を比較してバッファBF_0が満杯近くになったことを検知するための回路であり、ホールド回路$HOLD_0$はバッファBF_0が満杯近くになってから空近くに戻るまでバッファ状態信号ＢＦＳＴをハイレベルに保持する回路である。

【００８０】

このように構成されるデータ入出力同期回路$CLKMT_{0\ B}$の基本的動作は、図６の動作波形図を用いて説明したデータ入出力同期回路$CLKMT_{0\ A}$の動作と同じであるので、説明の便宜上、詳細な説明を省略して、上記付加した回路の動作すなわちバッファ状態信号ＢＦＳＴの発生方法について説明する。

【００８１】

デコーダＤｅｃ２がバッファBF_0内のフリップフロップ$FF_{1\ i}$を制御回路$CNTL_0$に接続し、デコーダＤｅｃ１が次のステップでフリップフロップ$FF_{1\ i}$にメモリアレーブロックB_iのデータを送りこむ状態になったとき、論理回路$Comp_0$は、バッファ状態信号ＢＦＳＴをハイレベルにしてメモリアレーブロックB_iからのデータ転送を一時停止させる。メモリアレーブロックB_iからのデータ転送が一時停止した後、制御回路のクロック信号ＣＬＫに同期して一つのデータが制御回路$CNTL_0$を経て外部に転送されると、バッファBF_0に余裕ができるので、上記論理回路$Comp_0$はバッファ状態信号ＢＦＳＴを再びロウレベルに戻そうとする。しかし、ホールド回路$HOLD_0$の働きにより、バッファ状態信号ＢＦＳＴは、ハイレベルになってからクロック信号ＣＬＫが２クロック進むまではロウレベルに戻らない。これは、上記論理回路$Comp_0$の出力が、ホールド回路$HOLD_0$内のインバータとスイッチとからなるレジスタ回路に転送されることにより、１クロック先でも保持されるからである。勿論、上記スイッチは周知のトランジスタスイッチで構成すればよい。

【００８２】

このような、ホールド回路$HOLD_0$を設けることにより、バッファBF_0が一旦満杯近くなってバッファ状態信号ＢＦＳＴがハイレベルに変化したら、バッファBF_0が空近くになるまでバッファ状態信号ＢＦＳＴをハイレベルに保持することができる。

【００８３】

図１１におけるホールド回路$HOLD_0$の構成では、ただ一つのレジスタ回路を設けた場

合を示しているが、レジスタ回路を複数個直列に接続し、それらの出力のＯＲ論理をバッファ状態信号ＢＦＳＴの出力とすれば、クロック信号ＣＬＫが複数クロック進むまでバッファ状態信号ＢＦＳＴがハイレベルに保持されるホールド回路$ＨＯＬＤ_0$を構成することができる。この結果、バッファ状態信号ＢＦＳＴの単位時間当りの充放電回数が減少し、消費電流および雑音を小さくできる効果がある。なお、上記論理回路$Ｃｏｍｐ_0$とデコーダＤｅｃ１，Ｄｅｃ２との接続を変えることにより、図１０において説明した一時停止信号を発生する時点での上記累積数の差のビット数ｎ（Ｓｔｏｐ）を任意に設定できることは言うまでもない。

【００８４】

＜実施例６＞

図１２を用いて、図１に示した本発明に係るメモリシステムを構成するデータ入出力同期回路$ＣＬＫＭＴ_0$の別の実施例について説明する。図１２において、参照符号$ＣＬＫＭＴ_{0\,C}$はデータ入出力同期回路を示し、図１における回路ブロック$ＣＬＫＭＴ_0$の具体的構成例である。このデータ入出力同期回路$ＣＬＫＭＴ_{0\,C}$は、図１に示したメモリシステムにおいて、外部装置のクロック信号すなわち制御回路のクロック信号ＣＬＫが、メモリアレーブロック$Ｂ_i$の内部周期よりも高速である場合に、メモリアレーブロック$Ｂ_i$と制御回路$ＣＮＴＬ_0$との間のデータ通信を同期的に行なうのに好適な回路である。

【００８５】

図４に示した実施例のデータ入出力同期回路$ＣＬＫＭＴ_{0\,A}$に対して、このデータ入出力同期回路$ＣＬＫＭＴ_{0\,C}$は、制御回路$ＣＮＴＬ_0$に一時停止信号Ｗａｉｔを送るための、ＡＮＤ回路とＯＲ回路から構成される論理回路$Ｃｏｍｐ_1$を付加している点が相違する。論理回路$Ｃｏｍｐ_1$は、デコーダＤｅｃ１がバッファ$ＢＦ_0$内のフリップフロップ$ＦＦ_{1\,i}$にメモリアレーブロック$Ｂ_i$からのデータを送りこむ状態になっている時に、デコーダＤｅｃ２が次のステップでフリップフロップ$ＦＦ_{1\,i}$のデータを取り出そうとする状態になると、制御回路$ＣＮＴＬ_0$に対して一時停止信号信号Ｗａｉｔを送る。この信号により、制御回路$ＣＮＴＬ_0$はメモリアレーブロック$Ｂ_i$からのデータの受け取りを一時停止する。このように制御回路$ＣＮＴＬ_0$への一時停止信号発生機能を持たせることにより、制御回路のクロック信号ＣＬＫがメモリアレーブロック$Ｂ_i$の内部周期より高速のクロック周波数である場合でも、正常にデータ転送を切れ目なく行うことができる。

【００８６】

更に、図１１に示したバッファ状態信号ＢＦＳＴ発生のための回路$Ｃｏｍｐ_0$，$ＨＯＬＤ_0$および図１２に示した一時停止信号発生のための回路$Ｃｏｍｐ_1$を組み合わせれば、クロック信号ＣＬＫがメモリアレーブロック$Ｂ_i$の内部周期に比べて高速であっても、またその逆であっても、メモリアレーブロック$Ｂ_i$から制御回路$ＣＮＴＬ_0$へのデータ転送を正常に切れ目なく行えるメモリシステムを得ることができる。

【００８７】

或いは、制御回路$ＣＮＴＬ_0$への一時停止信号発生の機能を持たせなくても、次の方法によりメモリアレーブロック$Ｂ_i$から制御回路$ＣＮＴＬ_0$へのデータ転送を正常に行なうことができる。メモリアレーブロック$Ｂ_i$から送られる連続データの、バッファ$ＢＦ_0$から制御回路$ＣＮＴＬ_0$への転送開始を遅らせる方法である。これは、バッファ$ＢＦ_0$が満杯近くなった時に、バッファ$ＢＦ_0$から制御回路$ＣＮＴＬ_0$へのデータ転送を開始することにより実現できる。この場合、制御回路のクロック信号ＣＬＫがメモリアレーブロック$Ｂ_i$内部周期より高速であることに伴い（すなわち、バッファ$ＢＦ_0$への単位時間当りの入力数より出力数が多いことに伴い）、バッファ$ＢＦ_0$のデータのストックは次第に減少するが、データ出力が終了する前にバッファ$ＢＦ_0$が空にならなければ良い。バッファ$ＢＦ_0$から制御回路$ＣＮＴＬ_0$へのデータ転送開始のタイミングは、連続データ数ＢＬに応じて決められる。連続データ数ＢＬが多いほど、データ転送開始のタイミングを遅らせる。以上の方法により、制御回路のクロック信号ＣＬＫがメモリアレーブロック$Ｂ_i$の内部周期より高速な場合でも、メモリアレーブロック$Ｂ_i$から制御回路$ＣＮＴＬ_0$へのデータ転送を正常に切れ目なく行なうことができる。

【００８８】
更に、以上の方法を実施例１で説明した方法と組み合わせれば、クロック信号ＣＬＫがメモリアレーブロック$Ｂ_i$の内部周期に比べて高速であっても、またその逆であっても、メモリアレーブロック$Ｂ_i$から制御回路$ＣＮＴＬ_0$へのデータ転送を正常に行えるシステムが得られる。
【００８９】
本実施例の効果としては、クロック信号線の充放電が不要となり、低消費電流の半導体チップのメモリシステムが得られる効果がある。さらには、高速に充放電されるクロック信号線に起因する雑音もなくなる。あるいは、設計に際して、メモリアレーブロック$Ｂ_i$間のクロック遅延の違いを考慮する必要がないので、設計が容易になる利点がある。また、メモリシステムとしてＣＰＵと複数のメモリチップからなる電子装置に適用した場合、システム設計に幅ができる利点もある。例えば、メモリブロック$Ｂ_i$が制御回路のクロック信号ＣＬＫの周波数で動作することが要求される従来構成の場合と異なり、本実施例ではメモリブロック$Ｂ_i$は制御回路のクロック信号ＣＬＫの周波数で動作する必要がないので、メモリブロック$Ｂ_i$として安価で比較的低速のメモリチップを用い、制御回路$ＣＮＴＬ_0$として高速のＣＰＵを用いることにより、全体として高速でしかも安価なメモリシステムを構築することができる。
【００９０】
＜実施例７＞
図１５は、本発明に係るメモリシステムの更に別の実施例の要部を示すブロック図である。本実施例は、アドレスバスを介して初期アドレス及び連続データ数の他に、通常のメモリチップと同様にブロック選択信号に関する情報も送るように構成したメモリチップの場合である。すなわち、図１及び図８の実施例で用いたブロック選択信号$ＢＳ^-$の信号線を用いないメモリチップの実施例である。
【００９１】
図１５において、参照符号$Ｓｙｓ_2$はメモリチップを示し、このメモリチップ$Ｓｙｓ_2$は、複数のメモリアレーブロック$ＭＢ_i$（ｉ＝１，２，…）と、メモリアレーブロック$ＭＢ_i$から相補データバスＩ／Ｏを通してシリアルに送られてくるデータ列を、ＣＰＵのクロック信号ＣＬＫに同期するように時間調整して出力するためのバッファ$ＢＦ０_m$を含むデータ入出力同期回路$ＣＬＫＭＴ_m$と、およびＣＰＵとの入出力インターフェイスである制御回路$ＣＮＴＬ_m$とから少なくとも構成される。
【００９２】
また、各メモリアレーブロック$ＭＢ_i$は、メモリアレー$ＭＡＲＹ_i$、初期アドレスバッファ$ＡＢ_i$、アドレスカウンタＡＤ．$Ｃ_i$、内部アドレスバッファＡＤ．ｉｎｔ、メインアンプ$ＭＡ_i$、内部相補データ線$Ｉ／Ｏ_i$および内部クロック発生回路$ＭＢ_i$．ＣＬＫ．ｇｅｎを少なくとも備えている。更に、データ入出力同期回路$ＣＬＫＭＴ_m$と各メモリアレーブロック$ＭＢ_i$との間は、アドレスバスＡＤ、連続データ数ＢＬすなわちバースト長を転送する信号線ＢＬＬ、相補データバスＩ／Ｏ、およびライトイネーブル信号ＷＥの信号線により結ばれている。なお、制御回路$ＣＮＴＬ_m$は、ＣＰＵからの外部クロック信号ＣＬＫにより動作する。
【００９３】
このように構成されるメモリチップ$Ｓｙｓ_2$は、次のように動作する。
メモリチップ$Ｓｙｓ_2$からＣＰＵへのデータ読み出し動作の場合、データ読み出し要求、初期アドレスａ、および連続データ数ＢＬ等の情報がＣＰＵから制御回路$ＣＮＴＬ_m$に与えられると、制御回路からクロック信号ＣＬＫに同期して受け取ったデータ入出力同期回路$ＣＬＫＭＴ_m$はメモリアレーブロック選択情報をアドレスバスＡＤを介してメモリアレーブロックへ送る。このブロック選択情報により、例えばメモリアレーブロック$ＭＢ_1$が選択されたとする。この時、制御回路$ＣＮＴＬ_m$から送られたライトイネーブル信号ＷＥがロウレベルであることから、メモリアレーブロックから制御回路$ＣＮＴＬ_m$へのデータ転送であることをメモリアレーブロック$ＭＢ_1$は認識する。

【００９４】
メモリアレーブロックＭＢ$_1$内のアドレスカウンタＡＤ．Ｃ$_1$は、初期値が０となっている。アドレスバスＡＤを介して初期アドレスａが与えられ、信号線ＢＬＬを介して連続データ数ＢＬが与えられると、初期アドレスバッファＡＢ$_1$に初期アドレスａが格納される。アドレスカウンタＡＤ．Ｃ$_1$の初期値０と初期アドレスバッファＡＢ$_1$に格納された初期アドレスａとから、メモリアレーブロックＭＢ$_1$での内部アドレスＡＤ．ｉｎｔはａに設定される。この結果、アドレスａのデータがメモリアレーＭＡＲＹ$_1$内部処理の後、内部相補データ線Ｉ／Ｏ$_1$を介してメインアンプＭＡ$_1$へ送られ、相補データバスＩ／Ｏに出力される。同時に、メインアンプＭＡ$_1$の出力は内部クロック発生回路ＭＢ$_1$．ＣＬＫ．ｇｅｎによって検知され、１つのデータ出力が終了したことを示すクロック信号ＭＢ$_1$．ＣＬＫが発生される。このクロック信号ＭＢ$_1$．ＣＬＫによりアドレスカウンタＡＤ．Ｃ$_1$がカウントアップされ、これに対応して内部アドレスＡＤ．ｉｎｔもａからａ＋１と変化する。従って、アドレスａ＋１のデータがメモリアレーＭＡＲＹ$_1$内部処理の後、内部相補データ線Ｉ／Ｏ$_1$を介してメインアンプＭＡ$_1$へ送られ、相補データバスＩ／Ｏに出力されると同時に内部クロック発生回路ＭＢ$_1$．ＣＬＫ．ｇｅｎによって検知される。以下、同様にして、指定された連続データ数ＢＬまでデータ転送が繰り返される。すなわち、メモリアレーブロックＭＢ$_1$内のメインアンプＭＡ$_1$の出力により、自己同期的に内部クロック信号ＭＢ$_1$．ＣＬＫを発生して、データが次々と相補データバスＩ／Ｏに出力される。そして、アドレスカウンタＡＤ．Ｃ$_1$の連続データ数ＢＬに対応する桁の桁上げ信号が、ロウレベルからハイレベルに変化したら、一連のデータ転送を終了し、アドレスカウンタＡＤ．Ｃ$_1$を０にリセットする。データ入出力同期回路ＣＬＫＭＴ$_m$は、相補データバスＩ／Ｏに出力されるデータを内部のバッファＢＦ０$_m$に一時格納して時間調整を行い、制御回路ＣＮＴＬ$_m$から与えられるＣＰＵのクロック信号ＣＬＫの周期で制御回路ＣＮＴＬ$_m$を介してＣＰＵへ出力する。なお、この場合のバッファＢＦ０$_m$の一時格納動作は、図１の実施例で説明したバッファＢＦ０の一時格納動作と同様の動作である。
【００９５】
一方、ＣＰＵからメモリチップＳｙｓ$_2$へのデータ書き込み動作の場合については、以下の通りである。上記読み出し動作と同様にして、例えば、メモリアレーブロックＭＢ$_1$が選択されたとすると、制御回路ＣＮＴＬ$_m$から送られたライトイネーブル信号ＷＥがハイレベルであることから、制御回路ＣＮＴＬ$_m$からメモリアレーブロックへのデータ転送であることをメモリアレーブロックＭＢ$_1$は認識する。その後の書き込み動作は、図７に示した実施例３と同様に、データ転送に伴う相補データバスＩ／Ｏ上の電位変化を検知してパルスを発生し、アドレスカウンタＡＤ．Ｃ$_1$をカウントアップするように構成して自己同期的に動作させる。連続データ数ＢＬのデータ書き込み後、アドレスカウンタＡＤ．Ｃ$_1$を０にリセットして一連の動作を終了することは、上記データ読み出しの場合と同様である。
【００９６】
なお、上記動作は、アドレスカウンタＡＤ．Ｃ$_1$が０以外の状態では、メモリアレーブロックＭＢ$_1$が自己同期的に連続データの読み出しまたは書き込みを行なっていることを示しているから、メモリアレーブロックＭＢ$_1$をアドレスバスＡＤなどと切り離しておくことができる。メモリアレーブロックＭＢ$_1$をアドレスバスＡＤなどと切り離しておくことにより、制御回路ＣＮＴＬ$_m$は次の動作に備えてアドレスバスＡＤなどにあらかじめ信号を準備しておくことができるので、信号遅延をなくすことができ、高速動作が可能になる。
【００９７】
また、連続データ数ＢＬの信号線ＢＬＬを独立して設けずに、これまで述べた実施例と同様にアドレスバスＡＤを介して連続データ数ＢＬを転送する構成としても良い。その場合には、連続データ数ＢＬを並列に送れない分だけ遅くなる。
【００９８】
図１６は、図１５に示した内部クロック発生回路ＭＢ$_i$．ＣＬＫ．ｇｅｎの具体的回路構

成の一例を示すブロック図である。この場合、内部クロック発生回路MB_i．ＣＬＫ．ｇｅｎは、メインアンプMA_iの相補出力を入力とし出力をアドレスカウンタＡＤ．C_iに接続したＯＲゲートと、ＯＲゲートの出力をメインアンプMA_iのイコライズ信号として印加するための遅延回路Ｄｅｌａｙとから構成される。

【００９９】

このように構成される内部クロック発生回路MB_i．ＣＬＫ．ｇｅｎの動作を説明する。最初のアドレスａに対するデータが、メモリアレーブロックMB_iの内部相補データ線Ｉ／O_iに出力され、メインアンプMA_iを介して相補データ線Ｉ／Ｏに出力されると、メインアンプMA_iの相補出力を入力とするＯＲゲートの出力がハイレベルになり、アドレスカウンタＡＤ．C_iがカウントアップされる。すなわち、１つのデータ出力が終了したことを検知したら、アドレスを変化させ、次のデータ出力を開始する。一方、ＯＲゲートの出力は遅延回路Ｄｅｌａｙにより一定の遅延の後、メインアンプMA_iに印加され、メインアンプMA_iはイコライズされて再び待機状態となり、次のデータ出力を待つ。これを繰り返すことにより、一連のデータが次々と出力される。

【０１００】

図１５及び図１６で説明した本実施例によれば、アドレスカウンタＡＤ．C_iと内部クロック発生回路MB_i．ＣＬＫ．ｇｅｎをメモリアレーブロックMB_iごとに設けて自己同期的に動作するようにしたことにより、従来では入力制御部からメモリアレーブロックまでのアドレスバスＡＤの信号線を、１回ごとに充放電する必要があったのに対し、連続データの初期アドレス転送時のみにアドレスバスＡＤの信号線を充放電すればよいので、消費電流や雑音を低減でき、かつ高速になる効果がある。図２の説明で述べた（１）～（５）と同様な効果が得られるのは勿論である。

【０１０１】

＜実施例８＞

図１７は、本発明に係るメモリシステムのまた別の実施例の要部を示すブロック図である。本実施例のメモリシステムはＣＰＵと複数のメモリチップからなる例である。ＣＰＵが図１および図８に示した実施例の制御回路$CNTL_0$に相当し、メモリチップM．$Chip_i$（添字ｉは１，２，…）がメモリアレーブロックB_iに相当する。ＣＰＵの内部あるいは近くに、バッファBF_0を含むデータ入出力回路$CLKMT_0$が設けられる。ＣＰＵ内のデータ入出力回路$CLKMT_0$と各メモリチップM．$Chip_1$，M．$Chip_2$，…等との間は、チップ選択信号CS^-、相補Ｉ／Ｏデータバス、アドレスバスＡＤ、およびライトイネーブルＷＥの各信号線によって結ばれる。各メモリチップM．$Chip_1$，M．$Chip_2$，…等は、ＣＰＵのクロック信号ＣＬＫとは異なる個別の内部周期で動作する。しかし、図１から図１２で説明した方法により、ＣＰＵと各メモリチップM．$Chip_1$，M．$Chip_2$，…等との間のデータのやりとりは、整合性良く行うことができる。チップ選択信号CS^-は、図１および図８に示した実施例のブロック選択信号BS^-に相当する。

【０１０２】

本実施例によれば、図１８に示した従来のメモリシステムのように全体に網羅されていたクロック信号線１０の充放電が不要となるので、低消費電流で低雑音のメモリシステムを得ることができる。更に、図１３および図１４で述べたのと同じ理由により、高速のメモリシステムを得ることもできる。

【０１０３】

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【０１０４】

【発明の効果】

前述した実施例から明らかなように、本発明によれば、複数のメモリブロックと、これらの各メモリブロックを制御するための共通の制御回路とを少なくとも有するメモリシステ

ムにおいて、シリアルに入力してくるデータの転送速度を変調して出力するための複数のレジスタからなるバッファを含むデータ入出力同期回路を設け、このデータ入出力同期回路のバッファとメモリブロックとを相補データバスにより接続して、前記データ入出力同期回路の出力の周期を前記制御回路によって制御するように構成したことにより、共通の制御回路から各メモリブロックまでのクロック信号線を分配することなく、メモリシステムを外部装置のクロックに同期して動作させることができる。従って、メモリシステムが増大しても、メモリシステム内のクロック遅延の為に処理速度が劣化することがなく、かつ、データの受渡しも整合性良く行うことができる。

【０１０５】

さらに、次のような効果も奏する。

各メモリブロックの動作として、一つのデータ処理が終了したことを検知して次のデータ処理を開始する自己同期型のパイプライン方式を用いることができる。この結果、外部のクロックに同期させて行うパイプライン方式において従来必要だった各段の処理時間に対するクロック長のマージンが不要となり、高速のメモリシステムを得ることができると共に、最初のデータが得られるまでの時間も速くすることができる。

【０１０６】

また、メモリシステム全体に渡ってのクロック線の充放電が不要となるため、メモリシステムの消費電流を低減することができると共に、メモリシステム全体に渡るクロック線の充放電に伴い発生する雑音がなくなり高信頼性のメモリシステムを得ることができる。

【０１０７】

更に、メモリシステムの設計において、メモリブロックと制御回路間のクロック信号遅延を考慮する必要がなく、設計を各メモリブロック内で閉じることができるので、メモリシステムの設計が容易化される。

【０１０８】

以上述べた効果は、上記メモリシステムが、複数のメモリアレーブロックに分割された半導体メモリチップの場合、或いは、ＣＰＵと複数のメモリチップからなる電子装置の場合であっても同様の効果を奏する。

【０１０９】

別の効果として、複数のメモリアレーブロックに分割された半導体メモリチップにおいて、ブロックごとにアドレスカウンタを設けたことにより、連続データの初期アドレス転送時のみにアドレスバスの信号線を充放電すれば良いので、消費電流や雑音を低減でき、かつ高速になる効果がある。

【図面の簡単な説明】

【図１】本発明に係るメモリシステムの一実施例の要部を示すブロック図である。

【図２】図１のメモリシステムにおけるメモリアレーブロックB_iから制御回路$CNTL_0$へのデータ転送動作の一例を示す動作波形図である。

【図３】図１のメモリシステムにおける制御回路$CNTL_0$から選択されたメモリアレーブロックB_1へのデータ転送動作の一例を示す動作波形図である。

【図４】図１のメモリシステムにおける制御回路$CLKMT_0$の具体的回路構成の一例を示すブロック回路図である。

【図５】図４のフリップフロップ$FF_{1\ i}$の構成例を示す回路図である。

【図６】図４のデータ入出力同期回路$CLKMT_{0\ A}$の内部動作の一例を示す動作波形図である。

【図７】図１のメモリアレーブロックB_iのインターフェイス回路の一例を示す要部ブロック図である。

【図８】本発明に係るメモリシステムの別の実施例の要部を示すブロック図である。

【図９】図８のメモリシステムにおけるメモリアレーブロックB_iから制御回路$CNTL_0$へのデータ転送動作の一例を示す動作波形図である。

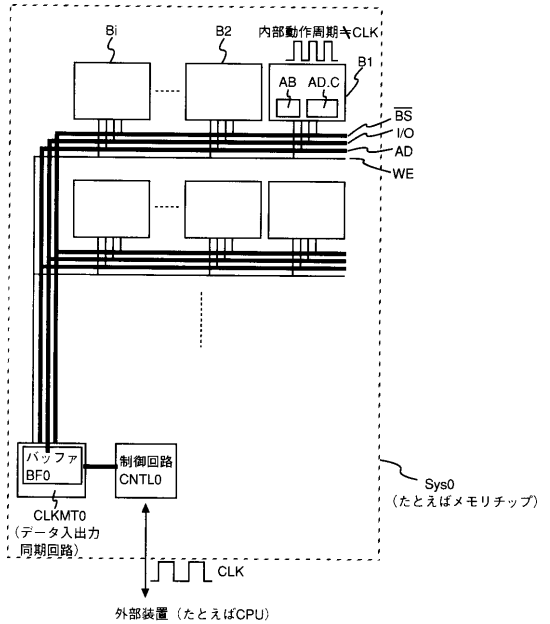
【図１０】図８のメモリシステムにおけるバッファ状態信号ＢＦＳＴによるメモリアレーブロックB_iの一時停止及び再始動を説明するための説明図である。

【図１１】図８のメモリシステムにおけるデータ入出力同期回路ＣＬＫＭＴ$_{0B}$の具体的回路構成の一例を示すブロック回路図である。
【図１２】図１のメモリシステムにおいて外部装置のクロックがメモリアレーブロックの内部クロックより高速である場合の、データ入出力同期回路ＣＬＫＭＴ$_0$の具体的回路構成の別の例を示すブロック回路図である。
【図１３】本発明に係るメモリシステムにおいて、システム内クロック遅延の分布がクロック周波数に影響を与えないことを示すための動作波形図である。
【図１４】本発明に係るメモリシステムにおいて、メモリアレーブロックにパイプライン方式を適用した場合に、パイプライン最長段の処理速度ばらつきがクロック周波数に影響を与えないことを示すための動作波形図である。
【図１５】本発明に係るメモリシステムの更に別の実施例の要部を示すブロック回路図であり、半導体メモリチップに適用した場合である。
【図１６】図１５のメモリシステムにおける内部クロック発生回路の一例を示すブロック回路である。
【図１７】本発明に係るメモリシステムのまた別の実施例の要部を示すブロック回路図であり、ＣＰＵと複数のメモリチップからなる電子装置に適用した場合である。
【図１８】従来の１つのクロックに同期して制御するメモリシステムの要部を示すブロック回路図である。
【図１９】図１８の従来メモリシステムのシステム内クロック遅延の分布による速度劣化を示す動作波形図である。
【図２０】図１８の従来メモリシステムにおいて、メモリアレーブロックにパイプライン方式を適用した場合に、パイプライン最長段の処理速度ばらつきがクロック周波数に与える影響を示すための動作波形図である。
【符号の説明】
ＡＢ$_i$…アドレスバッファ
ＡＤ…アドレスバス
ＡＤ．Ｃ$_i$…アドレスカウンタ
Ｂ$_i$…メモリブロック（メモリアレーブロック）
Ｂ$_i$．ＣＬＫ．ｇｅｎ…ブロック内クロック発生回路
ＢＦ$_0$…バッファ
ＢＦＳＴ…バッファ状態信号
ＢＬ…連続データ数（バースト長）
ＢＳ$^-$…ブロック選択信号
ＣＬＫ…制御回路のクロック（ＣＰＵのクロック）
ＣＬＫＭＴ$_0$，ＣＬＫＭＴ$_{0A}$…データ入出力同期回路
ＣＬＫＭＴ$_{0B}$，ＣＬＫＭＴ$_{0C}$…データ入出力同期回路
ＣＬＫＭＴ$_m$…データ入出力同期回路
ＣＮＴＬ$_0$…制御回路
ＣＮＴＬ$_m$…制御回路
Ｃｏｕｎｔｅｒ$_i$…カウンタ
ＣＳ$^-$…チップ選択信号
Ｄｅｃ$_i$…デコーダ
ＤＴ、ＤＢ…入出力相補データ線対
Ｅ$_i$…デコーダ出力（フリップフロップ回路選択線）
ＦＦ$_{1i}$…フリップフロップ回路（レジスタ）
Ｉ／Ｏ…相補データバス
Ｉ／Ｏ$_i$…メモリブロック内相補データ線
ＨＯＬＤ$_0$…ホールド回路（ＢＦＳＴ出力回路）
Ｍ．Ｃｈｉｐ$_i$…メモリチップ
ＭＢ$_i$…メモリアレーブロック

ＭＡＲＹ$_i$…メモリアレー
ＭＡ$_i$…メインアンプ
ＭＢ$_i$．ＣＬＫ．ｇｅｎ…内部クロック発生回路
Ｐ$_i$…パイプライン各段
Ｑ$_i$…フリップフロップ回路出力
Ｖｒｅｆ…アンプ基準電圧
Ｗａｉｔ…制御回路の一時停止信号
ＷＥ…ライトイネーブル信号（書き込み／読み出し選択）

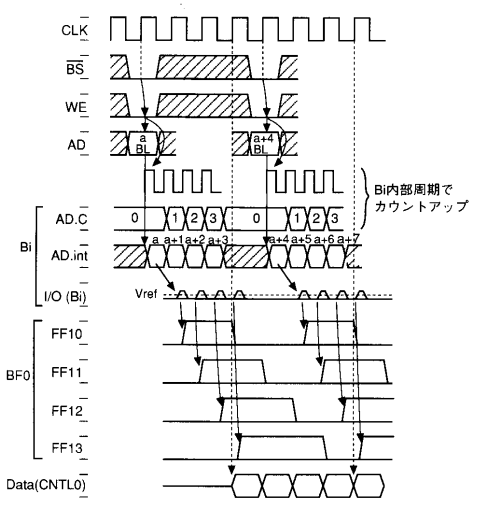
【図１】

図1



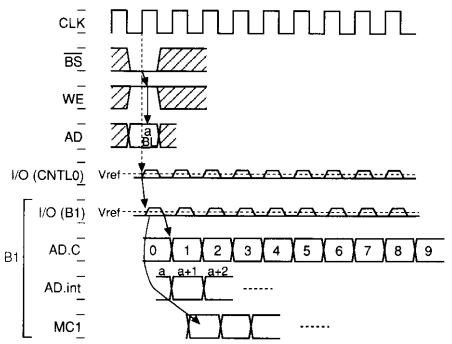
【図２】

図2



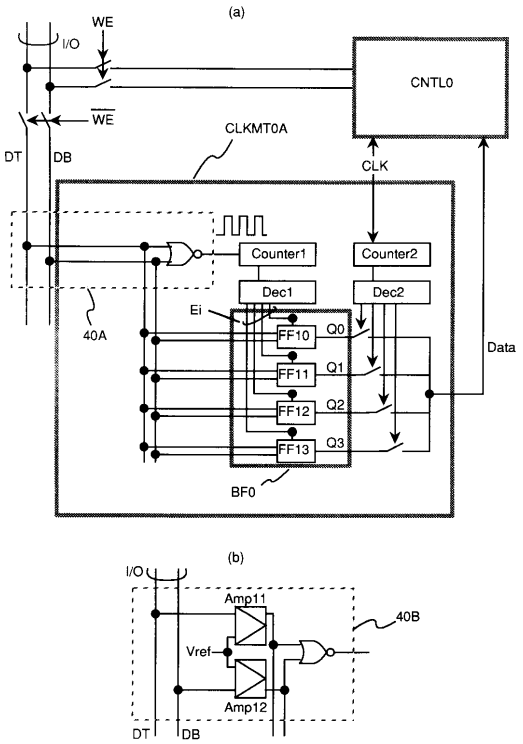
【図３】

図３



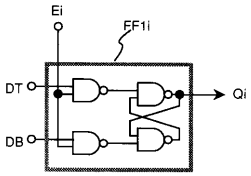
【図４】

図４



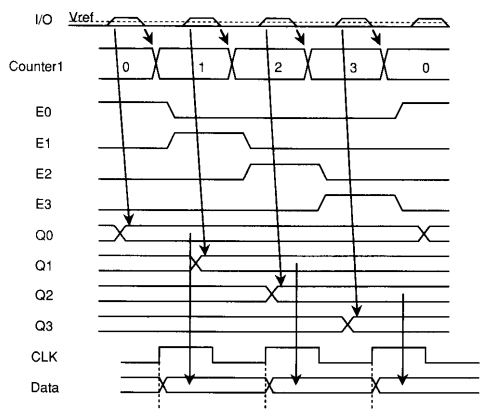
【図５】

図５



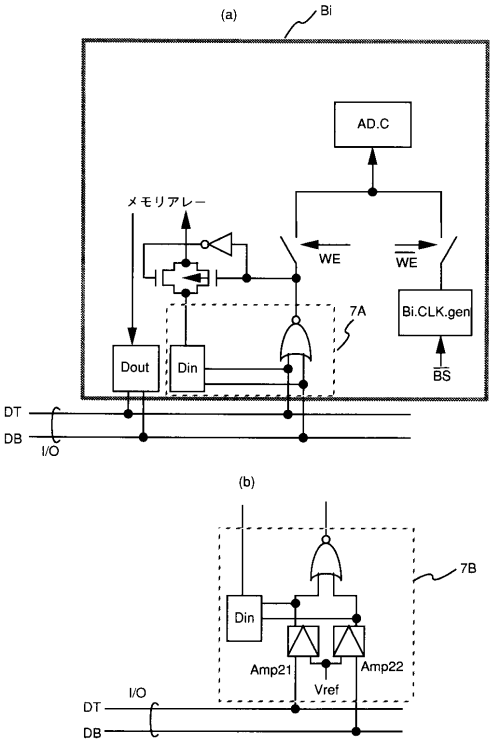
【図６】

図６



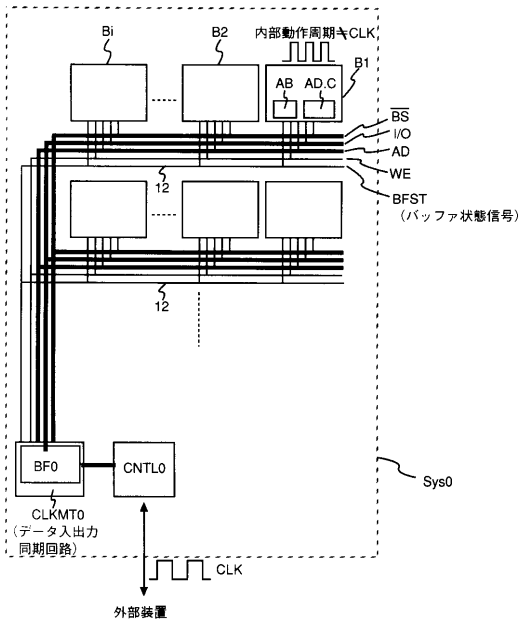
【図７】

図７



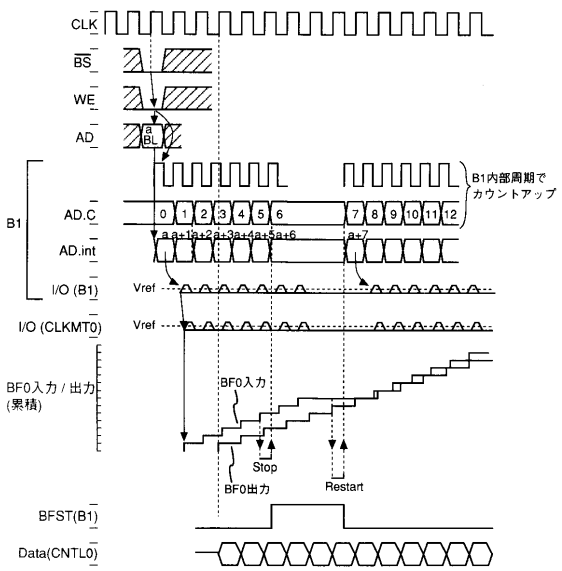
【図８】

図８



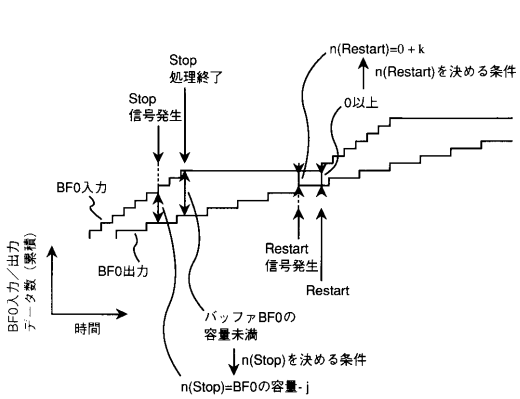
【図９】

図９



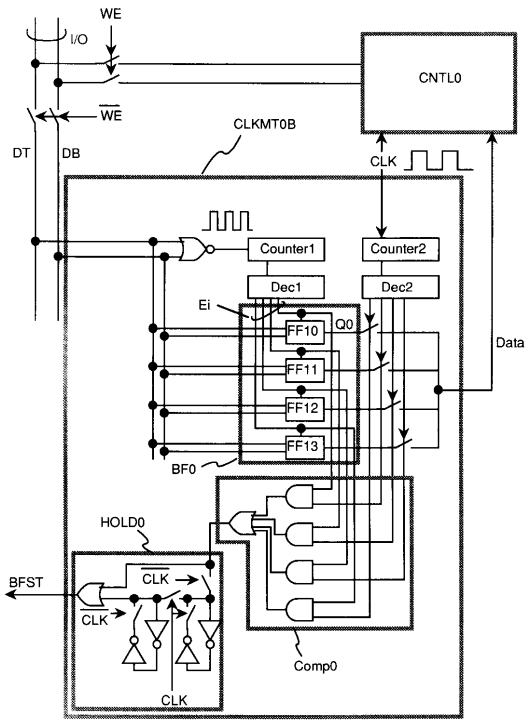
【図１０】

図１０



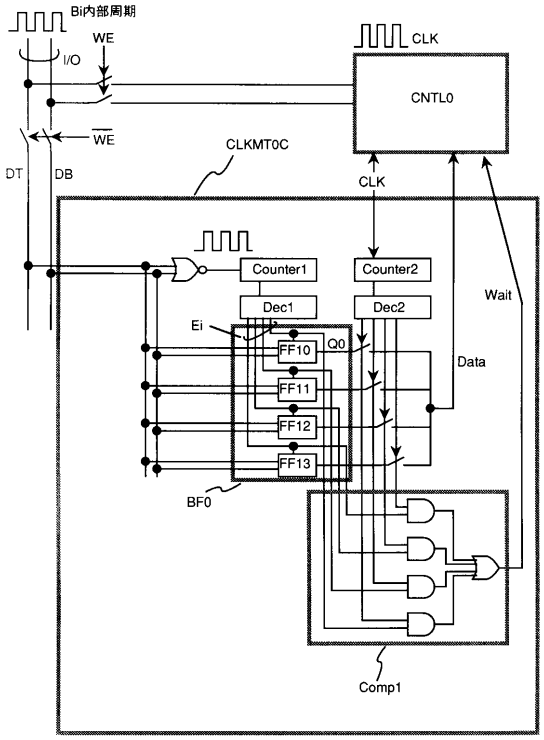
【図１１】

図１１



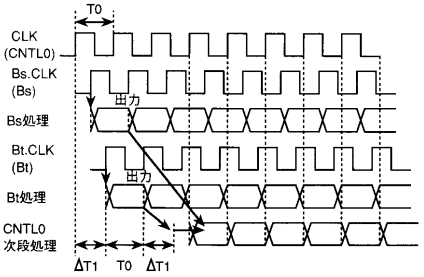
【図１２】

図１２



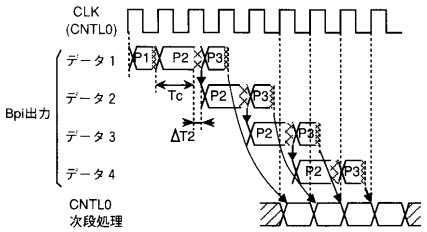
【図１３】

図１３



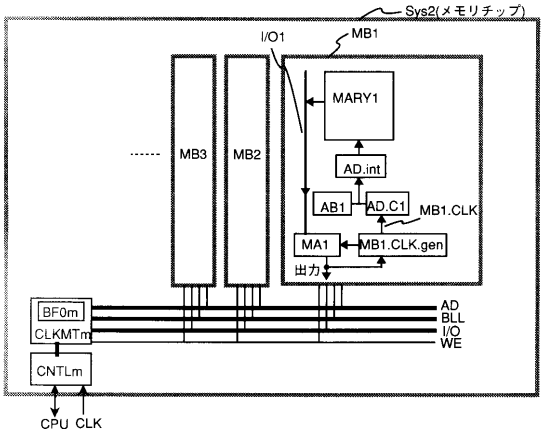
【図１４】

図１４



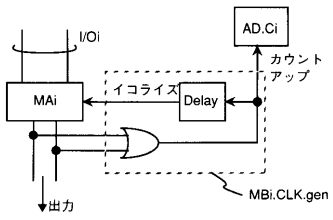
【図１５】

図１５



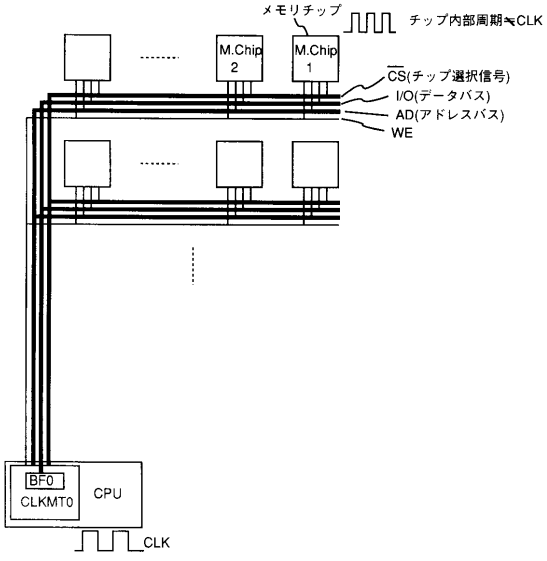
【図１６】

図１６



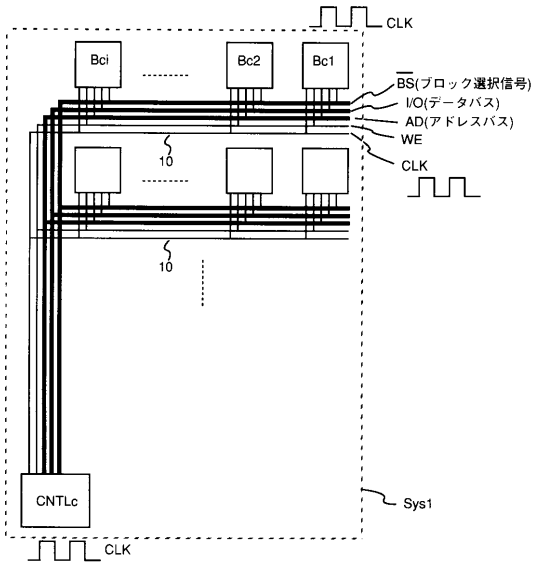
【図１７】

図１７



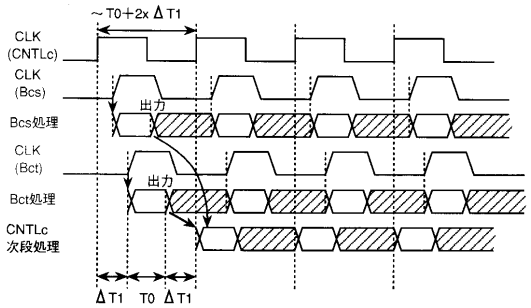
【図１８】

図１８



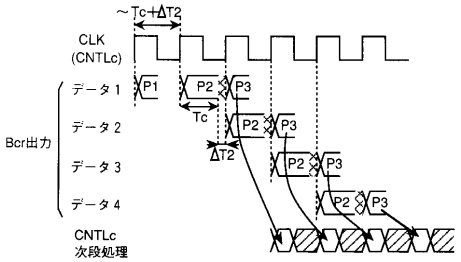
【図１９】

図１９



【図２０】

図２０



フロントページの続き

(72)発明者　竹内　　幹
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　堀口　真志
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　青木　正和
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　阪田　　健
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　田中　　均
東京都小平市上水本町５丁目２０番１号　日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者　松野　勝己
東京都国分寺市東恋ケ窪１丁目２８０番地　株式会社日立製作所中央研究所内

審査官　多賀　実

(56)参考文献　特開平０７－２１０５０７（ＪＰ，Ａ）
特開平０７－０８４７５６（ＪＰ，Ａ）
特開平０２－０６７６５２（ＪＰ，Ａ）
特開昭６２－２６３５６１（ＪＰ，Ａ）
特開平０５－３４２１４０（ＪＰ，Ａ）
特開平０３－１０８０１５（ＪＰ，Ａ）
特開平０３－０２７６３８（ＪＰ，Ａ）
特開平０４－１４０８１２（ＪＰ，Ａ）
特開平０２－２３６８９６（ＪＰ，Ａ）
特開平０３－００３１９２（ＪＰ，Ａ）
特開平０６－１５２３８６（ＪＰ，Ａ）
特開昭６３－２４４３８９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 1/12,3/00,12/00-06,
13/16-18,13/38-42,
G11C11/407,409,
H03K19/00,
H04L 7/00-10