

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-286503

(P2007-286503A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl. F I テーマコード (参考)  
**G 1 O H 1/057 (2006.01)** G 1 O H 1/057 Z 5 D 3 7 8

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願2006-115844 (P2006-115844)  
 (22) 出願日 平成18年4月19日 (2006.4.19)

(71) 出願人 000001443  
 カシオ計算機株式会社  
 東京都渋谷区本町1丁目6番2号  
 (74) 代理人 100096699  
 弁理士 鹿嶋 英實  
 (72) 発明者 坂田 吾朗  
 東京都羽村市栄町3丁目2番1号  
 カシオ計算機株式会社羽  
 村技術センター内  
 Fターム(参考) 5D378 HB12 HB14 HB18 HB23

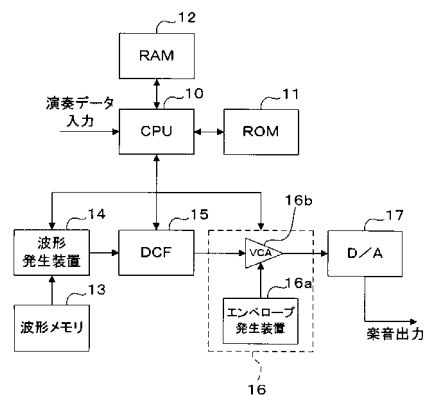
(54) 【発明の名称】 エンベロープ発生装置

(57) 【要約】

【課題】汎用性に富み、様々なダイナミックレンジを有する楽器システムに対応することができるエンベロープ発生装置を実現する。

【解決手段】CPU 10がD/A変換器17のダイナミックレンジに応じた閾値THをROM 11から読み出してエンベロープ発生装置16aに設定する。エンベロープ発生装置16aは、指数的に減衰するエンベロープ波形のレベルが、閾値TH以下になったときに、指数的に減衰するエンベロープ波形から線形に減衰するエンベロープ波形に切り替える。これにより、チャンネルリソースを浪費したり、聴感上好ましくない影響が生じるといった従来の弊害を解消する為、汎用性に富み、様々なダイナミックレンジを有する楽器システムに対応することができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

出力ダイナミックレンジに応じた閾値を設定する閾値設定手段と、

指数的に減衰する第 1 のエンベロープ波形を発生する第 1 のエンベロープ発生手段と、

線形に減衰する第 2 のエンベロープ波形を発生する第 2 のエンベロープ発生手段と、

波形レベルが前記閾値設定手段により設定される閾値に到達するまでは前記第 1 のエンベロープ発生手段が発生する第 1 のエンベロープ波形を出力し、この第 1 のエンベロープ波形のレベルが、前記閾値設定手段により設定される閾値まで減衰した場合に、当該第 1 のエンベロープ波形から前記第 2 のエンベロープ発生手段が発生する第 2 のエンベロープ波形に切り替えて出力する出力手段と

を具備することを特徴とするエンベロープ発生装置。

10

## 【請求項 2】

前記閾値設定手段は、エンベロープ発生装置の後段に設けられる D / A 変換手段のダイナミックレンジに応じた閾値を設定することを特徴とする請求項 1 記載のエンベロープ発生装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電子楽器に用いて好適なエンベロープ発生装置に関する。

## 【背景技術】

20

## 【0002】

周知のように、電子楽器の多くは、発音すべき音高に対応して生成される波形データにエンベロープ波形を乗算して発生楽音の音量や音色を制御するエンベロープ発生装置を具備する。所謂、A D S R 型のエンベロープ波形を形成するエンベロープ発生装置では、ディケイ領域やリリース領域において指数的に減衰するエンベロープ波形を発生させる。なお、指数的に減衰するエンベロープ波形を発生するエンベロープ発生装置については、例えば特許文献 1 等に開示されている。

## 【0003】

【特許文献 1】特開平 8 - 3 2 8 5 6 1 号公報

## 【発明の開示】

30

## 【発明が解決しようとする課題】

## 【0004】

ところで、指数的に減衰するエンベロープ波形は、実際にはある時間で目標値に到達するように、指数的に減衰するエンベロープ波形から線形に減衰するエンベロープ波形に切り替えることが多い。このエンベロープ切り替えでは、エンベロープ波形の不連続が生じ易く、それがノイズ発生要因となって聴感上好ましくない。この為、エンベロープ切り替えは、音量レベルが十分に低減している状態で行われるのが望ましい。

## 【0005】

エンベロープ切り替え時の音量レベルは、楽器システムが備える出力段のダイナミックレンジ、つまり具体的にはエンベロープ発生装置の後段に設けられる D A C ( D / A 変換器 ) のビット長に依存する。例えば、24 ビット長の D A C を備える楽器システムであれば、指数的に減衰エンベロープ波形から線形に減衰するエンベロープ波形に切替える時の音量レベル ( 以下、切替えレベルと称す ) は、20 ビット ( - 1 2 0 d B 相当 ) 以下であることが望ましい。

40

## 【0006】

一方、この 24 ビット長の D A C のダイナミックレンジを前提にした切替えレベルを、例えば 16 ビット長の D A C に適用すると、実際には聴取できない切替えレベル ( ビット数 ) で指数エンベロープ波形から線形エンベロープ波形に切替えることになり、しかもこうした無効な切替えのタイミングに達するまで無駄な待機時間を要することになる。

## 【0007】

50

一般にポリフォニック発音する音源では、音量レベルがゼロになるまで発音チャンネルを解放することができない。したがって、24ビット長のDACのダイナミックレンジを前提とした楽器システムのエンベロープ発生装置を、16ビット長のDACのダイナミックレンジを前提とした楽器システムに適用した場合には、上述した無効な切替えのタイミングに達するまでの間、発音チャンネルを占有してしまう結果、チャンネルリソースを浪費するという弊害が生じる。

【0008】

これとは逆に、16ビット長のDACのダイナミックレンジを前提とした楽器システムのエンベロープ発生装置を、24ビット長のDACのダイナミックレンジを前提とした楽器システムに適用した場合には、音量レベルが十分に低減していない状態で指数エンベロープ波形から線形エンベロープ波形に切替わる為、今度は聴感上好ましくない影響が生じる。

10

【0009】

このように、従来のエンベロープ発生装置では、楽器システムのダイナミックレンジに応じた最適なタイミングで指数エンベロープ波形から線形エンベロープ波形に切り替えることができず、換言すれば、汎用性に欠け、様々なダイナミックレンジを有する楽器システムに対応することができない、という問題がある。

【0010】

本発明は、このような事情に鑑みてなされたもので、汎用性に富み、様々なダイナミックレンジを有する楽器システムに対応することができるエンベロープ発生装置を提供することを目的としている。

20

【課題を解決するための手段】

【0011】

上記目的を達成するため、請求項1に記載の発明では、出力ダイナミックレンジに応じた閾値を設定する閾値設定手段と、指数的に減衰する第1のエンベロープ波形を発生する第1のエンベロープ発生手段と、線形に減衰する第2のエンベロープ波形を発生する第2のエンベロープ発生手段と、波形レベルが前記閾値設定手段により設定される閾値に到達するまでは前記第1のエンベロープ発生手段が発生する第1のエンベロープ波形を出力し、この第1のエンベロープ波形のレベルが、前記閾値設定手段により設定される閾値まで減衰した場合に、当該第1のエンベロープ波形から前記第2のエンベロープ発生手段が発生する第2のエンベロープ波形に切り替えて出力する出力手段とを具備することを特徴とする。

30

【0012】

上記請求項1に従属する請求項2に記載の発明では、前記閾値設定手段は、エンベロープ発生装置の後段に設けられるD/A変換手段のダイナミックレンジに応じた閾値を設定することを特徴とする。

【発明の効果】

【0013】

本発明では、出力ダイナミックレンジに応じた閾値を設定しておき、波形レベルがその閾値に到達するまでは指数的に減衰する第1のエンベロープ波形を出力し、この第1のエンベロープ波形のレベルが閾値まで減衰すると、当該第1のエンベロープ波形から線形に減衰する第2のエンベロープ波形に切り替えて出力するので、チャンネルリソースを浪費したり、聴感上好ましくない影響が生じるという従来の弊害を解消し、汎用性に富み、様々なダイナミックレンジを有する楽器システムに対応することができるようになる。

40

【発明を実施するための最良の形態】

【0014】

以下、図面を参照して本発明の実施の形態について説明する。

A. 構成

(1) 全体構成

図1は本発明の実施の一形態によるエンベロープ発生装置を備えた楽音発生装置の全体

50

構成を示すブロック図である。この図において、CPU 10は、ノートオン/ノートオフ等のイベントを含む演奏データ(MIDIデータ)に応じた楽音パラメータを発生して装置各部に供給して楽音を発生させる。ROM 11は、プログラムエリアおよびデータエリアを備える。ROM 11のプログラムエリアには、CPU 10が実行する各種処理プログラムが格納される。ここで言う各種処理プログラムとは、後述するリセット処理、ノートオンイベント処理、タイマ1処理、ノートオフイベント処理およびタイマ2処理を含む。

#### 【0015】

ROM 11のデータエリアには、例えば発生する楽音の音色を指定する音色データが格納される。音色データは、後述する波形メモリ13に記憶される各種音色の波形データの読み出しアドレスを指定する。また、ROM 11のデータエリアには、後述するエンベロープ発生装置16aに設定する閾値THが格納される。なお、閾値THは、後述するD/A変換器17のダイナミックレンジに応じて決定される値である。

10

#### 【0016】

RAM 12は、CPU 10のワークエリアとして用いられ、各種レジスタ・フラグデータを一時記憶する。波形メモリ13は、各種音色の波形データを記憶する。波形発生装置14は、CPU 10から供給される楽音パラメータに応じた楽音波形を発生する。具体的には、CPU 10から供給される音色データで指定される音色の波形データを、ノートナンバに応じた読み出し速度で波形メモリ13から読み出して楽音波形を発生する。なお、ノートナンバとは、演奏データ(ノートオンイベント)に含まれ、発生すべき楽音の音高を表す情報である。

20

#### 【0017】

DCF(デジタル制御フィルタ)15は、CPU 10から供給されるカットオフ周波数FCに応じて、波形発生装置14が発生する楽音波形にローパスフィルタリングを施して出力する。エンベロープ制御部16は、エンベロープ発生装置16aおよびVCA(電圧制御増幅器)16bから構成され、CPU 10から供給される楽音パラメータに応じて楽音波形の音量を制御する。

#### 【0018】

すなわち、CPU 10が演奏データに含まれるタッチデータに基づき発生すべきエンベロープ波形の目標値Tおよびレート値Rと、ROM 11から読み出す閾値THとをエンベロープ発生装置16aに与えると、エンベロープ発生装置16aは、目標値T、閾値THおよびレート値Rに従って時々刻々変化するエンベロープ波形(現在値C)を発生してVCA 16bに供給する。

30

#### 【0019】

VCA 16bは、エンベロープ発生装置16aから供給されるエンベロープ波形に応じて、前段のDCF 15から出力される楽音波形の出力レベルを制御する。D/A変換器17では、こうしてエンベロープ制御部16がレベル制御する楽音波形をD/A変換して得たアナログ信号形式の楽音出力を発生する。

#### 【0020】

##### (2)エンベロープ発生装置16aの構成

図2は、エンベロープ発生装置16aの構成を示すブロック図である。この図において、目標値レジスタ100は、CPU 10から供給される目標値Tを一時記憶する。現在値レジスタ101は、後述するセレクタSEL 1から出力される現在値C(現在生成されるエンベロープ波形値)を一時記憶する。なお、現在値レジスタ101に格納される現在値Cは、乗算係数としてVCA 16bに与えられる。レート値レジスタ102は、CPU 10から供給されるレート値Rを一時記憶する。レート値Rとは、発生すべきエンベロープ波形の傾きを表す。閾値レジスタ103は、CPU 10から供給される閾値THを一時記憶する。

40

#### 【0021】

符号判定器SUB 1は、目標値レジスタ100の目標値Tから現在値レジスタ101の現在値Cを減算して得た値の符号により現在生成しているエンベロープ波形が上昇(増加

50

)又は下降(減衰)のいずれであるかを判定し、この符号判定結果をセレクタSEL1、SEL2およびレート加減算器ADD/SUBに供給する。到達判定器SUB2は、目標値レジスタ100の目標値Tからレート加減算器ADD/SUBの出力を減算して得た値から現在生成しているエンベロープ波形が目標到達しているか否かを判定し、この到達判定結果をセレクタSEL1に供給する。

**【0022】**

セレクタSEL1は、符号判定器SUB1から供給される符号判定結果と、到達判定器SUB2から供給される到達判定結果とに応じて、目標値レジスタ100の目標値Tまたはレート加減算器ADD/SUBの出力のいずれかを選択し、選択した値を現在値Cとして現在値レジスタ101にストアする。乗算器MXは、現在値レジスタ101の現在値Cに、レートレジスタ102のレート値Rを乗算してセレクタSEL2に供給する。セレクタSEL2は、符号判定器SUB1から供給される符号判定結果に応じて、乗算器MXの出力またはレートレジスタ102のレート値Rのいずれかを選択して論理回路104に供給する。

10

**【0023】**

論理回路104は、セレクタ104aおよび到達判定器104bを備える。セレクタ104aは、到達判定器104bから供給される到達判定結果に応じて、セレクタSEL2の出力またはレートレジスタ102のレート値Rのいずれかを選択してレート加減算器ADD/SUBに供給する。到達判定器104bは、セレクタSEL2の出力から閾値レジスタ103の閾値THを減算して得た値から現在生成しているエンベロープ波形が閾値THを超えているか否かを判定し、この到達判定結果をセレクタ104aに供給する。

20

**【0024】**

レート加減算器ADD/SUBは、符号判定器SUB1から供給される符号判定結果に従い、現在値レジスタ101の現在値Cに対して論理回路104の出力を加算もしくは減算し、これにより得られる加減算出力をセレクタSEL1に供給する。

**【0025】**

次に、図3を参照して上記構成によるエンベロープ発生装置16aの動作を説明する。図3は、符号判定器SUB1の符号判定結果と、到達判定器SUB2の到達判定結果とに応じた各部(セレクタSEL1, SEL2およびレート加減算器ADD/SUB)の動作をまとめた一覧表である。まず、ノートオンに応じてアタックレベルが目標値Tとして与えられたとする。この場合、図3に図示するように、現在値Cが目標値T以下( $T > C$ )であって、レート加減算器ADD/SUBの出力が目標値Tに未達( $T > \text{ADD/SUB}$ )なので、セレクタSEL1はレート加減算器ADD/SUBの出力を選択し、セレクタSEL2はレート値Rを選択し、レート加減算器ADD/SUBは加算する。したがって、アタックレベル(目標値T)に達するまでは、レート値Rを加算して現在値Cを更新することで線形増加するエンベロープ波形が形成される。

30

**【0026】**

そして、レート加減算器ADD/SUBの出力が目標値Tに到達( $T < \text{ADD/SUB}$ )すると、セレクタSEL1は目標値レジスタ101の目標値Tを選択し、セレクタSEL2はレート値Rを選択し、レート加減算器ADD/SUBは加算する。これにより、現在値Cがサステインレベル(目標値T)に設定される。

40

**【0027】**

サステインレベルが目標値Tとして与えられると、図3に図示するように、現在値Cが目標値Tより大きく( $T < C$ )、かつレート加減算器ADD/SUBの出力が目標値Tより大きい( $T < \text{ADD/SUB}$ )ので、セレクタSEL1はレート加減算器ADD/SUBの出力を選択し、セレクタSEL2は乗算器MXの出力を選択し、レート加減算器ADD/SUBは減算する。したがって、サステインレベル(目標値T)に達するまでは、現在値Cにレート値R(ディケイレート)を乗算して当該現在値Cを更新することで指数的に減衰するエンベロープ波形が形成される。

**【0028】**

50

この後、サステイン領域からリリ - ス領域に遷移し、指数的に減衰するエンベロープ波形（現在値 C）が閾値 TH 以下になったとする。そうすると、論理回路 104 では、到達判定器 104 b の到達判定結果に基づき、セレクタ 104 a がレートレジスタ 102 のレート値 R を選択して次段のレート加減算器 ADD / SUB に出力する。これにより、指数的に減衰するエンベロープ波形（現在値 C）が閾値 TH 以下になると、レート値 R を減算して現在値 C を更新する。つまり、閾値 TH を境にして、指数的に減衰するエンベロープ波形から線形減衰するエンベロープ波形に切り替わる。

#### 【0029】

前述したように、閾値 TH は、D / A 変換器 17 のダイナミックレンジに応じて設定される。したがって、例えば図 4 に図示するように、D / A 変換器 17 のダイナミックレンジが小さい場合には、閾値 TH 1 で指数的に減衰するエンベロープ波形 ENV から線形減衰するエンベロープ波形 A に切り替え、一方、D / A 変換器 17 のダイナミックレンジが大きい場合には、閾値 TH 2 で指数的に減衰するエンベロープ波形 ENV から線形減衰するエンベロープ波形 B に切り替えるようにする。これにより、楽器システムのダイナミックレンジに応じた最適なタイミングで指数エンベロープ波形から線形エンベロープ波形に切り替えることができる結果、汎用性に富み、様々なダイナミックレンジを有する楽器システムに対応し得るようになっている。

10

#### 【0030】

##### (3) 論理回路 104 の構成

次に、図 5 を参照して論理回路 104 の具体的な構成について説明する。上述したように、論理回路 104 は、指数的に減衰するエンベロープ波形（現在値 C）が閾値 TH 以下になると、線形減衰するエンベロープ波形に切り替える機能を具備する。図 5 に図示する一例の論理回路 104 には、指数的に減衰するエンベロープ波形が DI30 ~ DI0 の 31 ビット長のデータとして入力される。この 31 ビット長のデータ DI30 ~ DI0 の内、DI30 ~ DI15 は整数部を、DI14 ~ DI0 は小数部を形成する。

20

#### 【0031】

論理回路 104 では、入力される 31 ビット長のデータ DI30 ~ DI0 の内、その上位 16 ビット（DI30 ~ DI15）からなる出力データ DOH15 ~ DOH0 とキャリーイン（桁上がり）用の出力データ DOL とを出力する。すなわち、入力される 31 ビット長のデータ DI30 ~ DI0 の内、上位 13 ビットのデータ DI30 ~ DI18 は、そのまま出力データ DOH15 ~ DOH3 としてスルー出力される。

30

#### 【0032】

入力される 31 ビット長のデータ DI30 ~ DI0 の内、データ DI17 ~ DI12 は、それぞれセレクタ SEL5 ~ SEL0 に入力される。セレクタ SEL5 ~ SEL0 は、一方の入力端に「1」が共通入力され、他方の各入力端に上記のデータ DI17 ~ DI12 が各々入力され、設定される閾値 TH に応じて入力選択する。

#### 【0033】

ここで、図 6 を参照して、閾値 TH に応じて入力選択するセレクタ SEL5 ~ SEL0 の動作を説明する。図 6 に図示する一例の場合、セレクタ SEL5 では、閾値 TH が「-121 dB」以下の場合にデータ DI17 を選択し、これを出力データ DOH2 として出力する。閾値 TH が「-85 dB」~「-115 dB」の範囲では、「1」を出力データ DOH2 として出力する。

40

#### 【0034】

同様に、セレクタ SEL4 では、閾値 TH が「-115 dB」以下の場合にデータ DI16 を出力データ DOH1 として出力し、それ以外では「1」を出力データ DOH1 として出力する。セレクタ SEL3 では、閾値 TH が「-109 dB」以下の場合にデータ DI15 を出力データ DOH0 として出力し、それ以外では「1」を出力データ DOH0 として出力する。

#### 【0035】

セレクタ SEL2 では、閾値 TH が「-103 dB」以下の場合にデータ DI14 を論

50

理回路 A N D 4 に供給し、それ以外では「1」を論理回路 A N D 4 に供給する。セレクタ S E L 1 では、閾値 T H が「-97 dB」以下の場合にデータ D I 1 3 を論理回路 A N D 3 に供給し、それ以外では「1」を論理回路 A N D 3 に供給する。セレクタ S E L 0 では、閾値 T H が「-91 dB」以下の場合にデータ D I 1 2 を論理回路 A N D 2 に供給し、それ以外では「1」を論理回路 A N D 2 に供給する。

#### 【0036】

入力される31ビット長のデータ D I 3 0 ~ D I 0 の内、データ D I 1 1 ~ D I 0 は後段のレート加減算器 A D D / S U B の演算精度に影響を与えない。この為、データ D I 1 1 ~ D I 0 は、論理回路 O R 1 にて一括して論理和をとることで切り上げを行う。論理回路 O R 1 の出力は、論理回路 A N D 1 に供給される。論理回路 A N D 1 は、論理回路 O R 1 の出力とデコーダ D E C の出力 D E C 0 との論理積を出力する。論理回路 A N D 2 は、セレクタ S E L 0 の出力とデコーダ D E C の出力 D E C 1 との論理積を出力する。論理回路 A N D 3 は、セレクタ S E L 1 の出力とデコーダ D E C の出力 D E C 2 との論理積を出力する。論理回路 A N D 4 は、セレクタ S E L 2 の出力とデコーダ D E C の出力 D E C 3 との論理積を出力する。デコーダ D E C は、サンプリングクロック C L K に同期したタイミングで出力 D E C 0 ~ D E C 3 を発生する。

10

#### 【0037】

図7は、デコーダ D E C の出力タイミングを示すタイムチャートである。この図に示す通り、デコーダ D E C では、16サンプリング周期毎に出力 D E C 0 を、8サンプリング周期毎に出力 D E C 1 を、4サンプリング周期毎に出力 D E C 2 を、2サンプリング周期毎に出力 D E C 3 をそれぞれ発生する。論理回路 O R 2 は、論理回路 A N D 1 ~ A N D 4 の各出力の論理和を、キャリアイン(桁上がり)用の出力データ D O L として発生する。

20

#### 【0038】

このように、論理回路 O R 1 ~ O R 2、デコーダ D E C および論理回路 A N D 1 ~ A N D 4 では、出力 D E C 3 が小数点以下第1位、出力 D E C 2 が小数点以下第2位、出力 D E C 1 が小数点以下第3位、出力 D E C 0 が小数点以下第4位となり、これら小数点以下各桁の加減算結果と等価なキャリアイン用の出力データ D O L を生成するようになってい

#### 【0039】

また、図6に図示したタイムチャートから明らかなように、1サンプリング周期で「H(ハイ)」レベルになる信号は常に1つなので、次段のレート加減算器 A D D / S U B は、図8に図示するように、出力データ D O L をキャリアインとして、現在値 C に対して出力データ D O H 1 5 ~ D O H 0 を加減算できるようになる。こうすることにより、余計な加算器を必要としない利点を得られる。

30

#### 【0040】

##### B. 動作

次に、図9~図13を参照して実施形態の動作について説明する。以下では、C P U 1 0 が実行する「リセット処理」、「ノートオンイベント処理」、「タイマ1処理」、「ノートオフイベント処理」および「タイマ2処理」の各動作について述べる。

#### 【0041】

##### (1) リセット処理の動作

電源投入などのシステムリセットのイベントが発生すると、C P U 1 0 は図9に図示するリセット処理を実行してステップ S A 1 に処理を進め、装置各部を初期化するイニシャライズを行う。続いて、ステップ S A 2 では、R O M 1 1 のデータエリアに格納される閾値 T H を読み出す。次いで、ステップ S A 3 では、その読み出した閾値 T H を、エンベロープ発生装置 1 6 a の閾値レジスタ 1 0 3 (図2参照)にストアして本処理を終える。

40

#### 【0042】

##### (2) ノートオンイベント処理の動作

入力される演奏データにノートオンイベントが含まれていると、C P U 1 0 は図10に図示するノートオンイベント処理を実行してステップ S B 1 に処理を進める。ステップ S

50

B 1では、複数備える発音チャンネルの内、発音割当てされていない空きチャンネルを探し出し、その空きチャンネルに発音を割当てる。次いで、ステップS B 2では、ノートオンイベントに含まれるノートナンバをピッチデータ（読み出し位相情報）に変換して波形発生装置14に供給する。続いて、ステップS B 3では、音色に対応する波形読み出しアドレスを波形発生装置14に供給する。

【0043】

そして、ステップS B 4では、波形発生指示を波形発生装置14に与える。これにより、波形発生装置14は、CPU10が指定した音色の波形データを、ノートナンバに応じた読み出し速度で波形メモリ13から読み出して楽音波形を発生する。次に、ステップS B 5では、ノートオンイベントに含まれるタッチデータに応じたカットオフ周波数FCを発生してDCF（デジタル制御フィルタ）15に設定する。次いで、ステップS B 6では、エンベロープ発生装置16aの現在値レジスタ101（図2参照）をゼロリセットする。

10

【0044】

ステップS B 7では、ノートオンイベントに含まれるタッチデータからエンベロープ波形の目標値T（アタックレベル）を算出してエンベロープ発生装置16aの目標値レジスタ100（図2参照）にストアする。そして、ステップS B 8では、音色データからレート値Rを算出してエンベロープ発生装置16aのレート値レジスタ102（図2参照）にストアして本処理を終える。

【0045】

エンベロープ発生装置16aでは、アタックレベルが目標値Tとして与えられると、セクタSEL1がレート加減算器ADD/SUBの出力を選択し、セクタSEL2がレート値Rを選択し、レート加減算器ADD/SUBは加算するので、アタックレベル（目標値T）に達するまでは、レート値Rを加算して現在値Cを更新することによって線形増加するエンベロープ波形を形成する。

20

【0046】

（3）タイマ1処理の動作

CPU10では、ノートオン時点から所定時間経過毎にタイマ1処理を割込み実行する。タイマ1処理の実行タイミングになると、CPU10は図11に図示するタイマ1処理を実行してステップSC1に処理を進め、エンベロープ波形レベルを検出する。続いて、ステップSC2では、検出したレベルが目標値T、すなわちアタックレベルに到達したか否かを判断する。アタックレベルに到達していなければ、判断結果は「NO」になり、一旦本処理を完了させる。

30

【0047】

一方、検出したレベルがアタックレベルに到達した場合には、上記ステップSC2の判断結果は「YES」になり、ステップSC3に進む。ステップSC3では、該当チャンネル（アタックレベルに達した発音チャンネル）にアサインされる音色データに基づきサステインレベルを算出してエンベロープ発生装置16aの目標値レジスタ100にストアする。続いて、ステップSC4では、該当チャンネルにアサインされる音色データに基づきディケイレートを算出してエンベロープ発生装置16aのレート値レジスタ102にストアして本処理を終える。

40

【0048】

エンベロープ発生装置16aでは、サステインレベルが目標値Tとして与えられると、セクタSEL1がレート加減算器ADD/SUBの出力を選択し、セクタSEL2が乗算器MXの出力を選択し、レート加減算器ADD/SUBは減算するので、サステインレベル（目標値T）に達するまでは、現在値Cにレート値R（ディケイレート）を乗算して当該現在値Cを更新することによって指数的に減衰するエンベロープ波形を形成する。

【0049】

（4）ノートオフイベント処理の動作

入力される演奏データにノートオフイベントが含まれていると、CPU10は図12に

50

図示するノートオフイベント処理を実行してステップS D 1に処理を進める。ステップS D 1では、ノートオフイベントに含まれるノートナンバから消音すべき発音チャンネルを決定する。次いで、ステップS D 2では、エンベロープ発生装置16aの現在値レジスタ101に「0」をストアし、続くステップS Dでは、消音するチャンネルにアサインされる音色データに基づきリリースレートを算出してエンベロープ発生装置16aのレート値レジスタ102にストアして本処理を終える。

#### 【0050】

エンベロープ発生装置16aでは、指数的に減衰するエンベロープ波形（現在値C）が、前述のステップS A 3（図8参照）にて設定された閾値TH以下になると、図2に図示する論理回路104のセクタ104aがレートレジスタ102のレート値R（リリースレート）を選択して次段のレート加減算器ADD/SUBに出力する。これにより、指数的に減衰するエンベロープ波形（現在値C）が閾値TH以下になると、レート値Rを減算して現在値Cを更新する。つまり、指数的に減衰するエンベロープ波形から線形減衰するエンベロープ波形に切り替える。

10

#### 【0051】

##### （5）タイマ2処理の動作

CPU10では、ノートオフ時点から所定時間経過毎にタイマ2処理を割込み実行する。タイマ2処理の実行タイミングになると、CPU10は図13に図示するタイマ2処理を実行してステップSE1に処理を進め、エンベロープ波形レベルを検出する。続いて、ステップSE2では、検出したレベルが「0」、すなわちリリース完了の有無を判断する。リリースが完了していなければ、判断結果は「NO」になり、一旦本処理を完了させる。一方、リリースが完了すると、上記ステップSE2の判断結果は「YES」になり、ステップSE3に進む。ステップSE3では、該当チャンネル（リリース完了した発音チャンネル）の波形発生停止を波形発生装置14に指示し、続くステップSE4では、該当チャンネルを空きチャンネルに設定して本処理を終える。

20

#### 【0052】

以上のように、本実施の形態では、CPU10がD/A変換器17のダイナミックレンジに応じた閾値THをエンベロープ発生装置16aに設定すると、エンベロープ発生装置16aは、指数的に減衰するエンベロープ波形のレベルが、この閾値TH以下になったときに、指数的に減衰するエンベロープ波形から線形に減衰するエンベロープ波形に切り替

30

える。こうすることで、チャンネルリソースを浪費したり、聴感上好ましくない影響が生じるといった従来の弊害を解消し、汎用性に富み、様々なダイナミックレンジを有する楽器システムに対応することができる。

#### 【図面の簡単な説明】

#### 【0053】

【図1】本発明の実施の一形態によるエンベロープ発生装置を備えた楽音発生装置の全体構成を示すブロック図である。

【図2】エンベロープ発生装置16aの構成を示すブロック図である。

【図3】エンベロープ発生装置16aの動作を説明するための図である。

【図4】指数的に減衰するエンベロープ波形から線形に減衰するエンベロープ波形に切り替

40

える一例を示す図である。

【図5】論理回路104の具体的な構成を示すブロック図である。

【図6】閾値THに応じて入力選択するセクタSEL5～SEL0の動作を説明するための図である。

【図7】デコーダDECの出力タイミングを示すタイムチャートである。

【図8】レート加減算器ADD/SUBの一例を示す図である。

【図9】CPU10が実行するリセット処理の動作を示すフローチャートである。

【図10】CPU10が実行するノートオンイベント処理の動作を示すフローチャートである。

【図11】CPU10が実行するタイマ1処理の動作を示すフローチャートである。

50

【図12】CPU10が実行するノートオフイベント処理の動作を示すフローチャートである。

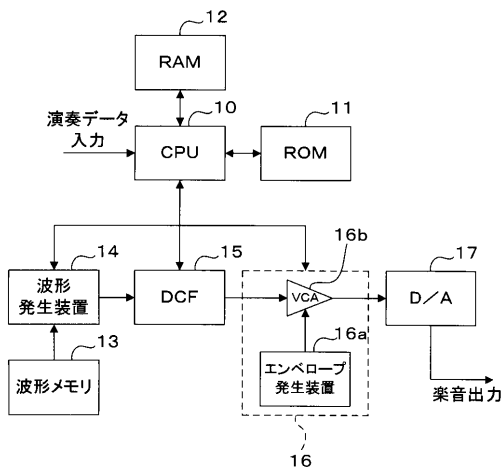
【図13】CPU10が実行するタイマ2処理の動作を示すフローチャートである。

【符号の説明】

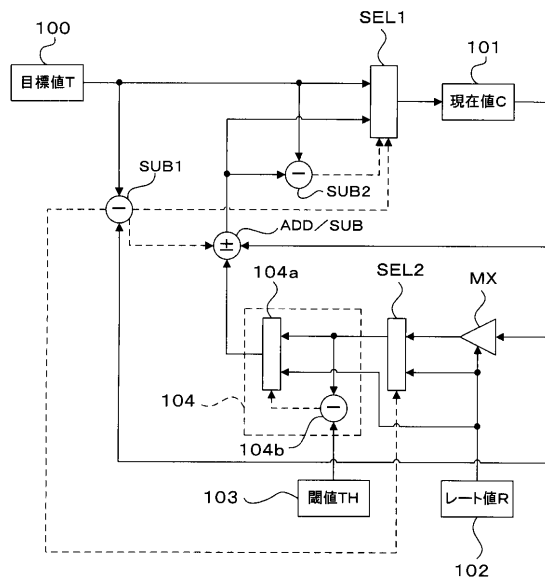
【0054】

- 10 CPU
- 11 ROM
- 12 RAM
- 13 波形メモリ
- 14 波形発生装置
- 15 DCF (デジタル制御フィルタ)
- 16 エンベロープ制御部
  - 16a エンベロープ発生装置
  - 16b VCA (電圧制御増幅器)
- 17 D/A変換器

【図1】



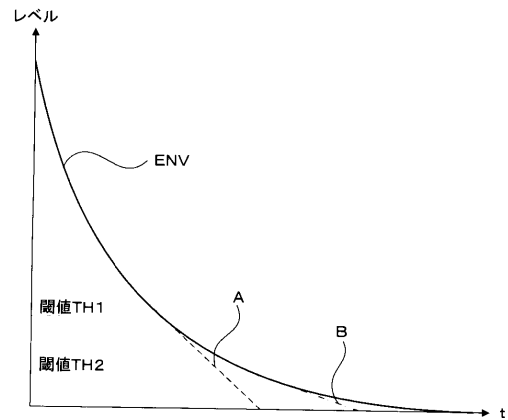
【図2】



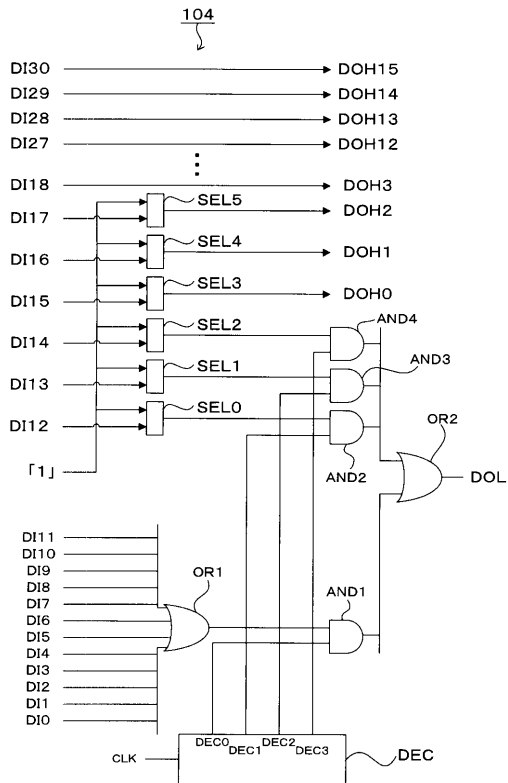
【 図 3 】

SUB1	SUB2	SEL1	SEL2	ADD/SUB
目標値T ≥ 現在値C	T ≥ ADD/SUB	ADD/SUB 選択	レートR選択	加算
目標値T < 現在値C	T < ADD/SUB	目標値T選択	レートR選択	加算
目標値T < 現在値C	T ≥ ADD/SUB	目標値T選択	MX出力選択	減算
目標値T < 現在値C	T < ADD/SUB	ADD/SUB 選択	MX出力選択	減算

【 図 4 】



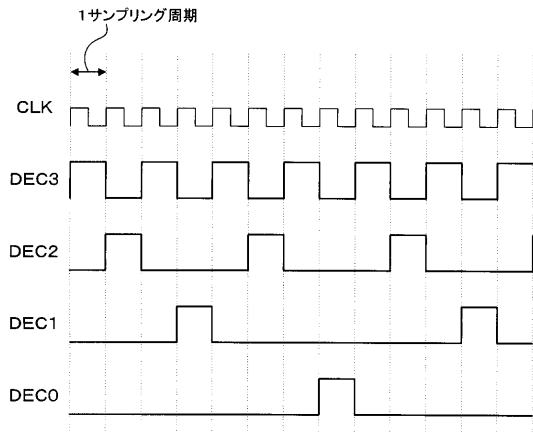
【 図 5 】



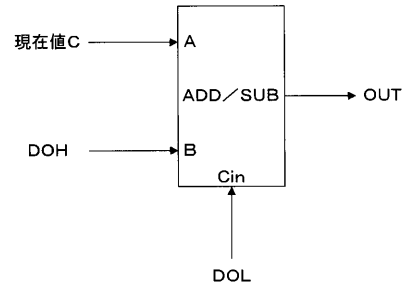
【 図 6 】

閾値TH[dB]	SEL5	SEL4	SEL3	SEL2	SEL1	SEL0
-85	1	1	1	1	1	1
-91	1	1	1	1	1	DI12
-97	1	1	1	1	DI13	DI12
-103	1	1	1	DI14	DI13	DI12
-109	1	1	DI15	DI14	DI13	DI12
-115	1	DI16	DI15	DI14	DI13	DI12
-121	DI17	DI16	DI15	DI14	DI13	DI12

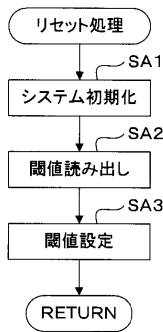
【 図 7 】



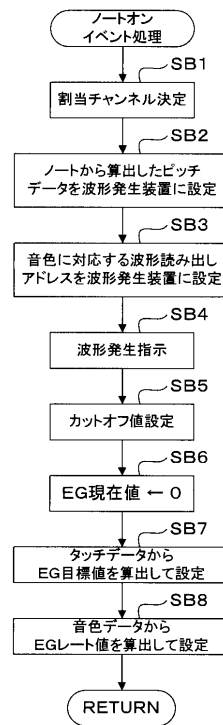
【 図 8 】



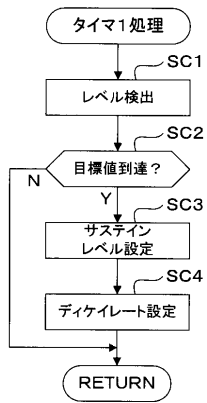
【 図 9 】



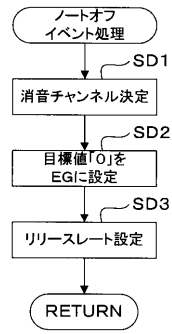
【 図 10 】



【 図 1 1 】



【 図 1 2 】



【 図 1 3 】

