

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/132341

発行日 平成26年7月24日 (2014. 7. 24)

(43) 国際公開日 平成24年10月4日 (2012. 10. 4)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006. 01)	G 1 1 C 13/00 1 5 0	5 F 0 8 3
H O 1 L 27/105 (2006. 01)	G 1 1 C 13/00 1 1 0 R	
H O 1 L 45/00 (2006. 01)	H O 1 L 27/10 4 4 8	
H O 1 L 49/00 (2006. 01)	H O 1 L 45/00 Z	
	H O 1 L 49/00 Z	

審査請求 有 予備審査請求 未請求 (全 42 頁)

出願番号 特願2012-538519 (P2012-538519)	(71) 出願人 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(21) 国際出願番号 PCT/JP2012/001975	(74) 代理人 100109210 弁理士 新居 広守
(22) 国際出願日 平成24年3月22日 (2012. 3. 22)	(72) 発明者 河合 賢 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
(11) 特許番号 特許第5133471号 (P5133471)	(72) 発明者 島川 一彦 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
(45) 特許公報発行日 平成25年1月30日 (2013. 1. 30)	(72) 発明者 加藤 佳一 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
(31) 優先権主張番号 特願2011-68556 (P2011-68556)	
(32) 優先日 平成23年3月25日 (2011. 3. 25)	
(33) 優先権主張国 日本国 (JP)	

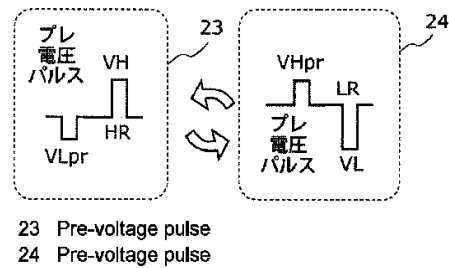
最終頁に続く

(54) 【発明の名称】 抵抗変化型不揮発性素子の書き込み方法および記憶装置

(57) 【要約】

本発明の抵抗変化型不揮発性記憶素子の書き込み方法は、抵抗変化素子を含むメモリセルに対して電圧パルスを印加することにより、抵抗変化素子を、印加される電圧パルスの極性によって第1の抵抗状態と第2の抵抗状態とを可逆的に変化させる書き込み方法であって、抵抗変化素子を第2の抵抗状態から第1の抵抗状態に変化せしめる時に、抵抗変化素子に対して、第2の電圧パルス（VL）よりも電圧の絶対値が小さく、かつ、第1の電圧パルス（VH）と極性が異なる第1の抵抗化プレ電圧パルス（VLpr）を印加する第1ステップと、その後、第1の電圧パルス（VH）を印加する第2ステップとを含む第1の抵抗状態化ステップを含む。

【図13A】



【特許請求の範囲】**【請求項 1】**

抵抗変化型不揮発性記憶素子を含むメモリセルに対して電圧パルスを印加することにより、前記抵抗変化型不揮発性記憶素子を、印加される電圧パルスの極性によって第 1 の抵抗状態と第 2 の抵抗状態とを可逆的に変化させる書き込み方法であって、

前記抵抗変化型不揮発性記憶素子は、第 1 電極と、第 2 電極と、前記第 1 電極および前記第 2 電極に挟まれた抵抗変化層とを有し、

前記抵抗変化層は、前記第 1 電極に接する酸素不足型の第 1 の遷移金属酸化物層と、前記第 2 電極に接し、前記第 1 の遷移金属酸化物層よりも小さい酸素不足度をもつ第 2 の遷移金属酸化物層とを含み、

前記抵抗変化型不揮発性記憶素子は、

前記第 1 電極および前記第 2 電極の一方を基準として前記第 1 電極および前記第 2 電極の他方に対して正の電位を持つ第 1 の閾値電圧以上の電圧パルスである第 1 の電圧パルスが印加されると前記第 1 の抵抗状態に遷移し、前記第 1 電極および前記第 2 電極の前記他方を基準として前記第 1 電極および前記第 2 電極の前記一方に対して正の電位をもつ第 2 の閾値電圧以上の電圧パルスである第 2 の電圧パルスが印加されると第 2 の抵抗状態に遷移する特性を有し、

前記書き込み方法は、

前記抵抗変化型不揮発性記憶素子を前記第 2 の抵抗状態から前記第 1 の抵抗状態に変化せしめる時に、前記抵抗変化型不揮発性記憶素子に対して、前記第 2 の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第 1 の電圧パルスと極性が異なる第 1 の抵抗化プレ電圧パルスを印加する第 1 ステップと、当該第 1 ステップの後、前記第 1 の電圧パルスを印加する第 2 ステップとを含む第 1 の抵抗状態化ステップを含む

抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 2】

前記書き込み方法では、

前記第 1 ステップと前記第 2 ステップとを繰り返すことにより、前記抵抗変化型不揮発性記憶素子を前記第 2 の抵抗状態から前記第 1 の抵抗状態に変化せしめる

請求項 1 に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 3】

前記第 1 の抵抗状態は高抵抗状態であり、前記第 2 の抵抗状態は前記高抵抗状態の抵抗より抵抗が低い低抵抗状態である

請求項 1 または 2 に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 4】

前記第 1 の抵抗状態は低抵抗状態であり、前記第 2 の抵抗状態は前記低抵抗状態の抵抗より抵抗が高い高抵抗状態である

請求項 1 または 2 に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 5】

前記書き込み方法は、さらに、前記第 1 の抵抗状態化ステップにより前記抵抗変化型不揮発性記憶素子を前記第 1 の抵抗状態に変化させる第 1 の抵抗状態化書き込みが完了したか否かを判定する第 1 の抵抗状態化判定ステップを含み、

前記第 1 の抵抗状態化判定ステップは、前記第 1 の抵抗状態化ステップの後に実施され、

前記第 1 の抵抗状態化ステップと前記第 1 の抵抗状態化判定ステップとは、前記抵抗変化型不揮発性記憶素子の抵抗状態が所定の前記第 1 の抵抗状態に達するまで、繰り返される

請求項 1 ~ 4 のいずれか 1 項に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 6】

前記書き込み方法は、さらに、

前記抵抗変化型不揮発性記憶素子を前記第 1 の抵抗状態から前記第 2 の抵抗状態に変化

10

20

30

40

50

せしめる時に、前記抵抗変化型不揮発性記憶素子に対して、前記第 1 の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第 2 の電圧パルスと極性が異なる第 2 の抵抗化プレ電圧パルスを印加する第 3 ステップと、当該第 3 ステップの後、前記第 2 の電圧パルスを印加する第 4 ステップとを含む第 2 の抵抗状態化ステップを含む

請求項 1 または 5 に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 7】

前記書き込み方法では、

前記第 3 ステップと前記第 4 ステップとを繰り返すことにより、前記抵抗変化型不揮発性記憶素子を前記第 1 の抵抗状態から前記第 2 の抵抗状態に変化せしめる

請求項 6 に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

10

【請求項 8】

前記書き込み方法は、さらに、

前記第 1 の抵抗状態化ステップにおいて前記第 1 の電圧パルスが印加されることによって前記抵抗変化型不揮発性記憶素子を前記第 1 の抵抗状態に変化させる第 1 の抵抗状態化書き込みが完了したか否かを判定する第 1 の抵抗状態化判定ステップと、

前記第 2 の抵抗状態化ステップにおいて前記第 2 の電圧パルスが印加されることによって前記抵抗変化型不揮発性記憶素子を前記第 2 の抵抗状態に変化させる第 2 の抵抗状態化書き込みが完了したか否かを判定する第 2 の抵抗状態化判定ステップと、を含み、

前記第 1 の抵抗状態化判定ステップは、前記第 1 の抵抗状態化ステップの後に実施され

20

、前記第 2 の抵抗状態化判定ステップは、前記第 2 の抵抗状態化ステップの後に実施され

、前記第 1 の抵抗状態化ステップと前記第 1 の抵抗状態化判定ステップとは、前記抵抗変化型不揮発性記憶素子の抵抗状態が所定の前記第 1 の抵抗状態に達するまで、繰り返され

、前記第 2 の抵抗状態化ステップと前記第 2 の抵抗状態化判定ステップとは、前記抵抗変化型不揮発性記憶素子の抵抗状態が所定の前記第 2 の抵抗状態に達するまで、繰り返される

請求項 6 または 7 に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 9】

30

前記第 1 の遷移金属酸化物層及び前記第 2 の遷移金属酸化物層を構成する遷移金属は、タンタル、ハフニウム、及びジルコニウムのうちのいずれかで構成される

請求項 1 ~ 8 のいずれか 1 項に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 10】

前記第 1 の遷移金属酸化物層を構成する第 1 の遷移金属と前記第 2 の遷移金属酸化物層を構成する第 2 の遷移金属は互いに異なり、

前記第 2 の遷移金属の標準電極電位は、前記第 2 の遷移金属の標準電極電位より低い

請求項 1 ~ 8 のいずれか 1 項に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 11】

前記第 1 の遷移金属酸化物層は、 TaO_x ($0.8 < x < 1.9$) で表される組成を有する層であり、

40

前記第 2 の遷移金属酸化物層は、 TaO_y (ただし、 $x < y$) で表される組成を有する層である

請求項 1 ~ 8 のいずれか 1 項に記載の抵抗変化型不揮発性記憶素子の書き込み方法。

【請求項 12】

抵抗変化型不揮発性記憶素子を含むメモリセルと、

前記メモリセルに対して電圧パルスを印加することにより、前記抵抗変化型不揮発性記憶素子を、印加される電圧パルスの極性によって第 1 の抵抗状態と第 2 の抵抗状態とを可逆的に変化させる書き込みを行う書き込み制御部とを備え、

前記抵抗変化型不揮発性記憶素子は、第 1 電極と、第 2 電極と、前記第 1 電極および前

50

記第 2 電極に挟まれた抵抗変化層とを有し、

前記抵抗変化層は、前記第 1 電極と接する酸素不足型の第 1 の遷移金属酸化物層と、前記第 2 電極に接し、前記第 1 の遷移金属酸化物層よりも小さい酸素不足度をもつ第 2 の遷移金属酸化物層とを含み、

前記抵抗変化型不揮発性記憶素子は、

前記第 1 電極および前記第 2 電極のいずれか一方を基準として前記第 1 電極および前記第 2 電極の他方に対して正の電位を持つ第 1 の閾値電圧以上の電圧パルスである第 1 の電圧パルスが印加されると前記第 1 の抵抗状態に遷移し、前記第 1 電極および前記第 2 電極の前記他方を基準として前記第 1 電極および前記第 2 電極の前記一方に対して正の電位をもつ第 2 の閾値電圧以上の電圧パルスである第 2 の電圧パルスが印加されると第 2 の抵抗状態に遷移する特性を有し、

前記書き込み制御部は、

前記抵抗変化型不揮発性記憶素子を前記第 2 の抵抗状態から前記第 1 の抵抗状態に変化せしめる時に、前記抵抗変化型不揮発性記憶素子に対して、前記第 2 の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第 1 の電圧パルスと極性が異なる第 1 の抵抗化プレ電圧パルスを印加する第 1 ステップと、その後、前記第 1 の電圧パルスを印加する第 2 ステップとを含む第 1 の抵抗状態化ステップの処理を実行する

抵抗変化型不揮発性記憶装置。

【請求項 13】

前記メモリセルでは、抵抗変化型不揮発性記憶素子とスイッチ素子とが直列に接続されている

請求項 12 に記載の抵抗変化型不揮発性記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗変化型不揮発性記憶素子の書き込み方法および抵抗変化型不揮発性記憶装置に関し、特に、電気的信号に基づいて可逆的に抵抗値が変化する抵抗変化型不揮発性記憶素子の抵抗変化を安定的に持続させるための書き込み方法および抵抗変化型不揮発性記憶装置に関する。

【背景技術】

【0002】

不揮発性記憶装置は、携帯電話機やデジタルカメラなどの携帯機器に広く搭載され、急速に利用が拡大している。近年、音声データや画像データが取り扱われる機会が増加し、これまで以上に大容量で、且つ高速に動作する不揮発性記憶装置が強く要望され始めている。また、携帯機器用途の不揮発性記憶装置の分野では、低消費電力への要求もさらに強まっている。

【0003】

現在の不揮発性記憶装置の主流はフラッシュメモリである。フラッシュメモリは、フローティングゲートに蓄積する電荷を制御してデータの記憶を行う。フラッシュメモリはフローティングゲートに高電界で電荷を蓄積する構造を有するため、小型化に限界があり、さらなる大容量化のために必要な微細加工が困難であるという課題が指摘されている。さらにフラッシュメモリでは、書き換えのために必ず所定のブロックを一括消去する必要がある。かかる特性により、フラッシュメモリの書き換えには非常に長い時間を要し、ランダムアクセスや高速化にも限界がある。

【0004】

これらの問題を解決する次世代の不揮発性記憶装置として、電気抵抗の変化によって情報を記録する抵抗変化型素子を用いたものがある。現在提案されている抵抗変化型素子を利用した不揮発性半導体装置（「不揮発性メモリ」ともいう）としては、MRAM（Magnetic RAM）や、PCRAM（Phase-Change RAM）や、ReRAM（Resistive RAM）などが提案されている（例えば、特許文献 1～3

10

20

30

40

50

参照)。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-185756号公報

【特許文献2】米国特許第5287317号明細書

【特許文献3】特開2004-234707号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、例えばバイポーラ型のReRAMを用いた従来の抵抗変化型素子を用いた不揮発性記憶装置においては、ベリファイ動作と、それにもなう追加書き込みを行なったときに、書き込みにおける不具合が発生する。

【0007】

そこで、本発明は上述の事情を鑑みてなされたもので、書き込み動作の安定性および信頼性を向上した抵抗変化型不揮発性記憶素子の書き込み方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の一形態に係る抵抗変化型不揮発性記憶素子の書き込み方法は、抵抗変化型不揮発性記憶素子を含むメモリセルに対して電圧パルスを印加することにより、前記抵抗変化型不揮発性記憶素子を、印加される電圧パルスの極性によって第1の抵抗状態と第2の抵抗状態とを可逆的に変化させる書き込み方法であって、前記抵抗変化型不揮発性記憶素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に挟まれた抵抗変化層とを有し、前記抵抗変化層は、前記第1電極に接する酸素不足型の第1の遷移金属酸化物層と、前記第2電極に接し、前記第1の遷移金属酸化物層よりも小さい酸素不足度をもつ第2の遷移金属酸化物層とを含み、前記抵抗変化型不揮発性記憶素子は、前記第1電極および前記第2電極の一方を基準として前記第1電極および前記第2電極の他方に対して正の電位を持つ第1の閾値電圧以上の電圧パルスである第1の電圧パルスが印加されると前記第1の抵抗状態に遷移し、前記第1電極および前記第2電極の前記他方を基準として前記第1電極および前記第2電極の前記一方に対して正の電位をもつ第2の閾値電圧以上の電圧パルスである第2の電圧パルスが印加されると第2の抵抗状態に遷移する特性を有し、前記書き込み方法は、前記抵抗変化型不揮発性記憶素子を前記第2の抵抗状態から前記第1の抵抗状態に変化せしめる時に、前記抵抗変化型不揮発性記憶素子に対して、前記第2の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第1の電圧パルスと極性が異なる第1の抵抗化プレ電圧パルスを印加する第1ステップと、当該第1ステップの後、前記第1の電圧パルスを印加する第2ステップとを含む第1の抵抗状態化ステップを含む。

【発明の効果】

【0009】

本発明によれば、書き込み動作の安定性および信頼性を向上した抵抗変化型不揮発性記憶素子の書き込み方法を実現することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、本発明における抵抗変化素子を用いた1T1R型メモリセルの構成を示す模式図である。

【図2A】図2Aは、高抵抗(HR)化電圧パルス(1パルス)の印加と低抵抗(LR)化電圧パルス(1パルス)の印加とを交互に実施する場合におけるパルス波形の模式図である。

【図2B】図2Bは、図2Aに示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に

10

20

30

40

50

印加した場合における書き換え開始初期の書き換え特性図である。

【図 2 C】図 2 C は、図 2 A に示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に印加した場合における書き換え 10 万回後の書き換え特性図である。

【図 3】図 3 は、図 2 A に示す高抵抗 (HR) 化電圧パルスと低抵抗 (LR) 化電圧パルスとを繰り返し交互に印加した場合における書き換え電圧の動作点を示す図である。

【図 4 A】図 4 A は、高抵抗 (HR) 化電圧パルス (1 パルス) の印加と低抵抗 (LR) 化電圧パルス (1 パルス) の印加とを交互に実施する場合における他のパルス波形の模式図である。

【図 4 B】図 4 B は、図 4 A に示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に印加した場合における書き換え開始初期の書き換え特性図である。

【図 4 C】図 4 C は、図 4 A に示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に印加した場合における書き換え 10 万回後の書き換え特性図である。

【図 5 A】図 5 A は、本発明における高抵抗 (HR) 化電圧パルスを連続印加する場合の抵抗値測定フローを示す図である。

【図 5 B】図 5 B は、図 5 A に示す測定フローに基づき測定した抵抗変化特性図である。

【図 6 A】図 6 A は、本発明における低抵抗 (LR) 化電圧パルス連続を印加する場合のセル電流測定フローを示す図である。

【図 6 B】図 6 B は、図 6 A に示す測定フローに基づき測定したセル電流変化特性図である。

【図 7 A】図 7 A は、本発明における高抵抗化電圧パルスセット印加を連続して実施する場合の抵抗値測定フローを示す図である。

【図 7 B】図 7 B は、図 7 A に示す抵抗値測定フローに基づき測定した抵抗変化特性図である。

【図 8 A】図 8 A は、本発明における低抵抗化電圧パルスセット印加を連続して実施する場合のセル電流測定フローを示す図である。

【図 8 B】図 8 B は、図 8 A に示すセル電流測定フローに基づき測定したセル電流変化特性図である。

【図 9】図 9 は、本発明における HR セル電流のプレ電圧パルスに対する依存性を示す特性図である。

【図 10】図 10 は、本発明における LR セル電流のプレ電圧パルスに対する依存性を示す特性図である。

【図 11】図 11 は、本発明のメモリセルのパルス V I 特性を示す図である。

【図 12】図 12 は、本発明のプレ電圧パルス印加による LR 化書き込み時の推定メカニズムを説明するための図である。

【図 13 A】図 13 A は、実施の形態 1 における高抵抗 (HR) 化電圧パルスセット印加と低抵抗 (LR) 化電圧パルスセット印加とを交互に実施する場合におけるパルス波形の模式図である。

【図 13 B】図 13 B は、図 13 A に示す高抵抗化電圧パルスセット印加と低抵抗化電圧パルスセット印加とを交互に実施した場合における書き換え開始初期の書き換え特性図である。

【図 13 C】図 13 C は、図 13 A に示す高抵抗化電圧パルスセット印加と低抵抗化電圧パルスセット印加とを交互に実施した場合における書き換え 10 万回後の書き換え特性図である。

【図 14】図 14 は、図 13 A に示した高抵抗 (HR) 化電圧パルスセットと低抵抗 (LR) 化電圧パルスセットを繰り返し交互に印加した場合における、書き換え電圧の動作点を説明するための図である。

【図 15 A】図 15 A は、実施の形態 2 における高抵抗 (HR) 化電圧パルスセット印加を連続 M 回と低抵抗 (LR) 化電圧パルスセット印加を連続 N 回とを交互に実施する場合におけるパルス波形の模式図である。

【図 15 B】図 15 B は、図 15 A に示す高抵抗化電圧パルスセットの連続印加と低抵抗

10

20

30

40

50

化電圧パルスセットの連続印加とを交互に実施した場合における書き換え開始初期の書き換え特性図である。

【図 15 C】図 15 C は、図 15 A に示す高抵抗化電圧パルスセットの連続印加と低抵抗化電圧パルスセットの連続印加とを交互に実施した場合における書き換え 10 万回後の書き換え特性図である。

【図 16】図 16 は、本発明における書き換えを行うために必要となる部分の回路構成の等価回路の一例である。

【図 17】図 17 は、本発明におけるベリファイ書き込みの動作フローを説明するための図である。

【図 18】図 18 は、本発明における具体的なアレイ構造のメモリセルを有する不揮発性記憶装置の一構成を示すブロック図である。

【図 19】図 19 は、従来技術における特許文献 1 のメモリセルにおいて、書き込み動作を行うときの電圧パルスの印加状態を示す図である。

【図 20】図 20 は、従来技術における特許文献 1 のメモリセルにおいて、消去動作を行うときの電圧パルスの印加状態を示す図である。

【図 21】図 21 は、従来技術における特許文献 1 のメモリセルにおいて、読み出し動作を行うときの電圧パルスの印加状態を示す図である。

【図 22】図 22 は、従来技術における特許文献 2 および 3 で示される従来のベリファイ動作のフローチャートである。

【図 23】図 23 は、従来技術における特許文献 2 および 3 で示される従来のベリファイ動作の流れを示すタイミングチャートである。

【発明を実施するための形態】

【0011】

(本発明の一態様を得るに至った経緯)

本発明者は、「背景技術」の欄において記載した従来の不揮発性記憶装置に関し、以下の問題が生じることを見出した。以下、その問題について説明する。

【0012】

特許文献 1 は、ペロブスカイト構造の酸化物を用いたバイポーラ型の ReRAM 素子の制御方法の一例を開示している。ここで、バイポーラ型とは極性の異なる電圧パルスによって、一方の極性の電圧パルスで ReRAM 素子が高抵抗状態に変化し、他方の極性の電圧パルスで低抵抗の状態に変化するものをいう。ReRAM 素子とは電氣的な刺激により少なくとも低抵抗状態(「LR 状態」または単に「LR」ともいう)と、低抵抗状態より抵抗値の高い高抵抗状態(「HR 状態」または単に「HR」ともいう)間を可逆的に変化可能な素子のことをいい、低抵抗状態または高抵抗状態に応じて情報を記憶する不揮発性半導体装置をさす。

【0013】

以下、この ReRAM 素子の制御方法について図を参照しつつ説明する。

【0014】

図 19 ~ 図 21 は、特許文献 1 に開示されたメモリセル 709 の構成とその制御方法を示す図である。メモリセル 709 は、抵抗変化型素子 701 と、選択トランジスタ 702 とを備えている。抵抗変化型素子 701 の一方の端子と選択トランジスタ 702 の一方の主端子(ドレインまたはソース)とは互いに電氣的に接続されている。選択トランジスタ 702 の他方の主端子(ソースまたはドレイン)は、ソース線 706 によりソース線端子 703 と電氣的に接続されている。抵抗変化型素子 701 の他方の端子はビット線 708 によりビット線端子 705 と電氣的に接続されている。選択トランジスタ 702 のゲートはワード線 707 によりワード線端子 704 と電氣的に接続されている。データを書き込む場合(“1”を書き込む場合(ここで、データ“1”は ReRAM 素子の HR 状態に割り当てられる))、消去する場合(“0”を書き込む場合(ここで、データ“0”は ReRAM 素子の LR 状態に割り当てられる))、および読み出す場合のいずれにおいても、選択されたメモリセルのワード線端子 704 には高レベルのオン電圧が印加され、選択ト

10

20

30

40

50

ランジスタ702が導通状態にされる。

【0015】

図19は、特許文献1のメモリセル709において、書き込み動作を行うときの電圧パルスの印加状態を示す図である。ソース線706は0Vに設定(接地)され、ビット線708に所定の書き込み電圧振幅の正極性の書き込みパルスが印加され、抵抗変化型素子701に所望のデータが書き込まれる。多値情報が抵抗変化型素子701へ書き込まれる場合は、書き込みパルスの電圧振幅が書き込むデータの値に応じたレベルに設定される。例えば4値データが1つの抵抗変化型素子701に書き込まれる場合には、書き込みデータのそれぞれの値に対応して決定される所定の4つの電圧振幅の内の1つが選択されて書き込み動作が行われる。また、書き込みパルス幅は、素子に応じた適切な幅が選択される。すなわち、所定の抵抗状態へと変化させるためには、その抵抗状態に対応する1つ電圧振幅レベルおよびパルス幅が存在する。

10

【0016】

図20は、特許文献1のメモリセル709において、消去動作を行うときの電圧パルスの印加状態を示す図である。ビット線708は0Vに設定(接地)され、ソース線706に所定の消去電圧振幅の正極性の消去パルスが印加される。消去パルスが印加されることにより、抵抗変化型素子701の電気抵抗は最小の値となる。特許文献1には、複数のビット線708が0Vに設定された状態で、特定のソース線706に消去パルスが印加されると、その複数のビット線708とソース線706に接続する複数のメモリセルが同時に一括消去されることが開示されている。

20

【0017】

図21は、特許文献1のメモリセル709において、読み出し動作を行うときの電圧パルスの印加状態を示す図である。抵抗変化型素子701に記憶されたデータを読み出す場合は、ソース線706が0Vに設定(接地)され、選択したビット線708へ所定の読み出し電圧が読み出し回路を経由して印加される。読み出し電圧が印加されると、比較判定回路でビット線708のレベルが読み出し用のリファレンスレベルと比較され、記憶データが読み出される。

【0018】

また、特許文献2や特許文献3では、電氣的に消去または書き込みが可能な一般的な半導体メモリやReRAMの抵抗変化型メモリにおいて、書き込みデータの信頼性を向上させるために書き込まれた電氣的状態が所望な閾値に対して満足するかどうかを検証するベリファイ(verify)動作について提案されている。すなわち、データ書き込みの場合、図22に示すように、プログラムコマンド(例えば、「書き込み」)を入力(S751)後、アドレスとデータを入力し、アドレス・データラッチする(S752)ことにより、選択メモリセルへのプログラムパルス印加が開始され、メモリセルにデータが書込まれる(S753)。プログラムパルス印加停止後、プログラムベリファイコマンドを入力することによりプログラムベリファイモードとなり(S754)、書き込みを行ったメモリセルからのデータ読み出しが開始される(S755)。読み出しを行い、読み出されたデータと、最初に入力された期待値データとの比較を行い(S756)、一致している場合は(S756でYes)、プログラムの正常終了し、読み出しモードとなり(S757)、プログラムを終了する。一方、データが一致していない場合は(S756でNo)、再度、プログラムパルスの印加が行われ、追加書き込みがなされる(S751~S753)。この一連の動作は、すべてのデータが一致するまで繰り返し行われる。ただし、実用的には無限ループとならないために繰り返し上限回数は設定される場合が多い。図23は、プログラムパルス印加後、ベリファイ動作を実行する一連の動作を行なって、期待値データと書込まれたデータとが3度目で一致したため、プログラムを終了したことを示すタイミングチャートである。すなわち、このようなベリファイ動作によれば、不揮発性半導体装置に書き込まれた物理的な特性が所望のレベルを満足し、元のデジタル情報に復元するために判別する閾値に対して十分な余裕を確保せしめ、更なるデータ信頼性の向上を確保できる。

30

40

50

【0019】

しかしながら、例えばバイポーラ型の ReRAM を用いた従来の抵抗変化型素子を用いた不揮発性記憶装置においては、ベリファイ動作と、それにもなう追加書き込みを行なったときに、書き込みにおける不具合が発生する。以下、発生する不具合について説明する。

【0020】

例えば、ReRAM を用いた不揮発性記憶装置における動作の安定性や信頼性を向上すべく、ReRAM の書き込み動作の後に、ベリファイ動作により書き込んだ抵抗レベルを確認し、所望の抵抗値を満たしていなければ追加書き込みを行なうとする。しかしながら、書き込み動作を実行した直後に実行されるベリファイ動作のときには所望の抵抗値を満足しているものの、その後の短い時間経過で徐々に抵抗値が変化して、ベリファイに用いる閾値の抵抗値を満足できないレベルまで変化してしまう書き込み不具合が発生する。

10

【0021】

一般に、メモリセルに書き込まれた物理量は、長時間放置や高温放置、さらには書きかえ回数による材料組成の劣化等により変動することが多い。このような変動に対して要求される信頼性の仕様に基つき、書き込み当初の物理量が所定の条件を満たすように書き込むことが求められる。すなわち、書き込まれた物理量と決められた閾値とを比較して元のデジタルデータに復号する際に、書き込まれた物理量と閾値との間に適切なマージンが確保できるように書き込む。このようなマージンを確保するためにベリファイ動作が実行される。しかしながら、ベリファイ動作を行なって予定のレベルを満足したと判断した直後に、書き込んだ物理量が閾値に近づくように急激に変化したのでは、前述のマージンが確保できず、要求される信頼性を保証できない。このことは不揮発性メモリにとって致命的な問題といえる。この ReRAM は数十 ns の短時間で書き込みが実行できるといった高速性に優れ、かつ正常な書き込みができれば高温環境下でも長期間のデータ保持が可能といった信頼性に優れた利点があり、従来の半導体メモリに取って代わる次世代の半導体メモリとして高いポテンシャルをもっている。しかし、前述のようなベリファイ動作を行っても書き込み不具合を見出せないようなビットが稀であっても、そのようなビットが発生すると装置全体として ReRAM の優れた性能を活かすことができない。

20

【0022】

このような問題に対して、発明者らは特異な書き込みステップにより書き込み不具合が発生するビット数を大幅に改善できることを見出した。

30

【0023】

上述したように、書き込みにおける不具合現象の最大の問題点は、書き込み条件が不十分なために書き込んだ抵抗値がベリファイ動作を実行した後に変動し、ベリファイの閾値レベルを割り込むビットが発生することにある。このような不具合ビットはメモリセルアレイ中にランダムに発生し、メモリセルにデータを書き込んだ直後に実行されるベリファイでは、正常に書き込まれたか否かを識別できず、前記不具合を見逃してしまう。本来、長期保存や高温保存さらに多量の書き換えサイクルといった劣化要因に対して、不揮発性半導体装置が要求されるデータ信頼性を確保するために、ベリファイによって所定のマージンを設ける。しかし前述の不具合が発生すると、ベリファイによって必要なマージンが確保できず、データ読み出し時に要求される信頼性を保証することができなくなる。

40

【0024】

そこで、本発明者は、上述の事情を鑑みて、書き込み動作の安定性および信頼性を向上した抵抗変化型不揮発性記憶素子の書き込み方法を想到するに至った。具体的には、書き換え回数の増加による動作ウィンドウ減少量を抑制し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を想到するに至った。

【0025】

上記目的を達成するために、本発明の一形態に係る抵抗変化型不揮発性記憶素子の書き込み方法は、抵抗変化型不揮発性記憶素子を含むメモリセルに対して電圧パルスを印加することにより、前記抵抗変化型不揮発性記憶素子を、印加される電圧パルスの極性によ

50

て第1の抵抗状態と第2の抵抗状態とを可逆的に変化させる書き込み方法であって、前記抵抗変化型不揮発性記憶素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に挟まれた抵抗変化層とを有し、前記抵抗変化層は、前記第1電極に接する酸素不足型の第1の遷移金属酸化物層と、前記第2電極に接し、前記第1の遷移金属酸化物層よりも小さい酸素不足度をもつ第2の遷移金属酸化物層とを含み、前記抵抗変化型不揮発性記憶素子は、前記第1電極および前記第2電極の一方を基準として前記第1電極および前記第2電極の他方に対して正の電位を持つ第1の閾値電圧以上の電圧パルスである第1の電圧パルスが印加されると前記第1の抵抗状態に遷移し、前記第1電極および前記第2電極の前記他方を基準として前記第1電極および前記第2電極の前記一方に対して正の電位をもつ第2の閾値電圧以上の電圧パルスである第2の電圧パルスが印加されると第2の抵抗状態に遷移する特性を有し、前記書き込み方法は、前記抵抗変化型不揮発性記憶素子を前記第2の抵抗状態から前記第1の抵抗状態に変化せしめる時に、前記抵抗変化型不揮発性記憶素子に対して、前記第2の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第1の電圧パルスと極性が異なる第1の抵抗化プレ電圧パルスを印加する第1ステップと、当該第1ステップの後、前記第1の電圧パルスを印加する第2ステップとを含む第1の抵抗状態化ステップを含む。

10

【0026】

これにより、高抵抗化電圧パルスや低抵抗化電圧パルスとそれぞれ極性が異なる適正プレ電圧パルスを事前に印加することにより、高抵抗化能力および低抵抗化能力が向上可能となり、その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性を向上可能となる。それにより、エンデュランス（書き換え数増）による動作ウィンドウ減少量を抑制し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を実現することができる。

20

【0027】

ここで、前記書き込み方法では、前記第1ステップと前記第2ステップとを繰り返すことにより、前記抵抗変化型不揮発性記憶素子を前記第2の抵抗状態から前記第1の抵抗状態に変化せしめるとしてもよい。

【0028】

また、前記第1の抵抗状態は高抵抗状態であり、前記第2の抵抗状態は前記高抵抗状態の抵抗より抵抗が低い低抵抗状態であるとしてもよく、前記第1の抵抗状態は低抵抗状態であり、前記第2の抵抗状態は前記低抵抗状態の抵抗より抵抗が高い高抵抗状態であるとしてもよい。

30

【0029】

また、前記書き込み方法は、さらに、前記第1の抵抗状態化ステップにより前記抵抗変化型不揮発性記憶素子を前記第1の抵抗状態に変化させる第1の抵抗状態化書き込みが完了したか否かを判定する第1の抵抗状態化判定ステップを含み、前記第1の抵抗状態化判定ステップは、前記第1の抵抗状態化ステップの後に実施され、前記第1の抵抗状態化ステップと前記第1の抵抗状態化判定ステップとは、前記抵抗変化型不揮発性記憶素子の抵抗状態が所定の前記第1の抵抗状態に達するまで、繰り返されるとしてもよい。

【0030】

これにより、HR化能力かLR化能力のいずれか弱い方の抵抗変化電圧パルスセットの連続印加回数をより多く設定することにより、書き込み電圧を上げなくてもHR化能力とLR化能力のバランスが適正化され、その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性が大幅に向上可能となると共に、低電圧動作も可能となる。

40

【0031】

また、前記書き込み方法は、さらに、前記抵抗変化型不揮発性記憶素子を前記第1の抵抗状態から前記第2の抵抗状態に変化せしめる時に、前記抵抗変化型不揮発性記憶素子に対して、前記第1の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第2の電圧パルスと極性が異なる第2の抵抗化プレ電圧パルスを印加する第3ステップと、当該第3ステッ

50

ブの後、前記第 2 の電圧パルスを印加する第 4 ステップとを含む第 2 の抵抗状態化ステップを含むとしてもよい。

【 0 0 3 2 】

ここで、前記書き込み方法では、前記第 3 ステップと前記第 4 ステップとを繰り返すことにより、前記抵抗変化型不揮発性記憶素子を前記第 1 の抵抗状態から前記第 2 の抵抗状態に変化せしめるとしてもよい。

【 0 0 3 3 】

また、前記書き込み方法は、さらに、前記第 1 の抵抗状態化ステップにおいて前記第 1 の電圧パルスが印加されることによって前記抵抗変化型不揮発性記憶素子を前記第 1 の抵抗状態に変化させる第 1 の抵抗状態化書き込みが完了したか否かを判定する第 1 の抵抗状態化判定ステップと、前記第 2 の抵抗状態化ステップにおいて前記第 2 の電圧パルスが印加されることによって前記抵抗変化型不揮発性記憶素子を前記第 2 の抵抗状態に変化させる第 2 の抵抗状態化書き込みが完了したか否かを判定する第 2 の抵抗状態化判定ステップと、を含み、前記第 1 の抵抗状態化判定ステップは、前記第 1 の抵抗状態化ステップの後に実施され、前記第 2 の抵抗状態化判定ステップは、前記第 2 の抵抗状態化ステップの後に実施され、前記第 1 の抵抗状態化ステップと前記第 1 の抵抗状態化判定ステップとは、前記抵抗変化型不揮発性記憶素子の抵抗状態が所定の前記第 1 の抵抗状態に達するまで、繰り返され、前記第 2 の抵抗状態化ステップと前記第 2 の抵抗状態化判定ステップとは、前記抵抗変化型不揮発性記憶素子の抵抗状態が所定の前記第 2 の抵抗状態に達するまで、繰り返されるとしてもよい。

【 0 0 3 4 】

また、前記第 1 の遷移金属酸化物層及び前記第 2 の遷移金属酸化物層を構成する遷移金属は、タンタル、ハフニウム、及びジルコニウムのうちのいずれかで構成されるとしてもよい。

【 0 0 3 5 】

また、前記第 1 の遷移金属酸化物層を構成する第 1 の遷移金属と前記第 2 の遷移金属酸化物層を構成する第 2 の遷移金属は互いに異なり、前記第 2 の遷移金属の標準電極電位は、前記第 2 の遷移金属の標準電極電位より低いとしてもよい。

【 0 0 3 6 】

また、前記第 1 の遷移金属酸化物層は、 TaO_x ($0.8 < x < 1.9$) で表される組成を有する層であり、前記第 2 の遷移金属酸化物層は、 TaO_y (ただし、 $x < y$) で表される組成を有する層であるとしてもよい。

【 0 0 3 7 】

また、上記目的を達成するために、本発明の一形態に係る抵抗変化型不揮発性記憶装置は、抵抗変化型不揮発性記憶素子を含むメモリセルと、前記メモリセルに対して電圧パルスを印加することにより、前記抵抗変化型不揮発性記憶素子を、印加される電圧パルスの極性によって第 1 の抵抗状態と第 2 の抵抗状態とを可逆的に変化させる書き込みを行う書き込み制御部とを備え、前記抵抗変化型不揮発性記憶素子は、第 1 電極と、第 2 電極と、前記第 1 電極および前記第 2 電極に挟まれた抵抗変化層とを有し、前記抵抗変化層は、前記第 1 電極と接する酸素不足型の第 1 の遷移金属酸化物層と、前記第 2 電極に接し、前記第 1 の遷移金属酸化物層よりも小さい酸素不足度をもつ第 2 の遷移金属酸化物層とを含み、前記抵抗変化型不揮発性記憶素子は、前記第 1 電極および前記第 2 電極のいずれか一方を基準として前記第 1 電極および前記第 2 電極の他方に対して正の電位を持つ第 1 の閾値電圧以上の電圧パルスである第 1 の電圧パルスが印加されると前記第 1 の抵抗状態に遷移し、前記第 1 電極および前記第 2 電極の前記他方を基準として前記第 1 電極および前記第 2 電極の前記一方に対して正の電位をもつ第 2 の閾値電圧以上の電圧パルスである第 2 の電圧パルスが印加されると第 2 の抵抗状態に遷移する特性を有し、前記書き込み制御部は、前記抵抗変化型不揮発性記憶素子を前記第 2 の抵抗状態から前記第 1 の抵抗状態に変化せしめる時に、前記抵抗変化型不揮発性記憶素子に対して、前記第 2 の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第 1 の電圧パルスと極性が異なる第 1 の抵抗化プレ電圧

パルスを印加する第1ステップと、その後、前記第1の電圧パルスを印加する第2ステップとを含む第1の抵抗状態化ステップの処理を実行する。

【0038】

ここで、前記メモリセルでは、抵抗変化型不揮発性記憶装置であって、抵抗変化型不揮発性記憶素子とスイッチ素子とが直列に接続されているとしてもよい。

【0039】

本発明によれば、書き込み動作の安定性および信頼性を向上した抵抗変化型不揮発性記憶素子の書き込み方法を実現することができる。つまり、書き換え回数の増加による動作ウィンドウ減少量を抑制し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を実現することができる。

10

【0040】

より具体的には、本発明の抵抗変化型不揮発性記憶素子の書き込み方法によると、高抵抗化電圧パルスや低抵抗化電圧パルスとそれぞれ極性が異なる適正プレ電圧パルスを、高抵抗化電圧パルスあるいは低抵抗化電圧パルスの印加前に印加することにより、高抵抗化能力および低抵抗化能力が向上可能となり、その結果、書き換え回数が増加しても適切な動作ウィンドウの確保が可能となり、不揮発性記憶装置の信頼性を向上可能となる。さらに、高抵抗化(HR化)能力が低抵抗化(LR化)能力のいずれかが弱い方の抵抗変化電圧パルスセットの連続印加回数をより多く設定することにより、書き込み電圧を上げなくてもHR化能力とLR化能力のバランスが適正化され、その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性が大幅に向上可能となると共に、低電圧動作も可能となる。

20

【0041】

なお、このような抵抗変化型不揮発性記憶素子の書き込み方法および抵抗変化型不揮発性記憶装置は、このような抵抗変化型不揮発性記憶素子の機能の一部または全てを有する半導体集積回路(LSI)として応用することができる。

【0042】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、より好ましい形態を構成する構成要素として説明される。

30

【0043】

抵抗変化型不揮発性記憶装置の1つとして、遷移金属の一つであるタンタル(Ta)を用い、その酸素不足型の酸化物(酸化タンタル)の抵抗変化層で構成された抵抗変化素子とスイッチ素子とでメモリセルを構成した抵抗変化型不揮発性記憶装置について以下説明する。ここで、酸素不足型の酸化物とは、酸素含有量が化学量論的組成に対し不足している酸化物をいう。また、以下では、抵抗変化素子を用いた抵抗変化型不揮発性記憶装置として、互いに直交するように配置されたビット線とワード線との交点近傍の位置に、MOSトランジスタと抵抗変化素子とを直列に接続した、いわゆる1T1R型と呼ばれるメモリセルをマトリクス状にアレイ配置した不揮発性記憶装置を例に挙げて説明する。また、1T1R型メモリセルでは、2端子の抵抗変化素子の一端はビット線またはソース線に接続され、他の一端はトランジスタのドレインまたはソースに接続される。トランジスタのゲートはワード線に接続される。トランジスタの他の一端は抵抗変化素子の一端が接続されていないソース線またはビット線に接続される。ソース線は、ビット線またはワード線と平行に配置される。なお、メモリセルの構成は、1T1R型の構成に限らない。例えば、別のメモリセル構成として、互いに直交するように配置されたビット線とワード線との交点の位置に、ダイオードと抵抗変化素子とを直列に接続した、いわゆる1D1R型と呼ばれるクロスポイントメモリセルでもよい。

40

【0044】

50

(実施の形態1)

図1は、本発明における抵抗変化素子を用いた1T1R型メモリセルの構成(1ビット分の構成)を示す模式図である。この1T1R型メモリセルは、抵抗変化型不揮発性記憶素子とスイッチ素子とが直列に接続されたメモリセルであって、具体的には、図1に示されるように、抵抗変化素子100とトランジスタ104とで構成されている。トランジスタ104は通常、NMOSTランジスタを用いるが、PMOSTランジスタを用いてもよい。

【0045】

抵抗変化素子100は、本発明における抵抗変化型不揮発性記憶素子であって、第1電極(下部電極10)と、第2電極(上部電極13)と、第1電極および第2電極に挟まれた抵抗変化層11とを有し、抵抗変化層11は、第1電極(下部電極10)と接する酸素不足型の第1の遷移金属酸化物層111と、第2電極(上部電極13)に接し、第1の遷移金属酸化物層111よりも小さい酸素不足度をもつ第2の遷移金属酸化物層112とで構成されている。ここで、酸素不足度とは、それぞれの遷移金属において、その化学量論的組成の酸化物を構成する酸素の量に対し、不足している酸素の割合をいう。例えば、遷移金属がタンタル(Ta)の場合、化学量論的な酸化物の組成は Ta_2O_5 であるので、 $TaO_{2.5}$ と表現できる。 $TaO_{2.5}$ の酸素不足度は0%である。例えば $TaO_{1.5}$ の組成の酸素不足型のタンタル酸化物の酸素不足度は、 $(2.5 - 1.5) / 2.5 = 40\%$ となる。

【0046】

具体的には、図1に示すように、抵抗変化素子100は、第1電極(下部電極10)と、酸素不足型のタンタル酸化物で構成される低抵抗な第1の遷移金属酸化物層111(TaO_x 、 $0 < x < 2.5$)および高抵抗な第2の遷移金属酸化物層112(TaO_y 、 $x < y$)を積層した抵抗変化層11と、第2電極(上部電極13)とが積層して形成されている。すなわち、本実施形態においては、第1の遷移金属酸化物層111は酸素不足型の第1のタンタル酸化物層で構成され、第2の遷移金属酸化物層112は第2のタンタル酸化物層で構成されている。より好ましくは、抵抗変化層11は酸素不足型のタンタル酸化物で構成される第1の遷移金属酸化物層111(TaO_x 、 $0.8 < x < 1.9$)および高抵抗な第2の遷移金属酸化物層112(TaO_y 、 $x < y$)を積層して構成されている。第2の遷移金属酸化物層112の膜厚は、1~8nmが好ましい。また、抵抗変化素子100では、下部電極10から下部電極端子105が引き出され、上部電極13から上部電極端子102が引き出されている。

【0047】

一方、選択トランジスタ(つまり、スイッチ素子の一例)であるNMOSTランジスタ104は、ゲート端子103を備える。抵抗変化素子100の下部電極端子105とNMOSTランジスタ104のソースまたはドレイン(N+拡散)領域が直列に接続されている。抵抗変化素子100と接続されていない他方のドレインまたはソース(N+拡散)領域は、下部電極端子101として引き出され、基板端子は、接地電位に接続されている。

【0048】

また、抵抗変化素子100において、第2のタンタル酸化物層(第2の遷移金属酸化物層112)は、NMOSTランジスタ104と反対側の上部電極端子102側に配置されている。

【0049】

遷移金属酸化物層すなわち抵抗変化層11を構成する金属は、タンタル以外の遷移金属を用いてもよい。遷移金属としては、タンタル(Ta)、チタン(Ti)、ハフニウム(Hf)、ジルコニウム(Zr)、ニオブ(Nb)、タングステン(W)等を用いることができる。遷移金属は複数の酸化状態をとることができるため、異なる抵抗状態を酸化還元反応により実現することが可能である。例えば、ハフニウム酸化物を用いる場合、第1の遷移金属酸化物層111である第1のハフニウム酸化物層の組成を HfO_x とした場合にxが0.9以上1.6以下であり、且つ、第2の遷移金属酸化物層112である第2のハ

10

20

30

40

50

フニウム酸化物層の組成を HfO_y とした場合に y が x の値よりも大である場合に、抵抗変化層 11 の抵抗値を安定して高速に変化させることが確認できている。この場合、第 2 の遷移金属酸化物層 112 である第 2 のハフニウム酸化物層の膜厚は、3 nm 以上 4 nm 以下が好ましい。また、ジルコニウム酸化物を用いる場合、第 1 の遷移金属酸化物層 111 である第 1 のジルコニウム酸化物層の組成を ZrO_x とした場合に x が 0.9 以上 1.4 以下であり、且つ、第 2 の遷移金属酸化物層 112 である第 2 のジルコニウム酸化物層の組成を ZrO_y とした場合に y が x の値よりも大である場合に、抵抗変化層 11 の抵抗値を安定して高速に変化させることが確認できている。この場合、第 2 の遷移金属酸化物層 112 である第 2 のジルコニウム酸化物層の膜厚は、1 nm 以上 5 nm 以下が好ましい。

10

【0050】

さらに、第 1 の遷移金属酸化物層 111 を構成する第 1 の遷移金属と、第 2 の遷移金属酸化物層 112 を構成する第 2 の遷移金属とは、異なる材料を用いてもよい。この場合、第 2 の遷移金属酸化物層 112 は、第 1 の遷移金属酸化物層 111 よりも酸素不足度が小さい、つまり抵抗が高い材料である方が好ましい。このような構成とすることにより、抵抗変化時に第 1 の電極（下部電極 10）及び第 2 の電極（上部電極 13）間に印加された電圧は、第 2 の遷移金属酸化物層 112 により多くの電圧が分配され、第 2 の遷移金属酸化物層 112 中で発生する酸化還元反応をより起こしやすくすることができる。また、第 1 の遷移金属と第 2 の遷移金属とが互いに異なる材料を用いる場合、第 2 の遷移金属の標準電極電位は、第 1 の遷移金属の標準電極電位より小さい方が好ましい。抵抗変化現象は、抵抗が高い第 2 の遷移金属酸化物層 112 中に形成された微小な導電パス（フィラメント）中で酸化還元反応が起こってその抵抗値が変化し、発生すると考えられるからである。例えば、第 1 の遷移金属酸化物層 111 に、酸素不足型のタンタル酸化物を用い、第 2 の遷移金属酸化物層 112 に TiO_2 を用いることにより、安定した抵抗変化動作が得られる。チタン（標準電極電位 = $-1.63 eV$ ）はタンタル（標準電極電位 = $-0.6 eV$ ）より標準電極電位が低い材料である。標準電極電位は、その値が大きいほど酸化しにくい特性を表す。第 2 の遷移金属酸化物層 112 に第 1 の遷移金属酸化物層 111 より標準電極電位が小さい金属の酸化物を配置することにより、第 2 の遷移金属酸化物層 112 中でより酸化還元反応が発生しやすくなる。

20

【0051】

ここで、上部電極 13 の材料としては、例えば、Pt（白金）、Ir（イリジウム）、Pd（パラジウム）、Ag（銀）、Ni（ニッケル）、W（タングステン）、Cu（銅）などが使用される。特に、第 1 の遷移金属酸化物層よりも小さい酸素不足度をもつ第 2 の遷移金属酸化物層と接する上部電極 13 の材料として、標準電極電位が高い Pt、Ir を電極に用いた場合が、良好な抵抗変化動作が得られ、望ましい。なぜなら、一般に標準電極電位は、酸化され易さの一つの指標であり、この値が大きければ酸化されにくく、小さければ酸化されやすい事を意味するからである。つまり、抵抗変化層 11 の構成元素である Ta よりも標準電極電位が高い電極材料と抵抗変化層の界面付近で抵抗変化が起こりやすく、逆に標準電極電位が Ta よりも低い電極材料では、抵抗変化が起こりにくい。電極材料と抵抗変化層を構成する金属の標準電極電位の差が大きいほど抵抗変化が起こりやすく、差が小さくなるにつれて、抵抗変化が起こりにくくなるからである。

30

40

【0052】

また、図 1 に示すメモリセルでは、上部電極端子 102 を基準として下部電極端子 101 に所定電圧（例えば、第 1 の（低抵抗化）閾値電圧）以上の振幅の電圧（低抵抗化電圧パルス）が印加された場合、上部電極 13 の界面近傍で還元が起こり、抵抗変化素子 100 は低抵抗状態に遷移し、一方、下部電極端子 101 を基準として上部電極端子 102 に別の所定電圧（例えば、第 2 の（高抵抗化）閾値電圧）以上の振幅の電圧（高抵抗化電圧パルス）が印加された場合、上部電極 13 の界面近傍で酸化が起こり、抵抗変化素子 100 は高抵抗状態に遷移する。以降では、低抵抗化電圧パルスの印加方向を負電圧方向と定義し、高抵抗化電圧パルスの印加方向を正電圧方向と定義する。

50

【 0 0 5 3 】

換言すると、この抵抗変化素子 1 0 0 は、第 1 電極（下部電極 1 0）および第 2 電極（上部電極 1 3）のいずれか一方を基準として第 1 電極（下部電極 1 0）および第 2 電極（上部電極 1 3）の他方に対して正の電位を持つ第 1 の閾値電圧以上の電圧パルスである第 1 の電圧パルスが印加されると第 1 の抵抗状態に遷移し、第 1 電極および第 2 電極の前記他方を基準として第 1 電極および第 2 電極の前記一方に対して正の電位をもつ第 2 の閾値電圧以上の電圧パルスである第 2 の電圧パルスが印加されると第 2 の抵抗状態に遷移する特性を有する。ここで、第 1 電極と第 2 電極はそれぞれ、抵抗変化素子 1 0 0 の上部電極 1 3 および下部電極 1 0 のいずれか一方およびいずれか他方に相当する。また、第 1 の遷移金属酸化物層 1 1 1 は、例えば第 1 のタンタル酸化物層であり、第 2 の遷移金属酸化物層 1 1 2 は、第 2 のタンタル酸化物層に対応する。

10

【 0 0 5 4 】

次に、以上のように構成された本発明の抵抗変化型不揮発性記憶素子の書き込み方法について説明する。

【 0 0 5 5 】

まず、図 2 A ~ 図 6 B を用いて、図 1 に示す 1 T 1 R 型メモリセルについて、従来の書き込み方法で書き込みを行った際の書き換え耐性（エンデュランス）特性を示し、その課題を説明する。

【 0 0 5 6 】

ここで、上部電極 1 3 は、Ir（イリジウム）で構成され、下部電極 1 0 は TaN（窒化タンタル）で構成されているとする。また、抵抗変化層 1 1 は第 1 のタンタル酸化物層（ TaO_x 、 $0 < x < 2.5$ ）および第 2 のタンタル酸化物層（ TaO_y 、 $x < y$ ）で構成されたとする。

20

【 0 0 5 7 】

また、従来の書き込み方法で書き込みを行った際の書き換え耐性（エンデュランス）特性を示すために、次に示すような抵抗変化素子 1 0 0 を実験に用いた。すなわち、抵抗変化層 1 1 の面積は、 $0.25 \mu m^2$ （ $= 0.5 \mu m \times 0.5 \mu m$ ）である。また、下部電極 1 0 に接する第 1 のタンタル酸化物層は、 $TaO_{1.54}$ 、膜厚は 30 nm であり、上部電極 1 3 に接する第 2 のタンタル酸化物層は $TaO_{2.47}$ 、膜厚は 6 nm である。また、スイッチ素子である NMOS トランジスタのゲート幅 W は $0.44 \mu m$ 、ゲート長 L は $0.18 \mu m$ 、およびゲート絶縁膜の膜厚 T_{ox} は 3.5 nm である。

30

【 0 0 5 8 】

なお、第 2 のタンタル酸化物層（ $TaO_{2.47}$ ）は、上部電極 1 3 を製造する工程の前に、スパッタリングにより成膜された第 1 のタンタル酸化物層（ $TaO_{1.54}$ ）の上にスパッタリングにより成膜される。この第 2 のタンタル酸化物層（ $TaO_{2.47}$ ）は、第 1 のタンタル酸化物層（ $TaO_{1.54}$ ）と比べて酸素不足度が小さい、つまり、抵抗値が非常に高い（ $> 1 M$ ）構造であり、抵抗変化動作するためには最初に一定の初期ブレイク電圧を所定時間印加することにより第 2 のタンタル酸化物層中に導電パスを形成することが必要である。抵抗変化素子の抵抗変化現象は、この導電パスが高抵抗化したり低抵抗化したりして発現すると考えられる。

40

【 0 0 5 9 】

図 2 A は、図 1 の端子 1 0 1 と端子 1 0 2 との間に、高抵抗化電圧パルス（ V_H ）の印加と低抵抗化電圧パルス（ V_L ）の印加とを交互に実施する場合におけるパルス波形の模式図である。図 2 B は、図 2 A に示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に印加した場合における書き換え開始初期の書き換え特性図である。図 2 C は、図 2 A に示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に印加した場合における書き換え 10 万回後の書き換え特性図である。

【 0 0 6 0 】

つまり、図 2 A は、図 1 に示す抵抗変化素子を用いた 1 T 1 R 型メモリセルに対して適用される、従来の書き込み方法を示している。そして、図 2 B および図 2 C は、図 2 A に

50

従来の書き込み方法、すなわち、端子101を基準に端子102に高抵抗化電圧パルス20（図2AでVH）と低抵抗化電圧パルス21（図2AでVL）を繰返し交互に印加した場合における、書き換え初期状態と10万回書き換え後状態での書き換え特性の一例を示している。ここで、 $|VL| > |VH|$ である。これは、図1において、高抵抗化時には、端子101に対し端子102に正の電圧が印加され、NMOSのトランジスタ104のオン抵抗は低い状態である。一方、低抵抗化時には、端子101に対して端子102に負の電圧が印加され、NMOSのトランジスタ104はソースフォロア接続となり、そのオン抵抗は高い状態となるためである。つまり、実際に抵抗変化層11に印加される電圧の絶対値は高抵抗化時の方が低抵抗化時より高くなる。また、図2Bおよび図2Cにおいて、縦軸は、図1に示すメモリセルにおいて、ゲート端子103に、トランジスタをオンさせるのに十分なゲート電圧VGが印加され、上部電極端子102に抵抗変化しないような読み出し電圧を印加（このとき、下部電極端子101には、接地電位を印加）された時の高抵抗（HR）状態と低抵抗（LR）状態とにおけるセル電流[A・U.]を示している。ここで、図2Bと図2Cの縦軸は同一レンジで表記してある。横軸は、書き換え回数を示している。

10

【0061】

図2Bおよび図2Cは、図2Aに示すように、高抵抗（HR）化電圧パルス20として、VHの電圧を所定のパルス幅（例えば、10ns以上100μs以下）印加し、低抵抗（LR）化電圧パルス21として、VLの電圧を所定のパルス幅印加した場合の書き換え特性を示している（この時、ゲート端子103にはトランジスタをオンさせるのに十分なゲート電圧VG'が印加されている）。

20

【0062】

図2Bに示すように、書き換え開始初期では、高抵抗（HR）状態と低抵抗（LR）状態とのセル電流は、それぞれ比較的安定している。その後、図2Cに示すように、上記の書き換えを10万回繰り返す。すると、高抵抗（HR）状態のセル電流は、比較的安定した状態を維持している。一方、低抵抗（LR）状態のセル電流は、高抵抗方向にシフトすると共に不安定になり、結果的に動作ウィンドウ（高抵抗（HR）状態のセル電流と低抵抗（LR）状態のセル電流の差）が大きく減少してしまい、読み出しエラーが発生する可能性がある。

30

【0063】

このように書き換え回数と共に低抵抗状態のセル電流が高抵抗方向にシフトしていくのは、高抵抗化電圧VHと低抵抗化電圧VLとの書き換え電圧バランスが悪く、最適な高抵抗化電圧に対し、図2Aの高抵抗化電圧VHの方が若干大きくなってしまっている（高抵抗化しすぎている）ため、低抵抗化電圧VLを印加しても十分低抵抗化できていないと考えられる。

【0064】

図3は、図2Aに示した高抵抗（HR）化電圧パルス20と低抵抗（LR）化電圧パルス21とを繰返し交互に印加した場合における、書き換え電圧の動作点を示す図である。

【0065】

図3において、横軸は、LR化電圧VLの絶対値[V]を示し、縦軸は、HR化電圧VHの絶対値[V]を示している。図3では、高抵抗（HR）化電圧パルス20と低抵抗（LR）化電圧パルス21とを繰返し交互に印加した場合における動作点を点Aと示している。

40

【0066】

このように、高抵抗（HR）化電圧パルス20と低抵抗（LR）化電圧パルス21とをそれぞれ1パルスで印加する場合には、高抵抗化電圧と低抵抗化電圧とのバランス制御が1点（点A）になるので、書き換え初期には、HR状態とLR状態のバランスが取れていたものの（図2B）、書き換え回数が増すにつれて、HR化能力とLR化能力との大小関係（ここでは、HR化能力 > LR化能力）により、HR状態からLR状態にしようとしても、十分にLR状態にすることができない状態になると考えられる（図2C）。

50

【 0 0 6 7 】

続いて、高抵抗化電圧 V_H を $V_H 1$ ($|V_H| > |V_H 1|$) に下げた場合における書き換え耐性（エンデュランス）特性について説明する。

【 0 0 6 8 】

図 4 A は、高抵抗化電圧パルス ($V_H 1$) の印加と低抵抗化電圧パルス (V_L) の印加とを交互に実施する場合におけるパルス波形の模式図である。図 4 B は、図 4 A に示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に印加した場合における書き換え開始初期の書き換え特性図である。図 4 C は、図 4 A に示す高抵抗化電圧パルスと低抵抗化電圧パルスとを交互に印加した場合における書き換え 10 万回後の書き換え特性図である。

【 0 0 6 9 】

10

つまり、図 4 A は、図 1 に示す抵抗変化素子を用いた 1 T 1 R 型メモリセルに対して、高抵抗化電圧を $V_H 1$ ($< V_H$)、低抵抗化電圧を V_L とした場合の従来の書き込み方法を示している。そして、図 4 B および図 4 C は、図 4 A に従来の書き込み方法すなわち図 4 A に示す高抵抗化電圧パルス 2 2 (図 4 A で $V_H 1$) と低抵抗化電圧パルス 2 1 (図 4 A で V_L) とを繰り返し交互に印加した場合における、書き換え初期状態と 10 万回書き換え後状態での書き換え特性の一例を示している。ここで、図 4 B および図 4 C において、縦軸と横軸とは、図 2 B および図 2 C と同様であるため、説明を省略する。

【 0 0 7 0 】

図 4 B および図 4 C は、図 4 A に示すように、高抵抗化電圧パルス 2 2 として、 $V_H 1$ の電圧を所定のパルス幅印加し、低抵抗化電圧パルス 2 1 として、 V_L の電圧を所定のパルス幅印加した場合の書き換え特性を示している（この時、ゲート端子 103 にはトランジスタをオンさせるのに十分なゲート電圧 V_G' が印加されている。）。

20

【 0 0 7 1 】

図 4 B に示すように、書き換え開始初期では、高抵抗 ($H R$) 状態と低抵抗 ($L R$) 状態とのセル電流は、それぞれ比較的安定している。その後、図 4 C に示すように、上記の書き換えを 10 万回繰り返すと、高抵抗 ($H R$) 状態のセル電流は、低抵抗状態の方向にシフトすると共に非常に不安定になり、結果的に動作ウィンドウが消滅（高抵抗状態のセル電流と低抵抗状態のセル電流が交差）してしまっている。

【 0 0 7 2 】

このように書き換え回数と共に高抵抗状態のセル電流が低抵抗方向にシフトしていくのは、高抵抗化電圧 ($V_H 1$) と低抵抗化電圧 (V_L) との書き換え電圧のバランスが悪く、最適な低抵抗化電圧に対し、図 4 A の低抵抗化電圧 V_L の方が若干その絶対値が大きくなってしまっている（低抵抗化しすぎている）ため、高抵抗化電圧 $V_H 1$ を印加しても十分高抵抗化できていないと考えられる。

30

【 0 0 7 3 】

上述したように、高抵抗 ($H R$) 化電圧パルスと低抵抗 ($L R$) 化電圧パルスをそれぞれ 1 パルスで印加する場合には、例えば、図 3 に示すように、高抵抗化電圧と低抵抗化電圧とのバランス制御が 1 点になる。そのため、書き換え初期には、 $H R$ 状態と $L R$ 状態とのバランスを比較的良好であっても、書き換え回数が増すにつれて、 $H R$ 化能力と $L R$ 化能力の微妙な大小関係で、 $L R$ 状態か $H R$ 状態のいずれか一方の状態が強くなり、他方の状態にしようとしても十分に他方の状態にすることができなくなる。そのため、全使用回数において一義的に高抵抗化電圧 V_H と低抵抗化電圧 V_L との適正な組み合わせを見出すのは、非常に困難である。

40

【 0 0 7 4 】

換言すると、上述した抵抗変化素子 100 を用いたメモリセルに対して、高抵抗化電圧パルス (1 回) と低抵抗化電圧パルス (1 回) を交互に印加すると、書き換え初期は、比較的安定的に抵抗変化動作をする。しかし、書き換え回数を増やしていくと、高抵抗化電圧 V_H と低抵抗化電圧 V_L とのバランスに応じて、低抵抗状態の抵抗値 R_L が増加していったり、逆に、高抵抗状態の抵抗値 R_H が減少していったりしてしまう。このように、従来の書き込み方法で書き込みを行った場合、書き換え回数が増加すると動作ウィンドウは

50

小さくなってしまおうという課題がある。

【0075】

本願の発明者は、このような事情を鑑みて、抵抗変化型不揮発性記憶素子の新たな書き込み方法の検討を行った。それは、高抵抗化時に複数のパルス印加を行い、高抵抗化する度に、より高抵抗化方向にシフトさせ、同様に、低抵抗化時にも複数のパルス印加を行い、低抵抗化する度に、より低抵抗化方向にシフトさせる等の新たな書き込み方法である。この新たな書き込み方法を行うことにより、書き換え回数が増加しても動作ウィンドウが劣化しにくくエンデュランス（書き換え）耐性が向上可能となる。このことを以下説明する。

【0076】

まず、いくつかの書き込み方法についての基礎データを説明する。

【0077】

(1) 高抵抗化電圧パルスを連続印加する場合

図5Aは、低抵抗(LR)状態にある抵抗変化素子に対し、本発明における高抵抗(HR)化電圧パルスを連続印加する場合の抵抗値測定フローを示す図である。図5Bは、図5Aに示す測定フローに基づき測定した抵抗変化特性図である。図5Bにおいて、横軸は、HR化電圧パルス印加回数であり、縦軸は、図1に示すメモリセルの抵抗値である。

【0078】

図5Aに示す測定フローでは、まず、図1に示す抵抗変化素子を用いた1T1R型メモリセルについて、ゲート端子103にトランジスタをオンさせるのに十分なゲート電圧V_{G'}を印加し、低抵抗状態のメモリセルに高抵抗(HR)化電圧パルス(振幅はV_Hで所定のパルス幅を有する)を1回印加する(以下、高抵抗化電圧パルス印加という)。次に、トランジスタのゲート端子103にゲート電圧V_G(<V_{G'})を印加し、上部電極端子102に読み出し電圧を印加(このとき、下部電極端子101には、接地電位を印加)した時の高抵抗(HR)状態のセル電流から抵抗値を算出する(以下、抵抗値測定という)。以降、高抵抗化電圧パルス印加と抵抗値測定とを繰返し、トータル50回の高抵抗化電圧パルス印加と抵抗値測定とを実施する。

【0079】

図5Bから分かるように、同じ高抵抗化電圧パルスを複数回累積的に印加しても、図1に示すメモリセルではHR化度が単調増加又は単調減少しない特性が明らかである。一方、例えば、フラッシュメモリのような不揮発性メモリセルでは、書き込みや消去パルスのいずれかの電圧パルスを連続印加すると、セルトランジスタのしきい値電圧は、単調増加、又は単調減少する特性を示す。

【0080】

(2) 低抵抗化電圧パルスを連続印加する場合

図6Aは、本発明における低抵抗(LR)化電圧パルス連続を印加する場合のセル電流測定フローを示す図である。図6Bは、図6Aに示す測定フローに基づき測定した抵抗変化特性図である。図6Bにおいて、横軸は、LR化電圧パルス印加回数であり、縦軸は、図1に示すメモリセルのセル電流である。

【0081】

図6Aに示す測定フローでは、まず、図1に示す抵抗変化素子を用いた1T1R型メモリセルについて、ゲート端子103にトランジスタをオンさせるのに十分なゲート電圧V_{G'}を印加し、低抵抗状態のメモリセルに低抵抗(LR)化電圧パルス(振幅はV_Lで所定のパルス幅を有する)を1回印加する(以下、低抵抗化電圧パルス印加という)。次に、ゲート端子103にトランジスタをオンさせるのに十分なゲート電圧V_Gが印加され、上部電極端子102に読み出し電圧を印加(このとき、下部電極端子101には、接地電位を印加)した時の低抵抗(LR)状態のセル電流を測定する(以下、セル電流測定という)。以降、低抵抗化電圧パルス印加とセル電流測定とを繰返し、トータル50回の低抵抗化パルス印加とセル電流測定とを実施する。

【0082】

10

20

30

40

50

図 6 B から分かるように、同じ低抵抗化電圧パルスを複数回累積的に印加しても、図 1 に示すメモリセルでは、高抵抗化電圧パルス連続印加の場合と同様に、L R 化時のセル電流の値は単調増加又は単調減少しない特性を示す。

【 0 0 8 3 】

(3) 本発明の実施の形態 1 に係る高抵抗化電圧パルスセットを印加する高抵抗化動作を複数回繰り返す場合

図 7 A は、本発明の実施の形態 1 に係る高抵抗化電圧パルスセット印加（高抵抗化パルス V H の前に低抵抗化方向の極性のプレ電圧パルス V L p r を印加）を連続して実施する場合の抵抗値測定フローを示す図である。図 7 B は、図 7 A に示す抵抗値測定フローに基づき測定したセル電流変化特性図である。図 7 B において、横軸は、高抵抗化電圧パルスセット 2 3 の印加回数であり、縦軸は、図 1 に示すメモリセルの抵抗値である。

10

【 0 0 8 4 】

図 7 A に示す抵抗値測定フローでは、まず、図 1 に示す抵抗変化素子を用いた 1 T 1 R 型メモリセルについて、ゲート端子 1 0 3 にトランジスタをオンさせるのに十分なゲート電圧 V G ' を印加し、低抵抗状態のメモリセルに低抵抗化方向の極性でかつ低抵抗化閾値電圧より振幅が小さい高抵抗化プレ電圧パルス V L p r を印加し、その後、所定のパルス幅（例えば 1 0 0 n s ）の高抵抗（ H R ）化電圧パルス V H を印加する（以下、高抵抗化電圧パルスセット 2 3 を印加という）。次に、ゲート端子 1 0 3 にトランジスタをオンさせるのに十分なゲート電圧 V G が印加され、上部電極端子 1 0 2 に読み出し電圧を印加（このとき、下部電極端子 1 0 1 には、接地電位を印加）した時の高抵抗（ H R ）状態のセル電流から抵抗値を算出する（抵抗値測定という）。以降、高抵抗化電圧パルスセット 2 3 の印加と抵抗値測定とを繰り返し、トータル 5 0 回の高抵抗化電圧パルスセット印加と抵抗値測定とを実施する。

20

【 0 0 8 5 】

図 7 B から分かるように、高抵抗化電圧パルスとは逆極性でかつ低抵抗化閾値電圧より振幅が小さい高抵抗化プレ電圧パルス V L p r （高抵抗化弱反転電圧パルスともいう）を印加し、その後、高抵抗化電圧パルス V H を印加する高抵抗化電圧パルスセット 2 3 を繰り返すことにより、図 1 に示すメモリセルのセル抵抗値は、高抵抗化電圧パルスセット 2 3 の印加回数と共に単調増加し、その後、約 3 0 回でセル抵抗値が飽和傾向になる。このように、発明者は、本発明に係る新たな書き込み方法を行うことにより、従来知られていなかった新たな高抵抗化特性を見出した。

30

【 0 0 8 6 】

(4) 本発明の実施の形態 1 に係る低抵抗化電圧パルスセットを印加する低抵抗化動作を複数回繰り返す場合

図 8 A は、本発明の実施の形態 1 に係る低抵抗化電圧パルスセット印加（低抵抗化パルス V L の前に高抵抗化方向の極性のプレ電圧パルス V H p r を印加）を連続して実施する場合のセル電流測定フローを示す図である。図 8 B は、図 8 A に示すセル電流測定フローに基づき測定したセル電流変化特性図である。図 8 B において、横軸は、低抵抗化電圧パルスセット 2 4 の印加回数であり、縦軸は、図 1 に示したメモリセルのセル電流である。

【 0 0 8 7 】

40

図 8 A に示す電流測定フローでは、まず、図 1 に示す抵抗変化素子を用いた 1 T 1 R 型メモリセルについて、ゲート端子 1 0 3 にトランジスタをオンさせるのに十分なゲート電圧 V G ' を印加し、高抵抗状態のメモリセルに高抵抗化方向の極性でかつ高抵抗化閾値電圧より振幅が小さいプレ電圧パルス V H p r を印加し、その後、所定のパルス幅（例えば 1 0 0 n s ）の低抵抗（ L R ）化電圧パルス V L を印加する（以下、低抵抗化電圧パルスセット 2 4 を印加という）。次に、ゲート端子 1 0 3 にトランジスタをオンさせるのに十分なゲート電圧 V G が印加され、上部電極端子 1 0 2 に読み出し電圧を印加（このとき、下部電極端子 1 0 1 には、接地電位を印加）した時の低抵抗（ L R ）状態のセル電流を測定する（セル電流測定）。以降、低抵抗化電圧パルスセット 2 4 の印加とセル電流測定とを繰り返し、トータル 5 0 回の L R 化電圧パルスセット印加とセル電流測定とを実施する。

50

【 0 0 8 8 】

図 8 B から分かるように、低抵抗化電圧パルスとは逆極性でかつ高抵抗化閾値電圧より振幅が小さい低抵抗化プレ電圧パルス V_{Hpr} (低抵抗化弱反転電圧パルスともいう) を印加し、その後低抵抗化電圧パルス V_L を印加する低抵抗化電圧パルスセット 2 4 を繰り返すことにより、図 1 に示すメモリセルのセル電流は、低抵抗化電圧パルスセット 2 4 の印加回数と共に単調増加 (セル抵抗は単調減少) する。このように、発明者は、新たな書き込み方法を行うことにより、従来知られていなかった新たな低抵抗化特性を見出した。

【 0 0 8 9 】

つまり、図 5 A および図 6 A に示すように同極性の高抵抗化電圧パルスおよび低抵抗化電圧パルスを連続印加しても、高抵抗化度および低抵抗化度は向上しない。それに対して、図 7 A および図 8 A に示すように、高抵抗化プレ電圧パルス又は低抵抗化プレ電圧パルス (高抵抗化弱反転電圧パルス又は低抵抗化弱反転電圧パルス) を、それぞれ通常の高抵抗化電圧パルス又は低抵抗化電圧パルスの前に加えた電圧パルスセットを複数回繰り返すことにより、高抵抗化時の抵抗値はより増加し、低抵抗化時の抵抗値はより減少することを発明者は見出した。

【 0 0 9 0 】

次に、高抵抗化電圧パルスセット 2 3 を連続して印加する場合における高抵抗状態のセル電流の収束性の、高抵抗化プレ電圧パルス振幅依存性と、低抵抗化電圧パルスセット 2 4 を連続して印加する場合における低抵抗状態のセル電流の収束性の、低抵抗化プレ電圧パルス振幅依存性について、調べた結果を説明する。

【 0 0 9 1 】

図 9 は、本発明における HR セル電流の高抵抗化プレ電圧パルスの極性及び振幅に対する依存性を示す特性図である。具体的には、図 9 は、高抵抗化電圧 V_H における HR セル電流値の高抵抗化プレ電圧パルス V_{Lpr} の振幅及び極性依存性を示している。また、図 9 では、図 7 A に示した測定フローにおいて、高抵抗化プレ電圧パルス V_{Lpr} の振幅及び極性をパラメータ ($-V_{Lpr3} \sim +V_{Lpr2}$) に、50 回抵抗測定したときの、50 回中最後の 20 回のセル電流値 (HR セル電流値) の中央値 (メディアン) を縦軸に、高抵抗化プレ電圧パルス V_{Lpr} の値を横軸に取っている。

【 0 0 9 2 】

図 9 から分かるように、破線で囲われた領域の HR セル電流値は極小値を示しており (つまり HR 状態の抵抗値は極大値)、この破線で囲われた領域より高抵抗化プレ電圧パルスがより正側又はより負側の領域では、HR セル電流値はいずれも増加している。ここで、破線で囲われた領域にある高抵抗化プレ電圧パルス V_{Lpr} 、すなわち HR セル電流値のメディアンが極小値を示す高抵抗化プレ電圧パルス V_{Lpr} を高抵抗化ディスタープ電圧と呼ぶ。

【 0 0 9 3 】

このように、高抵抗化プレ電圧パルス V_{Lpr} が高抵抗化ディスタープ電圧であるとき、HR セル電流値のメディアンが極小値を示すため、高抵抗化ディスタープ電圧は最適な高抵抗化プレ電圧値 V_{Lpr} であることがわかる。つまり、HR 化能力を上げるためには、高抵抗化ディスタープ電圧に対応する高抵抗化プレ電圧パルス V_{Lpr} を印加すること、具体的には HR 化パルス電圧 V_H とは逆極性でかつ低抵抗化閾値電圧より絶対値が小さい電圧 (図 9 では $-V_{Lpr1}$ 近傍) を印加することが効果的であることがわかる。なお、図 9 からわかるように、最適な高抵抗化プレ電圧パルス値はある範囲を有しており、この最適な高抵抗化プレ電圧パルスの範囲にある高抵抗化ディスタープ電圧を以下では、HR 化時適正プレ電圧パルスと定義する。

【 0 0 9 4 】

図 10 は、本発明における LR セル電流の低抵抗化プレ電圧パルスの極性及び振幅に対する依存性を示す特性図である。具体的には、図 10 は、低抵抗化電圧 V_L における LR セル電流値の低抵抗化プレ電圧パルス V_{Hpr} の振幅及び極性依存性を示している。また、図 10 では、図 8 A に示した測定フローにおいて、低抵抗化プレ電圧パルス V_{Hpr} の

10

20

30

40

50

振幅及び極性をパラメータ ($-V_{Hpr3} \sim +V_{Hpr2}$) に50回セル電流を測定し、50回中最後の20回のLRセル電流値の中央値(メディアン)を縦軸に、低抵抗化プレ電圧パルス V_{Hpr} の値を横軸に取っている。

【0095】

図10から分かるように、破線で囲われた領域にあるLRセル電流値は極大値を示しており(つまりLR状態の抵抗値は極小値)、この破線で囲われた領域より低抵抗化プレ電圧パルスがより正側又はより負側の領域では、LRセル電流値はいずれも減少している。ここで、破線で囲われた領域にある低抵抗化プレ電圧パルス V_{Hpr} 、すなわちLRセル電流値のメディアンが極小値を示す低抵抗化プレ電圧パルス V_{Hpr} を低抵抗化ディスタープ電圧と呼ぶ。

10

【0096】

このように、低抵抗化プレ電圧パルス V_{Hpr} が低抵抗化ディスタープ電圧であるとき、LRセル電流値のメディアンが極大値を示すため、低抵抗化ディスタープ電圧は最適な低抵抗化プレ電圧値 V_{Hpr} であることがわかる。つまり、LR化能力を上げるためには、低抵抗化ディスタープ電圧に対応する低抵抗化プレ電圧パルス V_{Hpr} を印加すること、具体的にはLR化パルス電圧 V_L とは逆極性でかつ高抵抗化閾値電圧より絶対値が小さい電圧(図10では $+V_{Hpr1}$ 近傍)を印加することが効果的であることがわかる。なお、図10からわかるように、最適な低抵抗化プレ電圧パルス値はある範囲を有しており、この最適な低抵抗化プレ電圧パルス範囲にある低抵抗化ディスタープ電圧を以下では、LR化時適正プレ電圧パルスと定義する。

20

【0097】

このように、高抵抗化電圧 V_H や低抵抗化電圧 V_L の絶対値を大きくせずに、適切な高抵抗化プレ電圧パルス V_{Lpr} (高抵抗化ディスタープ電圧)又は低抵抗化プレ電圧パルス V_{Hpr} (低抵抗化ディスタープ電圧)を高抵抗化電圧パルス V_H 又は低抵抗化電圧パルス V_L の前にそれぞれ印加することにより、高抵抗化パルスのHR化能力及び低抵抗化パルスのLR化能力をより高くできる。それにより、動作ウィンドウ(HRセル電流とLRセル電流の差)の拡大に繋がり、信頼性を向上できるという効果を奏する。

【0098】

次に、図1に示すメモリセルにおけるパルス V_I 特性と、HR化時及びLR化時適正プレ電圧パルスとの関係について説明する。

30

【0099】

図11は、本発明に係るメモリセルのパルス V_I 特性図である。

【0100】

図11では、図1に示すメモリセルにおいて、ゲート端子103にトランジスタをオンさせるのに十分なゲート電圧 V_G' を印加しつつ、パルス電圧 V_p (横軸)を印加し、パルス電圧 V_p を印加する毎に、ゲート端子103にトランジスタをオンさせるのに十分なゲート電圧 V_G を印加し、上部電極端子102に読み出し電圧を印加(このとき、下部電極端子101には、接地電位を印加)した時のセル電流(縦軸)を測定している。また、図11では、パルス電圧 V_p は、 $0V - V_{P10} + V_{P11} 0V$ (各パルス電圧の増減の絶対値は、 $0.1V$)の順に印加することで、ヒステリシスループの1周分の測定を行っている。

40

【0101】

図11から、C点でLR化し始め、B点で、HR化し始めていることがわかる。

【0102】

ここで、図11には、LR化時適正プレ電圧パルス(低抵抗化ディスタープ電圧)を破線丸B'で示し、HR化時適正プレ電圧パルス(高抵抗化ディスタープ電圧)を破線丸C'で示している。HR化時適正プレ電圧パルス(高抵抗化ディスタープ電圧)は、LR化閾値電圧よりも小さく、高抵抗化電圧パルスの印加前に印加することにより、抵抗変化素子をより高抵抗化させ、一方、LR化時適正プレ電圧パルス(低抵抗化ディスタープ電圧)は、HR化閾値電圧よりも小さく、低抵抗化電圧パルスの印加前に印加することにより

50

、抵抗変化素子をより低抵抗化させる。つまり、HR化時適正プレ電圧パルスは、HR状態からLR状態への遷移が生じない程度の弱電圧であり、LR化時適正プレ電圧パルスは、LR状態からHR状態への遷移が生じない程度の弱電圧である。換言すると、これら高抵抗化及び低抵抗化ディスターブ電圧は、それぞれ図1に示すメモリセルのHR化及びLR化を開始する開始電圧近傍の値である。さらに具体的には、これら高抵抗化及び低抵抗化ディスターブ電圧は、それぞれ図1に示すメモリセルの抵抗状態を反転させるまでに至らない電圧であって、かつこのメモリセルの抵抗変化を引き起こす電圧（開始電圧）に近いほど効果的である。

【0103】

[高抵抗化及び低抵抗化プレ電圧パルス印加書き込みの推定メカニズム]

次に、高抵抗化及び低抵抗化プレ電圧パルスを印加することによる書き込み特性改善の推定メカニズムについて説明する。

【0104】

図12(a)～(c)は、低抵抗化プレ電圧パルス印加によるLR化書き込み時の推定メカニズムを説明するための図である。図12(a)～(c)において、図1と同じ構成要素については、同じ符号を用い、説明を省略する。

【0105】

図12(a)は、高抵抗(HR)状態の抵抗変化素子100を表している。具体的には、第2の遷移金属酸化物層112中の導電バス202において、上部電極13の界面近傍が第1の高抵抗状態に酸化され、第1の界面高抵抗層膜200が形成されている。また、第1の遷移金属酸化物層111と第2の遷移金属酸化物層112との界面近傍には、第1の高抵抗状態よりも抵抗値が低い第2の高抵抗状態に酸化され、第2の界面高抵抗層膜201が形成されている。ここで、第2の界面高抵抗層膜201が抵抗変化する閾値電圧は、第1の界面高抵抗層膜200が抵抗変化する閾値電圧より低いと考えられる。

【0106】

図12(b)は、抵抗変化素子100に低抵抗化プレ電圧パルス V_{Hpr} が印加された場合における第2の界面高抵抗層膜201の状態変化を表している。具体的には、抵抗変化層を高抵抗化する方向の低抵抗化プレ電圧パルスを抵抗変化素子に印加することにより、第1の界面高抵抗層膜200は変化しないが、第2の界面高抵抗層膜201中の酸素イオン O^{2-} が上部電極13方向に引き寄せられ、拡散する。その結果、第2の界面高抵抗層膜201の膜中の酸素イオン O^{2-} 密度が図12(a)の第2の界面高抵抗層膜201のHR状態よりも減少し、第2の界面高抵抗層膜201の膜厚は厚くなるが抵抗変化素子100の抵抗値は若干低下する。

【0107】

次に、図12(c)では、低抵抗化電圧 V_L が印加された場合における第1の界面高抵抗層膜200の状態変化を表している。具体的には、低抵抗化電圧 V_L の印加により、第1の界面高抵抗層膜200中の酸素イオン O^{2-} が第1のタンタル酸化物層(第1の遷移金属酸化物層111)中に引き寄せられ、拡散する。この時、第2の界面高抵抗層膜201の酸素拡散のバリア機能は、事前に低抵抗化プレ電圧パルスの印加により第2の界面高抵抗層膜201の膜中の酸素イオン O^{2-} が少なくなっているため、弱いと考えられる。その結果、第1の界面高抵抗層膜200の膜中の酸素イオン O^{2-} が速やかに第1の遷移金属酸化物層111中に拡散し、抵抗変化素子100の抵抗値は、従来の低抵抗化動作時よりも低下すると考えられる。

【0108】

以上から、上述した低抵抗化プレ電圧パルスの印加と低抵抗化電圧パルスの印加とを繰り返すと、徐々に第2の界面高抵抗層膜201と第1の界面高抵抗層膜200の抵抗値が減少するので、図8Bに示すように低抵抗化電圧パルスセット印加回数が増加するにつれて、LR状態セル電流が増加すると推定される。

【0109】

一方、高抵抗化プレ電圧パルス印加によるHR化書き込みについては、LR化書き込み

10

20

30

40

50

と逆方向（酸化方向）の動きで、ほぼ同様のメカニズムであると考えられる。つまり、LR状態においても第2の界面高抵抗層膜201が存在し、高抵抗化時の酸素イオン O^{2-} の拡散を阻害し、第1の界面高抵抗層膜200の十分な形成を妨げると考えられる。この場合は、第2の界面高抵抗層膜201の膜中の酸素イオン O^{2-} を事前に高抵抗化プレ電圧パルスの印加により第1の遷移金属酸化物層111中に拡散させて第2の界面高抵抗層膜201の膜中の酸素イオン O^{2-} を減少させてその酸素拡散バリアとしての機能を低減し、高抵抗化時の第1の界面高抵抗層膜200の速やかな形成を促進していると考えられる。

【0110】

[実施の形態1における抵抗変化型不揮発性記憶素子の書き込み方法]

次に、図1に示す抵抗変化素子100を用いた1T1R型メモリセルから構成される不揮発性記憶装置に対して、抵抗変化素子100を高抵抗化および低抵抗化する書き込み方法を説明する。

【0111】

図13Aは、実施の形態1における高抵抗（HR）化電圧パルスセット印加と低抵抗（LR）化電圧パルスセット印加とを交互に実施する場合におけるパルス波形の模式図である。図13Bは、図13Aに示す高抵抗化電圧パルスセット印加と低抵抗化電圧パルスセット印加とを交互に実施した場合における書き換え開始初期の書き換え特性図である。図13Cは、図13Aに示す高抵抗化電圧パルスセット印加と低抵抗化電圧パルスセット印加とを交互に実施した場合における書き換え10万回後の書き換え特性図である。図13Bおよび図13Cにおいて、縦軸および横軸は、図2Bと同様であるため説明を省略する。

【0112】

以下では、高抵抗化動作および低抵抗化動作として、図1に示したメモリセルに、図7Aに示した高抵抗化電圧パルスセット23、および図8Aに示した低抵抗化電圧パルスセット24をそれぞれ印加するものとする。すなわち、図1に示す抵抗変化素子を用いた1T1R型メモリセルについて、図13Aに示す高抵抗化電圧パルスセット23と低抵抗化電圧パルスセット24とを繰り返し交互に印加する。

【0113】

ここで、高抵抗化電圧パルスセット23または低抵抗化電圧パルスセット24の書き込み方法は、以下のように換言できる。すなわち、この書き込み方法は、抵抗変化素子100を第1の抵抗状態から第2の抵抗状態に抵抗変化させる時、抵抗変化素子100に対して、第1の閾値電圧よりも絶対値が大きい第1の極性の第1の電圧パルスを印加し、第2の抵抗状態から第1の抵抗状態に変化せしめる時に、抵抗変化素子100に対して、第2の閾値電圧よりも絶対値が大きく、かつ第1の極性とは異なる第2の極性の第2の電圧パルスを印加する。つまり、抵抗変化素子100において、抵抗変化素子100を第1の抵抗状態から第2の抵抗状態に抵抗変化させる時、抵抗変化素子100に対して、第2の閾値電圧よりも電圧の絶対値が小さく、かつ、第1の電圧パルスと極性が異なる第1の抵抗化プレ電圧パルスを印加する第1ステップと、その後、第1の電圧パルスを印加する第2ステップとを含む第1の抵抗状態化ステップを含む。また、抵抗変化素子100を第2の抵抗状態から第1の抵抗状態に抵抗変化させる時、抵抗変化素子100に対して、第1の閾値電圧よりも電圧の絶対値が小さく、かつ、第2の電圧パルスと極性が異なる第2の抵抗化プレ電圧パルスを印加する第3ステップと、その後、第2の電圧パルスを印加する第4ステップとを含む第2の抵抗状態化ステップを含む。ここで、第1の抵抗化プレ電圧パルスと第1の電圧パルスのセットは、図13Aにおける高抵抗化電圧パルスセット23または低抵抗化電圧パルスセット24のいずれか一方に相当する。また、第2の抵抗化プレ電圧パルスと第2の電圧パルスのセットは、図13Aにおける高抵抗化電圧パルスセット23または低抵抗化電圧パルスセット24のいずれか他方に相当する。

【0114】

また、高抵抗化電圧パルスセット23と低抵抗化電圧パルスセット24とを繰り返し交互

10

20

30

40

50

に印加する書き込み方法は、以下のように換言できる。すなわち、この書き込み方法は、抵抗変化素子100を第1の抵抗状態から第2の抵抗状態に変化せしめる時に、抵抗変化素子100に対して、第2の閾値電圧よりも電圧の絶対値が小さく、かつ、第1の電圧パルスと極性が異なる第1の抵抗化プレ電圧パルスを印加する第1ステップと、その後、第1の電圧パルスを印加する第2ステップとを含む第1の抵抗状態変化ステップを含む。さらに、抵抗変化素子100を前記第2の抵抗状態から前記第1の抵抗状態に変化せしめる時に、抵抗変化素子100に対して、前記第1の閾値電圧よりも電圧の絶対値が小さく、かつ、前記第2の電圧パルスと極性が異なる第2の抵抗化プレ電圧パルスを印加する第3ステップと、その後、前記第2の電圧パルスを印加する第4ステップとを含む第2の抵抗状態変化ステップを含む。

10

【0115】

そして、図13Bおよび図13Cには、高抵抗化電圧パルスセット23と低抵抗化電圧パルスセット24とを繰り返し交互に印加する書き込み方法における、書き換え初期状態と10万回書き換え後状態での書き換え特性の一例が示されている。具体的には、図13Bおよび図13Cは、図13Aに示すように、高抵抗化電圧パルスセット23として、低抵抗状態のメモリセルに高抵抗化プレ電圧パルス V_{Lpr} を印加し、その後、所定のパルス幅の高抵抗(HR)化電圧パルス V_H を印加する。次に、低抵抗化電圧パルスセット24として、高抵抗状態のメモリセルに低抵抗化プレ電圧パルス V_{Hpr} を印加し、その後、低抵抗(LR)化パルス V_L を印加する(この時、ゲート端子103にはトランジスタを十分にオンするゲート電圧 V_G' が印加されている)。このような書き込み(印加)を行った場合における書き換え特性を示している。

20

【0116】

図13Bに示すように、書き換え開始初期では、高抵抗(HR)状態と低抵抗(LR)状態とのセル電流は、それぞれ安定している。その後、図13Cに示すように、書き換えを10万回繰り返しても、高抵抗(HR)状態のセル電流は、安定した状態を維持している。また、低抵抗(LR)状態のセル電流における高抵抗方向へのシフト量は、図2Cに示す従来の書き込み方法と比較して、大きく改善されている。

【0117】

このように、図13Aに示す書き込み方法によれば、高抵抗化電圧パルス及び低抵抗化電圧パルスとそれぞれ極性が異なる高抵抗化適正プレ電圧パルス(高抵抗化ディスターブ電圧)及び低抵抗化適正プレ電圧パルス(低抵抗化ディスターブ電圧)を事前にそれぞれ印加することにより、高抵抗化能力及び低抵抗化能力が向上可能となる。その結果、書き換え回数が増加しても適切な動作ウィンドウの確保が可能となり、不揮発性記憶装置の信頼性を向上可能となる。

30

【0118】

図14は、図13Aに示す高抵抗化電圧パルスセット23と低抵抗化電圧パルスセット24とを繰り返し交互に印加した場合における、書き換え電圧の動作点を説明するための図である。

【0119】

図14において、横軸は、不揮発性記憶装置(メモリセル)に印加される負電圧の絶対値をしており、縦軸は、不揮発性記憶装置(メモリセル)に印加される正電圧の絶対値を示している。図14では、点Bは、高抵抗化電圧パルスセット23として、先ず高抵抗化プレ電圧パルス V_{Lpr} を印加し、その後、高抵抗(HR)化電圧 V_H を印加するHR化時の動作点を示している。ここで、点Bは、横軸の値が高抵抗化プレ電圧パルス V_{Lpr} の値を、縦軸の値が高抵抗(HR)化電圧 V_H の値を示す動作点である。また、点Cは、低抵抗化電圧パルスセット24として、先ず低抵抗化プレ電圧パルス V_{Hpr} を印加し、その後、低抵抗(LR)化電圧 V_L を印加するLR化時の動作点を示している。ここで、点Cは、縦軸の値が低抵抗化プレ電圧パルス V_{Hpr} の値を、横軸の値が低抵抗(LR)化電圧 V_L の値を示す動作点である。

40

【0120】

50

図14から分かるように、図3に示した従来の1パルス印加のみの書き換えでは動作点が1つ(点A)だったのに対して、図14では動作点が点Bと点Cとの2つになっている。それにより、HR化動作とLR化動作とで独立にバランス調整が可能となるので、書き換え電圧の選択自由度が高くなっている。

【0121】

以上、実施の形態1によれば、高抵抗化電圧パルス及び低抵抗化電圧パルスに対し、それぞれ高抵抗化電圧パルス及び低抵抗化電圧パルスと極性が異なる高抵抗化適正プレ電圧パルス及び低抵抗化適正プレ電圧パルスをそれぞれ事前に印加することにより、高抵抗化能力および低抵抗化能力が向上可能となり、その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性を向上できる。それにより、エンデュランス(書き換え耐性)特性劣化による動作ウィンドウ減少量を抑制し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を実現することができる。

10

【0122】

なお、本実施の形態では、プレ電圧パルス印加を伴う書き込みは、高抵抗化動作を行う場合と低抵抗化動作を行う場合との両方に適用したが、いずれか一方にのみ適用するとしても良い。

【0123】

(実施の形態2)

次に、実施の形態1の書き込み方法とは異なる方法を、実施の形態2として説明する。

20

【0124】

[実施の形態2における抵抗変化型不揮発性記憶素子の書き込み方法]

以下、本発明の実施の形態として、図1に示した抵抗変化素子100を用いた1T1R型メモリセルから構成される不揮発性記憶装置に対して、抵抗変化素子100を高抵抗化および低抵抗化する他の書き込み方法を説明する。

【0125】

図15Aは、実施の形態2における高抵抗(HR)化電圧パルスセット印加を連続M回と、低抵抗(LR)化電圧パルスセット印加を連続N回とを交互に実施する場合におけるパルス波形の模式図である。図15Bは、図15Aに示す高抵抗化電圧パルスセットの連続印加と低抵抗化電圧パルスセットの連続印加とを交互に実施した場合における書き換え開始初期の書き換え特性図である。図15Cは、図15Aに示す高抵抗化電圧パルスセットの連続印加と低抵抗化電圧パルスセットの連続印加とを交互に実施した場合における書き換え10万回後の書き換え特性図である。なお図15Bおよび図15Cにおいて、縦軸および横軸は、図2Bと同様であるため説明を省略する。

30

【0126】

本実施の形態では、高抵抗化および低抵抗化動作には、図1に示すメモリセルに対して、図15Aに示すように、高抵抗化電圧パルスセット23を連続M(1以上の整数)回印加し、その後、低抵抗化電圧パルスセット24を連続N(1以上の整数)回印加する。

【0127】

ここで、高抵抗化電圧パルスセット連続印加回数Mと低抵抗化電圧パルスセット連続印加回数Nの大小関係は、書き換え回数を増やした時のHR状態とLR状態のバランスを取るために設定する。例えば、HR状態がLR方向へシフトしていく量よりもLR状態がHR方向へシフトしていく量の方が大きい場合、LR化能力を高めるために、低抵抗化電圧パルスセット連続印加回数Nを高抵抗化電圧パルスセット連続印加回数Mよりも大きく設定する。逆に、LR状態がHR方向へシフトしていく量よりもHR状態がLR方向へシフトしていく量の方が大きい場合、HR化能力を高めるために、高抵抗化電圧パルスセット連続印加回数Mを低抵抗化電圧パルスセット連続印加回数Nよりも大きく設定する。

40

【0128】

なお、HR状態がLR方向へシフトしていく量とLR状態がHR方向へシフトしていく量とが同程度の場合、低抵抗化電圧パルスセット連続印加回数Nと高抵抗化電圧パルスセ

50

ット連続印加回数 M を同等に設定すればよい。

【0129】

そして、図13Bおよび図13Cには、図1に示した抵抗変化素子100を用いた1T1R型メモリセルについて、図15Aに示す高抵抗化電圧パルスセット23の連続 M 回印加と低抵抗化電圧パルスセット24の連続 N 回印加とを交互に繰返した場合における、書き換え初期状態と10万回書き換え後状態とでの書き換え特性の一例が示されている。具体的には、図15Bおよび図15Cは、図15Aに示すように、まず、低抵抗状態のメモリセルに高抵抗化プレ電圧パルス V_{Lpr} を印加し、その後、高抵抗(HR)化電圧パルス V_H を印加する高抵抗化電圧パルスセット23を連続 M 回印加する。次に、高抵抗化したメモリセルに低抵抗化プレ電圧パルス V_{Hpr} を印加し、その後、低抵抗(LR)化パルス V_L を印加する抵抗化電圧パルスセット24を連続 N 回印加する(この時、ゲート端子103にはトランジスタをオンさせるのに十分なゲート電圧 $V_{G'}$ が印加されている)。このような書き込み(印加)を行った場合の書き換え特性を示している。

10

【0130】

図15Bに示すように、書き換え開始初期では、高抵抗(HR)状態と低抵抗(LR)状態とのセル電流は、それぞれ比較的安定している。その後、図15Cに示すように、書き換えを10万回繰返しても、高抵抗(HR)状態のセル電流は、比較的安定した状態を維持している。また、低抵抗(LR)状態のセル電流における高抵抗方向へのシフト量は非常に小さく、図2Cに示す従来書き込み方法と比較して、劇的に改善されている。

20

【0131】

このように、図15Aに示す書き込み方法によれば、HR化能力かLR化能力のいずれが弱い方の抵抗変化電圧パルスセットの連続印加回数をより多く設定することにより、HR化能力とLR化能力のバランスを適正化することができる。その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性が大幅に向上可能となる。

【0132】

以上、実施の形態2によれば、高抵抗化電圧パルスや低抵抗化電圧パルスとそれぞれ極性が異なる適正プレ電圧パルスを事前に印加することにより、高抵抗化能力および低抵抗化能力が向上でき、その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性を向上できる。それにより、エンデュランス(書き換え耐性)特性劣化による動作ウィンドウ減少量を抑制し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を実現することができる。

30

【0133】

なお、本実施の形態では、プレ電圧パルス印加を伴う書き込みは、高抵抗化動作を行う場合と低抵抗化動作を行う場合との両方に適用したが、実施の形態1と同様にいずれかのみ適用するとしても良い。

【0134】

また、低抵抗化電圧パルスセットの連続印加回数 N 、又は、高抵抗化電圧パルスセットの連続印加回数 M が2以上の時には、最初の高抵抗化プレ電圧パルス V_{Lpr} 又は最初の低抵抗化プレ電圧パルス V_{Hpr} の印加を省略しても、ほぼ同様の効果を奏することができる。これは、図7Bおよび図8Bで説明した抵抗変化型不揮発性記憶素子の新たな書き込み方法に相当することになるからである。

40

【0135】

(実施の形態3)

次に、実施の形態3として、書き換えを行うために必要となる部分の回路構成の等価回路について説明する。

【0136】

[実施の形態3における抵抗変化型不揮発性記憶素子の書き込み方法]

図16は、本発明における書き換えを行うために必要となる部分の回路構成の等価回路の一例である。

50

【 0 1 3 7 】

図 1 6 に示すように、選択セル M 1 1 の抵抗変化素子 1 0 0 に対して、ビット線 B L と N M O S トランジスタ 1 0 4 とが接続されている。N M O S トランジスタ 1 0 4 のゲートには、選択ワード線 W L を介してワード線ドライバ回路 W L D が接続され、N M O S トランジスタ 1 0 4 のソースには、選択ソース線 S L を介して、ソース線ドライバ回路 S L D が接続されている。また、ビット線 B L はスイッチ 2 0 3 と接続され、書き込み信号に応じて、ビット線 B L と、書き込みドライバ回路 W D 又は書き込み判定回路 2 0 4 と接続する。

【 0 1 3 8 】

このワード線ドライバ回路 W L D は、選択ワード線 W L に対して、所定の電圧を印加できる。また、ソース線ドライバ回路 S L D は、選択ソース線 S L に対して、所定の電圧を印加できる。また、書き込みドライバ回路 W D は、スイッチ 2 0 3 を介して、選択ビット線 B L に対して、所定の電圧を印加できる。また、書き込み判定回路 2 0 4 は、抵抗変化素子 1 0 0 に流れる選択セル電流を、選択ビット線 B L およびスイッチ 2 0 3 を介して検知し、L R 化書き込み、又は、H R 化書き込みが完了したかどうかを判定する。換言すると、書き込み判定回路 2 0 4 は、第 1 の抵抗状態化ステップにより抵抗変化素子 1 0 0 を第 1 の抵抗状態に変化させる第 1 の抵抗状態化書き込みが完了したか否かを判定する。ここで、第 1 の抵抗状態化書き込みは、L R 化書き込み、又は、H R 化書き込みに対応し、第 1 の抵抗状態化ステップは、高抵抗化電圧パルスセット 2 3 または低抵抗化電圧パルスセット 2 4 に対応する。

【 0 1 3 9 】

次に、図 1 6 に示す等価回路の動作について、説明する。

【 0 1 4 0 】

図 1 7 は、本発明におけるベリファイ書き込みの動作フローを説明するための図である。具体的には、図 1 7 は、図 1 6 に示す等価回路の H R 化および L R 化書き込みベリファイの動作フロー説明図である。

【 0 1 4 1 】

図 1 7 における H R 化動作について、先ず説明する。

【 0 1 4 2 】

先ず、初めに高抵抗化プレ電圧パルス V_{Lpr} を印加するために、選択ワード線 W L を活性化 ($V_{G'}$ を印加) し、選択ビット線 B L を接地電位に固定し、選択ソース線 S L に $V_{Lpr} (> 0V)$ を印加する。引き続き、高抵抗化パルス電圧 V_H を印加するために、選択ワード線 W L を活性化 ($V_{G'}$ を印加) し、選択ソース線 S L を接地電位に固定し、選択ビット線 B L に V_H を印加する。その後、書き込み信号により選択ビット線 B L と接続された書き込み判定回路 2 0 4 により、H R セル電流を測定し、H R セル電流が所定の H R セル電流レベルよりも少なくなり H R 化書き込みが完了したかどうかを判定する (H R 化ベリファイ S 1)。ここで、もし、H R 化ベリファイ S 1 の判定がフェイルした場合、再度、高抵抗化電圧パルスセット 2 3 が選択セル M 1 1 に印加され、H R 化ベリファイ S 1 の判定が行われる。この動作は、以降、H R 化ベリファイ S 1 の判定でパスとなるまで繰り返される。

【 0 1 4 3 】

続いて、図 1 7 における L R 化動作について、説明する。

【 0 1 4 4 】

先ず、初めに低抵抗化プレ電圧パルス V_{Hpr} を印加するために、選択ワード線 W L を活性化 ($V_{G'}$ を印加) し、選択ソース線 S L を接地電位に固定し、選択ビット線 B L に V_{Hpr} を印加する。引き続き、低抵抗化パルス電圧 V_L を印加するために、選択ワード線 W L を活性化 ($V_{G'}$ を印加) し、選択ビット線 B L を接地電位に固定し、選択ソース線 S L に $V_L (> 0V)$ を印加する。その後、書き込み信号により選択ビット線 B L と接続された書き込み判定回路 2 0 4 により、L R セル電流を測定し、L R セル電流が所定の L R セル電流レベル (例えば、選択ビット線電圧が $0.4V$ で $40\mu A$) よりも多くなり

10

20

30

40

50

LR化書き込みが完了したかどうかを判定する(LR化ベリファイS2)。ここで、もし、LR化ベリファイS2の判定がフェイルした場合、再度、低抵抗化電圧パルスセット24が選択セルM11に印加され、LR化ベリファイS2の判定が行われる。この動作は、以降、LR化ベリファイS2の判定でパスとなるまで繰り返される。

【0145】

以上のように、本実施の形態の書き込み方法は、第1の抵抗状態化(例えば高抵抗化)ステップにおいて第1の(例えば高抵抗化)電圧パルスが印加されることによって、抵抗変化素子100を第1の抵抗状態(例えば高抵抗状態)に変化させる第1の抵抗状態化書き込みが完了したか否かを判定する第1の抵抗状態化判定ステップと、第2の抵抗状態化(例えば低抵抗化)ステップにおいて第2の(例えば低抵抗化)電圧パルスが印加されることによって、抵抗変化素子100を第2の抵抗状態(例えば低抵抗状態)に変化させる第2の抵抗状態化書き込みが完了したか否かを判定する第2の抵抗状態化判定ステップと、を含む。第1の抵抗状態化判定ステップは、前記第1の抵抗状態化ステップの後に実施され、第2の抵抗状態化判定ステップは、前記第2の抵抗状態化ステップの後に実施される。第1の抵抗状態化ステップと前記第1の抵抗状態化判定ステップとは、抵抗変化素子100の抵抗状態が所定の第1の抵抗状態に達するまで、繰り返され、第2の抵抗状態化ステップと第2の抵抗状態化判定ステップとは、抵抗変化素子100の抵抗状態が所定の前記第2の抵抗状態に達するまで、繰り返される。ここで、第1の抵抗状態化書き込みおよび第2の抵抗状態化書き込みは、それぞれLR化書き込みおよびHR化書き込みに一方および他方に対応し、第1の抵抗状態化ステップおよび第2の抵抗状態化ステップは、高抵抗化電圧パルスセット23および低抵抗化電圧パルスセット24のいずれか一方およびいずれか他方にそれぞれ対応する。

10

20

【0146】

以上のように、本実施の形態における書き込み方法によれば、書き換え回数が増加して、動作ウィンドウが減少してきたとしても、ベリファイの判定でパスするまで、強制的に、高抵抗化電圧パルスセット、又は、低抵抗化電圧パルスセットが複数回印加されるようになる。それにより、高抵抗化度、又は、低抵抗化度が適宜向上できるので、バランス調整して適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性を向上できる。

【0147】

さらに、このようなベリファイ書き込み方法を取ることににより、高抵抗化電圧パルスセット、又は、低抵抗化電圧パルスセットを複数回固定的に連続印加する必要がなくなり、書き込み時間の短縮および消費電流低減も合わせて可能となる。

30

【0148】

なお、このようなベリファイ書き込み方法は、上述したように高抵抗化動作を行う場合と低抵抗化動作を行う場合との両方に適用する場合に限らない。高抵抗化動作を行う場合と低抵抗化動作を行う場合のいずれかにのみ適用するとしても良い。すなわち、この場合の書き込み方法は、第1の抵抗状態化ステップにより抵抗変化素子100を前記第1の抵抗状態に変化させる第1の抵抗状態化書き込みが完了したか否かを判定する第1の抵抗状態化判定ステップを含み、前記第1の抵抗状態化判定ステップは、前記第1の抵抗状態化ステップの後に実施され、前記第1の抵抗状態化ステップと前記第1の抵抗状態化判定ステップとは、抵抗変化素子100の抵抗状態が所定の前記第1の抵抗状態に達するまで、繰り返される。ここで、第1の抵抗状態化書き込みは、LR化書き込み、又は、HR化書き込みのいずれかに対応し、第1の抵抗状態化ステップは、高抵抗化電圧パルスセット23または低抵抗化電圧パルスセット24のいずれかに対応する。

40

【0149】

なお、本実施の形態では、図16に示すように、等価回路(記憶装置)の構成として、スイッチ素子である1つのNMOSTランジスタ104に1つの抵抗変化素子100を接続した、いわゆる1T1R型メモリセルを例に挙げて説明したが、本発明は、この1T1R型メモリセルに限定されるものではない。例えば、スイッチ素子として、双方向ダイオ

50

ードを用いてもよい。

【0150】

(実施の形態4)

実施の形態3では、説明を簡単にするためメモリセルを1つ構成した等価回路を例示した。しかし、実際には複数のメモリセルをアレイ状に配置した不揮発性記憶装置として本発明は実現され得る。本実施の形態では、その具体例について説明する。

【0151】

図18は、具体的なアレイ構造のメモリセルを有する不揮発性記憶装置の一構成を示すブロック図である。

【0152】

図18に示すように、本実施の形態に係る不揮発性記憶装置320は、半導体基板(図示されず)上に、メモリ本体部301を備えている。このメモリ本体部301は、メモリセルアレイ302と、行選択回路・ドライバ303と、列選択回路304と、情報の書き込みを行うための書き込み回路325と、選択メモリセルの抵抗値を検出し、データ「1」または「0」と判定するセンスアンプ326とを具備している。また、不揮発性記憶装置320は、メモリセルにデータを書き込むために必要な複数の電源を生成する書き込み用電源330と、外部から入力されるアドレス信号を受け取るアドレス入力回路309と、外部から入力されるコントロール信号に基づいて、メモリ本体部301の動作を制御する制御回路310と、入出力データの入出力処理を行うデータ入出力回路307とをさらに備えている。

【0153】

メモリセルアレイ302は、半導体基板の上に形成され、半導体基板表面に概略平行な第1平面内において第1方向に互いに平行に延びるように形成された複数の第1配線(図18の例では、ワード線WL0、WL1、WL2、…。以下、説明の便宜上「ワード線WL0、WL1、WL2、…」という。)および第1平面と平行な第2平面内において第2方向に互いに平行に延びるようにかつ第1配線と立体交差するように形成された複数の第2配線(図18の例では、ビット線BL0、BL1、BL2、…。以下、説明の便宜上「ビット線BL0、BL1、BL2、…」という。)と、これらのワード線WL0、WL1、WL2、…およびビット線BL0、BL1、BL2、…の立体交差点のそれぞれに設けられたメモリセルM11、M12、M13、M21、M22、M23、M31、M32、M33(以下、「メモリセルM11、M12、…」と表す)とを備える。それぞれのメモリセルM11、M12、…は図1に示すメモリセルに相当し、抵抗変化素子100を備える。ワード線WL0、WL1、WL2、…はそれぞれのメモリセルM11、M12、…に含まれる選択トランジスタ(NMOSトランジスタ104、以下、単に「トランジスタ」ともいう)N11、N12、N13、N21、N22、N23、N31、N32、N33、…(以下、「トランジスタN11、N12、…」と表す)のゲートに接続され、ビット線BL0、BL1、BL2、…は、それぞれのメモリセルM11、M12、…が備える抵抗変化素子R11、R12、R13、R21、R22、R23、R31、R32、R33(以下、「抵抗変化素子R11、R12、…」と表す)の一端に接続されている。

【0154】

抵抗変化素子R11、R12、…(抵抗変化素子100)は、メモリセルM11、M12、…内で不揮発性記憶素子として動作する。メモリセルM11、M12、…は、1つのトランジスタと1つの抵抗変化素子100から構成されていることから、1T1R型メモリセルと呼ぶ。また、メモリセルアレイ302は、ワード線WL0、WL1、WL2、…に平行して配列されている複数のソース線SL0、SL1、SL2、…を備えている。ソース線SL0、SL1、SL2、…は、それぞれのメモリセルM11、M12、…が備えるトランジスタN11、N12、…の他端に接続されている。

【0155】

ここで、メモリセルM11、M12、…に含まれる不揮発性記憶素子は、前述したように酸素不足型のタンタル酸化物を含む抵抗変化層を有している。より具体的には、図1に

10

20

30

40

50

示した抵抗変化素子100の下部電極10と、上部電極13と、抵抗変化層11とを具備している。

【0156】

また、図18のメモリセルアレイ302におけるトランジスタN11、N12、N13、...はnチャンネルのMOSトランジスタを用いた例で示してある。これらのトランジスタN11、N12、N13、...のドレインは抵抗変化素子R11、R12、...を介してビット線BL0に、トランジスタN21、N22、N23、...のドレインは抵抗変化型素子を介してビット線BL1に、トランジスタN31、N32、N33、...のドレインは抵抗変化型素子を介してビット線BL2に、それぞれ接続されている。

【0157】

また、トランジスタN11、N21、N31、...のゲートはワード線WL0に、トランジスタN12、N22、N32、...のゲートはワード線WL1に、トランジスタN13、N23、N33、...のゲートはワード線WL2に、それぞれ接続されている。

【0158】

さらに、トランジスタN11、N21、N31、...と、トランジスタN12、N22、N32、...とのソースはソース線SL0に、トランジスタN13、N23、N33、...のソースはソース線SL2に、それぞれ接続されている。なお、前述したドレインとソースの関係は、説明上便宜的に定義しただけで印加方向によって入れ代わることはない。

【0159】

アドレス入力回路309は、制御回路310による制御の下で、外部回路(図示せず)からアドレス信号を受け取り、このアドレス信号に基づいて行アドレス信号を行選択回路・ドライバ303へ出力するとともに、列アドレス信号を列選択回路304へ出力する。ここで、アドレス信号は、複数のメモリセルM11、M12、...のうちの選択される特定のメモリセルのアドレスを示す信号である。また、行アドレス信号は、アドレス信号に示されたアドレスのうちの行のアドレスを示す信号であり、列アドレス信号は、アドレス信号に示されたアドレスのうちの列のアドレスを示す信号である。なお、行選択回路・ドライバ303および列選択回路304は、メモリセルアレイ302から、書き込み又は読み出しの対象となる、少なくとも一つのメモリセルを選択する選択回路を構成している。

【0160】

制御回路310は、情報の書き込みサイクルにおいては、データ入出力回路307に入力された入力データに応じて、書き込み用電圧の印加を指示する書き込み信号を書き込み回路325へ出力する。他方、情報の読み出しサイクルにおいて、制御回路310は、読み出し動作を指示する読み出し信号をセンスアンプ326と列選択回路304へ出力する。

【0161】

行選択回路・ドライバ303は、アドレス入力回路309から出力された行アドレス信号を受け取り、この行アドレス信号に応じて、複数のワード線WL0、WL1、WL2、...のうちの何れかを選択し、その選択されたワード線に対して、所定の電圧を印加する。

【0162】

また、列選択回路304は、アドレス入力回路309から出力された列アドレス信号を受け取り、この列アドレス信号に応じて、複数のビット線BL0、BL1、BL2、...のうちの何れかを選択し、その選択されたビット線に対して、書き込み用電圧または読み出し用電圧を印加する。

【0163】

書き込み用電源330は、LR化用電源と、低抵抗化(LR化用)プレ電圧パルス電源と、HR化用電源と、高抵抗化(HR化用)プレ電源パルス電源とで構成される。

【0164】

HR化用電源と、HR化用プレ電源パルス電源は、高抵抗化電圧パルスセット23に含まれる高抵抗化プレ電源パルスと、高抵抗化(HR)電圧パルスとを発生させる。同様に

10

20

30

40

50

、LR化用電源と、LR化用プレ電圧パルス電源は、低抵抗化電圧パルスセット24に含まれる低抵抗化プレ電圧パルスと、低抵抗化(HR)電圧パルスとを発生させる。

【0165】

書き込み回路325は、制御回路310から出力された書き込み指令に従って、全てのビット線に所定の電位を与えたり、列選択回路304を介して選択されたビット線に対して書き込み用電圧のパルスを印加したりする。

【0166】

また、センスアンプ326は、前述した読み出しサイクルを選択したメモリセルに対する読み出しをおこなう読み出し回路の一例であり、印加した読み出し電圧が放電する時間差をもって、データ「1」または「0」と判定する。その結果得られた出力データは、データ入出力回路307を介して、外部回路へ出力される。

10

【0167】

なお、上記の構成例では、ソース線(プレート線)はワード線と平行に配置されているが、ビット線と平行に配置してもよい。また、ソース線は、接続されるトランジスタに共通の電位を与える構成としているが、行選択回路/ドライバと同様の構成のソース線選択回路/ドライバを有し、選択されたソース線と非選択のソース線を異なる電圧(極性も含む)で駆動する構成としてもよい。

【0168】

また、上記では、1T1R型メモリセルアレイを用いて説明したが、メモリセルが抵抗変化素子とダイオードで構成されるクロスポイント型メモリセルアレイにおいても、同様の書き込み方法が有効である。

20

【0169】

以上、本発明によれば、エンデュランス(書き換え耐性)特性劣化による動作ウィンドウ減少量を抑制し、抵抗変化動作を安定的に持続可能とする抵抗変化型不揮発性記憶素子の書き込み方法を実現することができる。具体的には、本発明の抵抗変化型不揮発性記憶素子の書き込み方法によれば、高抵抗化電圧パルスや低抵抗化電圧パルスとそれぞれ極性が異なる適正プレ電圧パルスを事前に印加することにより、高抵抗化能力および低抵抗化能力が向上でき、その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性を向上できる。さらに、HR化能力がLR化能力のいずれが弱い方の抵抗変化電圧パルスセットの連続印加回数をより多く設定することにより、書き込み電圧を上げなくてもHR化能力とLR化能力のバランスが適正化され、その結果、書き換え回数が増加しても適切な動作ウィンドウ確保が可能となり、不揮発性記憶装置の信頼性が大幅に向上できる共に、低電圧動作も可能となる。

30

【0170】

なお、上記実施の形態では、高抵抗化電圧パルス及び低抵抗化電圧パルスに対し、高抵抗化適正プレ電圧パルス及び低抵抗化適正プレ電圧パルスをそれぞれ事前に1回印加する場合の例を説明したが、それに限らない。高抵抗化電圧パルス及び低抵抗化電圧パルスに対し、高抵抗化適正プレ電圧パルス及び低抵抗化適正プレ電圧パルスをそれぞれ事前に複数回印加するとしてもよい。また、高抵抗化適正プレ電圧パルス及び低抵抗化適正プレ電圧パルスを印加する時間(パルス幅)も固定されるのではなく適宜変更されるとしてもよい。

40

【0171】

以上、本発明の抵抗変化型不揮発性記憶素子の書き込み方法、その書き込み装置および記憶装置について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではない。本発明の主旨を逸脱しない範囲で、当業者が思いつく各種変形を施したり、実施の形態における構成要素を任意に組み合わせたりして実現される抵抗変化型不揮発性記憶素子の書き込み方法も、本発明に含まれる。

【産業上の利用可能性】

【0172】

本発明は、抵抗変化型不揮発性記憶素子の書き込み方法として、特に、電気的信号に基

50

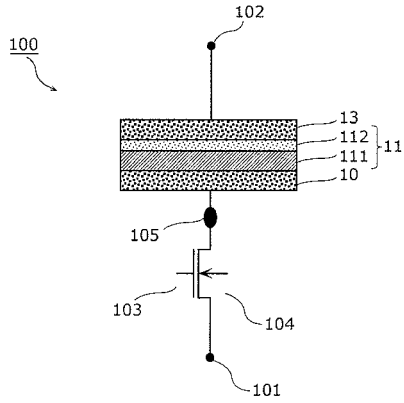
づいて可逆的に抵抗値が変化する抵抗変化素子とトランジスタ等のスイッチ素子とで構成されたメモリセルを有する抵抗変化型不揮発性記憶装置において、実用的な電圧範囲で書き込みが行え、かつ、不揮発性記憶装置の書き換え可能回数を向上できる。そのため、本発明は、携帯電話やノートパソコン等の電子機器に使用される、高信頼性メモリを実現する抵抗変化型不揮発性記憶素子の書き込み方法として有用である。

【符号の説明】

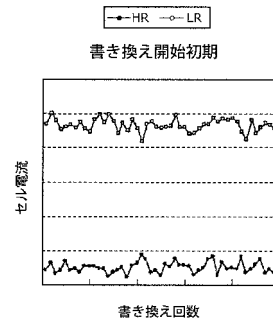
【0173】

10	下部電極	
11	抵抗変化層	
13	上部電極	10
20	高抵抗(HR)化電圧パルス	
21	低抵抗(LR)化電圧パルス	
22	高抵抗(HR)化電圧パルス	
23	高抵抗化電圧パルスセット	
24	低抵抗化電圧パルスセット	
100	抵抗変化素子	
101、105	下部電極端子	
102	上部電極端子	
103	ゲート端子	
104	NMOSトランジスタ	20
111	第1の遷移金属酸化物層	
112	第2の遷移金属酸化物層	
200	第1の界面高抵抗層膜	
201	第2の界面高抵抗層膜	
202	導電パス	
203	スイッチ	
204	書き込み判定回路	
301	メモリ本体部	
302	メモリセルアレイ	
303	行選択回路・ドライバ	30
304	列選択回路	
307	データ入出力回路	
309	アドレス入力回路	
310	制御回路	
320	不揮発性記憶装置	
325	書き込み回路	
326	センスアンプ	
330	書き込み用電源	
701	抵抗変化型素子	
702	選択トランジスタ	40
703	ソース線端子	
704	ワード線端子	
705	ビット線端子	
706	ソース線	
707	ワード線	
708	ビット線	
709	メモリセル	

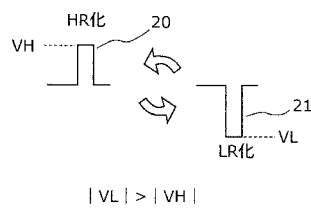
【図 1】



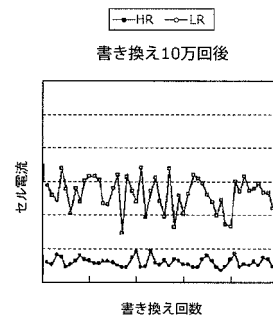
【図 2 B】



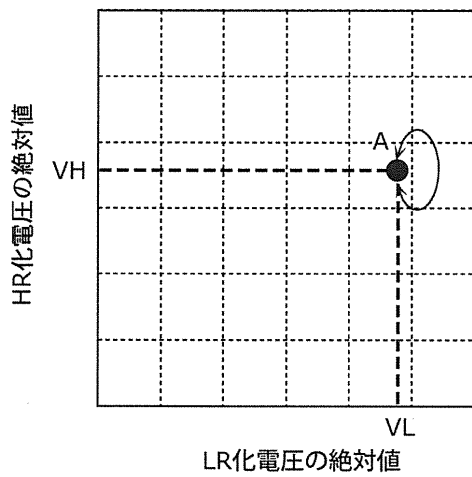
【図 2 A】



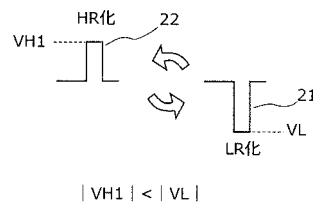
【図 2 C】



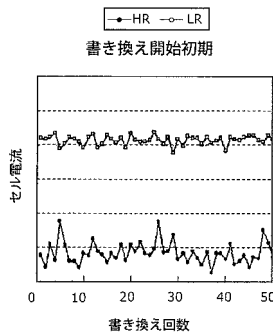
【図 3】



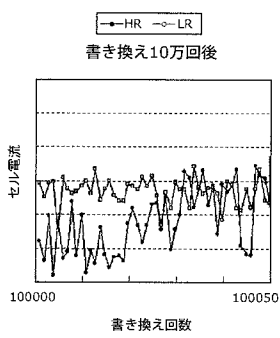
【図 4 A】



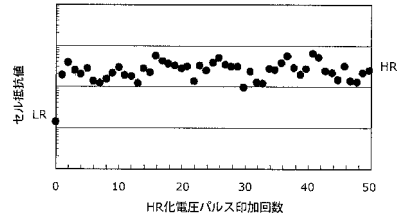
【図 4 B】



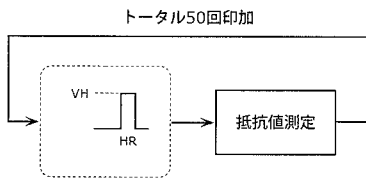
【 図 4 C 】



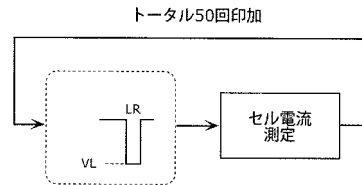
【 図 5 B 】



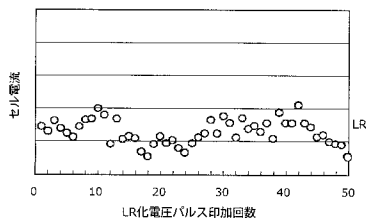
【 図 5 A 】



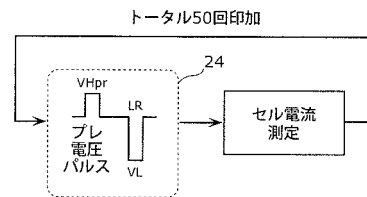
【 図 6 A 】



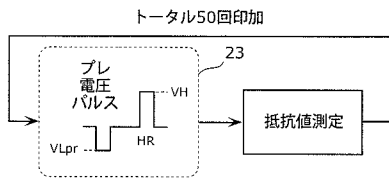
【 図 6 B 】



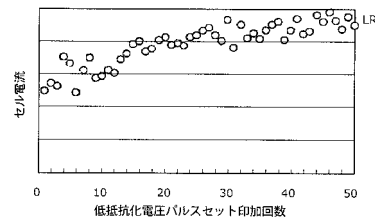
【 図 8 A 】



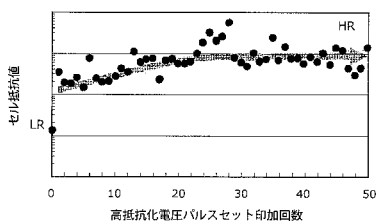
【 図 7 A 】



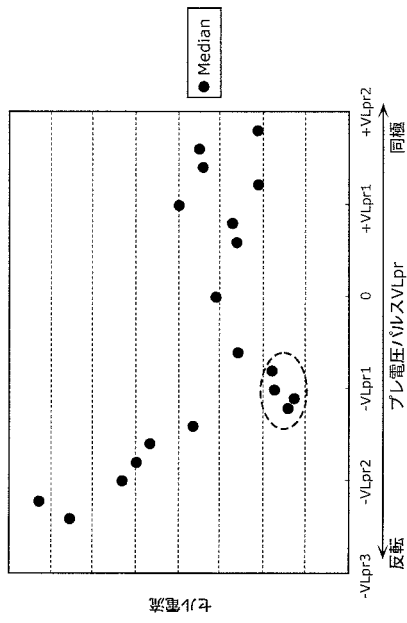
【 図 8 B 】



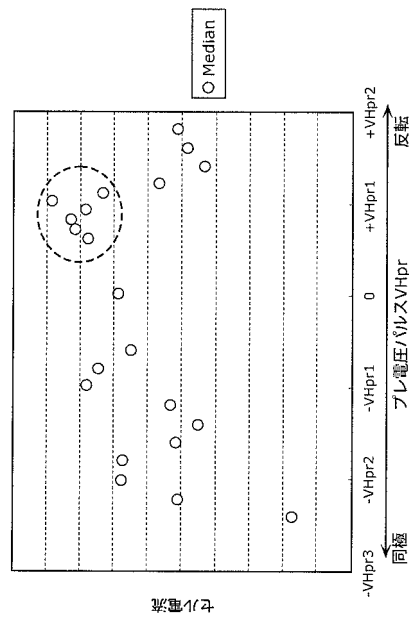
【 図 7 B 】



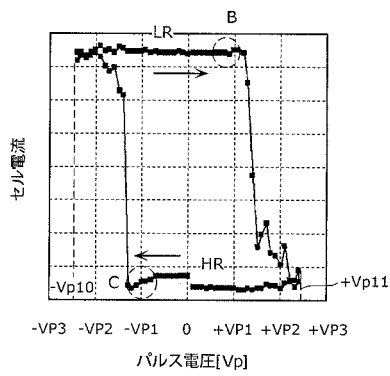
【 図 9 】



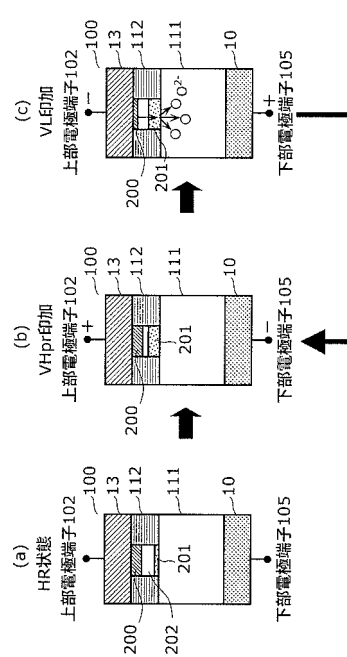
【 図 10 】



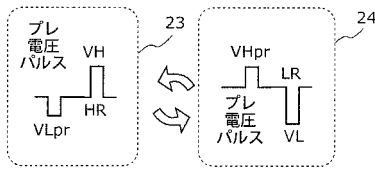
【 図 11 】



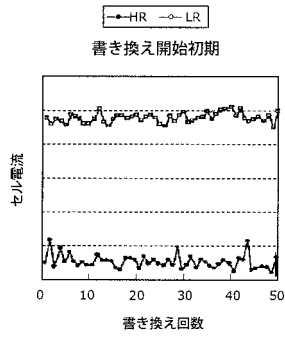
【 図 12 】



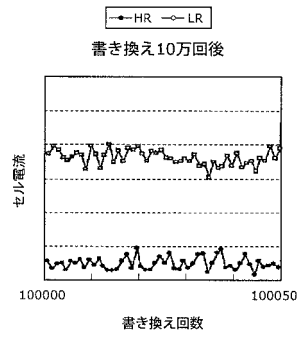
【図13A】



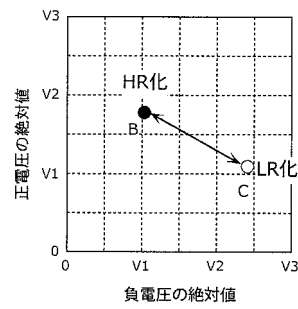
【図13B】



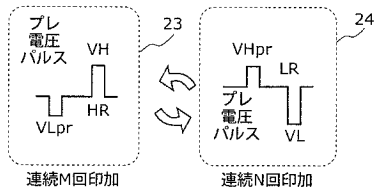
【図13C】



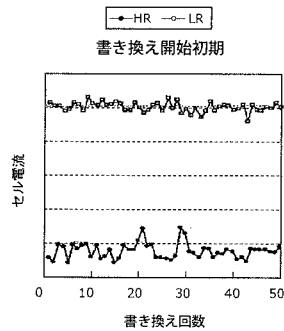
【図14】



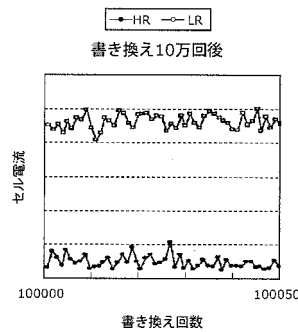
【図15A】



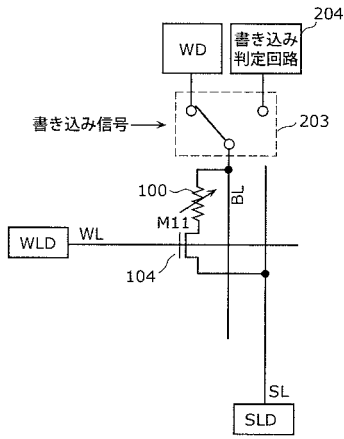
【図15B】



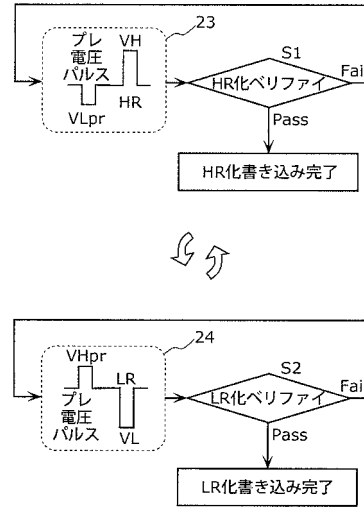
【図15C】



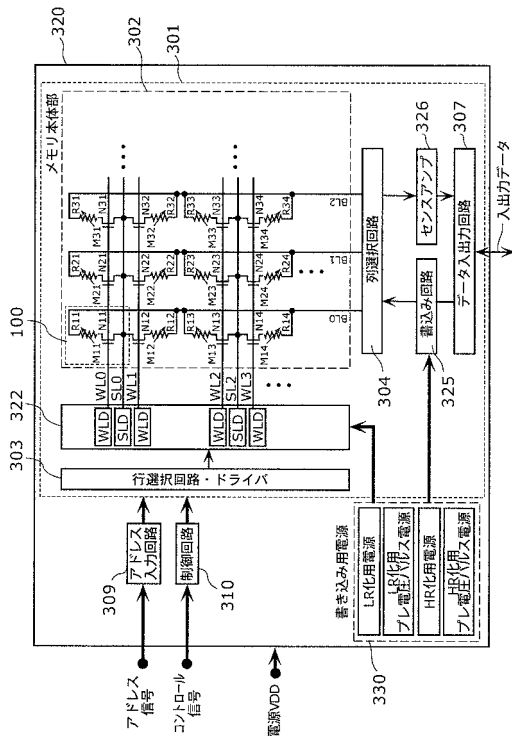
【図16】



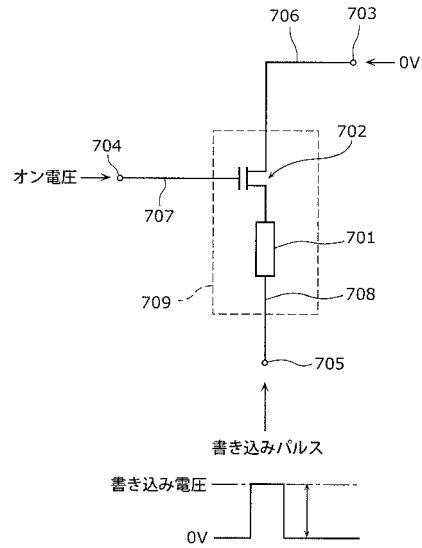
【図17】



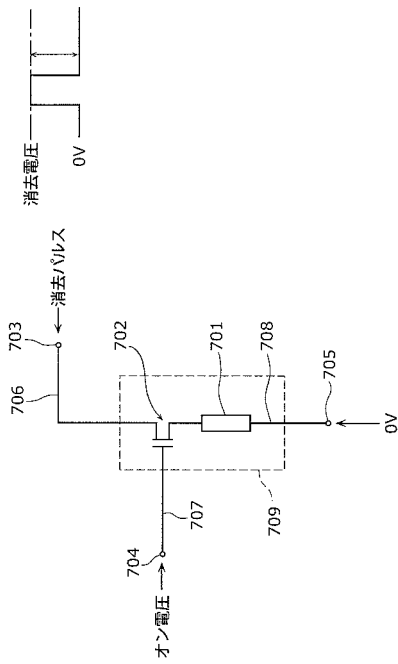
【図18】



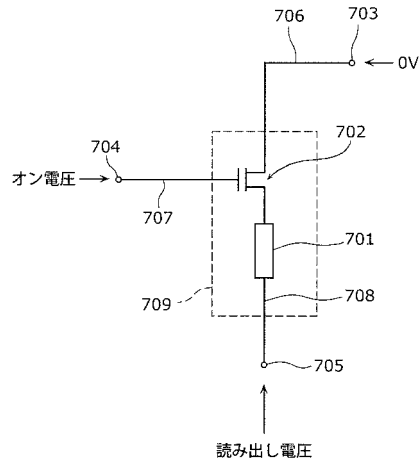
【図19】



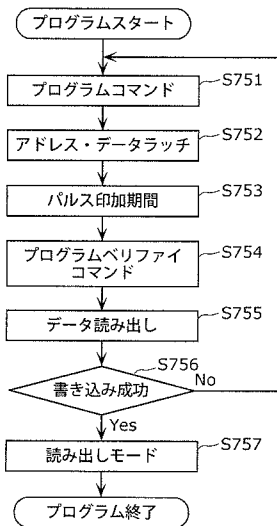
【図 2 0】



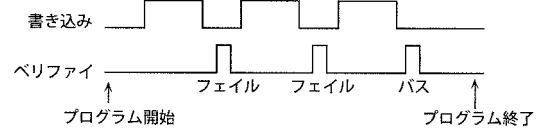
【図 2 1】



【図 2 2】



【図 2 3】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2012/001975
A. CLASSIFICATION OF SUBJECT MATTER G11C13/00 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C13/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/116754 A1 (Panasonic Corp.), 14 October 2010 (14.10.2010), paragraphs [0030] to [0043]; fig. 1, 2 & JP 4653260 B & US 2011/0110143 A1 & CN 102084429 A	1-13
A	WO 2008/153124 A1 (NEC Corp.), 18 December 2008 (18.12.2008), paragraphs [0052] to [0057], [0063], [0066] to [0071], [0075]; fig. 2, 10, 11 (Family: none)	1-13
A	JP 2007-4935 A (Sony Corp.), 11 January 2007 (11.01.2007), paragraphs [0016], [0028] to [0030]; fig. 1, 2 (Family: none)	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 April, 2012 (24.04.12)		Date of mailing of the international search report 15 May, 2012 (15.05.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2012/001975									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C13/00(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C13/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2012年										
日本国実用新案登録公報	1996-2012年										
日本国登録実用新案公報	1994-2012年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2010/116754 A1 (パナソニック株式会社) 2010.10.14, 段落 [0030] - [0043]、図1、図2 & JP 4653260 B & US 2011/0110143 A1 & CN 102084429 A	1-13									
A	WO 2008/153124 A1 (日本電気株式会社) 2008.12.18, 段落 [0052] - [0057]、[0063]、[0066] - [0071]、[0075]、図2、図10、図11 (ファミリーなし)	1-13									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 24.04.2012		国際調査報告の発送日 15.05.2012									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 後藤 彰	5U 4226								
		電話番号 03-3581-1101 内線 3565									

国際調査報告		国際出願番号 PCT/JP2012/001975
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-4935 A (ソニー株式会社) 2007.01.11, 段落【0016】、 【0028】 - 【0030】、図1、図2 (ファミリーなし)	1-13

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

Fターム(参考) 5F083 FZ10 GA11 JA37 JA38 JA39 JA40 JA60 LA03 LA04 LA05
LA06 LA07 LA10

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。