

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年1月3日(03.01.2014)



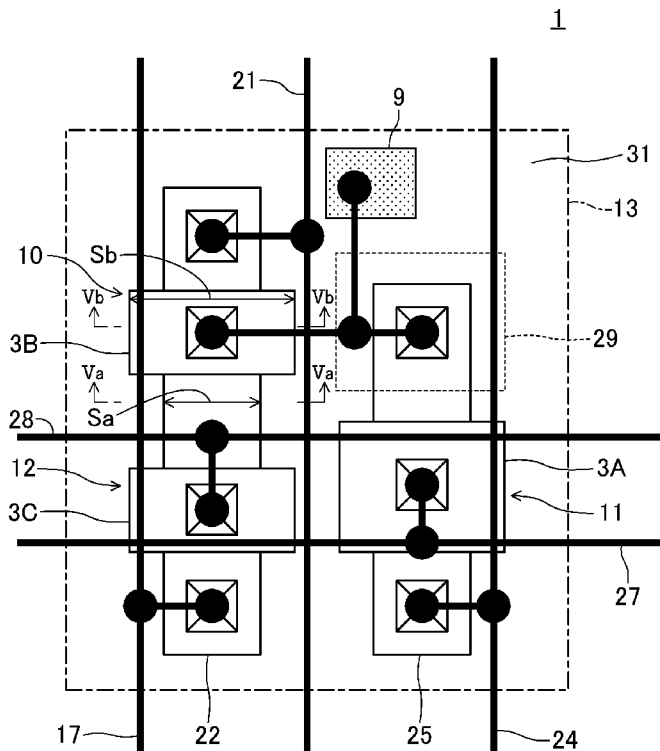
(10) 国際公開番号
WO 2014/002361 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
H04N 5/361 (2011.01) H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2013/002958
- (22) 国際出願日: 2013年5月8日(08.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-143129 2012年6月26日(26.06.2012) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 佐藤 好弘(SATO, Yoshihiro). 宮川 良平(MIYAGAWA, Ryohei). 玉置 徳彦(TAMAKI, Tokuhiko). 平瀬 順司(HIRASE, Junji). 大森 愛幸(OHMORI, Yoshiyuki). 松長 誠之(MATSUNAGA, Yoshiyuki).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SOLID-STATE IMAGE PICK-UP DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 固体撮像装置及びその製造方法



(57) Abstract: A unit pixel cell (13) comprises a photoelectric conversion part (9), an n-type impurity region which together with a semiconductor region forms an accumulation diode in which the signal charge from the photoelectric conversion part accumulates, an amplifier transistor (10) having a gate electrode (3B) connected to the n-type impurity region, and an element separation region (31) which is formed in the peripheral region of the amplifier transistor and to which p-type impurities have been introduced. The amplifier transistor has an n-type source-drain region formed between the gate electrode and the element separation region, and a channel region formed at the bottom of the gate electrode. A gap in the gate-width direction of the portion of the electrode separation region in which a channel region is inserted is larger than that of the portion in which a source-drain region is inserted.

(57) 要約: 単位画素セル13は、光電変換部9と、光電変換部からの信号電荷を蓄積する蓄積ダイオードを半導体領域とで形成するn型不純物領域と、n型不純物領域と接続されたゲート電極3Bを有する増幅トランジスタ10と、増幅トランジスタの周辺領域に形成され、p型不純物が導入された素子分離領域31とを有している。増幅トランジスタは、ゲート電極と素子分離領域との間に形成されたn型のソース・ドレイン領域と、ゲート電極の下側に形成されたチャネル領域とを有している。素子分離領域におけるゲート幅方向の間隔は、チャネル領域を挟む部分がソース・ドレイン領域を挟む部分よりも大きい。

WO 2014/002361 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称： 固体撮像装置及びその製造方法

技術分野

[0001] 本発明は、固体撮像装置及びその製造方法に関する。

背景技術

[0002] 近年、MOS (Metal Oxide Semiconductor) 型の固体撮像装置は、携帯機器カメラ、車載カメラ及び監視カメラ等に搭載されている。これらの固体撮像装置には、高解像度の撮像能力が求められており、固体撮像装置の微細化及び多画素化が必要となっている。従来の固体撮像装置は、画素の微細化によってフォトダイオードのサイズも縮小している。これに伴い、飽和信号量が低下すること及び開口率が減少することにより、画素の感度が低下するという課題がある。

[0003] 一方、固体撮像装置における素子分離の形成方法として、LOCOS (Local Oxidation of Silicon) 分離方式、又はSTI (Shallow Trench Isolation) 分離方式による、いわゆる絶縁分離法が用いられる。STIは、半導体基板の上部にトレンチを形成し、形成したトレンチにシリコン酸化膜を埋め込んで素子分離を構成する。このトレンチ形成時のエッチングダメージにより生じた欠陥及び界面準位、又はストレスがリーク電流の発生原因となる。リーク電流による電荷はフォトダイオードで光電変換された信号電荷と区別がつかないため、雑音となり、イメージセンサの性能を劣化させる。すなわち、STI形成時の欠陥等に起因した雑音が増大することから、信号雑音比 (S/N比) が低下し、結果的に感度が劣化する。特に、上述したように、画素の微細化が進んだ現在において、リーク電流に起因する感度の低下は大きな問題となる。

[0004] リーク電流を抑制する1つの方法として、素子分離領域を不純物半導体層によって形成する方法が知られている (例えば、特許文献1を参照。)。特許文献1に記載された固体撮像装置は、フローティングディフュージョン (F

D) 部となる n 型半導体領域と接する部分の素子分離領域が S T I によって形成され、F D 部と接する領域以外の素子分離領域が p 型の拡散素子分離領域によって形成されている。本構造では、F D 部となる n 型半導体領域と接する部分の素子分離領域が S T I により形成されるため、F D 部の n 型半導体領域と半導体基板との間で形成される容量が低減する。これにより、F D 部の総容量 C_{FD} を低減することができるので、光電変換で得られた電荷を信号電圧に変換する際の変換効率を高めることができる。その結果、イメージセンサの感度を向上させることができる。一方、F D 部と接する領域以外の素子分離領域は、p 型の拡散素子分離領域で形成されているため、リーク電流を抑制することができる。

[0005] また、フォトダイオードのサイズの縮小による感度の低下を解決する固体撮像装置として、積層型の固体撮像装置が提案されている。積層型の固体撮像装置は、半導体基板の上方、すなわち最表面に光電変換膜が積層されて形成される。積層膜の上方から光が入射され、光電変換膜において光電変換によって発生した電荷は、電荷蓄積領域 (F D) に蓄積され、半導体基板において C C D (Charge Coupled Device) 回路又は C M O S (Complementary M O S) 回路によって読み出される (例えば、特許文献 2 を参照。)

[0006] このため、積層型の固体撮像装置は、信号電荷を蓄積する F D となる p n 接合部が半導体基板に形成される。該 p n 接合部には、光電変換膜により光電変換された信号電荷を伝送するコンタクトが電氣的に接続される。このような積層型の固体撮像装置においては、半導体基板の p n 接合部におけるリーク電流が大きいことが問題となる。さらに、従来の M O S センサと比べて、F D における信号電荷の蓄積時間が長いことから、積層型の固体撮像装置では、リーク電流による感度の低下はより顕著となる。

先行技術文献

特許文献

[0007] 特許文献 1 : 特許第 4 4 2 0 0 3 9 号公報 (図 1 3)

特許文献 2 : 特許第 4 4 4 4 3 7 1 号公報

発明の概要

発明が解決しようとする課題

- [0008] まず、特許文献1に記載された固体撮像装置は、ゲート容量の増大が問題となる。ゲート容量の増大は、増幅トランジスタにおいては、利得の低下を招き、感度の低下の原因となる。また、ゲート容量の増大は、ゲート電極と電氣的に接続されるFD部の寄生容量となり、FD部の総容量 C_{FD} が増大するので、光電変換で得られた電荷を信号電圧に変換する際の変換効率が低下するという問題もある。
- [0009] また、特許文献1に記載の固体撮像装置は、総容量 C_{FD} を低減するために、FD部と接する領域に拡散素子分離領域ではなくSTIを形成している。STI構造を持つ素子分離は、上述したように、リーク電流の問題に対する対策としては不十分である。特に、FD部におけるリーク電流が課題である積層型の固体撮像装置においては、大きな問題となる。
- [0010] また、素子分離領域に不純物拡散層を用いる構成では、素子分離領域から不純物イオンがチャンネル領域に拡散して、実効チャンネル幅が減少する。これにより、トランジスタ特性がばらつくと共に、性能の劣化を引き起こすため、微細化が困難となる。
- [0011] また、特許文献1に記載の固体撮像装置を得るには、ゲートを形成する前に、素子分離領域を形成しておく必要がある。しかしながら、画素の微細化が進むにつれ、チャンネル領域に対して、素子分離領域を形成する際に、高精度のアライメント精度が必要となり、さらに、ゲートを形成する際には、チャンネル領域及び素子分離領域に対して、高精度のアライメント精度が必要となる。
- [0012] 本願発明者らは、種々検討を加えた結果、素子分離領域に拡散素子分離を用いると、アライメントバジェット (alignment budget) が大きくなって、画素の微細化が困難となるということ突き止めた。
- [0013] そこで、本発明の目的は、リーク電流の発生に起因する信号雑音比の劣化を抑制しつつ、ゲート容量の増大を抑えることにより、感度を向上させるこ

とにある。

[0014] また、本発明の他の目的は、拡散素子分離からの不純物イオンのチャンネル領域への拡散を抑止することにより、実効チャンネル幅の減少によるトランジスタ特性のばらつき及び性能劣化を抑制することにある。

[0015] また、本発明の他の目的は、アライメントバジェットを軽減することにより、画素の微細化をより容易に行えるようにすることにある。

[0016] なお、本発明は、上記の目的をすべて解決しなくてもよく、少なくとも1つの目的を達成できればよい。

課題を解決するための手段

[0017] 前記の目的を達成するため、本発明は、固体撮像装置を、拡散素子分離におけるゲート幅方向の間隔がチャンネル領域においてソース・ドレイン領域よりも大きい構成とする。

[0018] 具体的に、本発明に係る固体撮像装置は、第1導電型の半導体領域と、半導体領域に配置された複数の単位画素セルとを備え、単位画素セルは、光電変換部と、光電変換部で発生した信号電荷を蓄積する蓄積ダイオードを半導体領域との間で形成する第2導電型の不純物領域と、半導体領域に形成され、不純物領域と電気的に接続されたゲート電極を有する増幅トランジスタと、半導体領域における増幅トランジスタの周辺領域に形成され、第1導電型の不純物が導入されてなる第1分離領域とを有し、増幅トランジスタは、半導体領域におけるゲート電極と第1分離領域との間に形成された第2導電型のソース領域又は第2導電型のドレイン領域と、半導体領域におけるゲート電極の下側に形成されたチャンネル領域とを有し、第1分離領域におけるゲート電極の幅方向の間隔は、チャンネル領域を挟む部分が、ソース領域又はドレイン領域を挟む部分よりも大きい。

[0019] 本発明の固体撮像装置によると、不純物が導入されてなる第1分離領域におけるゲート電極の幅方向の間隔は、チャンネル領域を挟む部分がソース領域又はドレイン領域を挟む部分よりも大きい。従って、増幅トランジスタにおけるゲート電極のチャンネル領域への突き出し量（ゲート突き出し量）が低減

されるため、リーク電流の発生に起因する信号雑音比の値の劣化を抑制しつつ、ゲート容量の増大を抑えることができる。その結果、固体撮像装置の感度を向上することができる。その上、ゲート突き出し量が低減されることから、第1分離領域からの不純物イオンの拡散による実効チャネル幅の減少が抑制されるので、トランジスタ特性のばらつき及び性能劣化をも低減することができる。

[0020] 本発明の固体撮像装置において、第1分離領域は、不純物領域の周辺の領域にも形成されていてもよい。

[0021] このようにすると、蓄積ダイオード部（FD部）となる不純物領域におけるリークを抑制することができ、さらに感度を向上させることができる。また、FD部である不純物領域が不純物半導体層からなる第1分離領域により絶縁されるため、FD部の寄生容量となるゲート容量が低減される。その結果、リークの抑制とFD部の総容量 C_{FD} の低減とを両立することができる。特に、FD部におけるリーク電流が大きな課題である積層型の固体撮像装置においては、より顕著な効果を示す。

[0022] 本発明の固体撮像装置において、光電変換部は、半導体領域の上方に形成され、入射光を光電変換する光電変換膜と、光電変換膜の上方に形成された透明電極と、半導体領域と光電変換膜との間に形成された画素電極とを有し、画素電極と不純物領域とは、電氣的に接続されていてもよい。

[0023] このような積層型の固体撮像装置において、本発明はより顕著な効果を得ることができる。

[0024] 本発明の固体撮像装置において、ゲート電極の幅方向の端面と、第1分離領域におけるゲート電極の下側の端面とは、同一の面をなしていてもよい。

[0025] このようにすると、ゲート突き出し量を最小化することができる。また、実効チャネル幅の低減をも抑制できるため、固体撮像装置の感度が向上して、トランジスタ特性のばらつき及び性能劣化をより低減することができる。

[0026] 本発明の固体撮像装置において、第1分離領域の不純物濃度は、半導体領域の不純物濃度よりも高く設定されており、半導体領域に第1導電型の不純

物が導入されてなり、隣り合う単位画素セル同士を電氣的に分離する第2分離領域をさらに備えていてもよい。

[0027] このようにすると、半導体領域の上部に形成される素子間の電氣的分離を確実に行うことができる。また、隣り合う単位画素セル同士の間での電氣的分離をも確実に行うことができる。

[0028] この場合に、第1分離領域の不純物濃度と第2分離領域の不純物濃度とは同一であってもよい。

[0029] このようにすると、単位画素セル内における電氣的分離と単位画素セル同士の間での電氣的分離を同時に形成することができ、製造工程を簡略化することができる。

[0030] 本発明の固体撮像装置において、単位画素セルは、増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタを有し、増幅トランジスタのチャンネル領域は、第1導電型の不純物からなり、且つ、リセットトランジスタのチャンネル領域は、第1導電型の不純物からなってもよい。

[0031] このようにすると、リセットトランジスタのしきい値電圧 (V_{th}) を高く設定して、オフリークを低減することができるため、FD部におけるリーク、いわゆるFDリークを減らすことが可能となる。

[0032] 本発明の固体撮像装置において、単位画素セルは、増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタを有し、増幅トランジスタのチャンネル領域は、第2導電型の不純物からなり、一方、リセットトランジスタのチャンネル領域は、第1導電型の不純物からなってもよい。

[0033] このようにすると、リセットトランジスタのしきい値電圧を高く設定して、オフリークを低減することができるため、FDリークを減らすことが可能となる。これに対し、増幅トランジスタのしきい値電圧を低く設定することができるので、飽和領域で確実に駆動させることが可能となる。

[0034] 本発明に係る固体撮像装置の製造方法は、第1導電型の半導体領域の上にゲート電極を選択的に形成する工程と、リソグラフィ法により、半導体領域の上におけるゲート電極を含む領域に、幅がゲート電極の幅よりも小さいパ

ターンを形成する工程と、ゲート電極及びパターンをマスクとして、半導体領域に第1導電型の不純物を注入することにより、分離領域を形成する工程と、パターンを除去した後、半導体領域におけるパターンが形成されていた領域に、第2導電型の不純物を選択的に注入することにより、ソース・ドレイン領域を形成する工程とを備えている。

[0035] 本発明の固体撮像装置の製造方法によると、ゲート電極形成した後に、素子分離となる分離領域を形成するため、アライメントバジェットを軽減することができる。その結果、画素の微細化をより容易に実現することができる。

[0036] 本発明の固体撮像装置の製造方法は、ゲート電極を形成する工程よりも前に、半導体領域に第1導電型の不純物を選択的に注入することにより、増幅トランジスタのチャンネル領域、及び増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタのチャンネル領域をそれぞれ形成する工程をさらに備え、チャンネル領域を形成する工程において、増幅トランジスタのチャンネル領域は、該増幅トランジスタのゲート幅よりも大きく形成し、且つ、リセットトランジスタのチャンネル領域は、該リセットトランジスタのゲート幅よりも大きく形成してもよい。

[0037] このように、ゲート電極を形成する前に、増幅トランジスタ及びリセットトランジスタのチャンネル領域をそれぞれ形成するため、アライメントずれ等の影響によって、各ゲート電極の直下にしきい値電圧が部分的に低くなる領域が形成されることを防止することができる。その結果、不純物濃度、すなわちしきい値電圧が一様なチャンネル領域を確実に形成することができる。

[0038] 本発明の固体撮像装置の製造方法は、ゲート電極を形成する工程よりも前に、半導体領域に第2導電型の不純物を選択的に注入することにより、増幅トランジスタのチャンネル領域を形成する工程と、半導体領域に第1導電型の不純物を選択的に注入することにより、増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタのチャンネル領域を形成する工程とをさらに備え、各チャンネル領域を形成する工程において、増幅トランジスタの

チャンネル領域は、該増幅トランジスタのゲート幅よりも小さく形成し、一方、リセットトランジスタのチャンネル領域は、該リセットトランジスタのゲート幅よりも大きく形成してもよい。

[0039] このようにすると、増幅トランジスタのゲート幅の内側にチャンネル領域を確実に形成することができる。その結果、ゲート電極の外側にソース・ドレイン領域間のリークパスが形成されることを防ぐことができる。

[0040] 本発明の固体撮像装置の製造方法は、ゲート電極を形成する工程よりも前に、半導体領域に第2導電型の不純物を選択的に注入することにより、増幅トランジスタのチャンネル領域を形成する工程と、半導体領域に第1導電型の不純物を選択的に注入することにより、増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタのチャンネル領域を形成する工程とをさらに備え、各チャンネル領域を形成する工程において、増幅トランジスタのチャンネル領域は、該増幅トランジスタのゲート幅よりも大きく形成し、且つ、リセットトランジスタのチャンネル領域は、該リセットトランジスタのゲート幅よりも大きく形成し、分離領域を形成する工程における第1導電型の不純物濃度は、増幅トランジスタのチャンネル領域を形成する工程における第2導電型の不純物濃度よりも高くてもよい。

[0041] このようにすると、増幅トランジスタのチャンネル領域がゲート電極の外側に形成されたとしても、分離領域形成時の不純物注入により導電型を反転することができる。従って、ゲート電極の外側にソース・ドレイン領域間のリークパスが形成されることを防ぐことができる。また、チャンネル領域形成用のレジストパターンをゲート電極の外側にまで拡大することができるため、リソグラフィ時のマージンを拡大することができる。

発明の効果

[0042] 本発明に係る固体撮像装置及びその製造方法によると、リーク電流の発生に起因する信号雑音比の劣化を抑制しつつ、ゲート容量の増加を抑えることができるため、感度を向上させることができる。また、トランジスタ特性のばらつき及び性能劣化を抑制することができ、画素の微細化をより容易に行う

ことができる。

図面の簡単な説明

- [0043] [図1]図1は第1の実施形態に係る固体撮像装置を示す回路図である。
- [図2]図2は第1の実施形態に係る固体撮像装置における1つの単位画素セルを示す概略的な断面図である。
- [図3]図3は第1の実施形態に係る単位画素セルにおける図2のIII-III線に沿った部位の電位を示す模式図である。
- [図4]図4は第1の実施形態に係る単位画素セルの構成を示す模式的な平面図である。
- [図5]図5(a)及び図5(b)は第1の実施形態に係る単位画素セルにおける活性領域及び素子分離領域を模式的に示し、図5(a)は図4のV_a-V_a線における断面図であり、図5(b)は図4のV_b-V_b線における断面図である。
- [図6]図6(a)～図6(d)は第1の実施形態に係る固体撮像装置の製造方法を示す工程順の平面図である。
- [図7]図7(a)～図7(d)は第2の実施形態に係る固体撮像装置の製造方法を示す工程順の平面図である。
- [図8]図8(a)～図8(d)は第2の実施形態の一変形例に係る固体撮像装置の製造方法を示す工程順の平面図である。

発明を実施するための形態

- [0044] 本発明の実施形態を図面に基づいて説明する。なお、本発明は、以下の実施形態に限定されない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜変更は可能である。さらに、一の実施形態と他の実施形態との組み合わせも可能である。

- [0045] (第1の実施形態)

図1は第1の実施形態に係る固体撮像装置の回路構成を示している。

- [0046] 図1に示すように、第1の実施形態に係る固体撮像装置は、積層型の固体撮像装置であって、半導体基板に行列状に配置された複数の単位画素セル1

3から構成された感光領域（画素領域）と、複数の単位画素セル13を順次駆動して、光電変換された信号を取り出す駆動回路部とを備えている。

[0047] 駆動回路部は、垂直走査部（行走査回路）15、光電変換部制御線16、水平信号読み出し部（列走査回路）20、該水平信号読み出し部20と接続されたカラム信号処理部（行信号蓄積部）19、該カラム信号処理部19と単位画素セル13とを接続する垂直信号線（垂直信号線配線）17、該垂直信号線17と接続された負荷部18、各単位画素セル13に所定の電源電圧を供給する電源配線（ソースフォロア電源）21、及び垂直信号線17が負側の入力端子と接続され、出力端子がフィードバック線24を介して単位画素セル13と接続された差動増幅器（フィードバックアンプ）23から構成される。

[0048] 単位画素セル（単位セル）13は、光電変換部9と、増幅トランジスタ10と、リセットトランジスタ11と、アドレストラジスタ（行選択トランジスタ）12とを有している。

[0049] 光電変換部9は、入射光を光電変換し、入射光の光量に応じた信号電荷を生成し且つ蓄積する。増幅トランジスタ10は、光電変換部9で生成された信号電荷量に応じた信号電圧を出力する。リセットトランジスタ11は、光電変換部9、すなわち増幅トランジスタ10のゲート電極の電位をリセット（初期化）する。アドレストラジスタ12は、所定の行の単位画素セル13から垂直信号線17に信号電圧を選択的に出力させる。

[0050] 垂直走査部15は、アドレストラジスタ12のゲート電極に、該アドレストラジスタ12のオンオフを制御する行選択信号を印加することにより、垂直方向（列方向）に単位画素セル13の行を走査して、垂直信号線17に信号電圧を出力させる単位画素セル13の行を選択する。また、垂直走査部15は、リセットトランジスタ11のゲート電極に、該リセットトランジスタ11のオンオフを制御するリセット信号を印加することにより、リセット動作を行わせる単位画素セル13の行を選択する。

[0051] 光電変換部制御線16は、すべての単位画素セル13に共通に接続され、

すべての光電変換部 9 に同一の正の定電圧を印加する。

- [0052] 垂直信号線 17 は、単位画素セル 13 の各列と対応して設けられており、対応する列の単位画素セル 13 におけるアドレストランジスタ 12 のソース領域と接続され、列方向に配されて信号電圧を列方向（垂直方向）に伝達する。
- [0053] 負荷部 18 は、各垂直信号線 17 とそれぞれ接続されて、増幅トランジスタ 10 と共に、ソースフォロア回路を構成する。
- [0054] カラム信号処理部 19 は、相関 2 重サンプリングに代表される雑音抑圧信号処理及び A/D 変換（アナログーデジタル変換）等を行う。カラム信号処理部 19 は、各垂直信号線 17 と対応して設けられ、対応する垂直信号線 17 とそれぞれ接続されている。
- [0055] 水平信号読み出し部 20 は、水平方向（行方向）に配された複数のカラム信号処理部 19 の信号を順次水平共通信号線（図示せず）に読み出す。
- [0056] 電源配線 21 は、増幅トランジスタ 10 の各ドレイン領域と接続され、感光領域における単位画素セル 13 の垂直方向（図 1 の紙面の上下方向）に配線される。これは、単位画素セル 13 が行ごとにアドレスされるため、電源配線 21 を行方向（水平方向）に配線すると、一行の画素駆動電流がすべて 1 本の配線に流れて電圧降下が大きくなるためである。電源配線 21 は、すべての単位画素セル 13 の増幅トランジスタ 10 に共通にソースフォロア電源電圧を印加する。
- [0057] 差動増幅器 23 は、単位画素セル 13 の各列と対応して設けられている。差動増幅器 23 の出力端子は、フィードバック線 24 を介してリセットトランジスタ 11 のドレイン領域と接続される。従って、差動増幅器 23 は、アドレストランジスタ 12 とリセットトランジスタ 11 とが導通状態にあるときに、アドレストランジスタ 12 の出力値を負端子に受け、増幅トランジスタ 10 のゲート電位が所定のフィードバック電圧（差動増幅器 23 の出力電圧）となるように、フィードバック動作する。このとき、差動増幅器 23 の出力電圧値は、0 V 又は 0 V 近傍の正電圧となる。

- [0058] 上記の構造を有する固体撮像装置は、垂直走査部15により選択された1行分の単位画素セル13において、光電変換部9で光電変換された信号電荷が増幅トランジスタ10によって増幅され、それぞれアドレスタランジスタ12を介して垂直信号線17に出力される。
- [0059] 出力された信号電荷は、カラム信号処理部19に電気信号として蓄積され、その後、水平信号読み出し部20で選択されて出力される。また、信号を出力した単位画素セル13内の信号電荷は、リセットトランジスタ11をオン状態とすることにより排出される。その際、リセットトランジスタ11からkTC雑音と呼ばれる大きな熱雑音が発生する。この熱雑音は、リセットトランジスタ11をオフ状態とし、信号電荷の蓄積を始める際にも残留する。従って、この熱雑音を抑えるために、垂直信号線17の出力値を差動増幅器23で反転増幅し、反転増幅された信号をフィードバック線24を介してリセットトランジスタ11のドレイン領域にフィードバックしている。
- [0060] これにより、リセットトランジスタ11で発生する熱雑音を負帰還制御により抑圧することができる。なお、リセットトランジスタ11のドレイン領域にフィードバックされるのは熱雑音の交流成分であり、直流成分は、上述したように0V近傍の正電圧である。
- [0061] 図2は本実施形態に係る固体撮像装置における1つの単位画素セル13の断面の概略構成を表している。なお、説明の簡略化のために、実際の構造とは異なるが、3つのトランジスタを1つの断面に記載している。
- [0062] 単位画素セル13は、例えば、p型シリコン(Si)からなる半導体基板1に形成された3つのトランジスタ、すなわちアドレスタランジスタ12、増幅トランジスタ10及びリセットトランジスタ11からなる画素回路と、素子分離領域31と、半導体基板1の上に順次積層された層間絶縁膜14A、14B及び14Cと、該層間絶縁膜14Cの上部に形成された画素電極5、該画素電極5の上に形成された光電変換膜6及び該光電変換膜6の上に形成された透明電極7を含む光電変換部9とを有している。
- [0063] 単位画素セル13において、リセットトランジスタ11は、半導体基板1

の上部に形成された n 型不純物領域 40A 及び 40B と、半導体基板 1 の上に形成されたゲート絶縁膜 2A 及びゲート電極 3A とから構成されている。同様に、増幅トランジスタ 10 は、半導体基板 1 の上部に形成された n 型不純物領域 40C 及び 40D と、半導体基板 1 の上に形成されたゲート絶縁膜 2B 及びゲート電極 3B とから構成されている。また、アドレスタランジスタ 12 は、半導体基板 1 の上部に形成された n 型不純物領域 40D 及び 40E と、半導体基板 1 の上に形成されたゲート絶縁膜 2C 及びゲート電極 3C とから構成されている。

[0064] 素子分離領域 31 は、各トランジスタ 10、11 及び 12 を互いに絶縁分離する不純物拡散領域から構成されている。例えば、素子分離領域 31 は、半導体基板 1 の上部における増幅トランジスタ 10 とリセットトランジスタ 11 との間及びその周囲に形成され、増幅トランジスタ 10 とリセットトランジスタ 11 とを電氣的に分離する。

[0065] n 型不純物領域 40A は、リセットトランジスタ 11 のソース領域として機能し、n 型不純物領域 40B は、リセットトランジスタ 11 のドレイン領域として機能する。なお、本実施形態に係る固体撮像装置においては、信号電荷として正孔を用いるため、信号電荷として電子を用いるセンサとは、ソース／ドレインが逆になる。n 型不純物領域 40C は、増幅トランジスタ 10 のドレイン領域として機能する。n 型不純物領域 40D は、増幅トランジスタ 10 のソース領域及びアドレスタランジスタ 12 のドレイン領域として機能する。n 型不純物領域 40E は、アドレスタランジスタ 12 のソース領域として機能する。

[0066] ここで、例えば、半導体基板 1 の不純物濃度は、約 $1 \times 10^{17} \text{ cm}^{-3}$ である。n 型不純物領域 40A、40C、40D 及び 40E の不純物濃度は、約 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{22} \text{ cm}^{-3}$ である。n 型不純物領域 40B の不純物濃度は、約 $1 \times 10^{18} \text{ cm}^{-3}$ である。また、ゲート電極 3A、3B 及び 3C の下側に形成されているゲート絶縁膜 2A、2B 及び 2C の膜厚は、それぞれ $4 \text{ nm} \sim 10 \text{ nm}$ である。

- [0067] 光電変換膜 6 は、有機材料又はアモルファスシリコン等からなり、半導体基板 1 の上方に形成され、外部からの入射光を光電変換する。画素電極 5 は、光電変換膜 6 の半導体基板 1 側の面上、すなわち光電変換膜 6 の裏面側に該光電変換膜 6 と接して形成され、光電変換膜 6 に発生した信号電荷を収集する。透明電極 7 は、光電変換膜 6 における画素電極 5 と反対側の面上、すなわち光電変換膜 6 の表面上に接して形成される。透明電極 7 には、光電変換部制御線 16 を介して正の定電圧が印加され、光電変換膜 6 に生じた信号電荷を画素電極 5 に読み出すことができる。
- [0068] 増幅トランジスタ 10 は、半導体基板 1 における画素電極 5 の下方に形成された MOS トランジスタである。増幅トランジスタ 10 は、画素電極 5 と接続されたゲート電極 3B を有し、画素電極 5 の電位に応じた信号電圧を出力する。
- [0069] リセットトランジスタ 11 は、半導体基板 1 における画素電極 5 の下方に形成された MOS トランジスタである。リセットトランジスタ 11 は、画素電極 5 と接続され、半導体基板 1 におけるゲート電極 3A と素子分離領域 31 との間の領域に形成されたドレイン領域（n 型不純物領域 40B）を有している。リセットトランジスタ 11 は、増幅トランジスタ 10 のゲート電極 3B の電位をリセット電圧、すなわちフィードバック電圧にリセットする。
- [0070] アドレストランジスタ 12 は、半導体基板 1 における画素電極 5 の下方に形成された MOS トランジスタである。アドレストランジスタ 12 は、増幅トランジスタ 10 と垂直信号線 17 との間に設けられ、単位画素セル 13 から垂直信号線 17 に信号電圧を出力する。なお、アドレストランジスタ 12 は、増幅トランジスタ 10 のソース領域と垂直信号線 17 との間に挿入されているが、増幅トランジスタ 10 のドレイン領域と電源配線 21 との間に挿入されていてもよい。
- [0071] 増幅トランジスタ 10 のゲート電極 3B と画素電極 5 との間、並びにリセットトランジスタ 11 のドレイン領域（n 型不純物領域）40B と画素電極 5 との間は、それぞれ、コンタクトプラグ 8、配線 26A、プラグ 30A、

配線 26B、プラグ 30B、配線 26C 及びプラグ 30C を介して接続されている。画素電極 5 と接続された n 型不純物領域 40B と半導体基板 1 との間の p n 接合は、信号電荷を蓄積する寄生ダイオード（蓄積ダイオード）を形成する。蓄積ダイオードは、フローティングディフュージョン（FD）部とも呼ばれる。

[0072] 図 3 は、単位画素セル 13 の電位、すなわち図 2 の III-III 線に沿った部位における電位を模式的に表している。

[0073] 図 3 に示すように、透明電極 7 には、上述したように正電圧が印加されており、信号がない状態（リセットされている状態）においては、蓄積ダイオードである n 型不純物領域 40B の電位は、若干逆バイアスが印加されて、ほぼ 0V である。このとき、透明電極 7 の正電圧により、画素電極 5 及び n 型不純物領域 40B の電位が正方向に引かれるため、この状態で n 型不純物領域 40B を 0V 近傍の低電位にすると、n 型不純物領域 40B にバイアス電荷が注入される。従って、n 型不純物領域 40B の電位は、0.1V 程度以上で且つ低い逆バイアスが適切である。0V 近傍の値とする理由は、蓄積ダイオードと半導体基板 1 との間に流れる逆方向リーク電流（暗電流）を小さくするためである。

[0074] 透明電極 7 の上方（X 方向）から入射した光は、該透明電極 7 を透過して光電変換膜 6 に入射し、電子正孔対に変換される。変換された電子正孔対のうちの電子は、透明電極 7 側に移送され、透明電極 7 と接続された電源配線 21 へと流れる。一方、電子正孔対のうちの正孔は、蓄積ダイオード（n 型不純物領域 40B）側に移送されて、該蓄積ダイオードに蓄積される。このため、蓄積ダイオードの電位は正方向に変化し、蓄積ダイオードと半導体基板 1 との間に電圧が加わる。このとき、蓄積ダイオードと半導体基板 1 との間に流れる逆方向リーク電流（暗電流）が流れ、雑音となる。但し、信号が存在する状態では、雑音は目立ちにくくなるので問題とはならない。

[0075] 蓄積ダイオードに蓄積された正孔により正側に变化した電圧は、増幅トランジスタ 10 のゲート電極 3B に伝達される。ゲート電極 3B に伝達され、

増幅トランジスタ 10 により増幅された信号は、アドレスタランジスタ 12 を通過して、単位画素セル 13 の外部、すなわち垂直信号線 17 に出力される。その後、蓄積ダイオードに蓄積された信号電荷は、リセットトランジスタ 11 をオン状態に設定することにより排出される。このとき、増幅トランジスタ 10 のゲート電極 3B は、透明電極 7 に印加されている電圧よりも低い電圧にリセットされる。

[0076] 本実施形態に係る積層型の固体撮像装置は、従来の MOS 型のイメージセンサと比べて、信号電荷の蓄積時間が 1 桁以上長くなる。このため、蓄積時のリークと増幅トランジスタ 10 における動作特性のばらつきとを抑制する必要がある。

[0077] 図 4 は、単位画素セル 13 の平面構成を表している。

[0078] 図 4 に示すように、単位画素セル 13 において、増幅トランジスタ 10 及びアドレスタランジスタ 12 の活性領域は、半導体基板 1 の素子分離領域 31 に周囲を囲まれた第 1 の活性領域 22 に形成されている。また、リセットトランジスタ 11 の活性領域は、半導体基板 1 の素子分離領域 31 に周囲を囲まれた第 2 の活性領域 25 に形成されている。ここで、活性領域とは、ソース領域、ドレイン領域及びゲート領域（チャンネル領域）をいう。

[0079] アドレスタランジスタ 12 のソース領域には垂直信号線 17 が接続され、ゲート電極 3C にはアドレス信号線 28 が接続される。増幅トランジスタ 10 のドレイン領域には電源配線 21 が接続される。リセットトランジスタ 11 のドレイン領域と増幅トランジスタ 10 のゲート電極 3B とは電氣的に接続され、半導体基板 1 の上方に引き出されて光電変換部 9 と接続される。リセットトランジスタ 11 は、第 1 の活性領域 22 と素子分離領域 31 によって電氣的に分離された第 2 の活性領域 25 に形成されている。リセットトランジスタ 11 のソース領域はフィードバック線 24 と接続され、そのゲート電極 3A はリセット信号線 27 と接続される。ここで、リーク電流が問題となる領域は、リセットトランジスタ 11 のドレイン領域を囲むリセットトランジスタドレイン周辺領域 29 である。

- [0080] このように、半導体基板 1 における第 1 の活性領域 2 2 と第 2 の活性領域 2 5 との間及びそれぞれの周囲には、第 1 の活性領域 2 2 と第 2 の活性領域 2 5 とを電氣的に分離する素子分離領域 3 1 が形成されている。ここで、素子分離領域 3 1 におけるゲート電極の幅方向（以下、ゲート幅方向と呼ぶ。）において、 $V_b - V_b$ 線に示すチャネル領域を挟む部分の間隔 S_b が、ドレイン領域を挟む部分の間隔 S_a よりも大きい。
- [0081] 従って、素子分離領域 3 1 におけるトランジスタのチャネル領域のゲート幅方向の間隔 S_b を、ソース領域又はドレイン領域のゲート幅方向の間隔 S_a よりも大きくなるように設計することにより、各レイヤごと及び各レイヤ間のアライメントバジェットを減少することができる。その結果、単位画素セル 1 3 を微細化することができる。
- [0082] 具体的には、単位画素セル 1 3 を微細化するには、第 1 の活性領域 2 2 と第 2 の活性領域 2 5 との間に配される素子分離領域 3 1 の面積を小さくする必要がある。そのためには、パターン形成時における各レイヤごとに、露光合わせ精度、寸法精度、マスク精度及び各レイヤ間の合わせ精度等を考慮して画素セルを設計する必要がある。
- [0083] 例えば、図 4 の $V_a - V_a$ 線と対応する領域においては、素子分離領域 3 1 を形成するレイヤのマスク精度、露光合わせ精度及びレジスト寸法精度と、ソース・ドレイン領域を形成するレイヤのマスク精度、露光合わせ精度及びレジスト寸法精度との 2 つのレイヤにおけるレイヤごとのアライメントバジェットと、これら 2 つのレイヤ間のアライメントバジェットとを考慮すればよい。
- [0084] 同様に、図 4 の $V_b - V_b$ 線と対応する領域においては、ゲート電極 3 B の下のチャネル領域を形成するレイヤのマスク精度、露光合わせ精度及びレジスト寸法精度と、ゲート電極 3 B を形成するレイヤのマスク精度、露光合わせ精度及びレジスト寸法精度との 2 つのレイヤにおけるレイヤごとのアライメントバジェットと、これら 2 つのレイヤ間のアライメントバジェットとを考慮すればよい。すなわち、本実施形態に係る構造においては、 $V_a - V$

a線及びV b - V b線と対応する各領域においては、共に2つのレイヤのアライメントバジェットを考慮すればよい。

[0085] これに対し、前述した特許文献1に記載された構造の場合は、V a - V a線と対応する領域においては、本実施形態と同様であるが、V b - V b線と対応する領域においては、ゲート電極の下のチャンネル領域を形成するレイヤのマスク精度、露光合わせ精度及びレジスト寸法精度と、素子分離領域を形成するレイヤのマスク精度、露光合わせ精度及びレジスト寸法精度と、ゲート電極を形成するレイヤのマスク精度、露光合わせ精度及びレジスト寸法精度との3つのレイヤにおけるレイヤごとのアライメントバジェットと、これら3つのレイヤ間のアライメントバジェットとを考慮する必要がある。このように、全体のアライメントバジェットが増加するため、本実施形態と比べて、単位画素セルを微細化することは困難である。

[0086] 図5に増幅トランジスタ10のゲート幅方向の断面構成を示す。図5(a)は図4のV a - V aにおける断面を示し、図5(b)は図4のV b - V b線における断面を示している。

[0087] 図5(a)及び図5(b)に示すように、素子分離領域31において、第1の活性領域22に形成されたゲート幅方向のn型不純物領域40Dを挟む間隔S aと比べて、第1の活性領域22に形成されたゲート幅方向のチャンネル領域4を挟む間隔S bの方が広がっている。

[0088] 第1の実施形態においては、画素回路の各トランジスタ、すなわち、増幅トランジスタ10、リセットトランジスタ11及びアドレスタランジスタ12をn型MOSトランジスタで構成する場合を示している。従って、各トランジスタのチャンネル領域は、p型の不純物イオンを注入する順ドーピングが用いられる。このように、チャンネル領域4の形成に順ドーピングを用いる場合は、図5(b)に示すように、チャンネル領域4には、ゲート幅方向の両端部が素子分離領域31とオーバーラップする領域を確保する必要がある。

[0089] さらに、チャンネル領域4におけるゲート幅方向の幅は、ゲート電極3Bの幅よりも大きくなるように設計しておくことが望ましい。チャンネル領域4の

幅がゲート電極 3 B の幅よりも小さい場合は、ゲート電極 3 B の直下の領域において、チャンネル形成用の p 型の不純物イオン注入がなされていない領域が形成される。この場合、トランジスタのしきい値電圧 (V_{th}) が低い領域が形成されて、所望のしきい値電圧に制御することができなくなるという問題が発生する。

[0090] (第 1 の実施形態の製造方法)

以下、前記のように構成された第 1 の実施形態に係る固体撮像装置の製造方法について、図 6 (a) ~ 図 6 (d) を参照しながらその概略を説明する。

[0091] まず、図 6 (a) に示すように、例えば、p 型シリコン (Si) からなる半導体基板 1 の上に、リソグラフィ法により、画素回路の各トランジスタ (10、11 及び 12) のチャンネル領域形成用のレジストパターンを形成する。その後、形成したレジストパターンをマスクとして、所定の注入条件で p 型不純物イオンをイオン注入することにより、各チャンネル領域 4 A、4 B 及び 4 C を形成する。これにより、画素回路の各トランジスタに所望のしきい値電圧を得ることができる。このとき、各チャンネル領域 4 A、4 B 及び 4 C の幅は、それぞれ、その上に形成されるゲート電極 3 A、3 B 及び 3 C の幅よりも大きくなるように形成する。

[0092] 次に、図 6 (b) に示すように、半導体基板 1 の主面上に、例えば ISSG (In Situ Steam Generation) 法等によりゲート酸化を行って、酸化シリコンからなるゲート絶縁膜 (図示せず) を形成する。続いて、化学的気相堆積 (CVD: Chemical Vapor Deposition) 法により、ゲート絶縁膜の上に、例えばポリシリコンからなるゲート形成膜を堆積する。その後、リソグラフィ法により、ゲート形成膜の上に、ゲート電極形成用のレジストパターンを形成する。続いて、ドライエッチング法により、レジストパターンをマスクとして、ゲート形成膜からゲート電極 3 A、3 B 及び 3 C をそれぞれ形成する。このように、ゲート電極 3 A、3 B 及び 3 C を形成する前に、各トランジスタのチャンネル領域 4 A、4 B 及び 4 C をそれぞれ形成するため、アライ

メントずれ等の影響によって、各ゲート電極 3 A、3 B 及び 3 C の直下にしきい値電圧が部分的に低くなる領域が形成されることを防止することができる。その結果、不純物濃度、すなわちしきい値電圧が一様なチャンネル領域を確実に形成することができる。

[0093] 次に、図 6 (c) に示すように、リソグラフィ法により、画素回路における各トランジスタのソース・ドレイン領域をマスクするレジストパターンを形成する、その後、形成したレジストパターンをマスクとして、所定の注入条件で p 型不純物イオンをイオン注入することにより、素子分離領域 3 1 を形成する。この際、ゲート電極 3 A、3 B 及び 3 C の直下には、素子分離領域形成用の p 型の不純物イオンは直接には打ち込まれない。このため、素子分離領域 3 1 は、ソース・ドレイン領域及びチャンネル領域を囲むように形成され、従って、該ソース・ドレイン領域及びチャンネル領域におけるゲート幅方向の両側方に位置する形状となる。

[0094] なお、イオン注入時のマスクとなるゲート電極 3 A、3 B 及び 3 C の平面形状によっては、素子分離領域 3 1 のゲート幅方向の端面がチャンネル領域から離れた場所に位置する場合もある。しかし、この場合でも、ゲート電極 3 A 等のゲート幅方向の端面と素子分離領域 3 1 の端面とが同一の面をなす。但し、ここでいう同一の面とは、不純物イオンの熱拡散による数十 nm 程度のずれは許容されるため、ほぼ同一な面であればよい。

[0095] また、素子分離領域形成用のイオン注入時に、基板面に対して所定の角度を付ける、いわゆる角度注入を行うことにより、ゲート電極 3 A、3 B 及び 3 C の下側の領域にも、それぞれ p 型不純物イオンを注入することは可能である。但し、この場合は、ソース・ドレイン領域の拡散層の幅も同様に減少する。このため、図 5 (a) に示したように、素子分離領域 3 1 における第 1 の活性領域 2 2 のゲート幅方向であって、n 型不純物領域 4 0 D を挟む部分の間隔 $S a$ よりも、チャンネル領域 4 を挟む部分の間隔 $S b$ の方が大きいという関係に変わりはない。

[0096] 次に、図 6 (d) に示すように、リソグラフィ法により、画素回路の各ト

ランジスタのソース・ドレイン形成領域を開口するレジストパターンを形成する。その後、形成したレジストパターンを及びゲート電極 3 A、3 B 及び 3 C マスクとして、所定の注入条件で n 型の不純物イオンをイオン注入することにより、n 型不純物領域 4 0 A、4 0 B、4 0 C、4 0 D 及び 4 0 E をそれぞれ形成する。このとき、各ゲート電極 3 A、3 B 及び 3 C に対しても、n 型不純物イオンを注入する、いわゆるゲート注入を行ってもよい。ここで、ゲート注入を行わない場合は、例えば、図 6 (b) に示す工程の、ポリシリコンからなるゲート形成膜を堆積した後に、ゲート注入を行ってもよい。また、ここでは、n 型不純物領域 4 0 A、4 0 B、4 0 C、4 0 D 及び 4 0 E を一括で形成したが、n 型不純物領域 4 0 B のリーク電流を減らすために、別のマスクを用い且つリソグラフィ法と不純物イオン注入法とにより、n 型不純物領域 4 0 A、4 0 C、4 0 D 及び 4 0 E と、n 型不純物領域 4 0 B とを別個に形成した方が望ましい。

[0097] 続いて、CVD法により、半導体基板 1 の上に、ゲート電極 3 A、3 B 及び 3 C を覆うように、酸化シリコン等からなる層間絶縁膜を形成する。その後、リソグラフィ法により、層間絶縁膜の上にコンタクトホール形成用のレジストパターンを形成する。形成したレジストパターンをマスクとしてドライエッチングを行って、ゲート電極 3 A、3 B 及び 3 C の上と、n 型不純物領域 4 0 A、4 0 B、4 0 C 及び 4 0 E の上とにコンタクトホールをそれぞれ形成する。続いて、形成された各コンタクトホールを通して、n 型の不純物イオンをイオン注入することにより、各コンタクトホールから露出するゲート電極 3 A、3 B 及び 3 C 並びに n 型不純物領域 4 0 A、4 0 B、4 0 C 及び 4 0 E の上部に n⁺型の不純物領域を形成する（図示せず）。続いて、注入された不純物イオンを活性化するアニールを行って、それぞれを低抵抗化する。続いて、CVD法等により、各コンタクトホールを埋め込むように、層間絶縁膜の上に n⁺型の不純物を含むポリシリコン膜を堆積する。その後、堆積したポリシリコン膜をエッチバックするか、又は化学機械研磨（CMP : Chemical Mechanical Polishing）法によって研磨することにより、コンタ

クトプラグ8をそれぞれ形成する。

[0098] 次に、半導体基板1の上方に、コンタクトプラグ8と接続される配線26A、該配線26Aと接続されるプラグ30A、該プラグ30Aと接続される配線26B、該配線26Bと接続されるプラグ30B、該プラグ30Bと接続される配線26C、及び該配線26Cと接続されるプラグ30Cを、層間絶縁膜14A、14B及び14Cを積層しながら順次形成する。その後、層間絶縁膜14Cの上にプラグ30Cと接続される画素電極5、光電変換膜6、透明電極7、保護膜（図示せず）、カラーフィルタ（図示せず）及びレンズ（図示せず）を順次形成することにより、図2に示す固体撮像装置が形成される。なお、これらの製造方法は、従来の積層型固体撮像装置の製造方法と同様であるので、詳細な説明は省略する。

[0099] 第1の実施形態に係るMOS型の固体撮像装置によれば、蓄積ダイオード部（FD部）を構成するn型半導体領域と接する素子分離領域が、p型の拡散素子分離領域によって形成されている。このため、FD部からのリーク電流が抑制されて、暗電流及び白点の発生を抑制することができる。

[0100] また、ゲート電極を形成した後に、形成されたゲート電極をマスクとして、p型の拡散素子分離領域を形成するため、該拡散素子分離領域からチャンネル領域への不純物の拡散の影響を小さくすることができる。これにより、所望のチャンネル幅を確保できると共に、しきい値電圧（ V_{th} ）のばらつき及び1/fノイズ等のノイズを低減することができる。その結果、S/N比の値が向上した固体撮像装置を実現することができる。

[0101] また、ゲート電極におけるチャンネル領域とのオーバーラップを考慮して、ゲート突き出し量を最小化することができる。このため、従来の積層型の固体撮像装置で問題となるゲート容量の増大が抑制されて、光電変換の変換効率を高めることができ、固体撮像装置の感度を向上することができる。

[0102] （第2の実施形態）

以下、第2の実施形態に係る固体撮像装置について図7を参照しながら説明する。

- [0103] 本実施形態においては、低しきい値のn型トランジスタを得るために、チャンネル領域をn型の不純物イオンの注入、いわゆるカウンタードープによって形成する点が第1の実施形態と異なる。
- [0104] さらに、n型の不純物イオンが注入されるチャンネル領域をゲート幅よりも小さくする点が第1の実施形態と異なる。これにより、ゲート電極の外側にソース・ドレイン領域間のリークパスが形成されることを防ぐことができる。
- [0105] 以下では、第1の実施形態と異なる点について、その製造方法と共に説明する。
- [0106] まず、図7(a)に示すように、例えば、p型シリコンからなる半導体基板1の上に、リソグラフィ法により、画素回路の各トランジスタ(10、12)のチャンネル領域形成用のレジストパターンを形成する。このとき、各チャンネル領域4B、4Cの幅は、それぞれその上に形成されるゲート電極3B、3Cの幅よりも小さくなるように形成しておく。その後、形成したレジストパターンをマスクとして、n型不純物イオンを所定の注入条件でイオン注入することにより、チャンネル領域4B、4Cをそれぞれ形成する。続いて、トランジスタ(11)のチャンネル領域形成用のレジストパターンを形成する。この場合のチャンネル領域4Aの幅は、第1の実施形態と同様に、その上に形成されるゲート電極3Aの幅よりも大きくなるように形成する。その後、形成したレジストパターンをマスクとして、p型不純物イオンを所定の注入条件でイオン注入することにより、チャンネル領域4Aを形成する。これにより、画素回路の各トランジスタに所望のしきい値電圧を得ることができる。
- [0107] 次に、図7(b)に示すように、半導体基板1の主面上に、例えばISSG法等によるゲート酸化を行って、酸化シリコンからなるゲート絶縁膜(図示せず)を形成する。続いて、CVD法により、ゲート絶縁膜の上に、例えばポリシリコンからなるゲート形成膜を堆積する。その後、リソグラフィ法により、ゲート形成膜の上に、ゲート電極形成用のレジストパターンを形成する。続いて、ドライエッチング法により、レジストパターンをマスクとし

て、ゲート形成膜からゲート電極 3 A、3 B 及び 3 C をそれぞれ形成する。この際、チャンネル領域 4 B、4 C のゲート幅方向において、チャンネル領域 4 B、4 C が平面視でゲート電極 3 B、3 C に含まれている点が第 1 の製造方法と異なる。

[0108] 次に、図 7 (c) に示すように、リソグラフィ法により、画素回路における各トランジスタのソース・ドレイン領域をマスクするレジストパターンを形成する、その後、形成したレジストパターンをマスクとして、所定の注入条件で p 型不純物イオンをイオン注入することにより、素子分離領域 3 1 を形成する。これにより、素子分離領域 3 1 は、ソース・ドレイン領域及びチャンネル領域を囲む形状となる。

[0109] 次に、図 7 (d) に示すように、リソグラフィ法により、画素回路の各トランジスタのソース・ドレイン形成領域を開口するレジストパターンを形成する。その後、形成したレジストパターン及びゲート電極 3 A、3 B 及び 3 C をマスクとして、所定の注入条件で n 型不純物イオンをイオン注入することにより、n 型不純物領域 4 0 A、4 0 B、4 0 C、4 0 D 及び 4 0 E をそれぞれ形成する。

[0110] なお、本実施形態においては、増幅トランジスタとアドレストランジスタに対してのみ、カウンタードープによるチャンネル領域 4 B、4 C を形成する方法を示したが、これに限られない。すなわち、画素回路の各 n 型トランジスタに対して、所望のしきい値電圧に応じて、チャンネルドープを p 型の不純物イオン注入（順ドープ）で行うか、また、n 型の不純物イオン注入（カウンタードープ）で行うかを選択すればよく、上記の組み合わせに限定されない。

[0111] （第 2 の実施形態の一変形例）

以下、第 2 の実施形態の一変形例に係る固体撮像装置について図 8 を参照しながら説明する。

[0112] 本変形例においては、チャンネル領域形成用の n 型の不純物イオン注入領域が、ゲート幅よりも大きい点が、第 2 の実施形態と異なる。これにより、チ

チャンネル領域形成用のレジストパターンをゲート電極の外側にまで拡大することができるため、リソグラフィ時のマージンを拡大することができる。

[0113] また、このような構成を実現するため、チャンネル領域形成用のn型の不純物イオンの注入量よりも、素子分離領域形成用のp型の不純物イオン注入量の方が多い。このような構成とすることにより、例えば、増幅トランジスタ及びアドレスタランジスタを低しきい値のトランジスタとすることができる。

[0114] 以下では、第2の実施形態と異なる点について、その製造方法と共に説明する。

[0115] まず、図8(a)に示すように、例えば、p型シリコンからなる半導体基板1の上に、リソグラフィ法により、画素回路の各トランジスタ(10、12)のチャンネル領域形成用のレジストパターンを形成する。このとき、各チャンネル領域4B、4Cの幅は、それぞれゲート電極3B、3Cの幅よりも大きくなるように形成しておく。その後、形成したレジストパターンをマスクとして、n型不純物イオンを所定の注入条件でイオン注入することにより、チャンネル領域4B、4Cを形成する。続いて、トランジスタ(11)のチャンネル領域形成用のレジストパターンを形成する。チャンネル領域4Aの幅においても、ゲート電極3Aの幅よりも大きくなるように形成する。その後、形成したレジストパターンをマスクとして、p型不純物イオンを所定の注入条件でイオン注入することにより、チャンネル領域4Aを形成する。これにより、画素回路の各トランジスタに所望のしきい値電圧を得ることができる。

[0116] 次に、図8(b)に示すように、半導体基板1の主面上に、例えばISSG法等によるゲート酸化を行って、酸化シリコンからなるゲート絶縁膜(図示せず)を形成する。続いて、CVD法により、ゲート絶縁膜の上に、例えばポリシリコンからなるゲート形成膜を堆積する。その後、リソグラフィ法により、ゲート形成膜の上に、ゲート電極形成用のレジストパターンを形成する。続いて、ドライエッチング法により、レジストパターンをマスクとして、ゲート形成膜からゲート電極3A、3B及び3Cをそれぞれ形成する。

この際、チャンネル領域 4 B、4 C のゲート幅方向において、ゲート電極 3 B、3 C が、平面視でチャンネル領域 4 B、4 C に含まれている点が第 2 の製造方法と異なる。

[0117] 次に、図 8 (c) に示すように、リソグラフィ法により、画素回路における各トランジスタのソース・ドレイン領域をマスクするレジストパターンを形成する、その後、形成したレジストパターンをマスクとして、所定の注入条件で p 型不純物イオンをイオン注入することにより、素子分離領域 3 1 を形成する。これにより、素子分離領域 3 1 は、ソース・ドレイン領域及びチャンネル領域を囲む形状となる。この際、チャンネル領域形成用の n 型の不純物イオンの注入量よりも、素子分離領域形成用の p 型の不純物イオンの注入量を多くする。このような構成とすることにより、カウンタードープの n 型の不純物イオンを素子分離領域形成用の p 型の不純物イオンで反転することができる。従って、ゲート電極 3 B、3 C の周囲にチャンネル領域が形成されてしまうことを防ぐことができる。

[0118] 次に、図 8 (d) に示すように、リソグラフィ法により、画素回路の各トランジスタのソース・ドレイン形成領域を開口するレジストパターンを形成する。その後、形成したレジストパターン及びゲート電極 3 A、3 B 及び 3 C をマスクとして、所定の注入条件で n 型不純物イオンをイオン注入することにより、n 型不純物領域 4 0 A、4 0 B、4 0 C、4 0 D 及び 4 0 E をそれぞれ形成する。

[0119] なお、本変形例においても、増幅トランジスタとアドレストランジスタに対してのみ、カウンタードープによるチャンネル領域 4 B、4 C を形成する方法を示したが、これに限られない。すなわち、画素回路の各 n 型トランジスタに対して、所望のしきい値電圧に応じて、チャンネルドープを p 型の不純物イオン注入（順ドープ）で行うか、また、n 型の不純物イオン注入（カウンタードープ）で行うかを選択すればよく、上記の組み合わせに限定されない。

[0120] 以上、第 1 の実施形態、第 2 の実施形態及びその変形例に係る固体撮像装

置について説明したが、本発明は、これらの実施形態に限定されない。

[0121] 例えば、上記の各実施形態において、第1導電型はp型であり、第2導電型はn型であるとした。例えば、シリコンからなる半導体基板1の導電型はp型であり、画素回路の各トランジスタ10、11及び12はnチャンネル型であるとしたが、半導体基板1の導電型をn型とし、画素回路の各トランジスタ10、11及び12をpチャンネル型としても構わない。

[0122] また、上記の各実施形態において、画素回路を構成する各トランジスタは、MOSトランジスタであるとしたが、電界効果トランジスタ(FET: Field Effect Transistor)であればこれに限られない。

[0123] また、上記の各実施形態において、p型半導体基板とは、n型半導体基板に形成されたp型ウェル等のp型半導体領域をも含めて意味する。

[0124] また、上記の各実施形態において、固体撮像装置を、光電変換部に光電変換膜を用いる積層型としたが、これに限られず、光電変換部として半導体基板にフォトダイオードを設ける構成としてもよい。

産業上の利用可能性

[0125] 本発明に係る固体撮像装置及びその製造方法は、画素の微細化を進めても画質の劣化を生じ難い固体撮像装置を実現でき、デジタルカメラ等に有用である。

符号の説明

- [0126] 1 半導体基板
2 A、2 B、2 C ゲート絶縁膜
3 A、3 B、3 C ゲート電極
4、4 A、4 B、4 C チャンネル領域
5 画素電極
6 光電変換膜
7 透明電極
8 コンタクトプラグ
9 光電変換部

- 1 0 増幅トランジスタ
- 1 1 リセットトランジスタ
- 1 2 アドレストランジスタ
- 1 3 単位画素セル
- 1 4 A、1 4 B、1 4 C 層間絶縁膜
- 1 5 垂直走査部
- 1 6 光電変換部制御線
- 1 7 垂直信号線
- 1 8 負荷部
- 1 9 カラム信号処理部
- 2 0 水平信号読み出し部
- 2 1 電源配線
- 2 2 第1の活性領域
- 2 3 差動増幅器
- 2 4 フィードバック線
- 2 5 第2活性領域
- 2 6 A、2 6 B、2 6 C 配線
- 2 7 リセット信号線
- 2 8 アドレス信号線
- 2 9 リセットトランジスタドレイン周辺領域
- 3 0 A、3 0 B、3 0 C プラグ
- 3 1 素子分離領域
- 4 0 A、4 0 B、4 0 C、4 0 D、4 0 E n型不純物領域

請求の範囲

[請求項1]

第1導電型の半導体領域と、
前記半導体領域に配置された複数の単位画素セルとを備え、
前記単位画素セルは、
光電変換部と、
前記光電変換部で発生した信号電荷を蓄積する蓄積ダイオードを前記半導体領域との間で形成する第2導電型の不純物領域と、
前記半導体領域に形成され、前記不純物領域と電氣的に接続されたゲート電極を有する増幅トランジスタと、
前記半導体領域における前記増幅トランジスタの周辺の領域に形成され、第1導電型の不純物が導入されてなる第1分離領域とを有し、
前記増幅トランジスタは、前記半導体領域における前記ゲート電極と前記第1分離領域との間に形成された第2導電型のソース領域又は第2導電型のドレイン領域と、前記半導体領域における前記ゲート電極の下側に形成されたチャンネル領域とを有し、
前記第1分離領域における前記ゲート電極の幅方向の間隔は、前記チャンネル領域を挟む部分が、前記ソース領域又は前記ドレイン領域を挟む部分よりも大きい、固体撮像装置。

[請求項2]

前記第1分離領域は、前記不純物領域の周辺の領域にも形成されている、請求項1に記載の固体撮像装置。

[請求項3]

前記光電変換部は、
前記半導体領域の上方に形成され、入射光を光電変換する光電変換膜と、
前記光電変換膜の上方に形成された透明電極と、
前記半導体領域と前記光電変換膜との間に形成された画素電極とを有し、
前記画素電極と前記不純物領域とは、電氣的に接続されている、請求項1又は2に記載の固体撮像装置。

- [請求項4] 前記ゲート電極の幅方向の端面と、前記第1分離領域における前記ゲート電極の下側の端面とは、同一の面をなす、請求項1～3のいずれか1項に記載の固体撮像装置。
- [請求項5] 前記第1分離領域の不純物濃度は、前記半導体領域の不純物濃度よりも高く設定されており、
前記半導体領域に第1導電型の不純物が導入されてなり、隣り合う単位画素セル同士を電氣的に分離する第2分離領域をさらに備えている、請求項1～4のいずれか1項に記載の固体撮像装置。
- [請求項6] 前記第1分離領域の不純物濃度と、前記第2分離領域の不純物濃度とは同一である、請求項5に記載の固体撮像装置。
- [請求項7] 前記単位画素セルは、
前記増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタを有し、
前記増幅トランジスタのチャンネル領域は、第1導電型の不純物からなり、且つ、
前記リセットトランジスタのチャンネル領域は、第1導電型の不純物からなる、請求項1～6のいずれか1項に記載の固体撮像装置。
- [請求項8] 前記単位画素セルは、
前記増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタを有し、
前記増幅トランジスタのチャンネル領域は、第2導電型の不純物からなり、一方、
前記リセットトランジスタのチャンネル領域は、第1導電型の不純物からなる、請求項1～6のいずれか1項に記載の固体撮像装置。
- [請求項9] 第1導電型の半導体領域の上にゲート電極を選択的に形成する工程と、
リソグラフィ法により、前記半導体領域の上における前記ゲート電極を含む領域に、幅が前記ゲート電極の幅よりも小さいパターンを形

成する工程と、

前記ゲート電極及び前記パターンをマスクとして、前記半導体領域に第1導電型の不純物を注入することにより、分離領域を形成する工程と、

前記パターンを除去した後、前記半導体領域における前記パターンが形成されていた領域に、第2導電型の不純物を選択的に注入することにより、ソース・ドレイン領域を形成する工程とを備えている、固体撮像装置の製造方法。

[請求項10]

前記ゲート電極を形成する工程よりも前に、

前記半導体領域に第1導電型の不純物を選択的に注入することにより、増幅トランジスタのチャンネル領域、及び前記増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタのチャンネル領域をそれぞれ形成する工程をさらに備え、

前記チャンネル領域を形成する工程において、

前記増幅トランジスタのチャンネル領域は、該増幅トランジスタのゲート幅よりも大きく形成し、且つ、前記リセットトランジスタのチャンネル領域は、該リセットトランジスタのゲート幅よりも大きく形成する、請求項9に記載の固体撮像装置の製造方法。

[請求項11]

前記ゲート電極を形成する工程よりも前に、

前記半導体領域に第2導電型の不純物を選択的に注入することにより、増幅トランジスタのチャンネル領域を形成する工程と、

前記半導体領域に第1導電型の不純物を選択的に注入することにより、前記増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタのチャンネル領域を形成する工程とをさらに備え、

前記各チャンネル領域を形成する工程において、

前記増幅トランジスタのチャンネル領域は、該増幅トランジスタのゲート幅よりも小さく形成し、一方、前記リセットトランジスタのチャンネル領域は、該リセットトランジスタのゲート幅よりも大きく形成す

る、請求項9に記載の固体撮像装置の製造方法。

[請求項12]

前記ゲート電極を形成する工程よりも前に、

前記半導体領域に第2導電型の不純物を選択的に注入することにより、増幅トランジスタのチャネル領域を形成する工程と、

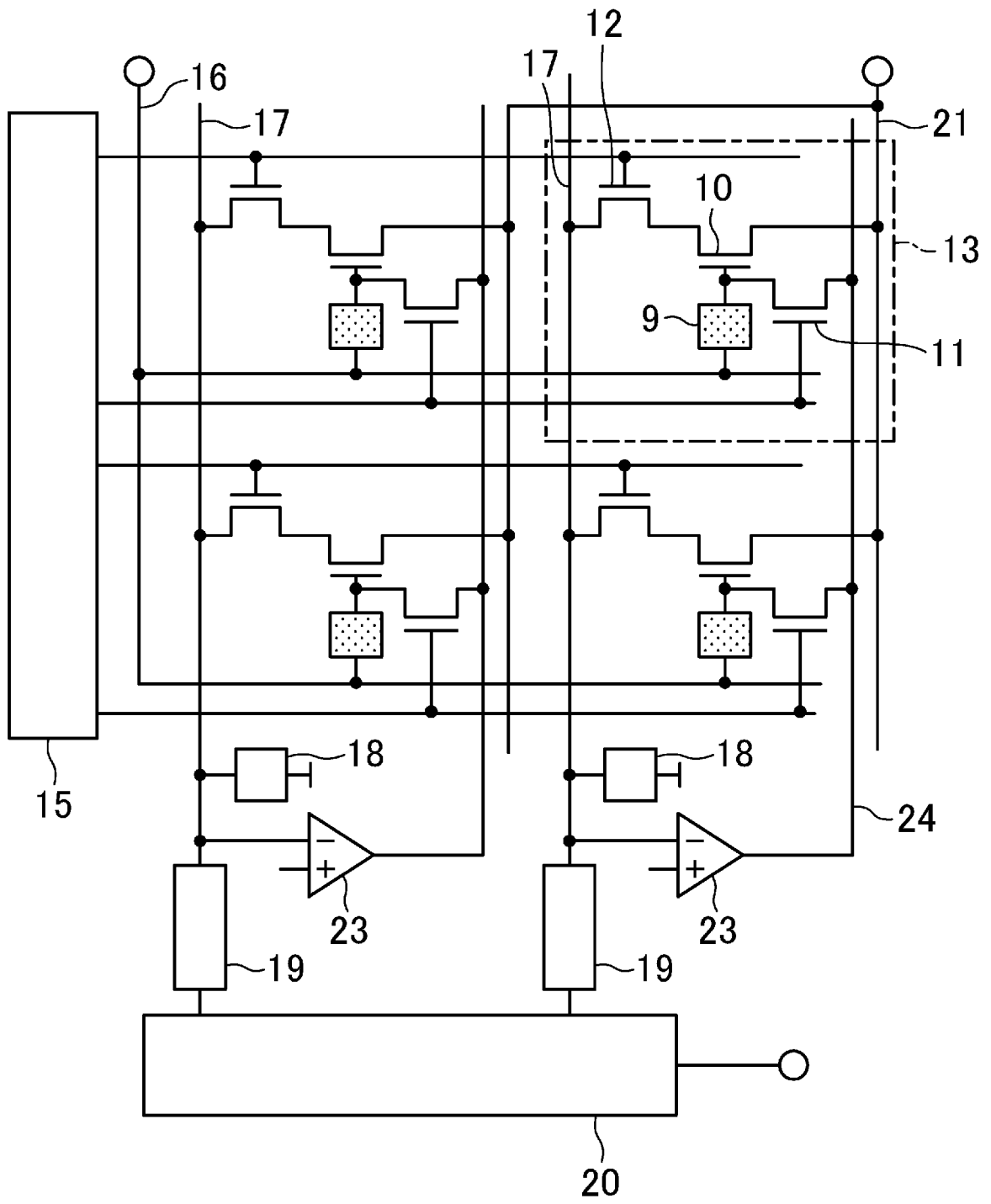
前記半導体領域に第1導電型の不純物を選択的に注入することにより、前記増幅トランジスタのゲート電極の電位をリセットするリセットトランジスタのチャネル領域を形成する工程とをさらに備え、

前記各チャネル領域を形成する工程において、

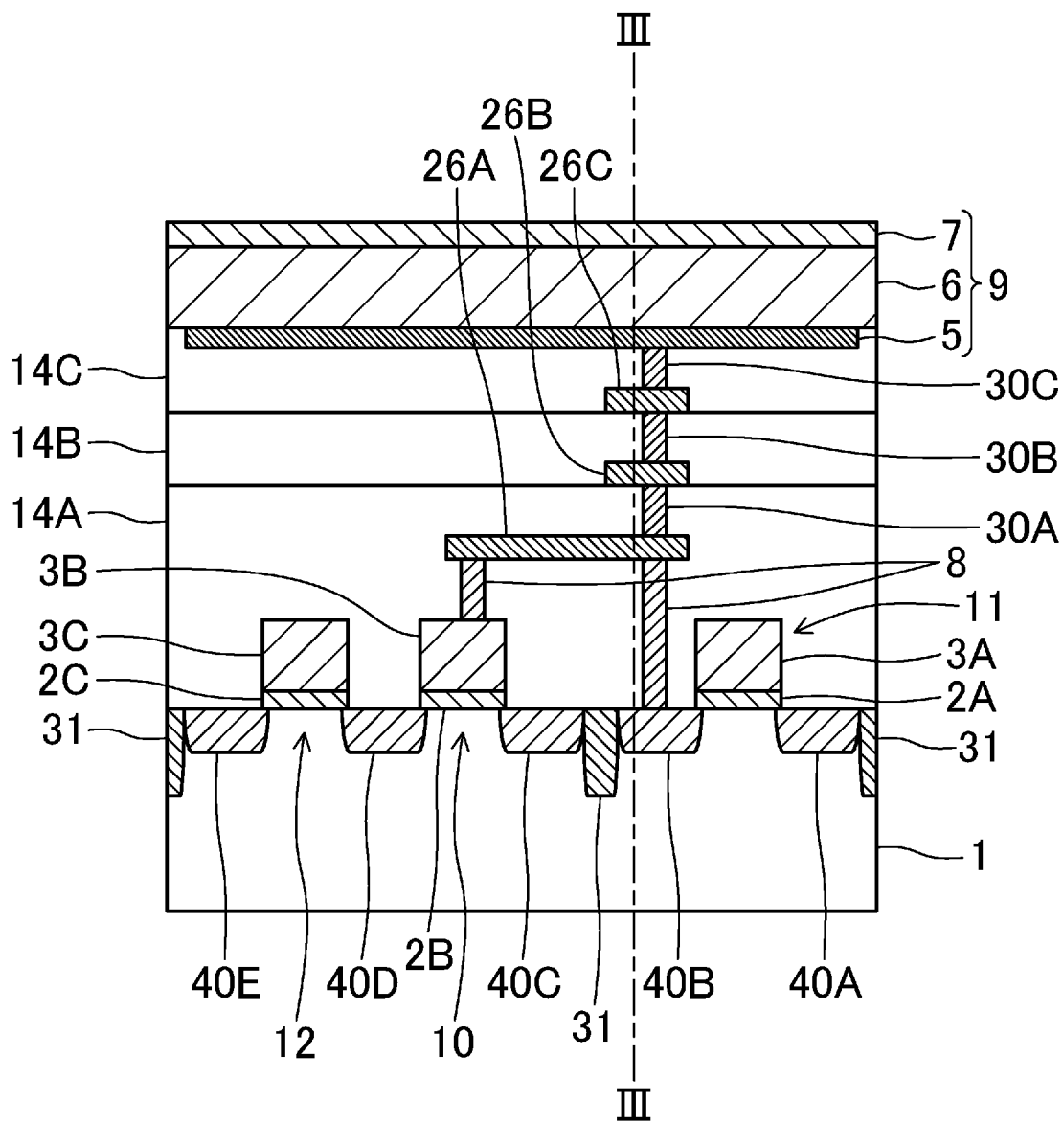
前記増幅トランジスタのチャネル領域は、該増幅トランジスタのゲート幅よりも大きく形成し、且つ、前記リセットトランジスタのチャネル領域は、該リセットトランジスタのゲート幅よりも大きく形成し、

前記分離領域を形成する工程における第1導電型の不純物濃度は、前記増幅トランジスタのチャネル領域を形成する工程における第2導電型の不純物濃度よりも高い、請求項9に記載の固体撮像装置の製造方法。

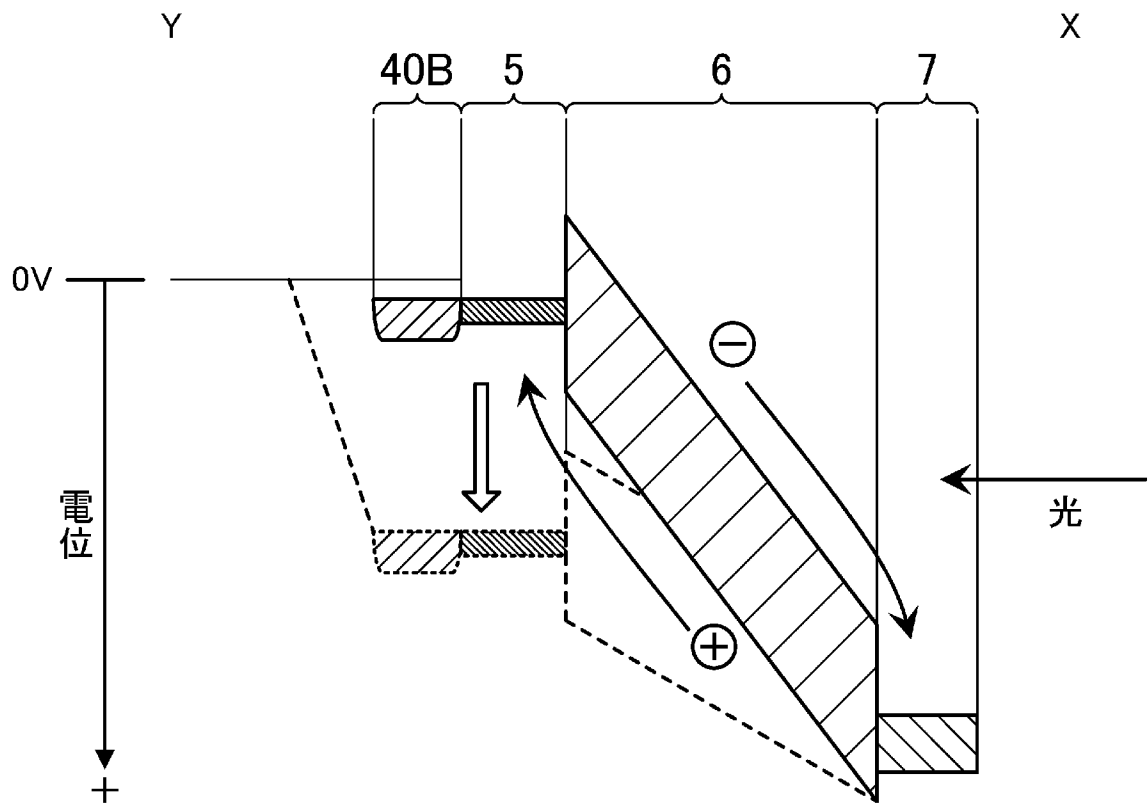
[図1]



[図2]

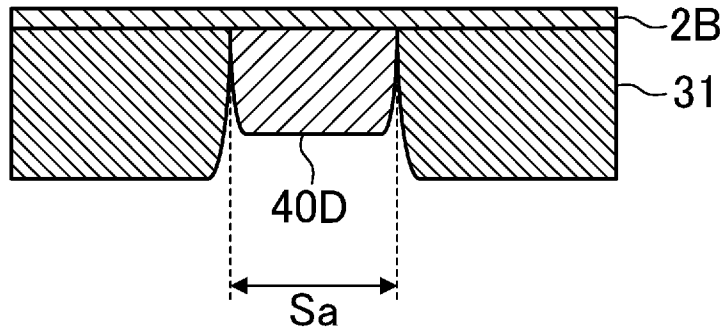


[図3]

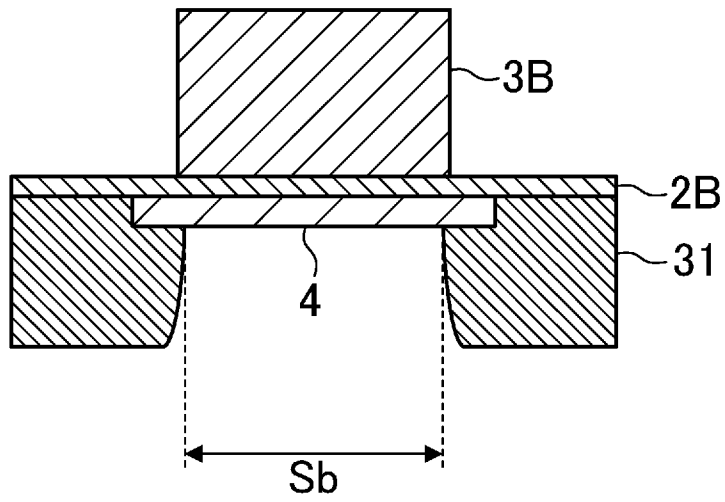


[図5]

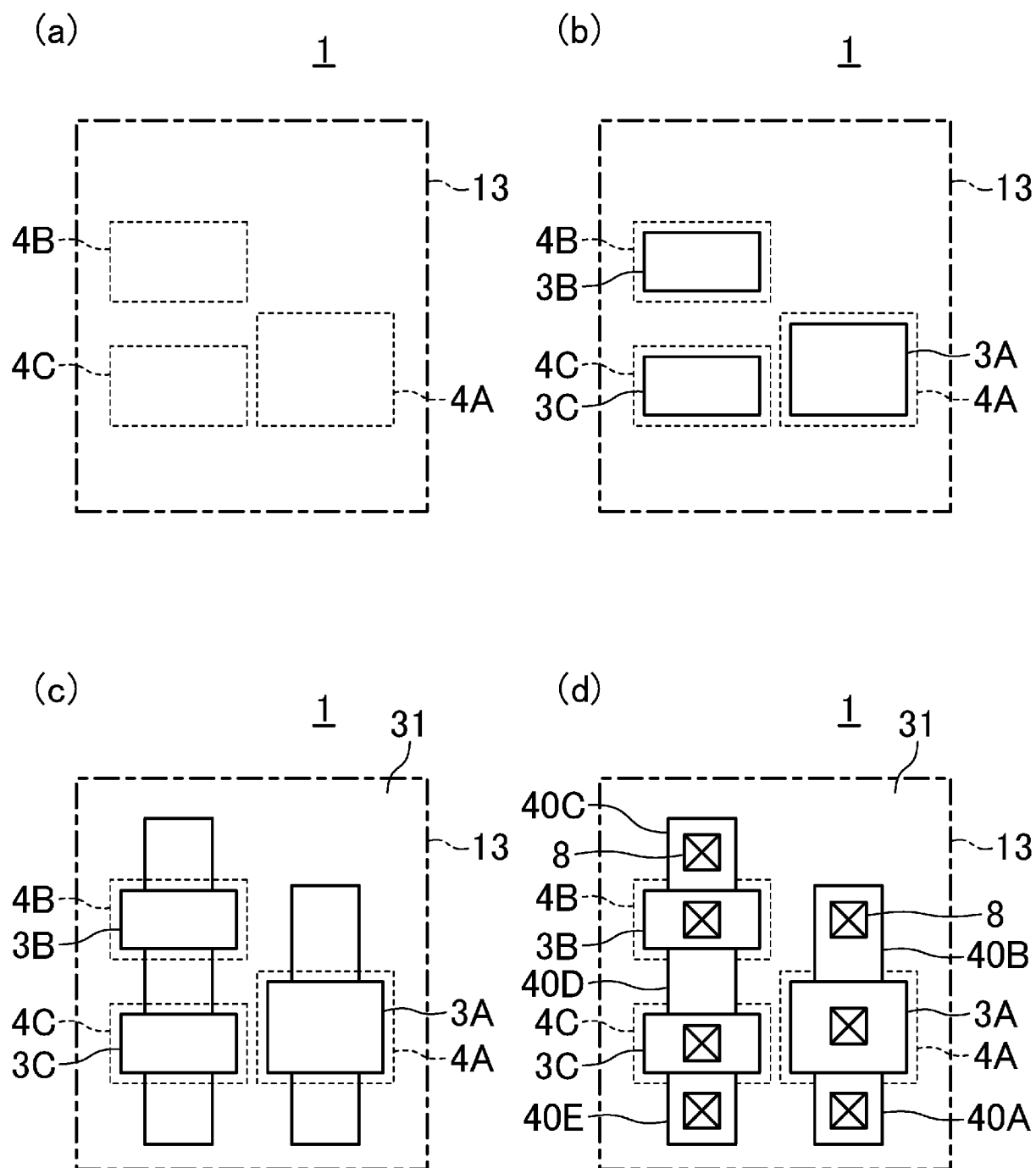
(a)



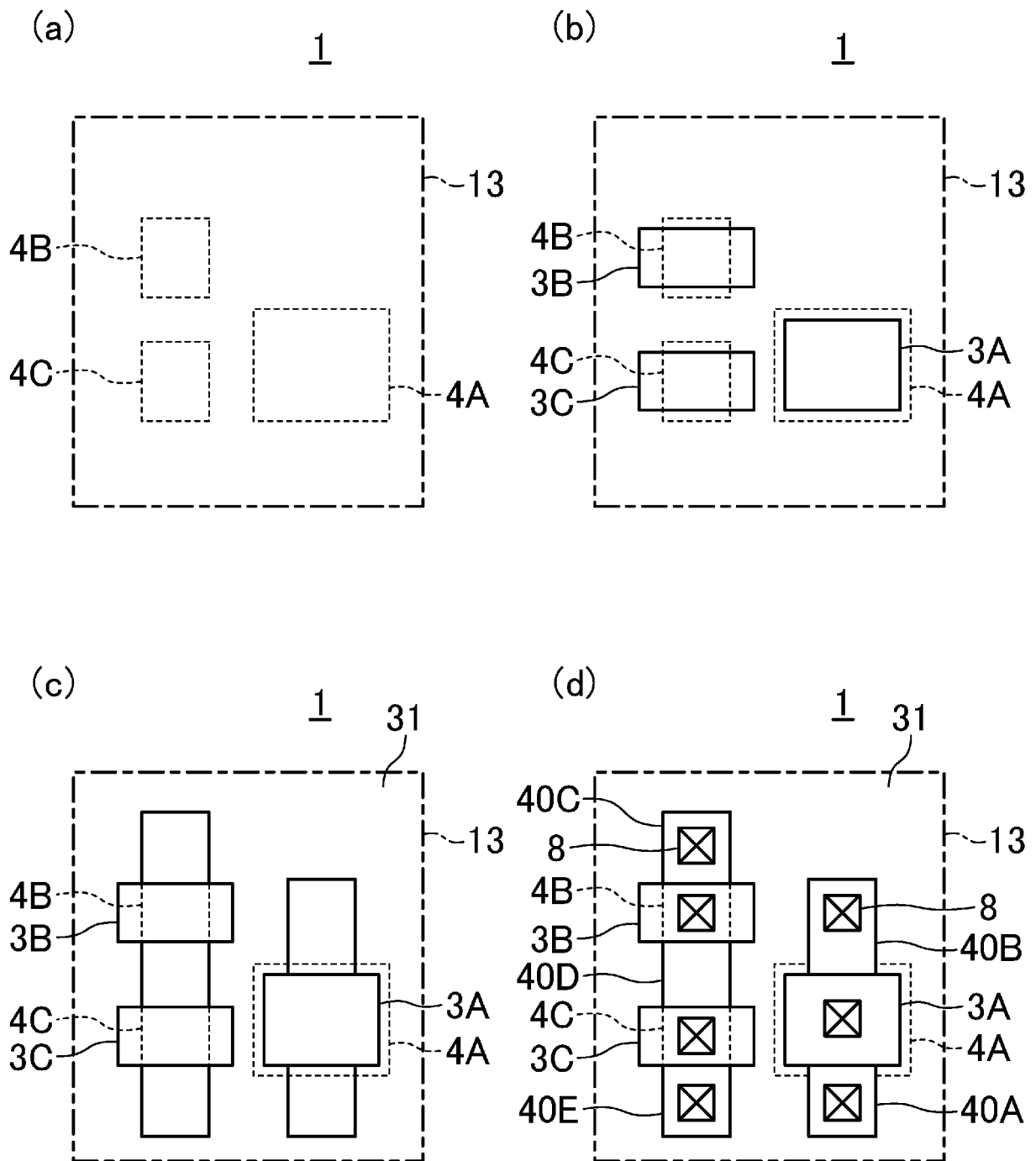
(b)



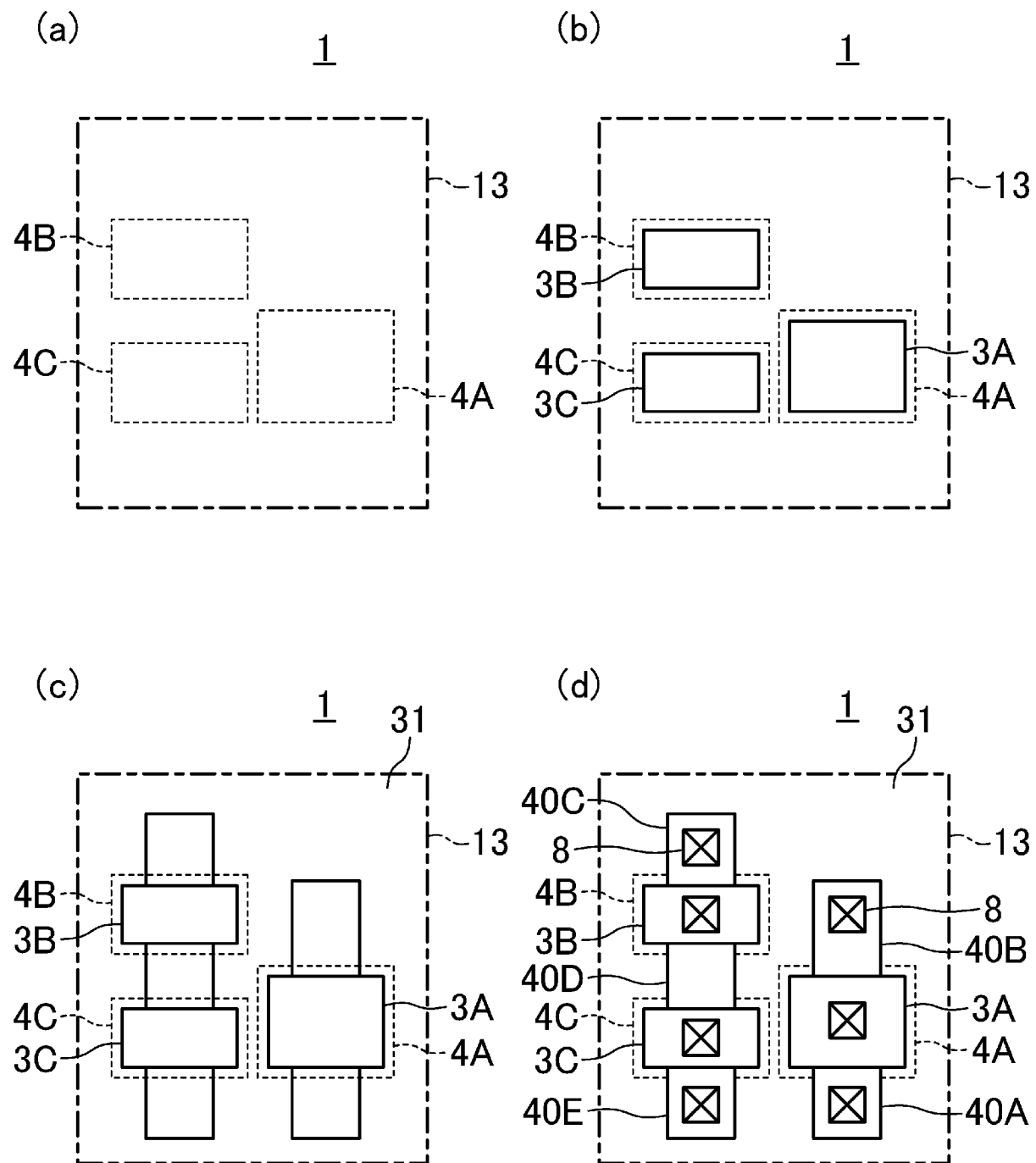
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2013/002958
--

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01) i, H04N5/361(2011.01) i, H04N5/369(2011.01) i, H04N5/374(2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H04N5/361, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-016810 A (Sony Corp.), 22 January 2009 (22.01.2009), paragraphs [0038] to [0047], [0079]; fig. 4, 10, 13 & US 2008/0296645 A1 & CN 101320744 A & KR 10-2008-0106846 A & TW 200903793 A	1, 2, 4-8 3, 9 10-12
Y A	JP 2012-064822 A (Panasonic Corp.), 29 March 2012 (29.03.2012), paragraphs [0016] to [0020]; fig. 3 & WO 2012/035702 A1	3 10-12
Y A	JP 2011-114323 A (Sony Corp.), 09 June 2011 (09.06.2011), paragraphs [0061] to [0071]; fig. 4 & US 2011/0127408 A1 & CN 102082154 A & KR 10-2011-0060804 A & TW 201123437 A	9 10-12

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 June, 2013 (24.06.13)	Date of mailing of the international search report 02 July, 2013 (02.07.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002958

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-243704 A (Panasonic Corp.), 01 December 2011 (01.12.2011), fig. 2, 4, 7 & WO 2011/145153 A1	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/146(2006.01)i, H04N5/361(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/146, H04N5/361, H04N5/369, H04N5/374		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A Y A	JP 2009-016810 A (ソニー株式会社) 2009.01.22, 段落 [0038]-[0047], [0079], 図 4, 10, 13 & US 2008/0296645 A1 & CN 101320744 A & KR 10-2008-0106846 A & TW 200903793 A JP 2012-064822 A (パナソニック株式会社) 2012.03.29, 段落 [0016]-[0020], 図 3 & WO 2012/035702 A1	1, 2, 4-8 3, 9 10-12 3 10-12
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 24.06.2013	国際調査報告の発送日 02.07.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 多賀 和宏 電話番号 03-3581-1101 内線 3559	50 4451

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-114323 A (ソニー株式会社) 2011.06.09, 段落 [0061]-[0071], 図 4 & US 2011/0127408 A1 & CN 102082154 A & KR 10-2011-0060804 A & TW 201123437 A	9 10-12
A	JP 2011-243704 A (パナソニック株式会社) 2011.12.01, 図 2, 4, 7 & WO 2011/145153 A1	1-12