



(12) 发明专利

(10) 授权公告号 CN 102771052 B

(45) 授权公告日 2015.07.08

(21) 申请号 201080064612.7

(22) 申请日 2010.12.22

(30) 优先权数据

482/CHE/2010 2010.02.24 IN

12/763,945 2010.04.20 US

(85) PCT国际申请进入国家阶段日

2012.08.23

(86) PCT国际申请的申请数据

PCT/US2010/061823 2010.12.22

(87) PCT国际申请的公布数据

W02011/106071 EN 2011.09.01

(73) 专利权人 德州仪器公司

地址 美国得克萨斯州

(72) 发明人 尼婷·阿加瓦尔

维斯维斯瓦拉亚·A·彭塔科塔

(74) 专利代理机构 北京律盟知识产权代理有限公司  
11287

代理人 章蕾

(51) Int. Cl.

H03K 19/0175(2006.01)

H03M 1/12(2006.01)

(56) 对比文件

US 7427892 B2, 2008.09.23,

US 2002027453 A1, 2002.03.07,

CN 101594139 A, 2009.12.02,

US 4099245 A, 1978.07.04,

US 2001052819 A1, 2001.12.20,

CN 1577448 A, 2005.02.09,

审查员 谢宜瑾

权利要求书3页 说明书4页 附图3页

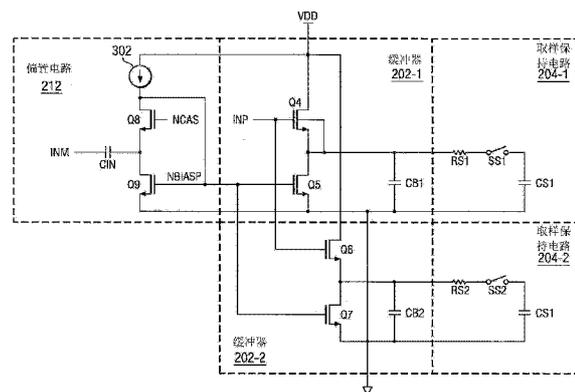
(54) 发明名称

源极跟随器输入缓冲器

(57) 摘要

用于模/数转换器 ADC 的输入源极跟随器缓冲器及偏置电路提供经改进的线性。输入信号的部分 INP、INM 输入到偏置电路 (212) 及缓冲器 (202-1)、(202-2) 用于由取样保持 S/H 电路 (204-1)、(204-2) 取样。电流源 (302) 将电流提供到 NMOS 晶体管 (Q8) 的漏极, 所述晶体管 (Q8) 的栅极接收偏置电压 NCAS, 且将偏置电压 NBIASP 提供到 NMOS 晶体管 (Q9) 的栅极。通过电容器 (CIN) 将 INM 部分提供到在级联晶体管 (Q8)、(Q9) 之间的节点。这使信号电流能够从接地流动通过第二晶体管 (Q9) 及电容器 (CIN)。所述信号电流由每一 NMOS 晶体管 (Q5)、(Q7) 成镜像且提供给电容器 (CB1)、(CB2)。INP 部分提供到 NMOS 晶体管 (Q4)、(Q6) (所述 NMOS 晶体管各自作为源极跟随器操作) 的栅极且大体上不提供信号电流。输入电路能够为 S/H 电路 (204-1)、(204-2) 供应具有经改进线性的电压及电流。

CN 102771052 B



1. 一种晶体管电路设备,其包括:  
偏置电路,其具有:  
具有第一电容的第一电容器,其接收输入信号的第一部分从而接收信号电流;及  
一对级联晶体管,其中所述第一电容器耦合到在所述级联晶体管之间的节点,且其中所述级联对的第一级联晶体管接收第一偏置电压,且其中所述级联晶体管对的第二级联晶体管接收第二偏置电压;  
具有第二电容的开关电容器电路;及  
源极跟随器缓冲器,其耦合到所述偏置电路及所述开关电容器电路,其中所述源极跟随器接收所述第二偏置电压及接收所述输入信号的第二部分,且其中所述源极跟随器包含具有第三电容的第二电容器,且其中第一电容与经组合的第二及第三电容的比率至少为一,且其中所述源极跟随器缓冲器镜像所述信号电流。
2. 根据权利要求 1 所述的设备,其中所述源极跟随器缓冲器进一步包括多个源极跟随器缓冲器,所述多个源极跟随器缓冲器各自耦合到所述偏置电路且各自接收所述输入信号的所述第二部分。
3. 根据权利要求 1 所述的设备,其中所述第一级联晶体管进一步包括第一 NMOS 晶体管,所述第一 NMOS 晶体管在其栅极处接收所述第一偏置电压,且其中所述第二级联晶体管是第二 NMOS 晶体管,所述第二 NMOS 晶体管在其漏极处耦合到所述第一 NMOS 晶体管的源极且在其栅极处耦合到所述第一 NMOS 晶体管的漏极,且其中所述第一电容器耦合到所述第二 NMOS 晶体管的所述漏极。
4. 根据权利要求 3 所述的设备,其中所述偏置电路进一步包括电流源,所述电流源耦合到所述第一 NMOS 晶体管的所述漏极。
5. 根据权利要求 4 所述的设备,其中所述源极跟随器缓冲器进一步包括:  
第三 NMOS 晶体管,所述第三 NMOS 晶体管在其栅极处接收所述输入信号的所述第二部分且在其源极处耦合到所述第二电容器;及  
第四 NMOS 晶体管,所述第四 NMOS 晶体管在其栅极处耦合到所述第二 NMOS 晶体管的所述栅极且在其漏极处耦合到所述第三 NMOS 晶体管的所述源极。
6. 根据权利要求 5 所述的设备,其中所述第三 NMOS 晶体管的所述源极耦合到所述第二电容器。
7. 根据权利要求 6 所述的设备,其中所述比率为 10 : 1。
8. 根据权利要求 1 所述的设备,其中所述开关电容器电路是取样保持 S/H 电路。
9. 一种晶体管电路设备,其包括:  
偏置电路,其具有:  
具有第一电容的第一电容器,其接收输入信号的第一部分从而接收信号电流;及  
一对级联晶体管,其中所述第一电容器耦合到在所述级联晶体管之间的节点,且其中所述级联对的第一级联晶体管接收第一偏置电压,且其中所述级联晶体管对的第二级联晶体管接收第二偏置电压;  
源极跟随器缓冲器,其耦合到所述偏置电路以便接收所述第二偏置电压及接收所述输入信号的第二部分,其中所述源极跟随器包含具有第二电容的第二电容器,且其中所述源极跟随器缓冲器镜像所述信号电流;

S/H 电路,其耦合到具有第三电容的所述源极跟随器缓冲器,其中所述第一电容与经组合的第二及第三电容的比率至少为一;

模/数转换器 ADC 管线,其耦合到所述 S/H 电路;及  
时钟电路,其耦合到所述 S/H 电路及所述 ADC 管线。

10. 根据权利要求 9 所述的设备,其中所述源极跟随器缓冲器进一步包括多个源极跟随器缓冲器,所述源极跟随器缓冲器各自耦合到所述偏置电路且各自接收所述输入信号的所述第二部分,且其中所述 S/H 电路进一步包括多个 S/H 电路,所述多个 S/H 电路各自耦合到所述源极跟随器缓冲器中的至少一者,且其中所述 ADC 管线进一步包括多个 ADC 管线,所述多个 ADC 管线各自耦合到所述 S/H 电路中的至少一者。

11. 根据权利要求 10 所述的设备,其中所述设备进一步包括多路复用器,所述多路复用器耦合到每一 ADC 管线。

12. 根据权利要求 9 所述的设备,其中所述第一级联晶体管进一步包括第一 NMOS 晶体管,所述第一 NMOS 晶体管在其栅极处接收所述第一偏置电压,且其中所述第二级联晶体管是第二 NMOS 晶体管,所述第二 NMOS 晶体管在其漏极处耦合到所述第一 NMOS 晶体管的源极且在其栅极处耦合到所述第一 NMOS 晶体管的漏极,且其中所述第一电容器耦合到所述第二 NMOS 晶体管的所述漏极。

13. 根据权利要求 12 所述的设备,其中所述偏置电路进一步包括电流源,所述电流源耦合到所述第一 NMOS 晶体管的所述漏极。

14. 根据权利要求 13 所述的设备,其中所述源极跟随器缓冲器进一步包括:

第三 NMOS 晶体管,所述第三 NMOS 晶体管在其栅极处接收所述输入信号的所述第二部分且在其源极处耦合到所述第二电容器;及

第四 NMOS 晶体管,所述第四 NMOS 晶体管在其栅极处耦合到所述第二 NMOS 晶体管的所述栅极且在其漏极处耦合到所述第三 NMOS 晶体管的所述源极。

15. 根据权利要求 14 所述的设备,其中所述第三 NMOS 晶体管的所述源极耦合到所述第二电容器。

16. 根据权利要求 15 所述的设备,其中所述比率为 10 : 1。

17. 一种晶体管电路设备,其包括:

偏置电路,其具有:

电流源;

第一 NMOS 晶体管,所述第一 NMOS 晶体管在其漏极处耦合到所述电流源且在其栅极处接收偏置电压;

第二 NMOS 晶体管,所述第二 NMOS 晶体管在其漏极处耦合到所述第一 NMOS 晶体管的源极且在其栅极处耦合到所述第一 NMOS 晶体管的所述漏极;及

具有第一电容的第一电容器,其接收输入信号的第一部分且耦合到所述第二 NMOS 晶体管的所述漏极;

多个源极跟随器缓冲器,其中每一源极跟随器缓冲器包含:

第三 NMOS 晶体管,所述第三 NMOS 晶体管在其栅极处接收所述输入信号的第二部分;

第四 NMOS 晶体管,所述第四 NMOS 晶体管在其漏极处耦合到所述第三 NMOS 晶体管的源极且在其栅极处耦合到所述第二 NMOS 晶体管的栅极;及

具有第二电容的第二电容器,其耦合到所述第三 NMOS 电容器的所述源极;

多个 S/H 电路,其中每一 S/H 电路在其第三 NMOS 晶体管的源极处耦合到所述源极跟随器缓冲器中的至少一者,且其中每一 S/H 电路具有第三电容,且其中对于每一 S/H 电路及其对应的跟随器缓冲器,所述第一电容与经组合的第二及第三电容的比率至少为一;

多个 ADC 管线,其中每一 ADC 管线耦合到所述 S/H 电路中的至少一者;

多路复用器,其耦合到每一 ADC 管线;及

时钟电路,其耦合到每一 S/H 电路及每一 ADC 管线。

18. 根据权利要求 17 所述的设备,其中所述第三 NMOS 晶体管的所述源极耦合到所述第二电容器。

19. 根据权利要求 18 所述的设备,其中所述比率为 10 : 1。

## 源极跟随器输入缓冲器

### 技术领域

[0001] 本发明大体上涉及缓冲器,且更特定来说,涉及具有经降低的输入电容负载的源极跟随器缓冲器。

### 背景技术

[0002] 参考图式的图 1,参考数字 100 大体上指示用于模/数转换器(ADC)的常规输入电路。电路 100 大体上在第 12/199,804 号共同待决的专利申请案中描述,所述申请案出于所有的目特此以引用的方式并入。如图示,电路 100 通常包括发射媒体(由电感器 L1 表示)、缓冲器 102 及取样保持(S/H)电路 104。缓冲器 102 通常包括 NMOS 晶体管 Q1(其耦合到电感器 L1)、级联 NMOS 晶体管 Q2 和 Q3(其在它们各自的栅极处接收偏置电压 NCAS 及 NBIAS)、及电容器 C1。S/H 电路 102 通常(为便于说明起见)表示为电阻器 RS、取样开关 SS、及取样电容器 CS。

[0003] 就许多常规的缓冲器来说,驱动晶体管 Q1(其通常是源极跟随器)的“片外”驱动器可驱动(减轻)连续时间负载,但不能驱动开关负载(其在使用 S/H 电路 104 的情况下存在)。在此配置中,电容器 C1(其通常与电容器 CS 的尺寸相同)为负载提供信号电流(经由晶体管 Q2),而源极跟随器(晶体管 Q1)能够大体上为开关负载(S/H 电路 104)定义电压。期望电容器 C1 在负载“片外”驱动器时保持为小的。这将意味着晶体管 Q1 还将提供一部分的信号电流。具有此额外小电容器 C1 约束的这种配置可不仅就其不能驱动开关负载成问题,而且当用于交错的 ADC 中时还可明显且不利地影响交错的 ADC 的无杂散动态范围(SFDR),所述交错的 ADC 使用许多缓冲器以驱动多个 S/H 电路。因此,需要具有经改进的性能的电路。

[0004] 一些其它常规电路在第 4,634,993 号美国专利;第 5,764,175 号美国专利;第 5,872,469 号美国专利;第 6,255,865 号美国专利;第 7,385,427 号美国专利;第 20090206885 号预批准公开案;及第 W007/093475 号 PCT 公开案中描述。

### 发明内容

[0005] 因此,本发明的实例实施例提供一种设备。所述设备包括偏置电路,所述偏置电路具有:具有第一电容的第一电容器,其接收输入信号的第一部分;及一对级联晶体管,其中所述第一电容器是耦合到在所述级联晶体管之间的节点,且其中所述级联对的第一级联晶体管接收第一偏置电压,且其中所述级联晶体管对的第二级联晶体管接收第二偏置电压;具有第二电容的开关电容器电路;及源极跟随器缓冲器,其耦合到所述偏置电路及所述开关电容器电路,其中所述源极跟随器接收所述第二偏置电压及接收所述输入信号的第二部分,且其中所述源极跟随器包含具有第三电容的第二电容器,且其中第一电容与经组合的第二及第三电容的比率至少为一。

[0006] 根据本发明的实例实施例,所述源极跟随器缓冲器进一步包括多个源极跟随器缓冲器,所述多个源极跟随器缓冲器各自耦合到所述偏置电路且各自接收所述输入信号的第

二部分。

[0007] 根据本发明的实例实施例,所述第一级联晶体管进一步包括第一 NMOS 晶体管,所述第一 NMOS 晶体管在其栅极处接收第一偏置电压,且其中所述第二级联晶体管是第二 NMOS 晶体管,所述第二 NMOS 晶体管在其漏极处耦合到所述第一 NMOS 晶体管的源极且在其栅极处耦合到所述第一 NMOS 晶体管的漏极,且其中所述第一电容器耦合到所述第二 NMOS 晶体管的漏极。

[0008] 根据本发明的实例实施例,所述偏置电路进一步包括电流源,所述电流源耦合到所述第一 NMOS 晶体管的漏极。

[0009] 根据本发明的实例实施例,所述源极跟随器缓冲器进一步包括:第三 NMOS 晶体管,所述第三 NMOS 晶体管在其栅极处接收所述输入信号的第二部分且在其源极处耦合到所述第二电容器;及第四 NMOS 晶体管,所述第四 NMOS 晶体管在其栅极处耦合到所述第二 NMOS 晶体管的栅极且在其漏极处耦合到所述第三 NMOS 晶体管的源极。

[0010] 根据本发明的实例实施例,所述第三 NMOS 晶体管的主体耦合到所述第二电容器。

[0011] 根据本发明的实例实施例,所述比率是 10 : 1。

[0012] 根据本发明的实例实施例,所述开关电容器电路是取样保持 (S/H) 电路。

[0013] 根据本发明的实例实施例,提供一种设备。所述设备包括偏置电路,所述偏置电路具有:具有第一电容的第一电容器,其接收输入信号的第一部分;及一对级联晶体管,其中所述第一电容器是耦合到在所述级联晶体管之间的节点,且其中所述级联对的第一级联晶体管接收第一偏置电压,且其中所述级联晶体管对的第二级联晶体管接收第二偏置电压;源极跟随器缓冲器,其耦合到偏置电路以便接收所述第二偏置电压且接收输入信号的第二部分,其中所述源极跟随器包含具有第二电容的第二电容器;S/H 电路,其耦合到具有第三电容的源极跟随器缓冲器,其中第一电容与经组合的第二及第三电容的比率至少为一;模/数转换器 (ADC) 管线,其耦合到所述 S/H 电路;及时钟电路,其耦合到所述 S/H 电路及所述 ADC 管线。

[0014] 根据本发明的实例实施例,所述源极跟随器缓冲器进一步包括多个源极跟随器缓冲器,所述多个源极跟随器缓冲器各自耦合到所述偏置电路且各自接收所述输入信号的第二部分,且其中所述 S/H 电路进一步包括多个 S/H 电路,所述多个 S/H 电路各自耦合到所述源极跟随器缓冲器中的至少一者,且其中所述 ADC 管线进一步包括多个 ADC 管线,所述多个 ADC 管线各自耦合到 S/H 电路中的至少一者。

[0015] 根据本发明的实例实施例,所述设备进一步包括多路复用器,所述多路复用器耦合到每一 ADC 管线。

[0016] 根据本发明的实例实施例,提供一种设备。所述设备包括偏置电路,所述偏置电路具有:电流源;第一 NMOS 晶体管,所述第一 NMOS 晶体管在其漏极处耦合到所述电流源且在其栅极处接收偏置电压;第二 NMOS 晶体管,所述第二 NMOS 晶体管在其漏极处耦合到所述第一 NMOS 晶体管的源极且在其栅极处耦合到所述第一 NMOS 晶体管的漏极;及具有第一电容的第一电容器,其接收输入信号的第一部分且耦合到所述第二 NMOS 晶体管的漏极;多个源极跟随器缓冲器,其中每一源极跟随器缓冲器包含:第三 NMOS 晶体管,所述第三 NMOS 晶体管在其栅极处接收输入信号的第二部分;第四 NMOS 晶体管,所述第四 NMOS 晶体管在其漏极处耦合到第三 NMOS 晶体管的源极且在其栅极处耦合到所述第二 NMOS 晶体管的栅极;及具

有第二电容的第二电容器,其耦合到所述第三 NMOS 晶体管的源极;多个 S/H 电路,其中每一 S/H 电路在其第三 NMOS 晶体管的源极处耦合到所述源极跟随器缓冲器中的至少一者,且其中每一 S/H 电路具有第三电容,且其中对于每一 S/H 电路及其对应的跟随器缓冲器,所述第一电容与经组合的第二及第三电容的比率至少为一;多个 ADC 管线,其中每一 ADC 管线耦合到所述 S/H 电路中的至少一者;多路复用器,其耦合到每一 ADC 管线;及时钟电路,其耦合到每一 S/H 电路及每一 ADC 管线。

[0017] 根据本发明的实例实施例,第三 NMOS 晶体管的主体耦合到第二电容器。

## 附图说明

[0018] 参考附图描述实例实施例,其中:

[0019] 图 1 是用于 ADC 的常规输入电路的电路图;

[0020] 图 2 是根据本发明的实例实施例的交错的 ADC 的框图;及

[0021] 图 3 是图 2 的 ADC 的一部分的电路图。

## 具体实施方式

[0022] 图 2 说明根据本发明的实例实施例的交错的模 / 数转换器 (ADC) 200。在操作中,模拟输入信号 AIN 提供到缓冲器 202-1 到 202-n (其中每一缓冲器是耦合到偏置电路 212)。来自每一缓冲器 202-1 到 202-n 的输出耦合到对应的取样保持 (S/H) 电路 204-1 到 204-n,使得输入信号 AIN 可被取样且提供给对应的 ADC 管线 206-1 到 206-n 用于转换。耦合到 S/H 电路 204-1 到 204-n 及 ADC 管线 206-1 到 206-n 的时钟电路 210 提供定时信号以对输入信号 AIN 取样且将其转换为数字信号。来自 ADC 管线 206-1 到 206-n 的交错的数字输出信号接着由多路复用器 (或多路复用器 (mux)) 208 多路复用以产生数字输出信号 DOUT。

[0023] 图 3 提供偏置电路 212、缓冲器 202-1 和 202-2 及 S/H 电路 204-1 和 204-2 的更详细的视图。为简便起见,展示用于两个 ADC 管线的输入电路。另外,为简便起见,S/H 电路 204-1 和 204-2 是由电阻器 R1 和 R2、取样开关 SS1 和 SS2 及取样电容器 CS1 和 CS2 所表示。偏置电路 212 通常包括电容器 CIN、NMOS 晶体管 Q8 和 Q9 及电流源 302。缓冲器 202-1 通常包括 NMOS 晶体管 Q4 和 Q5 及电容器 CB1,而缓冲器 202-2 通常包括 NMOS 晶体管 Q6 和 Q7 及电容器 CB2。

[0024] 在操作中,输入信号 AIN 的多个部分 (INP 及 INM) 提供到偏置电路 212 及缓冲器 202-1 和 202-2,使得输入信号 AIN 可由 S/H 电路 204-1 和 204-2 取样。电流源 302 将电流提供到 NMOS 晶体管 (在其栅极处接收偏置电压 NCAS) 的漏极,且将偏置电压 NBIASP 提供到 NMOS 晶体管 Q9 的栅极。通过电容器 CIN 将 INM 部分提供到在级联 NMOS 晶体管 Q8 与 Q9 之间的节点。这使信号电流能够从接地流动通过晶体管 Q9 及电容器 CIN。此信号电流由 NMOS 晶体管 Q5 和 Q7 中的每一者成镜像,使得其可提供到电容器 CB1 和 CB2。另外,INP 部分提供到 NMOS 晶体管 Q4 和 Q6 的栅极 (其中每一晶体管作为源极跟随器操作) 且通常不提供信号电流。因此,此输入电路能够为 S/H 电路 204-1 和 204-2 供应具有经改进线性的电压及电流。

[0025] 电容器 CIN、CB1、CB2、CS1 及 CS2 的电容通常也要进行按比例调整。通常,电容器 CB1 和 CS1 及电容器 CB2 和 CS2 中的每一者的组合电容至少与电容器 CIN (其作为补偿电

容器操作)的电容相同或小于电容器 CIN 的电容。举例来说,电容器 CB1 和 CS1 的组合电容与电容器 CIN 的电容的比率可为 1 : 10。同样应注意的是,电容器 CIN 耦合到非常低的阻抗节点(其具有小的非线性电压)以至于大体上消除在其它常规电路上的非线性源。另外,减少了通过输入的信号电流,这同样协助降低可能成为高速的限制因素的电磁干扰。

[0026] 特此意欲涵盖具有在实例实施例的背景中描述的特征或步骤中的一者或一者以上的不同组合的实施例,所述实例实施例具有全部或仅一些此类特征或步骤。所属领域的技术人员将了解到,在所主张的发明的范围内许多其它实施例及变化也是可能的。

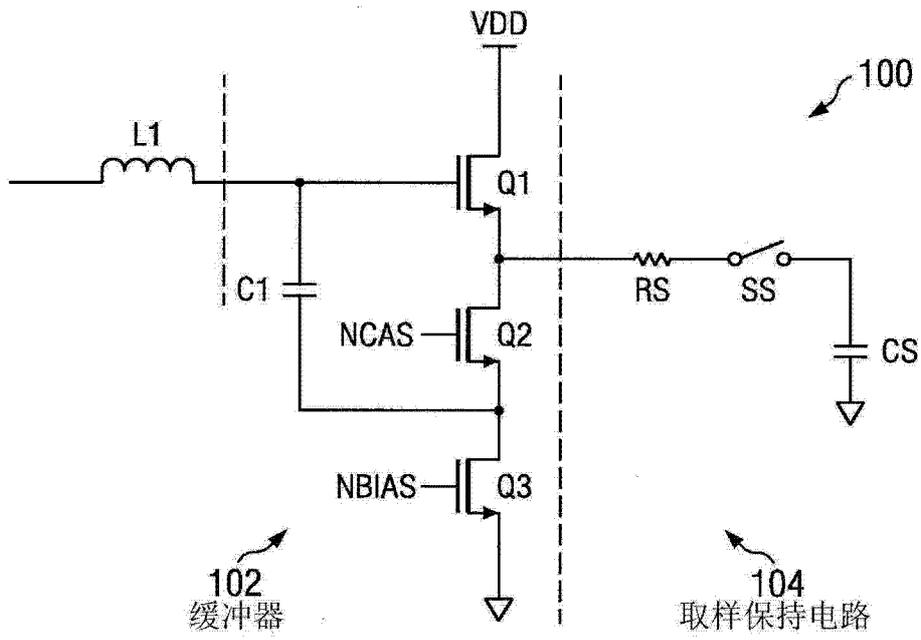


图 1(现有技术)

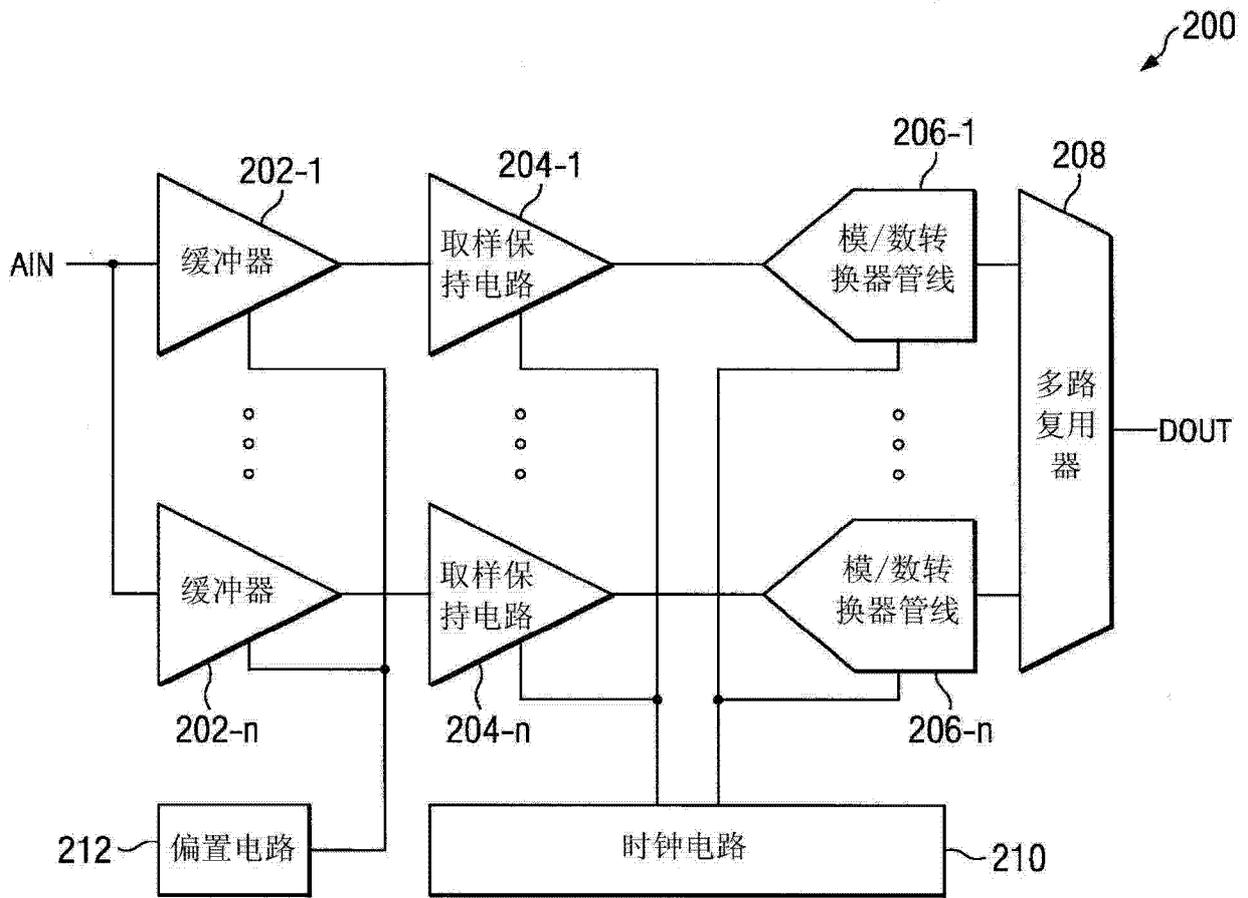


图 2

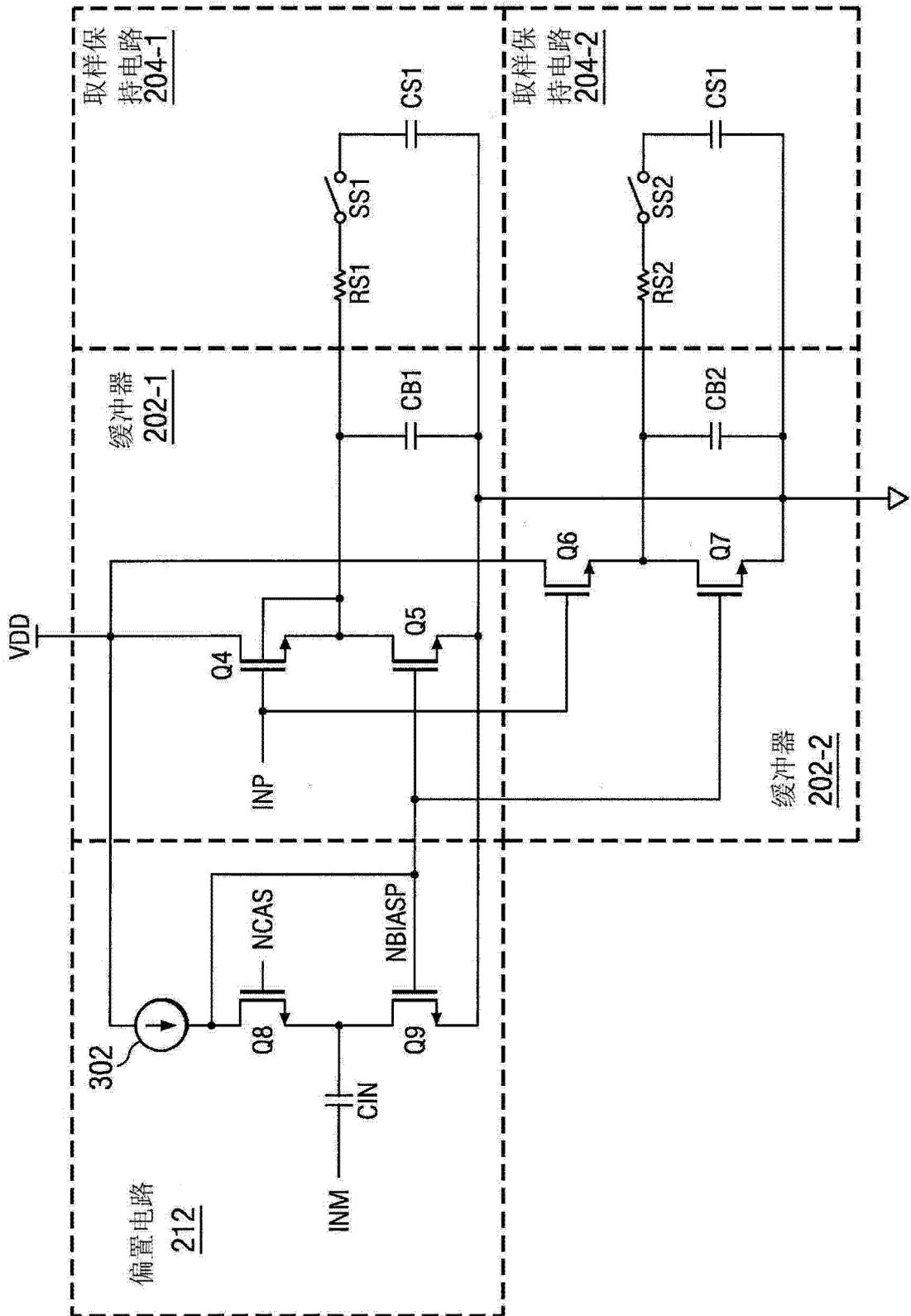


图 3