



(12) 发明专利

(10) 授权公告号 CN 101276805 B

(45) 授权公告日 2011.09.28

(21) 申请号 200810092711.0

CN 1870857 A, 2006.11.29,

(22) 申请日 2008.04.10

US 2005280139 A1, 2005.12.22,

(30) 优先权数据

审查员 车晓璐

11/763,858 2007.06.15 US

(73) 专利权人 日月光半导体制造股份有限公司

地址 中国台湾高雄市楠梓加工出口区经三路26号

(72) 发明人 车尚珍 金炯鲁

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 陆嘉

(51) Int. Cl.

H01L 23/552 (2006.01)

H01L 21/50 (2006.01)

(56) 对比文件

JP 2006173493 A, 2006.06.29,

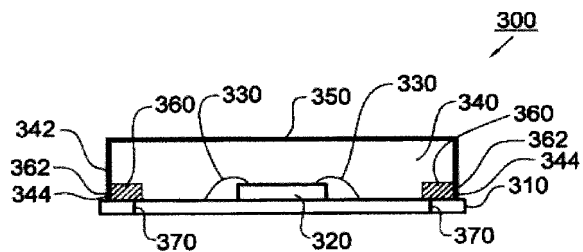
权利要求书 1 页 说明书 3 页 附图 4 页

(54) 发明名称

具电磁干扰屏蔽功能的半导体封装构造及其制造方法

(57) 摘要

本发明提供一种具电磁干扰屏蔽功能的半导体封装构造,其包含一基板,基板上设有一芯片,并借助焊线与基板电性连接。至少一个屏蔽导体块配置于基板上,并与基板的接地线路电性连接。一胶体设置于基板上,并覆盖芯片、焊线以及屏蔽导体块。胶体的一侧表面暴露出屏蔽导体块的一表面。一导电膜设置于胶体的外表面,并覆盖屏蔽导体块的裸露表面,藉此屏蔽芯片使其免受电磁干扰。



1. 一种半导体封装构造,其包含:
基板,具有一接地线路;
芯片,设于该基板上;
至少一个屏蔽导体块,配置于该基板上且具有一定厚度,并与该基板的接地线路电性连接;
封胶体,设置于该基板上,并覆盖该芯片与屏蔽导体块,该封胶体的一侧表面暴露出该屏蔽导体块的一表面;及
导电膜,设置于在该封胶体的外表面并覆盖该屏蔽导体块的裸露表面与该封胶体的该侧表面,以直接连接至该基板并电性连接至该屏蔽导体块。
2. 如权利要求 1 所述的半导体封装构造,另包含:
数条焊线,电性连接该芯片至该基板。
3. 如权利要求 1 所述的半导体封装构造,其中该导电膜的组成材料是由铝、铜、铬、锡、金、银及镍所构成的群组中选出。
4. 如权利要求 1 所述的半导体封装构造,其中该屏蔽导体块的组成材料是由锡膏及导电胶所构成的群组中选出。
5. 一种半导体封装构造的制造方法,包含下列步骤:
提供一基板条,其包含有数个基板单元,其中所述基板单元由数条切割道所分隔,各该基板单元具有一接地线路;
分别设置数个芯片于各该基板单元上;
设置数个屏蔽导体块于该基板条上,使各该屏蔽导体块横跨所述基板单元中的至少两个,并使所述屏蔽导体块与所述接地线路电性连接;
形成一连续封胶体于该基板条上,以将所述芯片与屏蔽导体块包覆;
沿着所述切割道将该连续封胶体切割,以形成数个相互分离的封胶体,并使各该屏蔽导体块分割成两部分,其中各该屏蔽导体块的分割部分具有一表面裸露出所述分离的封胶体;
形成一导电膜于所述分离封胶体的外表面上,并覆盖所述屏蔽导体块的裸露表面,使得该导电膜与所述屏蔽导体块电性连接;
以该基板条朝上,该封胶体朝下的方式翻转;及
切割该基板条以使所述基板单元完全分离。
6. 如权利要求 5 所述的制造方法,另包含:
设置数条焊线,使所述芯片与所属的基板单元电性连接。
7. 如权利要求 5 所述的制造方法,其中该导电膜的形成方式是由化学汽相沉积、化学电镀、电解电镀、喷涂、印刷及溅镀所构成的群组中选出。
8. 如权利要求 5 所述的制造方法,其中该导电膜的组成材料是由铝、铜、铬、锡、金、银及镍所构成的群组中选出。
9. 如权利要求 5 所述的制造方法,其中所述屏蔽导体块的组成材料是由锡膏及导电胶所构成的群组中选出。

具电磁干扰屏蔽功能的半导体封装构造及其制造方法

技术领域

[0001] 本发明是有关于一种半导体封装构造,更特别有关于一种具电磁干扰屏蔽功能的半导体封装构造。

背景技术

[0002] 由于射频封装构造 (RF package) 容易受到外界的电磁干扰,当其被装置在电路板上时,要特别注意避免相互间的干扰,以免运作发生异常。

[0003] 参考图 1,美国专利第 6,781,231 号揭露了一种半导体封装构造 100,其包含有一基板 110,基板 110 上设有一芯片 120,并以一盖体 130 盖住芯片 120,盖体 130 的周缘则借助一导电胶、焊锡或其类似物 140 与基板 110 电性连接。上述盖体 130 包含一外壳体 132a,其是由一层导电材料所形成,例如铜、不锈钢、铝或其合金等形成。盖体 130 还包含一内壳体 132b,其亦由一层导电材料所形成。于内壳体 132b 的内侧,包含有一导电材料所形成的内衬 150,做为屏蔽芯片 120 以免受电磁干扰之用。

[0004] 上述封装构造 100 虽具有抗电磁干扰的优点,惟,其不具有整批大量制造的优点。

[0005] 另外,参考图 2,美国专利第 6,614,102 号揭露了另一种半导体封装构造 10,其包含一芯片承载座 (die pad) 14、一芯片 12 设在芯片承载座 14 上,以及一组引脚 16 围绕在芯片承载座 14 的周围,其中芯片 12 借助焊线 18 与引脚 16 电性连接。为了能够达到屏蔽的效果,一屏蔽组件 24 是罩盖芯片 12,屏蔽组件 24 的周缘并与选定的引脚 16 电性连接,同时再加以接地,如此,与外界接地线路连接的屏蔽组件 24,能够屏蔽芯片 12 以免受到外界的电磁干扰。为了保护芯片 12 以及其它组件,一封胶体 22 则包覆芯片 12 以及屏蔽组件 24。

[0006] 上述专利所揭露的封装构造虽有屏蔽电磁干扰的效果,惟,其仍需要一个额外的电磁屏蔽组件,因此会增加生产成本以及制程上的复杂度。

[0007] 有鉴于此,便有须提出一种具电磁干扰屏蔽功能的半导体封装构造,以解决上述问题。

发明内容

[0008] 本发明的目的在于提供一种具电磁干扰屏蔽功能的半导体封装构造,其能够屏蔽设在其中的芯片使的免受外来的电磁干扰。

[0009] 为达上述目的,本发明的具电磁干扰屏蔽功能的半导体封装构造包含一基板,基板上设有一芯片,并借助焊线与基板电性连接。至少一个屏蔽导体块配置于基板上,并与基板的接地线路电性连接。一封胶体设置于基板上,并覆盖芯片、焊线以及屏蔽导体块。此外,封胶体的一侧表面并暴露出屏蔽导体块的一表面。一导电膜设置于封胶体的外表面,并覆盖屏蔽导体块的裸露表面,以使导电膜能够电性连接至屏蔽导体块。由于导电膜覆盖住封胶体,并借助屏蔽导体块与基板的接地线路电性连接,导电膜因此能够屏蔽芯片使其免受电磁干扰。

[0010] 本发明的另一目的在于提供一种上述具电磁干扰屏蔽功能的半导体封装构造的

制造方法。

[0011] 为达上述目的,首先提供包含有数个基板单元的一基板条,这些基板单元被数条切割道所分隔。再分别设置数个芯片于各个基板单元上,芯片则借助数条焊线与所属的基板单元电性连接。设置数个屏蔽导体块于基板条上,使各屏蔽导体块横跨基板单元中的至少两个,以使一基板单元的接地线路与另一邻近的基板单元的接地线路电性连接。接着,在基板条上形成一个连续的封胶体,以将芯片、焊线与屏蔽导体块包覆住。再将连续封装构造沿着切割道进行半切割,以使连续封胶体被切割成数个分离的封胶体,并使基板条保持未切割。接着,形成一导电膜于各分离的封胶体的外表面上,并电性连接至屏蔽导体块裸露出封胶体的表面。最后,将基板条完全切割,以得到本发明的具电磁干扰屏蔽功能的半导体封装构造。

[0012] 为了让本发明的上述和其它目的、特征、和优点能更明显,下文特举本发明实施例,并配合所附图示,作详细说明如下。

附图说明

[0013] 图 1 :为一种习知具电磁干扰屏蔽功能的半导体封装构造的剖面图。

[0014] 图 2 :为另一种习知具电磁干扰屏蔽功能的半导体封装构造的剖面图。

[0015] 图 3 :为本发明的具电磁干扰屏蔽功能的半导体封装构造的剖面图。

[0016] 图 4a 至图 4g :显示本发明的具电磁干扰屏蔽功能的半导体封装构造的制造方法,其中图 4c 是为图 4b 所示封装构造的上视图。

具体实施方式

[0017] 参考图 3,本发明的具电磁干扰屏蔽功能的半导体封装构造 300 包含一基板 310,基板 310 上设有一芯片 320,例如具有 RF 功能的芯片或微机电系统 (microelectromechanical system; MEMS) 芯片,并借助例如焊线 330 与基板 310 电性连接。至少一个屏蔽导体块 360,以例如锡膏或导电胶所制成,配置于基板 310 上,并与基板 310 的接地线路 370 电性连接。一封胶体 340 设置于基板 310 上,并覆盖芯片 320、焊线 330 以及屏蔽导体块 360。此外,封胶体 340 的一侧表面 344 并暴露出屏蔽导体块 360 的一表面 362。

[0018] 为了屏蔽芯片 320 使其免受电磁干扰,一导电膜 350 设置于封胶体 340 的外表面 342 并覆盖屏蔽导体块 360 的裸露表面 362,以使导电膜 350 能够电性连接至屏蔽导体块 360,其中导电膜 350 可以例如铝、铜、铬 (Cr)、锡 (Sn)、金、银、镍或上述元素的组合所构成。由于导电膜 350 覆盖住封胶体 340,并借助屏蔽导体块 360 与基板 310 的接地线路 370 电性连接,导电膜 350 因此能够屏蔽芯片 320 使其免受电磁干扰。此外,由于屏蔽导体块 360 具有一定的厚度,因此其亦能够屏蔽周遭的电子组件免受电磁干扰。

[0019] 参考图 4a 至图 4g,本发明亦提供制造半导体封装构造 300 的方法。首先,参考图 4a,提供包含有数个基板单元 410 的一基板条 400,这些基板单元 410 被数条切割道 (saw street) 420 所分隔,而切割道 420 的宽度为大约 0.5mm。参考图 4b,分别设置数个芯片 320 于各个基板单元 410 上,芯片 320 则借助数条焊线 330 与所属的基板单元 410 电性连接。参考图 4c,设置数个屏蔽导体块 306' 于基板条 400 上,使各屏蔽导体块 306' 横跨基板单元 410 中的至少两个,并使一基板单元 410 的接地线路 370 与另一邻近的基板单元 410 的接地

线路 370 电性连接。接着,参考图 4d,在基板条 400 上形成一个连续的封胶体 440,以将芯片 320、焊线 330 与屏蔽导体块 360' 包覆。

[0020] 参考图 4e,为了将基板条 400 的基板单元 410 单体化,首先将图 4d 所示的封装构造以一切割刀 470 沿着切割道 420 进行半切割 (half-cut),其中切割刀 470 的厚度是实质上相等于切割道 420 的宽度。连续封胶体 440 被切割成数个相互分离的封胶体 340,而基板条 400 则不加以切割。在连续封胶体 440 被切割之后,原先包覆在连续封胶体 440 内的每一个屏蔽导体块 360' 也被切割成两部分 360,其中每一部份 360 均具有一表面 362 裸露出分离的封胶体 340。接着,参考图 4f,借助化学汽相沉积 (chemical vapor deposition)、化学电镀 (electroless plating)、电解电镀 (electrolytic plating)、喷涂 (spray coating)、印刷或溅镀 (sputtering) 的方式,形成一导电膜 350 于封胶体 340 的外表面上,并覆盖屏蔽导体块 360 的裸露表面 362。参考图 4g,在导电膜 350 形成在封胶体 340 上之后,将图 4f 所示的封装构造以基板条 400 朝上、封胶体 340 朝下的方式翻转,并以一切割刀 480 将基板条 400 完全切割,以得到本发明的具电磁干扰屏蔽功能的半导体封装构造 300。切割刀 480 的厚度较佳是小于切割刀 470 的厚度,例如是 0.3mm。

[0021] 本发明的屏蔽导体块 360' 的组成材料可为例如锡膏或导电胶,在形成屏蔽导体块 360' 的步骤中,锡膏或导电胶首先被涂在基板条 400 上。接着,再将涂布于基板条 400 上的锡膏或导电胶以回焊、加热或其它方式使的固化,以形成屏蔽导体块 360'。再者,将芯片电性连接至基板的方式亦不限于打线的方式,其它例如覆晶 (flip-chip) 方式亦可使用。

[0022] 本发明的具电磁干扰屏蔽功能的半导体封装构造 300 的制造方法是在封装构造 300 的封胶体 340 上形成一导电膜 350,当导电膜 350 被接地之后将具有屏蔽组件的作用。因此,将没有必要装设额外的屏蔽组件以屏蔽封装构造 300 使的免受电磁干扰。再者,导电膜 350 能够一次大量地形成在封装构造 300 上,因此能够降低生产成本。

[0023] 虽然本发明已以前述较佳实施例揭示,然其并非用以限定本发明,任何熟习此技艺者,在不脱离本发明的精神和范围内,当可作各种的更动与修改。因此本发明的保护范围当视所附的权利要求所界定者为准。

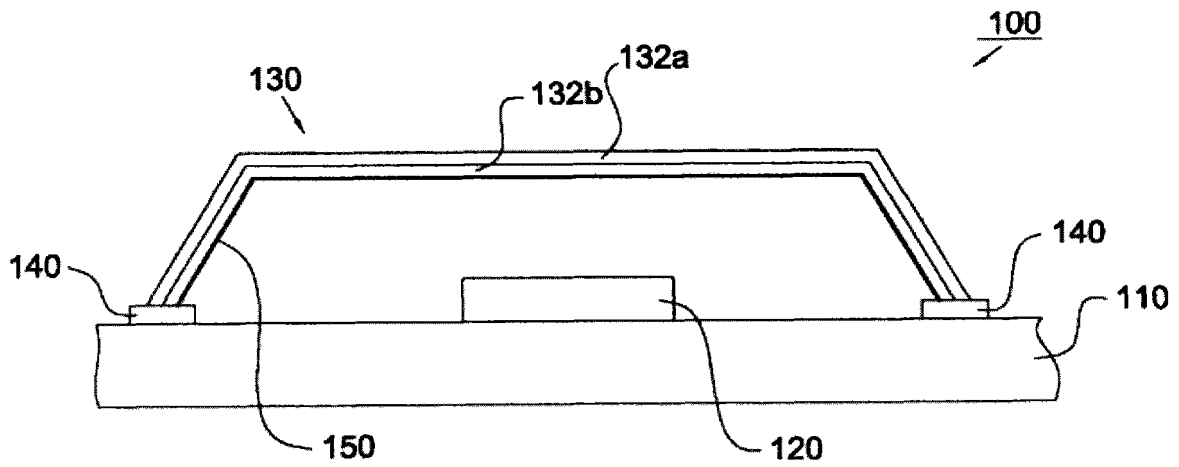


图 1 (现有技术)

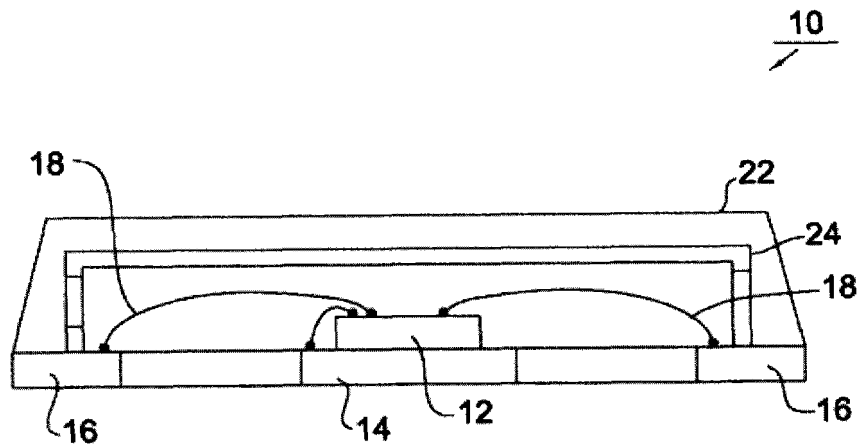


图 2 (现有技术)

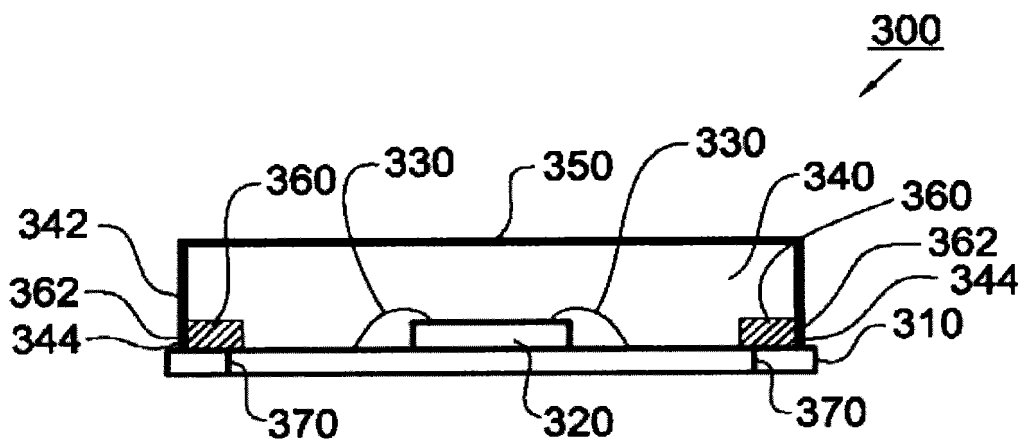


图 3

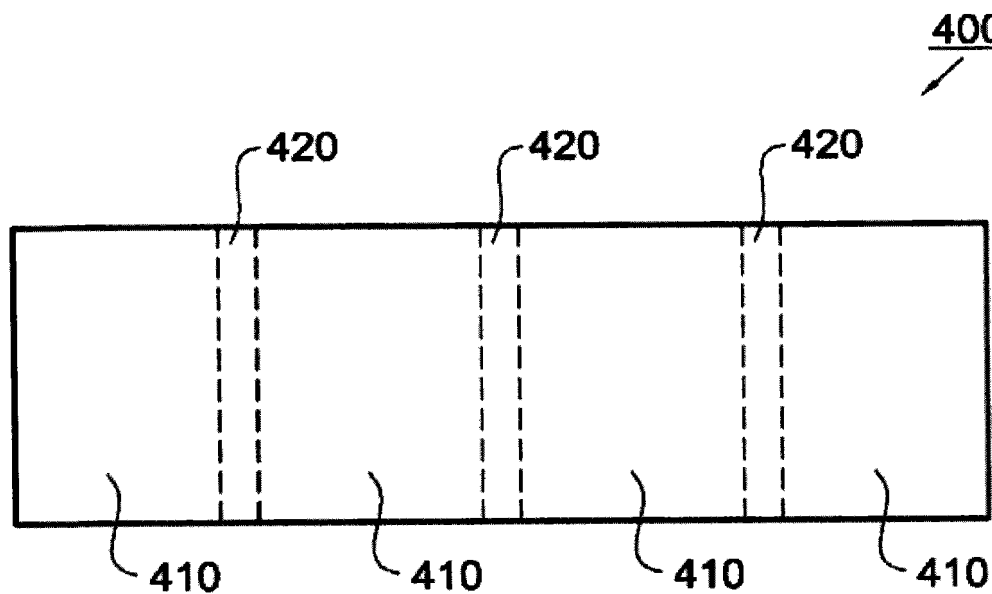


图 4a

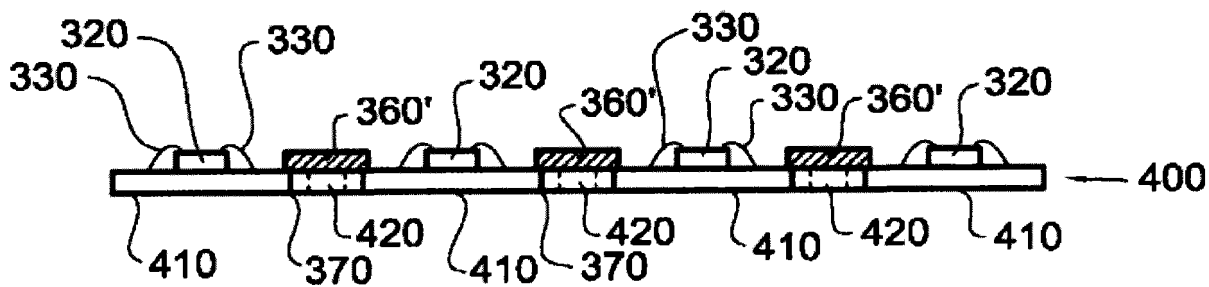


图 4b

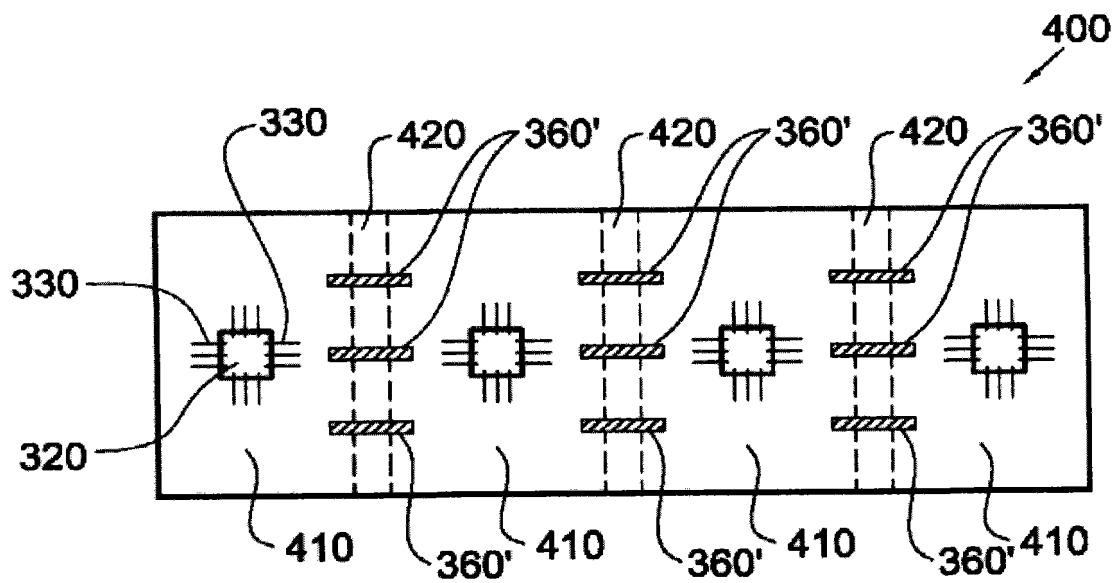


图 4c

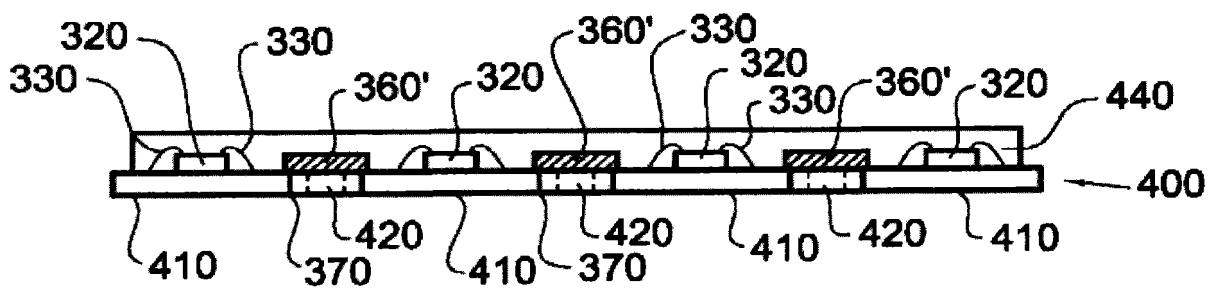


图 4d

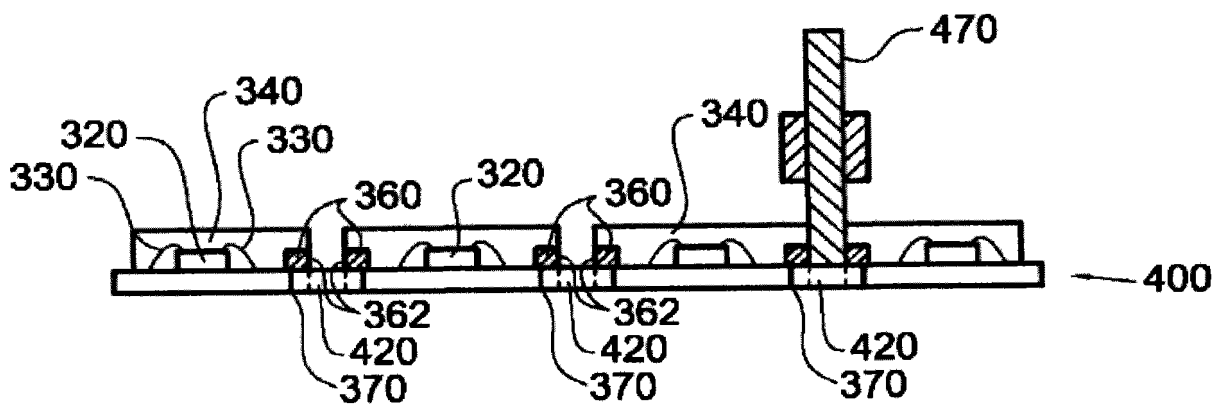


图 4e

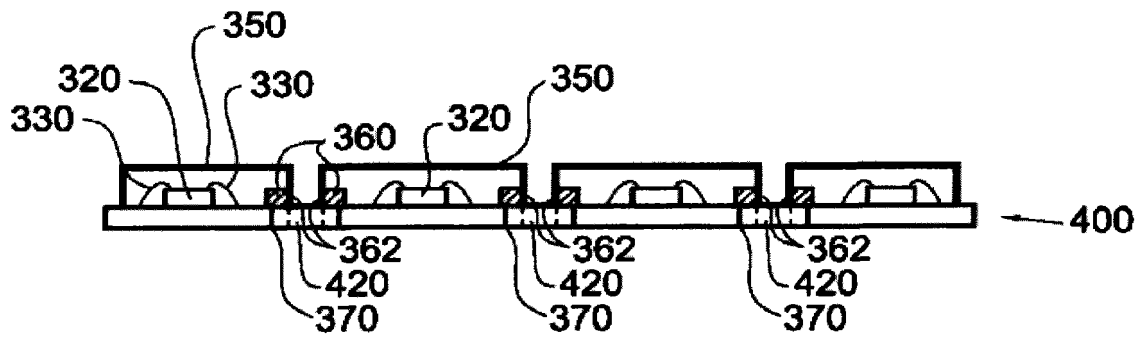


图 4f

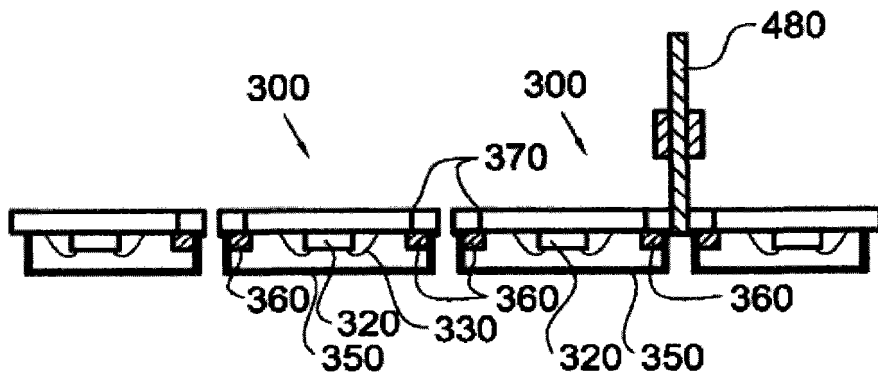


图 4g