

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年8月26日(2010.8.26)

【公開番号】特開2008-53699(P2008-53699A)

【公開日】平成20年3月6日(2008.3.6)

【年通号数】公開・登録公報2008-009

【出願番号】特願2007-192868(P2007-192868)

【国際特許分類】

H 0 1 L 21/768 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 5 B 33/10 (2006.01)

H 0 1 L 51/50 (2006.01)

G 0 2 F 1/13 (2006.01)

G 0 2 F 1/1362 (2006.01)

H 0 1 L 21/302 (2006.01)

G 0 9 F 9/00 (2006.01)

G 0 9 F 9/30 (2006.01)

H 0 1 L 21/28 (2006.01)

【 F I 】

H 0 1 L 21/90 A

H 0 1 L 29/78 6 2 7 C

H 0 5 B 33/10

H 0 5 B 33/14 A

G 0 2 F 1/13 1 0 1

G 0 2 F 1/1362

H 0 1 L 21/302 2 0 1 B

G 0 9 F 9/00 3 3 8

G 0 9 F 9/30 3 3 8

H 0 1 L 21/28 L

【手続補正書】

【提出日】平成22年7月13日(2010.7.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板 1 0 0 上に、逆スタガ型薄膜トランジスタであるトランジスタ 1 3 9 a 及び 1 3 9 b を有する表示装置の作製方法であって、

前記トランジスタ 1 3 9 a は、ゲート電極層 1 0 3、ゲート絶縁層 1 0 5、半導体層 1 0 8、一導電型を有する半導体層 1 1 0 a 及び 1 1 0 b、ソース電極層又はドレイン電極層 1 1 6 及び 1 1 7 を有し、

前記トランジスタ 1 3 9 b は、ゲート電極層 1 0 4、前記ゲート絶縁層 1 0 5、半導体層 1 0 9、一導電型を有する半導体層 1 1 1 a 及び 1 1 1 b、ソース電極層又はドレイン電極層 1 1 8 及び 1 1 9 を有し、

前記基板 1 0 0 上に、前記ゲート電極層 1 0 3 及び 1 0 4 を形成する第 1 の工程を有し、

前記第 1 の工程は、

1) 基板 101 の表側の面上に第 1 の導電膜を形成する工程と、

2) 前記基板 100 と、前記第 1 の導電膜とを対向させる工程と、

3) 前記基板 101 の裏側の面よりレーザ光を照射して前記基板 100 上に前記第 1 の導電膜を転置して前記ゲート電極層 103 及び 104 を形成する工程と、を有し、
前記ゲート電極層 103 及び 104 上に前記ゲート絶縁層 105 を形成する第 2 の工程を
有し、

前記ゲート絶縁層 105 にレーザ光を照射して、前記ゲート絶縁層 105 の一部及び前記
ゲート電極層 104 の一部を蒸発させ、開口 107 を形成する第 3 の工程を有し、

前記ゲート絶縁層 105 上に前記半導体層 108 及び 109 を形成する第 4 の工程を有し
、

前記第 4 の工程は、

1) 基板の表側の面上に半導体膜を形成する工程と、

2) 前記ゲート絶縁層 105 と、前記半導体膜とを対向させる工程と、

3) 前記基板の裏側の面よりレーザ光を照射して前記半導体膜を転置して、前記ゲー
ト電極層 103 上に前記ゲート絶縁層 105 を介して前記半導体層 108 を形成するとと
もに、前記ゲート電極層 104 の露出していない領域上に前記ゲート絶縁層 105 を介し
て前記半導体層 109 を形成する工程と、を有し、

前記半導体層 108 及び 109 上に前記一導電型を有する半導体層 110 a、110 b、
111 a 及び 111 b を形成する第 5 の工程を有し、

前記第 5 の工程は、

1) 基板 114 の表側の面上に一導電型を有する半導体膜を形成する工程と、

2) 前記半導体層 108 及び 109 と、前記一導電型を有する半導体膜とを対向させ
る工程と、

3) 前記基板 114 の裏側の面よりレーザ光を照射して前記一導電型を有する半導体
膜を転置して、前記半導体層 108 上にソース領域又はドレイン領域となる前記一導電型
を有する半導体層 110 a 及び 110 b を形成するとともに、前記半導体層 109 上にソ
ース領域又はドレイン領域となる前記一導電型を有する半導体層 111 a 及び 111 b を
形成する工程と、を有し、

前記半導体層 110 a、110 b、111 a、111 b 上及び前記ゲート電極層 104 上
の前記開口 107 に、前記ソース電極層又はドレイン電極層 116、117、118、1
19 を形成する第 6 の工程を有し、

前記第 6 の工程は、

1) 基板 121 の表側の面上に第 2 の導電膜を形成する工程と、

2) 前記一導電型を有する半導体層 110 a、110 b、111 a、111 b 及び前
記ゲート電極層 104 上の前記開口 107 と、前記第 2 の導電膜とを対向させる工程と、

3) 前記基板 121 の裏側の面よりレーザ光を照射して前記第 2 の導電膜を転置して
、

a) 前記一導電型を有する半導体層 110 a 上に前記ソース電極層又はドレイン電
極層 116 を形成し、

b) 前記一導電型を有する半導体層 110 b 上及び前記ゲート電極層 104 の前記
開口 107 に前記ソース電極層又はドレイン電極層 117 を形成し、

c) 前記一導電型を有する半導体層 111 a 上に前記ソース電極層又はドレイン電
極層 119 を形成し、

d) 前記一導電型を有する半導体層 111 b 上に前記ソース電極層又はドレイン電
極層 118 を形成する工程と、を有し、

前記第 1 の工程乃至前記第 6 の工程により、前記トランジスタ 139 a 及び 139 b が完
成し、

前記トランジスタ 139 a 及び 139 b 上に絶縁層 123 を形成する第 7 の工程を有し、
前記絶縁層 123 にレーザ光を照射して、前記絶縁層 123 の一部及び前記ソース電極層

又はドレイン電極層 1 1 9 の一部を蒸発させ、開口 1 2 5 を形成する第 8 の工程を有し、
前記絶縁層 1 2 3 上及び前記開口 1 2 5 に第 3 の導電膜を形成し、エッチング加工して画
素電極として機能する第 1 の電極層 1 2 6 を形成する第 9 の工程を有し、
前記絶縁層 1 2 3 上及び前記第 1 の電極層 1 2 6 上に絶縁層を形成し、当該絶縁層をエッ
チング加工して、前記第 1 の電極層 1 2 6 上に開口部を有する絶縁層 1 3 1 を形成する第
1 0 の工程を有し、
熱処理を行って前記第 1 の電極層 1 2 6 及び前記絶縁層 1 3 1 に含まれる水分又は表面に
吸着している水分を除去する第 1 1 の工程を有し、
前記第 1 の電極層 1 2 6 上に電界発光層 1 3 2 を形成する第 1 2 の工程を有し、
前記電界発光層 1 3 2 上に第 2 の電極層 1 3 3 を形成する第 1 3 の工程を有することを特
徴とする表示装置の作製方法。

【請求項 2】

第 1 の基板上に、逆スタガ型薄膜トランジスタである第 1 のトランジスタ及び第 2 のトラ
ンジスタを有する表示装置の作製方法であって、
前記第 1 のトランジスタは、第 1 のゲート電極層、ゲート絶縁層、第 1 の半導体層、第 1
の一導電型を有する半導体層、第 2 の一導電型を有する半導体層、第 1 のソース電極層、
及び第 1 のドレイン電極層を有し、
前記第 2 のトランジスタは、第 2 のゲート電極層、前記ゲート絶縁層、第 2 の半導体層、
第 3 の一導電型を有する半導体層、第 4 の一導電型を有する半導体層、第 2 のソース電極
層、及び第 2 のドレイン電極層を有し、
前記第 1 の基板上に、前記第 1 のゲート電極層及び前記第 2 のゲート電極層を形成する第
1 の工程を有し、
前記第 1 の工程は、
1) 第 2 の基板の表側の面上に第 1 の導電膜を形成する工程と、
2) 前記第 1 の基板と、前記第 1 の導電膜とを対向させる工程と、
3) 前記第 2 の基板の裏側の面よりレーザ光を照射して前記第 1 の基板上に前記第 1
の導電膜を転置して前記第 1 のゲート電極層及び前記第 2 のゲート電極層を形成する工程
と、を有し、
前記第 1 のゲート電極層及び前記第 2 のゲート電極層上に前記ゲート絶縁層を形成する第
2 の工程を有し、
前記ゲート絶縁層にレーザ光を照射して、前記ゲート絶縁層の一部及び前記第 2 のゲート
電極層の一部を蒸発させ、第 1 の開口を形成する第 3 の工程を有し、
前記ゲート絶縁層上に前記第 1 の半導体層及び前記第 2 の半導体層を形成する第 4 の工程
を有し、
前記第 4 の工程は、
1) 第 3 の基板の表側の面上に半導体膜を形成する工程と、
2) 前記ゲート絶縁層と、前記半導体膜とを対向させる工程と、
3) 前記第 3 の基板の裏側の面よりレーザ光を照射して前記半導体膜を転置して、前
記第 1 のゲート電極層上に前記ゲート絶縁層を介して前記第 1 の半導体層を形成するとと
もに、前記第 2 のゲート電極層の露出していない領域上に前記ゲート絶縁層を介して前記
第 2 の半導体層を形成する工程と、を有し、
前記第 1 の半導体層及び前記第 2 の半導体層上に前記第 1 の一導電型を有する半導体層、
前記第 2 の一導電型を有する半導体層、前記第 3 の一導電型を有する半導体層及び前記第
4 の一導電型を有する半導体層を形成する第 5 の工程を有し、
前記第 5 の工程は、
1) 第 4 の基板の表側の面上に一導電型を有する半導体膜を形成する工程と、
2) 前記第 1 の半導体層及び前記第 2 の半導体層と、前記一導電型を有する半導体膜
とを対向させる工程と、
3) 前記第 4 の基板の裏側の面よりレーザ光を照射して前記一導電型を有する半導体
膜を転置して、前記第 1 の半導体層上にソース領域又はドレイン領域となる前記第 1 の一

導電型を有する半導体層及び前記第 2 の一導電型を有する半導体層を形成するとともに、前記第 2 の半導体層上にソース領域又はドレイン領域となる前記第 3 の一導電型を有する半導体層及び前記第 4 の一導電型を有する半導体層を形成する工程と、を有し、前記第 1 の一導電型を有する半導体層、前記第 2 の一導電型を有する半導体層、前記第 3 の一導電型を有する半導体層、前記第 4 の一導電型を有する半導体層上及び前記第 2 のゲート電極層上の前記第 1 の開口に、前記第 1 のソース電極層、前記第 1 のドレイン電極層、前記第 2 のソース電極層、及び前記第 2 のドレイン電極層を形成する第 6 の工程を有し

、

前記第 6 の工程は、

1) 第 5 の基板の表側の面上に第 2 の導電膜を形成する工程と、

2) 前記第 1 の一導電型を有する半導体層、前記第 2 の一導電型を有する半導体層、前記第 3 の一導電型を有する半導体層、前記第 4 の一導電型を有する半導体層及び前記第 2 のゲート電極層上の前記第 1 の開口と、前記第 2 の導電膜とを対向させる工程と、

3) 前記第 5 の基板の裏側の面よりレーザ光を照射して前記第 2 の導電膜を転置して

、

a) 前記第 1 の一導電型を有する半導体層上に前記第 1 のソース電極層及び前記第 1 のドレイン電極層の一方を形成し、

b) 前記第 2 の一導電型を有する半導体層上及び前記第 2 のゲート電極層の前記第 1 の開口に前記第 1 のソース電極層及び前記第 1 のドレイン電極層の他方を形成し、

c) 前記第 3 の一導電型を有する半導体層上に前記第 2 のソース電極層及び前記第 2 のドレイン電極層の一方を形成し、

d) 前記第 4 の一導電型を有する半導体層上に前記第 2 のソース電極層及び前記第 2 のドレイン電極層の他方を形成する工程と、を有し、

前記第 1 の工程乃至前記第 6 の工程により、前記第 1 のトランジスタ及び前記第 2 のトランジスタが完成し、

前記第 1 のトランジスタ及び前記第 2 のトランジスタ上に第 1 の絶縁層を形成する第 7 の工程を有し、

前記第 1 の絶縁層にレーザ光を照射して、前記第 1 の絶縁層の一部及び前記第 2 のソース電極層及び前記第 2 のドレイン電極層の一方の一部を蒸発させ、第 2 の開口を形成する第 8 の工程を有し、

前記第 1 の絶縁層上及び前記第 2 の開口に導電膜を形成し、エッチング加工して画素電極として機能する第 1 の電極層を形成する第 9 の工程を有し、

前記第 1 の絶縁層上及び前記第 1 の電極層上に第 2 の絶縁層を形成し、当該第 2 の絶縁層をエッチング加工して、前記第 1 の電極層上に開口部を有する第 3 の絶縁層を形成する第 10 の工程を有し、

熱処理を行って前記第 1 の電極層及び前記第 3 の絶縁層に含まれる水分又は表面に吸着している水分を除去する第 11 の工程を有し、

前記第 1 の電極層上に電界発光層を形成する第 12 の工程を有し、

前記電界発光層上に第 2 の電極層を形成する第 13 の工程を有することを特徴とする表示装置の作製方法。