

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-3266
(P2012-3266A)

(43) 公開日 平成24年1月5日(2012.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C094
H01L 29/786 (2006.01)	H01L 29/78 612A	5F110
G09F 9/30 (2006.01)	H01L 29/78 623A	5G435
G09F 9/00 (2006.01)	G09F 9/30 310	

審査請求 未請求 請求項の数 13 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願2011-136190 (P2011-136190)
 (22) 出願日 平成23年6月20日 (2011. 6. 20)
 (31) 優先権主張番号 201010211521.3
 (32) 優先日 平成22年6月21日 (2010. 6. 21)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301
 北京京東方光電科技有限公司
 中華人民共和国北京經濟技術開發區西環中
 路8號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 劉 華峰
 中華人民共和国100176北京經濟技術
 開發區西環中路8號

最終頁に続く

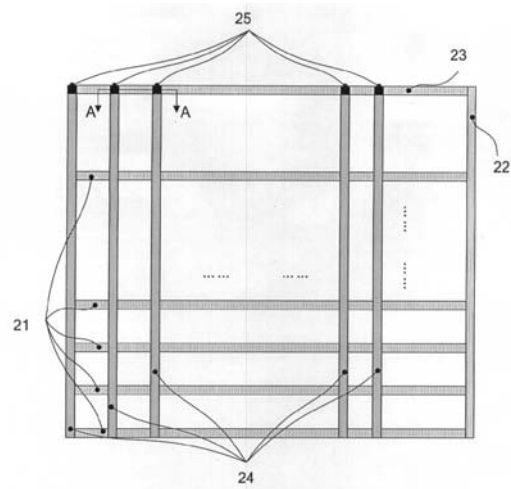
(54) 【発明の名称】 マザーボード及びアレイ基板の製造方法

(57) 【要約】

【課題】 マザーボード及びアレイ基板の製造方法に関する。

【解決手段】 マザーボード及びその製造方法であって、該マザーボードは、少なくとも一つの表示領域及び上記表示領域の周辺のプレカッティング領域を有する基板を備え、上記表示領域はゲートスキャンライン及びデータスキャンラインを有し、上記プレカッティング領域は電氣的に接続されているゲートライン連通線とデータ連通線を有し、上記ゲートライン連通線は上記表示領域におけるゲートスキャンラインごとと電氣的に接続し、上記データ連通線は上記表示領域におけるデータスキャンラインごとと電氣的に接続する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

少なくとも一つの表示領域及び上記表示領域の周辺のプレカッティング領域を有する基板を備え、

上記表示領域はゲートスキャンライン及びデータスキャンラインを有し、上記プレカッティング領域は電氣的に接続されているゲートライン連通線とデータ連通線を有し、

上記ゲートライン連通線は上記表示領域におけるゲートスキャンラインごとと電氣的に接続され、上記データ連通線は上記表示領域におけるデータスキャンラインごとと電氣的に接続されていることを特徴とするマザーボード。

【請求項 2】

上記ゲートライン連通線及び上記データ連通線はゲートスキャンラインと同一層に形成し、上記ゲートライン連通線と上記データ連通線とは直接電氣的に接続され、上記ゲートライン連通線と上記表示領域におけるゲートスキャンラインとは直接電氣的に接続され、

上記データ連通線はビアホールを介して上記表示領域におけるデータスキャンラインと電氣的に接続されていることを特徴とする請求項 1 に記載のマザーボード。

【請求項 3】

上記ゲートライン連通線及び上記データ連通線はデータスキャンラインと同一層に位置し、上記ゲートライン連通線と上記データ連通線とは直接電氣的に接続され、上記データ連通線と上記表示領域におけるデータスキャンラインとは直接電氣的に接続され、

上記ゲートライン連通線はビアホールを介して上記表示領域におけるゲートスキャンラインと電氣的に接続されていることを特徴とする請求項 1 に記載のマザーボード。

【請求項 4】

上記ゲートライン連通線及び上記ゲートスキャンラインは同一層に位置するとともに、上記表示領域におけるゲートスキャンラインと直接電氣的に接続され、上記データ連通線及び上記データスキャンラインは同一層に位置するとともに、上記表示領域におけるデータスキャンラインと直接電氣的に接続され、

上記ゲートライン連通線と上記データ連通線はビアホールを介して電氣的に接続されていることを特徴とする請求項 1 に記載のマザーボード。

【請求項 5】

上記ゲートライン連通線はゲートスキャンライン P A D 領域が対向する側のプレカッティング領域に位置し、上記データ連通線はデータスキャンライン P A D 領域が対向する側のプレカッティング領域に位置することを特徴とする請求項 1 に記載のマザーボード。

【請求項 6】

上記マザーボードに対してテストする前に、ゲートスキャンラインとゲートライン連通線との電氣的接続が切断され、データスキャンラインとデータ連通線との電氣的接続が切断されていることを特徴とする請求項 1 に記載のマザーボード。

【請求項 7】

上記データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置に位置され、或は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置からデータスキャンラインへ予定距離を偏移した位置に位置され、

上記ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置に位置され、或は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置からゲートスキャンラインへ予定距離を偏移した位置に位置されていることを特徴とする請求項 6 に記載のマザーボード。

【請求項 8】

アレイ基板のマザーボードの製造方法であって、上記マザーボードは少なくとも一つの表示領域を有し、上記表示領域の周辺にプレカッティング領域が設けられ、

上記製造方法は、

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティ

10

20

30

40

50

ング領域に電氣的に接続されているゲートライン連通線とデータ連通線を形成する工程を備え、

上記ゲートライン連通線は上記表示領域におけるゲートスキャンラインごとと電氣的に接続し、上記データ連通線は上記表示領域におけるデータスキャンラインごとと電氣的に接続していることを特徴とするアレイ基板のマザーボードの製造方法。

【請求項 9】

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティング領域に電氣的に接続されているゲートライン連通線とデータ連通線を形成する工程は、

- (1) 少なくとも一つの表示領域を有する基板にゲート金属層を堆積する工程と、
- (2) 上記ゲート金属層に対してパターニングを行って、ゲートスキャンラインと、ゲートスキャンラインに接続するゲート電極と、各表示領域の隣り合う両側に位置するゲートライン連通線及びデータ連通線とを形成し、上記データ連通線の、後で形成されるデータスキャンラインとの交差部にフォトレジストを予め残し、上記ゲートライン連通線をデータ連通線及びゲートスキャンラインとそれぞれ直接電氣的に接続させる工程と、
- (3) 上記基板にゲート絶縁薄膜と、活性薄膜とを順次堆積する工程と、
- (4) 上記活性薄膜をに対してパターニングを行って、ゲート電極に重なる活性薄膜パターンを形成するとともに、予め残された上記フォトレジストを剥離して、予め残されたフォトレジストに対応する位置にあるゲート絶縁薄膜及び活性薄膜を除去する工程と、
- (5) 活性薄膜パターンを有する基板に、ゲートスキャンラインと交差するデータスキャンラインと、薄膜トランジスタのソース電極及びドレイン電極とを形成し、上記データスキャンラインを予め残された上記フォトレジストの位置まで延ばせて、上記データ連通線と電氣的に接続させる工程と、

を備えることを特徴とする請求項 8 に記載のアレイ基板のマザーボードの製造方法。

【請求項 10】

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティング領域に電氣的に接続されているゲートライン連通線とデータ連通線を形成する工程は、

- (1) 少なくとも一つの表示領域を有する基板にゲート金属層を堆積する工程と、
- (2) 上記ゲート金属層に対してパターニングを行って、ゲートスキャンラインと、ゲートスキャンラインに接続するゲート電極とを形成し、上記ゲートスキャンラインの、後で形成されるゲートライン連通線との交差部にフォトレジストを予め残す工程と、
- (3) 上記基板にゲート絶縁薄膜と、活性薄膜とを順次堆積する工程と、
- (4) 上記活性薄膜をに対してパターニングを行って、ゲート電極に重なる活性薄膜パターンを形成するとともに、予め残された上記フォトレジストを剥離して、予め残されたフォトレジストに対応する位置にあるゲート絶縁薄膜及び活性薄膜を除去する工程と、
- (5) 活性薄膜パターンを有する基板に、ゲートスキャンラインと交差するデータスキャンラインと、薄膜トランジスタのソース電極及びドレイン電極と、各表示領域の隣り合う両側に位置するゲートライン連通線及びデータ連通線とを形成し、上記ゲートライン連通線を予め残されたフォトレジストの位置でゲートスキャンラインと電氣的に接続させ、上記データ連通線をゲートライン連通線及びデータスキャンラインとそれぞれ直接電氣的に接続させる工程と、

を備えることを特徴とする請求項 8 に記載のアレイ基板のマザーボードの製造方法。

【請求項 11】

上記表示領域にゲートスキャンライン及びデータスキャンを形成し、上記プレカッティング領域に電氣的に接続されているゲートライン連通線とデータ連通線を形成する工程は、

- (1) 少なくとも一つの表示領域を有する基板にゲート金属層を堆積する工程と、
- (2) 上記ゲート金属層に対してパターニングを行って、ゲートスキャンラインと、ゲートスキャンラインに接続するゲート電極と、各表示領域の一方の側に位置するゲートラ

イン連通線とを形成し、上記ゲートライン連通線の、後で形成されるデータ連通線との交差部にフォトレジストを予め残し、上記ゲートライン連通線をゲートスキャンラインと直接電氣的に接続させる工程と、

(3) ゲートパターンを有する上記基板にゲート絶縁薄膜と、活性薄膜とを順次堆積する工程と、

(4) 上記活性薄膜をに対してパターンングを行って、ゲート電極に重なる活性薄膜パターンを形成するとともに、予め残された上記フォトレジストを剥離して、予め残されたフォトレジストに対応する位置にあるゲート絶縁薄膜及び活性薄膜を除去する工程と、

(5) 活性薄膜パターンを有する基板に、ゲートスキャンラインと交差するデータスキャンラインと、薄膜トランジスタのソース電極及びドレイン電極と、各表示領域における上記ゲートライン連通線と隣接する側に位置するデータ連通線とを形成し、上記データスキャンラインを予め残された上記フォトレジストの位置まで延ばせて、上記ゲートライン連通線と電氣的に接続させ、上記データ連通線をデータスキャンラインと直接電氣的に接続させる工程と、

を備えることを特徴とする請求項 8 に記載のアレイ基板のマザーボードの製造方法。

【請求項 1 2】

パッシベーション層を堆積し、上記ゲートスキャンラインの、ゲートライン連通線と電氣的に接続する一端に、パターンングによりピアホールを形成して、上記ゲートスキャンラインを露出させ、上記データスキャンラインの、データ連通線と電氣的に接続する一端に、パターンングによりピアホールを形成して、上記データスキャンラインを露出させる工程と、

上記ピアホールから露出されたデータスキャンライン及びゲートスキャンラインをエッチングにより除去して切断領域を形成する工程と、

をさらに備えることを特徴とする請求項 8 に記載のアレイ基板のマザーボードの製造方法。

【請求項 1 3】

上記データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置に位置され、或は、上記データスキャンラインとデータ連通線とが電氣的に接続されている位置からデータスキャンラインへ所定距離を偏移した位置に位置され、

上記ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置に位置され、或は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続されている位置からゲートスキャンラインへ所定距離を偏移した位置に位置されることを特徴とする請求項 1 2 に記載のアレイ基板のマザーボードの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マザーボード及びアレイ基板の製造方法に関する。

【背景技術】

【0002】

従来、液晶ディスプレイ(LCD)のTFTアレイ基板の製造に採用される工程において、まず、ゲート金属層を堆積するとともにエッチングによりゲートパターンを形成し、次に、ゲートパターンを有する基板の表面にゲート絶縁層を堆積して、活性層と、ソース・ドレイン金属層とを順次形成する。このようなTFTアレイ基板の製造工程は堆積、エッチングなどを含む。通常、堆積装置とエッチング装置は比較的高い作動電圧が必要となるため、TFTアレイ基板の製造工程において、このような比較的高い作動電圧によって、その中の金属層に比較的多い電荷がこもられる。また、TFTアレイ基板の製造工程において、複数回の搬送が必要となり、この搬送によってTFTアレイ基板におけるガラス基板に摩擦により電荷が生じられ、ガラス基板に生じられた電荷のすべてはガラス基板

10

20

30

40

50

と直接に接触するゲート金属層にこもられてしまう。

【0003】

従来のTFTアレ基板の製造工程において、少なくとも以下の問題が存在する。即ち、TFTアレ基板の製造工程において、比較的多い電荷が金属層にこもられてしまい、従来技術によって製造されたTFTアレ基板上のゲート金属層とソース・ドレイン金属層との間はゲート絶縁層により完全に隔離され、両方の金属層間に電荷のこもりによって電位差が非常に発生しやすくなり、従って、TFTアレ基板の製造工程において静電破壊現象(electrostatic breakdown)が容易に発生され、製品の合格率及び歩留まりが低減される。

【発明の概要】

【課題を解決するための手段】

【0004】

本発明に係る一実施形態は、少なくとも一つの表示領域及び上記表示領域の周辺のプレカッティング領域を有するマザーボードを提供し、上記表示領域はゲートスキャンライン及びデータスキャンラインを有し、上記プレカッティング領域は電氣的に接続されているゲート連通線とデータ連通線を有し、上記ゲートライン連通線は上記表示領域におけるゲートスキャンラインごとと電氣的に接続し、上記データ連通線は上記表示領域におけるデータスキャンラインごとと電氣的に接続する。

【0005】

本発明に係る他の一つの実施形態はアレ基板のマザーボードの製造方法を提供し、上記マザーボードは少なくとも一つの表示領域を有し、上記表示領域の周辺にプレカッティング領域が設けられ、上記製造方法は、上記表示領域にゲートスキャンライン及びデータスキャンラインを形成し、上記プレカッティング領域に電氣的に接続されているゲートライン連通線とデータ連通線を形成する工程を備え、上記ゲートライン連通線は上記表示領域におけるゲートスキャンラインごとと電氣的に接続し、上記データ連通線は上記表示領域におけるデータスキャンラインごとと電氣的に接続している。

【0006】

本発明の実施形態又は従来技術に係る技術案に対して、さらに明確的に説明するために、本発明の実施形態又は従来技術の記載に用いられる図面を以下のように簡単に説明し、以下に記載された図面は本発明の一部の実施形態にすぎなく、当業者が創造的労働をしながらもこれらの図面によって他の図面を得ることができることはもちろんのことである。

【図面の簡単な説明】

【0007】

【図1】本発明の第1の実施形態に係るマザーボードの概略図である。

【図2】本発明の第1の実施形態に係るマザーボードにおける一つの表示領域の概略図である。

【図3】本発明の第1の実施形態に係る活性薄膜を堆積した後のA-A矢視断面図である。

【図4】本発明の第1の実施形態に係るソース・ドレイン金属層を堆積した後のA-A矢視断面図である。

【図5a】図5a～図5gは本発明の第1の実施形態に係るTFTアレ基板の製造方法における第1～第7工程を示す図である。

【図5b】図5a～図5gは本発明の第1の実施形態に係るTFTアレ基板の製造方法における第1～第7工程を示す図である。

【図5c】図5a～図5gは本発明の第1の実施形態に係るTFTアレ基板の製造方法における第1～第7工程を示す図である。

【図5d】図5a～図5gは本発明の第1の実施形態に係るTFTアレ基板の製造方法における第1～第7工程を示す図である。

【図5e】図5a～図5gは本発明の第1の実施形態に係るTFTアレ基板の製造方法における第1～第7工程を示す図である。

10

20

30

40

50

【図 5 f】図 5 a ~ 図 5 g は本発明の第 1 の実施形態に係る T F T アレイ基板の製造方法における第 1 ~ 第 7 工程を示す図である。

【図 5 g】図 5 a ~ 図 5 g は本発明の第 1 の実施形態に係る T F T アレイ基板の製造方法における第 1 ~ 第 7 工程を示す図である。

【図 6】本発明の第 2 の実施形態に係るマザーボードにおける一つの表示領域の概略図である。

【図 7】本発明の第 2 の実施形態に係る活性薄膜を堆積した後の B - B 矢視断面図である。

【図 8】本発明の第 2 の実施形態に係るソース・ドレイン金属層を堆積した後の B - B 矢視断面図である。

【図 9 a】図 9 a ~ 図 9 g は本発明の第 2 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 9 b】図 9 a ~ 図 9 g は本発明の第 2 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 9 c】図 9 a ~ 図 9 g は本発明の第 2 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 9 d】図 9 a ~ 図 9 g は本発明の第 2 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 9 e】図 9 a ~ 図 9 g は本発明の第 2 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 9 f】図 9 a ~ 図 9 g は本発明の第 2 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 9 g】図 9 a ~ 図 9 g は本発明の第 2 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 10】本発明の第 3 の実施形態に係るマザーボードにおける一つの表示領域の概略図である。

【図 11】本発明の第 3 の実施形態に係る活性薄膜を堆積した後の C - C 矢視断面図である。

【図 12】本発明の第 3 の実施形態に係るソース・ドレイン金属層を堆積した後の C - C 矢視断面図である。

【図 13 a】図 13 a ~ 図 13 g は本発明の第 3 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 13 b】図 13 a ~ 図 13 g は本発明の第 3 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 13 c】図 13 a ~ 図 13 g は本発明の第 3 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 13 d】図 13 a ~ 図 13 g は本発明の第 3 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 13 e】図 13 a ~ 図 13 g は本発明の第 3 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 13 f】図 13 a ~ 図 13 g は本発明の第 3 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【図 13 g】図 13 a ~ 図 13 g は本発明の第 3 の実施形態に係る T F T アレイ基板の製造方法の第 1 ~ 第 7 工程を示す図である。

【発明を実施するための形態】

【0008】

以下、図面を参照しながら本発明に係る実施形態に関する技術案に対して明確かつ完全に説明する。なお、以下に記載した実施形態は、本発明に係る実施形態の一部にすぎなく、本発明の全ての実施形態ではないことはもちろんのことである。本発明における実施形態に基づき、当業者が創造的労働をしなくても得られるすべての他の実施形態のいずれも

10

20

30

40

50

本発明の保護の範囲に陥る。

【0009】

本発明の実施形態はマザーボード及びアレイ基板の製造方法を提供する。本発明の実施形態におけるマザーボードは、少なくとも一つの表示領域を有する基板を備えるとともに、カッティング工程で基板を少なくとも一つの表示パネルに切り分けるように、上記表示領域の周辺にプレカッティング領域が設けられている。アレイ基板の製造工程において発生する静電破壊現象を低減するために、本発明の実施形態に係るマザーボードの各表示領域の隣り合う両側のプレカッティング領域に、電氣的に接続されているゲートライン連通線とデータ連通線がそれぞれ設けられている。上記ゲートライン連通線は対応する表示領域におけるゲートスキャンラインごとと電氣的に接続し、上記データ連通線は対応する表示領域におけるデータスキャンラインごとと電氣的に接続している。

10

【0010】

本発明の実施形態によれば、ゲート金属層又はソース・ドレイン金属層に電荷がこもられると、上述した電氣的な接続関係で、こもられた電荷は全てのゲートスキャンライン及びデータスキャンラインに分布されて静電的バランスが取られることができる。静電的バランスが取られた状態で、接続される二つの導体間の電位が同じとなるため、二つの金属層との間に電位差が存在しなくなる。従って、本発明の実施形態によって提供されたマザーボード及びアレイ基板の製造方法を採用する場合、二つの金属層との間に電位差が存在しないため、アレイ基板の製造工程において発生する静電破壊現象が効果的に低減され、製品の合格率及び歩留まりが向上される。

20

【0011】

(第1の実施形態)

本発明の実施形態はマザーボード100を提供する。図1に示すように、本実施形態におけるマザーボード100は、少なくとも一つの表示領域2を有する基板1を備え、上記表示領域2の周辺にプレカッティング領域3が設けられている。基板1においてTFTアレイの製作工程が終わった後、上記プレカッティング領域3に沿って各表示領域2を切り分ける。その後、各表示領域2は最後に一つの完備のTFTアレイ基板として形成され、カラーフィルタと一緒に液晶表示装置の液晶パネルの形成に用いられる。本発明の実施形態では、TFTアレイ基板の製造工程において発生する静電破壊現象を低減させるために、マザーボードにおける各表示領域2の隣り合う両側のプレカッティング領域3に、電氣的に接続されているゲートライン連通線とデータ連通線がそれぞれ設けられ、ゲートライン連通線は対応する表示領域におけるゲートスキャンラインごとと電氣的に接続し、データ連通線は対応する表示領域におけるデータスキャンラインごとと電氣的に接続している。

30

【0012】

以下、一つの表示領域を例として詳しく説明する。図2は一つの表示領域の概略図であり、ゲート金属層及びソース・ドレイン金属層の構造のみ示している。

【0013】

図2と図3に示すように、本発明の実施形態では、ゲートスキャンライン21の同一層にゲートライン連通線22及びデータ連通線23を形成し、ゲートライン連通線22及びデータ連通線23は、同一のマスクプロセス(パターニングプロセス)によりゲートスキャンライン21と同時に形成されてもよい。従来のゲートスキャンラインを形成するプロセスに対して、マスクにおけるパターンのみを変更すればよい。複数のゲートスキャンライン21は表示領域において互に平行するとともに延び、ゲートライン連通線22及びデータ連通線23は表示領域の周辺に位置される。ゲートライン連通線22、データ連通線23及びゲートスキャンライン21が同一層に位置するため、本実施形態におけるゲートライン連通線22とデータ連通線23とが直接電氣的に接続されることができ、上記ゲートライン連通線22は対応する表示領域におけるゲートスキャンライン21とも直接電氣的に接続されることができ、これに対して、パターンを形成するためのマスクに、ゲートライン連通線22、データ連通線23及びゲートスキャンライン21に対応する領域を

40

50

連通させるだけで、直接的な電氣的接続が実現できる。

【0014】

上層に位置するデータスキャンライン24はビアホールを介してデータ連通線23に電氣的に接続することができる。データ連通線23はゲート金属層に位置されるため、本発明の実施形態では、後で形成されるデータスキャンライン24を上記データ連通線23と接続させるために、図3に示すように、ガラス基板34にゲート金属層を形成する工程において、データ連通線23のデータスキャンライン24との交差部25にフォトレジスト31を予め残す。その後、フォトレジスト31を予め残した基板にゲート絶縁薄膜32を直接堆積し、そして、予め残されたフォトレジスト31、それに対応する位置の予め残されたフォトレジスト31の上のゲート絶縁薄膜32及び活性薄膜33をエッチングする

10

【0015】

図4に示すように、上記剥離技術により、ゲート絶縁薄膜上の予め残されたフォトレジスト31に対応する位置にビアホール41を形成し、そして、剥離により形成された上記ビアホール41を有する基板にソース・ドレイン金属層42を堆積するとともに、ソース・ドレイン金属層42においてエッチングにより薄膜トランジスタのソース・ドレインパターン(図示せず)及びデータスキャンライン24を形成する。また、本発明の実施形態では、データ連通線23をデータスキャンライン24と電氣的に接続させるために、データスキャンライン24を上記予め残されたフォトレジスト31の位置まで延びる。予

20

【0016】

剥離技術によるビアホールの形成に対して、従来技術に基づき直接に改善することができ、マスクプロセス(MASKプロセス)を追加することはない。これによって、TFTアレイ基板の製造工程において、マスクの回数を比較的に低減し、生産率を向上するとともに、既存の生産プロセスを通用することができる。

【0017】

なお、本発明の実施形態は以下の技術案によってデータスキャンラインとデータ連通線との電氣的な接続を実現することができるが、これに限ることではない。即ち、ゲート絶縁薄膜の、データ連通線とデータスキャンラインとが交差する位置に対応して、エッチングプロセスによりビアホールを形成し、これによって、上記データ連通線はエッチングによって形成されたビアホールを介して対応する表示領域におけるデータスキャンラインと電氣的に接続することができる。

30

【0018】

上記ビアホールをどのような方式で形成しても、データ連通線とデータスキャンラインとが電氣的に接続され、同時に、ゲートライン連通線はデータ連通線及びゲートスキャンラインとそれぞれ直接電氣的に接続される。ゲート金属層又はソース・ドレイン金属層に電荷がこもられた場合、上記電氣的接続の関係で、こもられた電荷は全てのゲートスキャンライン及びデータスキャンラインに分布されて静電的バランスが取られる。静電的バランスが取られた状態で、接続される二つの導体間の電位が同じとなるため、二つの金属層との間に電位差がなくなる。従って、本発明の実施形態によって提供されたマザーボード及びTFTアレイ基板の製造方法によれば、二つの金属層との間に電位差が存在しないため、TFTアレイ基板の製造工程において発生する静電破壊現象が効果的に低減され、製品の合格率及び歩留まりが向上される。

40

【0019】

本発明の実施形態によって提供されたマザーボードにおいて、表示領域がPAD領域を介して外部の駆動回路と接続されるように、表示領域ごとにPAD領域(ゲートスキャンラインPAD領域とデータスキャンラインPAD領域を含む)が設けられている。本発明

50

の実施形態では、従来のPAD領域の形成に影響しなくするため、上記ゲートライン連通線をゲートスキャンラインPAD領域が対向する側のプレカッティング領域に形成させ、上記データ連通線をデータスキャンラインPAD領域が対向する側のプレカッティング領域に形成させる。

【0020】

マザーボードの電氣的接続性能を検出できるように、マザーボードをカットする前に、マザーボードに対してテストする必要がある。本発明の実施形態では、テストの過程に影響しなくするために、上記マザーボードに対してテストする前に、ゲートスキャンラインのゲートライン連通線と電氣的に接続する一端に、エッチングにより切断領域を形成し、上記ゲートライン連通線とゲートスキャンラインとの電氣的な接続を切断し、データスキャンラインのデータ連通線と電氣的に接続する一端に、エッチングにより切断領域を形成し、上記データ連通線とデータスキャンラインとの電氣的な接続を切断する。エッチングにより上記切断領域を形成することで、データスキャンラインとゲートスキャンラインとを互に独立させて、信号の干渉がなくなり、後の工程においてマザーボードに対するテストが便利になる。

10

【0021】

上記データスキャンラインにおける切断領域として、以下の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置に位置する。他の一つは、上記データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置からデータスキャンラインへ所定距離を偏移した位置に位置する。

20

【0022】

上記ゲートスキャンラインにおける切断領域として、以下の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置に位置する。他の一つは、ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置からゲートスキャンラインへ所定距離を偏移した位置に位置する。

30

【0023】

本発明の実施形態はTFTアレイ基板の製造方法をさらに提供する。図5a～図5gに示すように、上記製造方法は以下の工程を有する。

【0024】

(1) 図5aに示すように、本発明の実施形態におけるTFT基板を形成するためのマザーボードは、少なくとも一つの表示領域を有し、上記ガラス基板34にゲート金属層35を堆積している。

【0025】

(2) 上記ゲート金属層35に対してパターンニングを行い、上記ゲート金属層35よりゲートパターンを形成する。図5bに示すように、当該ゲートパターンは、ゲートスキャンライン21と、ゲートスキャンラインと接続するゲート電極(図示せず)と、各表示領域の隣り合う両側に位置するゲートライン連通線22と、データ連通線23とを備え、上記ゲートライン連通線22はデータ連通線23及びゲートスキャンライン21とそれぞれ直接電氣的に接続する。

40

【0026】

本発明の実施形態では、データ連通線23と後で形成されるデータスキャンラインとの電氣的な接続を便利にさせるために、当該工程において、上記データ連通線の、後で形成されるデータスキャンラインとの交差部25にフォトレジストを予め残す。具体的の予め残されたフォトレジスト31について図5cに示す。

【0027】

なお、本出願に言及されているパターンニング工程は、通常、フォトレジストの塗布と、

50

フォトレジストの露光・現像と、エッチングと、フォトレジストの除去などの工程とを備え、フォトレジストの除去工程は剥離 (l i f t i n g - o f f) 又はアッシング (a s h i n g) などをさらに備える。フォトレジストとして、ポジティブ・フォトレジストを例に説明する。

【 0 0 2 8 】

実際に運用する場合、以下のようにフォトレジストを予め残すことができるが、これに限ることではない。即ち、ハーフトーンマスク又はグレートンマスクにより、ゲート金属層に塗布されたフォトレジストから、フォトレジストの完全保留領域と、フォトレジストの一部保留領域と、フォトレジストの完全除去領域とを形成する。その中で、完全保留領域は予め残されたフォトレジストの位置に対応し、一部保留領域はゲートパターンの他の位置に対応し、完全除去領域は他のエッチングする必要があるゲート金属層の位置に対応する。露光・現像した後、完全除去領域に露出されたゲート金属に対してエッチングした後、一部保留領域のフォトレジストをアッシングにより除去する。一部保留領域のフォトレジストを除去するとともに、完全保留領域のフォトレジストも少々薄くなるが、若干のフォトレジストがやはり保留される。さらによく剥離されるために、予め残されたフォトレジストの面積を拡大し、或いは、アッシングした後、予め残されたフォトレジストのトップの側面を剥離しやすい形状、例えば逆台形に処理する。

10

【 0 0 2 9 】

(3) 図 5 d に示すように、ゲートパターンを有する上記基板に、ゲート絶縁薄膜 3 2 と、活性薄膜 3 3 とを順次堆積する。

20

【 0 0 3 0 】

(4) 上記活性薄膜に対してパターンニングを行い、上記活性薄膜 3 3 よりゲート電極に重なる活性薄膜パターンに形成する。上記予め残されたフォトレジストを剥離し、予め残されたフォトレジスト 3 1 と、それに対応する位置のゲート絶縁薄膜 3 2 と、活性薄膜 3 3 とを除去することで、ビアホール 4 4 を形成し、データ連通線 2 3 を予め残されたフォトレジストの位置で露出させる。図 5 e は、剥離された後の基板の予め残されたフォトレジストにおける断面図である。

【 0 0 3 1 】

(5) 活性薄膜パターンを有する基板にソース・ドレイン金属層を堆積するとともにパターンニングを行って、上記ソース・ドレイン金属層によりソース・ドレインパターン形成させる。図 2 と図 5 f に示すように、当該ソース・ドレインパターンは、ゲートスキャンライン 2 1 と交差するデータスキャンライン 2 4 と、薄膜トランジスタのソース電極及びドレイン電極とを有する。上記データスキャンライン 2 4 は上記予め残されたフォトレジスト 2 5 の位置まで延び、データ連通線 2 3 は予め残されたフォトレジストの位置で露出されるため、上記データスキャンライン 2 4 は上記データ連通線 2 3 と電氣的に接続することができる。

30

【 0 0 3 2 】

上述した方法によって製造された T F T アレイ基板を採用すれば、その製造工程において、データ連通ラインとデータスキャンラインとがビアホールを介して電氣的に接続され、ゲートライン連通線はデータ連通線及びゲートスキャンラインとそれぞれ直接電氣的に接続される。二つの金属層との間に電位差が存在しないため、T F T アレイ基板の製造工程において発生する静電破壊現象が効果的に低減され、製品の合格率及び歩留まりが向上される。

40

【 0 0 3 3 】

マザーボードの電氣的接続性能を検出できるように、マザーボードをカットする前に、マザーボードに対してテストする必要があるため、本発明の実施形態では、テストの過程に影響しなくするために、上記マザーボードに対してテストする前に、以下の工程をさらに有する。

【 0 0 3 4 】

(6) パッシベーション層を堆積してからパターンニングし、上記ゲートスキャンライン

50

のゲートライン連通線と電氣的に接続する一端に、エッチングによりビアホールを形成して、上記ゲートスキャンラインを露出させ、上記データスキャンラインのデータ連通線と電氣的に接続する一端に、エッチングによりビアホールを形成して、上記データスキャンラインを露出させる。

【0035】

(7) 上記ビアホールから露出されたデータスキャンライン及びゲートスキャンラインをエッチングにより除去されることで、切断領域28、29を形成する。具体的に形成された切断領域28、29を図5gに示す。

【0036】

本発明の実施形態において、ゲートスキャンラインにおける切断領域として、下記の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置に位置する。他の一つは、図5gに示すように、ゲートスキャンラインにおける切断領域28は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置からゲートスキャンラインへ所定距離を偏移した位置に位置する。

【0037】

本発明の実施形態において、データスキャンラインにおける切断領域として、下記の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、データスキャンラインにおける切断領域は、上記予め残されたフォトレジストの位置に重なるとともに、一般的に予め残されたフォトレジストの面積より大きい。他の一つは、図5gに示すように、データスキャンラインにおける切断領域29は、上記予め残されたフォトレジストの位置からデータスキャンラインへ所定距離を偏移した位置に位置する。

【0038】

(第2の実施形態)

本発明の実施形態はマザーボード200を提供する。当該マザーボードの構造全体は第1の実施形態と同じであり、少なくとも一つの表示領域を有する基板を備え、上記基板における各表示領域の周り又は隣り合う二つの表示領域間にプレカッティング領域が設けられている。TFTアレイの製作プロセスが終わった後、上記プレカッティング領域に沿って各表示領域を切り分け、各表示領域のそれぞれは最後に一つの完備のTFTアレイ基板として形成し、LCD液晶パネルの形成に用いられる。

【0039】

本発明の実施形態では、TFTアレイ基板の製造工程において発生する静電破壊現象を低減させるために、第1の実施形態と類似する技術案を採用した。即ち、二つの金属層を電氣的に接続させて、その電位の全体を同じにさせる。

以下、一つの表示領域を例として、具体的な電氣的接続方式を詳しく説明する。図6は一つの表示領域の概略図であり、ゲート金属層とソース・ドレイン金属層との構造のみ示している。

【0040】

図6と図7に示すように、本発明の実施形態では、データスキャンライン61の同一層にゲートライン連通線62及びデータ連通線63を形成し、ゲートライン連通線62及びデータ連通線63は、同一のマスクプロセスによりデータスキャンライン61と同時に形成されてもよい。従来のデータスキャンラインの形成プロセスに対して、マスクにおけるパターンのみを変更すればよい。複数のゲートスキャンライン64は表示領域において互に平行するとともに延び、複数のデータスキャンライン61も互に平行するとともに延びて、ゲートスキャンライン64と交差し、ゲートライン連通線62及びデータ連通線63は表示領域の周辺に位置される。ゲートライン連通線62、データ連通線63及びデータスキャンライン61が同一層に位置されるため、本実施形態におけるゲートライン連通線とデータ連通線とは直接電氣的に接続されることができ、データ連通線も対応する表示領域におけるデータスキャンラインと直接電氣的に接続されることができ、これに対して、マスクにゲートライン連通線、データ連通線及びデータスキャンラインに対応する領域

10

20

30

40

50

を連通させるようにすれば直接電氣的接続が実現できる。

【0041】

上層に位置するゲートライン連通線62はビアホールを介してゲートスキャンライン64と電氣的に接続することができる。ゲートライン連通線62はソース・ドレイン金属層上に位置されるため、本発明の実施形態では、ゲートスキャンライン64を上記ゲートライン連通線62と接続させるために、ゲート金属層の形成工程において、ゲートスキャンライン64のゲートライン連通線62との交差部65にフォトレジスト71を予め残す。そして、フォトレジスト71を予め残した基板にゲート絶縁薄膜72と、活性薄膜73とを直接堆積する。

【0042】

そして、図8に示すように、活性薄膜パターンの形成工程において、上記予め残されたフォトレジスト71を剥離して、予め残されたフォトレジスト71と、それに対応する位置のゲート絶縁薄膜72と、活性薄膜73に対してエッチングする。上記剥離技術により、ゲート絶縁薄膜における予め残されたフォトレジストに対応する位置にビアホール74を形成し、そして、剥離により形成されたビアホール74を有する基板に、ソース・ドレイン金属層75を堆積するとともに、ソース・ドレイン金属層75に対してエッチングによりソース・ドレインパターンを形成する。当該ソース・ドレインパターンは、ゲートスキャンライン64と交差するデータスキャンライン61と、薄膜トランジスタのソース電極及びドレイン電極とを有する。本発明の実施形態において、ゲートライン連通線62をゲートスキャンライン64と電氣的に接続させるために、ゲートライン連通線62が剥離によって形成されたビアホール74を介してゲートスキャンライン64と電氣的に接続されるように、ゲートライン連通線62を上記ビアホール74に対応する位置に直接形成する。

【0043】

なお、本発明の実施形態は、以下の技術案によってゲートスキャンラインとゲートライン連通線との電氣的接続を実現することができるが、これに限ることではない。即ち、ゲート絶縁薄膜におけるゲートライン連通線とゲートスキャンラインとが交差する位置に対応する部位に、エッチングによりビアホールを形成する。これによって、上記ゲートライン連通線はエッチングによって形成されたビアホールを介して、対応する表示領域におけるゲートスキャンラインと電氣的に接続する。

【0044】

上記ビアホールをどのような方式で形成しても、ゲートライン連通線とゲートスキャンラインとが電氣的に接続され、同時に、データ連通線はゲートライン連通線と、データスキャンラインとそれぞれ直接電氣的に接続される。ゲート金属層又はソース・ドレイン金属層にた電荷がこもられた場合、上記電氣的な接続関係で、こもられた電荷は全てのゲートスキャンライン及びデータスキャンラインに分布されて静電的バランスが取られる。静電的バランスが取られた状態で、接続される二つの導体間の電位が同じとなるため、二つの金属層との間に電位差が存在しなくなる。従って、本発明の実施形態によって提供されたマザーボード及びTFTアレイ基板の製造方法によれば、二つの金属層との間に電位差が存在しなくなり、TFTアレイ基板の製造工程において発生する静電破壊現象が効果的に低減され、製品の合格率及び歩留まりが向上される。

【0045】

本発明の実施形態によって提供されたマザーボードにおいて、表示領域がPAD領域(ゲートスキャンラインPAD領域及びデータスキャンラインPAD領域を含む)を介して外部の駆動回路と接続されるように、表示領域ごとにPAD領域が設けられている。本発明の実施形態では、従来のPAD領域の形成に影響しなくするために、上記ゲートライン連通線をゲートスキャンラインPAD領域が対向する側のプレカッティング領域に形成し、上記データ連通線をデータスキャンラインPAD領域が対向する側のプレカッティング領域に形成する。

【0046】

10

20

30

40

50

マザーボードの電氣的接続性能を検出できるように、マザーボードをカットする前に、マザーボードに対してテストする必要があるが、本発明の実施形態では、テストの過程に影響しなくするために、上記マザーボードをテストする前に、ゲートスキャンラインのゲートライン連通線と電氣的に接続する一端に、エッチングにより切断領域を形成して、上記ゲートライン連通線とゲートスキャンラインとの電氣的な接続を切断し、データスキャンラインのデータ連通線と電氣的に接続する一端に、エッチングにより切断領域を形成して、上記データ連通線とデータスキャンラインとの電氣的な接続を切断する。エッチングにより上記切断領域を形成することで、データスキャンラインとゲートスキャンラインとを互に独立させ、信号の干渉がなくなり、後の工程でマザーボードに対するテストが便利になる。

10

【0047】

前述のように、上記データスキャンラインとゲートスキャンラインにおける切断領域として、2種類の位置を選択することができるが、それに限ることではない。

【0048】

本発明の実施形態はTFTアレイ基板の製造法をさらに提供する。図9a～図9gに示すように、上記製造方法は以下の工程を有する。

【0049】

(1) 図9aに示すように、本発明の実施形態におけるTFT基板を形成するためのマザーボードは少なくとも一つの表示領域を有し、ガラス基板67にゲート金属層68を堆積する。

20

【0050】

(2) 上記ゲート金属層68に対してパターンニングを行い、上記ゲート金属層68よりゲートパターンを形成する。図7bに示すように、当該ゲートパターンは、ゲートスキャンライン64と、ゲートスキャンラインと接続するゲート電極とを備える。本発明実施形態では、ゲートスキャンライン64を後で形成されるゲートライン連通線との電氣的接続を便利にさせるために、当該工程において、ゲートスキャンライン64の後で形成されるゲートライン連通線との交差部65にフォトレジスト71を予め残す。具体的の予め残されたフォトレジスト71について図9cに示す。

【0051】

実際に運用する場合、以下のようにしてフォトレジストを予め残すことができるが、これに限ることではない。ハーフトーンマスク又はグレートンマスクにより、ゲート金属層に塗布されたフォトレジストから、フォトレジストの完全保留領域と、フォトレジストの一部保留領域と、フォトレジストの完全除去領域とを形成する。完全保留領域は予め残されたフォトレジストの位置に対応し、一部保留領域はゲートパターンの他の位置に対応し、完全除去領域は他のエッチングする必要があるゲート金属層の位置に対応する。露光・現像した後、完全除去領域に露出されたゲート金属を除去し、そして、一部保留領域のフォトレジストをアッシングにより除去する。一部保留領域のフォトレジストを除去するとともに、完全保留領域のフォトレジストも少々薄くなるが、若干のフォトレジストがやはり保留される。さらによく剥離するために、予め残されたフォトレジストの面積を拡大し、或いは、アッシングした後、予め残されたフォトレジストのトップの側面を剥離しやすい形状、例えば逆台形に処理する。

30

40

【0052】

(3) 図9dに示すように、ゲートパターンを有する基板に、ゲート絶縁薄膜72と、活性薄膜73とを順次堆積する。

【0053】

(4) 上記活性薄膜に対してパターンニングを行い、上記活性薄膜73よりゲート電極に重なる活性薄膜パターンに形成する。上記予め残されたフォトレジスト71を剥離し、予め残されたフォトレジスト71と、それに対応する位置のゲート絶縁薄膜72と、活性薄膜73とを除去することで、ピアホール74を形成し、ゲートスキャンライン76を予め残されたフォトレジストの位置で露出させる。図9eは、剥離された後の基板の予め残

50

されたフォトリソトにおける断面図である。

【0054】

(5) 図6と図9fに示すように、活性薄膜パターンを有する基板に、ソース・ドレイン金属層を堆積するとともにパターニングを行って、上記ソース・ドレイン金属層より薄膜トランジスタのソース・ドレインパターン(図示せず)と、データスキャンライン61と、各表示領域の隣り合う両側に位置されるゲートライン連通線62と、データ連通線63とを形成する。その中で、データ連通線63はゲートライン連通線62と、データスキャンライン61と直接電氣的に接続されるが、ゲートスキャンライン64は予め残されたフォトリソトの位置65で露出されるため、データ連通線63を上記予め残されたフォトリソトの位置65に形成することだけで、上記ゲートライン連通線63は剥離によって形成されたビアホール74を介してゲートスキャンライン64と電氣的に接続される。

10

【0055】

上述した方法によって製造されたTFTアレイ基板を採用すれば、製造工程において、ゲートライン連通線とゲートスキャンラインとはビアホールを介して電氣的に接続され、データ連通線はゲートライン連通線とデータスキャンラインとそれぞれ直接電氣的に接続されることができる。従って、本発明によって提供されたマザーボード及びTFTアレイ基板の製造方法によれば、二つの金属層との間に電位差が存在しないため、TFTアレイ基板の製造工程において発生する静電破壊現象が効果的に低減され、製品の合格率及び歩留まりが向上される。

20

【0056】

マザーボードの電氣的接続性能を検出できるように、マザーボードをカットする前に、マザーボードに対してテストする必要があるが、本発明の実施形態では、テストの過程に影響しなくするために、上記マザーボードに対してテストする前に、以下の工程をさらに有する。

【0057】

(6) パッシベーション層を堆積してからパターニングし、上記ゲートスキャンラインのゲートライン連通線と電氣的に接続する一端に、エッチングによりビアホールを形成して、上記ゲートスキャンラインを露出させ、上記データスキャンラインのデータ連通線と電氣的に接続する一端に、エッチングによりビアホールを形成して、上記データスキャンラインを露出させる。

30

【0058】

(7) 上記ビアホールから露出されたデータスキャンライン及びゲートスキャンラインはエッチングにより除去されることで、切断領域76、77を形成する。具体的に形成された切断領域76、77を図9gに示す。

【0059】

本発明の実施形態において、ゲートスキャンラインにおける切断領域として、下記の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、ゲートスキャンラインにおける切断領域は、上記予め残されたフォトリソトに重なりとともに、かつ一般的に予め残されたフォトリソトの面積より大きい。他の一つは、図9gに示すように、ゲートスキャンラインにおける切断領域77は、上記予め残されたフォトリソトの位置からゲートスキャンラインへ所定距離を偏移した位置に位置する。

40

【0060】

本発明の実施形態において、データスキャンラインにおける切断領域として、下記の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置に位置する。他の一つは、図9gに示すように、データスキャンラインにおける切断領域76は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置からデータスキャンラインへ所定距離を偏移した位置に位置する。

【0061】

50

(第3の実施形態)

本発明の実施形態はマザーボード300を提供する。当該マザーボード300の構造全体は第1の実施形態と同じであり、少なくとも一つの表示領域を有する基板を備え、上記基板における隣り合う二つの表示領域間にプレカッティング領域が設けられている。TFTアレイの製作プロセスが終わった後、上記プレカッティング領域に沿って各表示領域を切り分け、各表示領域のそれぞれは最後に一つの完備のTFTアレイ基板として形成する。

【0062】

本発明の実施形態において、TFTアレイ基板の製造工程において発生する静電破壊現象を低減させるために、第1の実施形態と類似する技術案を採用した。即ち、二つの金属層を電氣的に接続し、その電位の全体を同じにさせる。以下、一つの表示領域を例として具体的な電氣的接続方式に対して詳しく説明する。図10は一つの表示領域の概略図であり、ゲート金属層とソース・ドレイン金属層との構造のみ示している。

10

【0063】

図10に示すように、本発明の実施形態において、ゲートスキャンライン101の同一層にゲートライン連通線102を形成し、ゲートライン連通線102は同一のマスクプロセスによりゲートスキャンライン101と同時に形成してもよい。ゲートライン連通線102とゲートスキャンライン101とが同一層に形成されるため、本実施形態におけるゲートライン連通線102とスキャンライン101とが直接電氣的に接続されることができ、これに対して、マスクにゲートライン連通線及びゲートスキャンラインに対応する領域を連通させることで直接的な電氣的接続が実現できる。

20

【0064】

ゲート金属層の形成と類似に、図10に示すように、本発明の実施形態において、データスキャンライン104の同一層にデータ連通線103を形成し、データ連通線103は同一のマスクプロセスによりゲートスキャンライン104と同時に形成してもよい。データ連通線103とデータスキャンライン104とが同一層に位置されるため、上記データ連通線103は対応する表示領域におけるデータスキャンライン104と直接電氣的に接続することができる。これに対して、マスクにデータ連通線及びデータスキャンラインに対応する領域を連通させることで直接的な電気接続が実現できる。

30

【0065】

図11に示すように、ゲートライン連通線102はゲート金属層上に位置され、データ連通線103はソース・ドレイン金属層上に位置されるため、本発明の実施形態では、ゲートライン連通線102をデータ連通線103と接続させるために、ゲート金属層の形成工程において、ゲートライン連通線102のデータ連通線との交差部105にフォトリジスト111を予め残す。そして、フォトリジストを予め残した基板に、ゲート絶縁薄膜112と、活性薄膜113とを直接堆積する。

【0066】

図12に示すように、活性薄膜パターンの形成工程において、予め残されたフォトリジスト111と、それに対応する位置のゲート絶縁薄膜112と、活性薄膜113とをエッチングするように、上記予め残されたフォトリジストを剥離する。上記剥離技術により、ゲート絶縁薄膜の予め残されたフォトリジストに対応する位置にビアホール114を形成して、上記ゲートライン連通線102を露出させ、そして、剥離により形成されたビアホールを有する基板に、ソース・ドレイン金属層115を堆積するとともに、ソース・ドレイン金属層に対してエッチングよりソース・ドレインパターンを形成する。図10に示すように、当該ソース・ドレインパターンはゲートスキャンライン101と交差するデータスキャンライン104と、薄膜トランジスタのソース電極及びドレイン電極と、データ連通線103とを有する。本発明の実施形態において、ゲートライン連通線102をデータ連通線103と電氣的に接続させるために、データ連通線103が剥離によって形成されたビアホールを介してゲートライン連通線102と電氣的に接続されるように、データ連通線103を上記ビアホール114と対応する位置に直接形成する。

40

50

【 0 0 6 7 】

なお、本発明の実施形態は以下の技術案によりゲートライン連通線とデータ連通線との電氣的接続を実現することができるが、これに限ることではない。即ち、ゲート絶縁薄膜におけるデータ連通線とゲートライン連通線とが交差する位置に対応してエッチングによりビアホールを形成する。これによって、上記データ連通線はエッチングによって形成されたビアホールを介してゲートライン連通線と電氣的に接続できる。

【 0 0 6 8 】

上記ビアホールをどのような方式で形成しても、データ連通線とゲートライン連通線とは電氣的に接続することができ、同時に、ゲートライン連通線はゲートスキャンラインと直接電氣的に接続され、データ連通線はデータスキャンラインと直接電氣的に接続されることができ、ゲート金属層又はソース・ドレイン金属層に電荷がこもられた場合、上記電氣的な接続関係で、こもられた電荷は全てのゲートスキャンライン及びデータスキャンラインに分布されて静電的バランスが取られる。静電的バランスが取られた状態で、接続される二つの導体間の電位が同じとなるため、二つの金属層との間に電位差が存在しなくなる。従って、本発明の実施形態によって提供されたマザーボード及びTFTアレイ基板の製造方法によれば、二つの金属層との間に電位差が存在しないため、TFTアレイ基板の製造工程において発生する静電破壊現象が効果的に低減され、製品の合格率及び歩留まりが向上される。

【 0 0 6 9 】

図1に示すように、本発明の実施形態のマザーボードには、表示領域がPAD領域を介して外部の駆動回路に接続されるように、表示領域ごとにPAD領域（ゲートスキャンラインPAD領域及びデータスキャンラインPAD領域を含む）が設けられる。本発明の実施形態では、従来のPAD領域の形成に影響しなくするために、上記ゲートライン連通線をゲートスキャンラインPAD領域が対向する側のプレカッティング領域に形成し、上記データ連通線をデータスキャンラインPAD領域が対向する側のプレカッティング領域に形成する。

【 0 0 7 0 】

マザーボードの電氣的接続性能を検出できるように、マザーボードをカットする前に、マザーボードに対してテストする必要があるが、本発明の実施形態では、テストの過程に影響しなくするために、上記マザーボードに対してテストする前に、ゲートスキャンラインのゲートライン連通線と電氣的に接続する一端に、エッチングにより切断領域を形成して、上記ゲートライン連通線とゲートスキャンラインとの電氣的な接続を切断し、データスキャンラインのデータ連通線と電氣的に接続する一端に、エッチングにより切断領域を形成して、上記データ連通線とデータスキャンラインとの電氣的な接続を切断する。エッチングにより上記切断領域を形成することで、データスキャンラインとゲートスキャンラインとを互に独立にさせ、信号の干渉がなくなり、後の工程においてマザーボードに対するテストが便利になる。

【 0 0 7 1 】

前述のように、上記データスキャンラインとゲートスキャンラインにおける切断領域として、2種類の位置を選ぶことができるが、それにかぎることではない。

【 0 0 7 2 】

本発明の実施形態はTFTアレイ基板の製造方法をさらに提供する。図13a～図13gに示すように、上記製造方法は以下の工程を有する。

【 0 0 7 3 】

(1) 図13aに示すように、本発明の実施形態では、TFT基板を形成するためのマザーボードは少なくとも一つの表示領域を有し、ガラス基板107にゲート金属層108を堆積する。

【 0 0 7 4 】

(2) 上記ゲート金属層108に対してパターンニングを行い、上記ゲート金属層108によりゲートパターンを形成する。図13bに示すように、当該ゲートパターンはゲート

10

20

30

40

50

スキャンライン101と、ゲートスキャンラインと接続するゲート電極と、各表示領域の一方の側に位置されるゲートライン連通線102とを備える。本実施形態において、ゲートライン連通線102はゲートスキャンライン101と同一層に位置されるため、ゲートライン連通線102をゲートスキャンライン101と直接電氣的に接続させることができる。本発明の実施形態では、ゲートライン連通線と後で形成されるデータ連通線との電氣的な接続を便利にさせるために、当該工程において、ゲートライン連通線102の後で形成されるデータ連通線との交差部105にフォトレジスト111を予め残す。具体的の予め残したフォトレジストについて図13cに示す。

【0075】

実際に運用する場合、以下のようにしてフォトレジストを予め残すことができるが、これに限ることではない。即ち、ハーフトーンマスク又はグレートンマスクにより、ゲート金属層に塗布されたフォトレジストから、フォトレジストの完全保留領域と、フォトレジストの一部保留領域と、フォトレジストの完全除去領域とを形成する。その中で、完全保留領域は予め残されたフォトレジストの位置に対応し、一部保留領域はゲートパターンの他の位置に対応し、完全除去領域は他のエッチングする必要があるゲート金属層の位置に対応する。露光・現像した後、完全除去領域に露出されたゲート金属を除去し、そして、一部保留領域のフォトレジストをアッシングにより除去する。一部保留領域のフォトレジストを除去するとともに、完全保留領域のフォトレジストも少々薄くなるが、若干のフォトレジストがやはり保留される。さらによく剥離するために、予め残されたフォトレジストの面積を拡大し、或いは、アッシングした後、予め残されたフォトレジストのトップの側面を剥離しやすい形状、例えば逆台形に処理する。

10

20

【0076】

(3) 図13dに示すように、ゲートパターンを有する上記基板に、ゲート絶縁薄膜112と、活性薄膜113とを順次堆積する。

【0077】

(4) 上記活性薄膜に対してパターンニングを行い、上記活性薄膜113よりゲート電極に重なる活性薄膜パターンを形成する。上記予め残されたフォトレジストを剥離し、予め残されたフォトレジスト111と、それに対応する位置のゲート絶縁薄膜112と、活性薄膜113とを除去することで、ビアホール114を形成し、ゲートライン連通線102を予め残されたフォトレジストの位置105で露出させる。図13eは、剥離された後の基板の予め残されたフォトレジストにおける断面図である。

30

【0078】

(5) 活性薄膜パターンを有する基板にソース・ドレイン金属層115を堆積するとともにパターンニングを行って、上記ソース・ドレイン金属層115よりソース・ドレインパターンを形成する。図10及び図13fに示すように、当該ソース・ドレインパターンは、ゲートスキャンライン101と交差するデータスキャンライン104と、薄膜トランジスタのソース電極及びドレイン電極と、各表示領域における上記ゲートライン連通線と隣り合う側に位置するデータ連通線103とを備える。その中で、データ連通線103とデータスキャンライン104とが同一層に位置され、直接電氣的に接続することができる。また、予め残されたフォトレジストの位置でゲートライン連通線102が露出されるため、データ連通線103を上記予め残されたフォトレジストの位置105に形成することだけで、上記データ連通線103は剥離によって形成されたビアホールを介してゲートライン連通線102と電氣的に接続することができる。

40

【0079】

上述した方法によって製造されたTFTアレイ基板を採用すれば、製造工程において、ゲートライン連通線はゲートスキャンラインと直接電氣的に接続され、データ連通線はデータスキャンラインと直接電氣的に接続され、ゲートライン連通線とデータ連通線とはビアホールを介して電氣的に接続される。従って、本発明によって提供されたマザーボード及びTFTアレイ基板の製造方法によれば、二つの金属層との間に電位差が存在しないため、TFTアレイ基板の製造工程において発生する静電破壊現象が効果的に低減され、

50

製品の合格率及び歩留まりが向上される。

【0080】

マザーボードの電氣的接続性能を検出できるように、マザーボードをカットする前に、マザーボードに対してテストする必要があるため、本発明実施形態では、テストの過程に影響しなくするため、上記マザーボードに対してテストする前に、以下の工程をさらに有する。

【0081】

(6) パッシベーション層を堆積してからパターンニングし、上記ゲートスキャンラインのゲートライン連通線と電氣的に接続する一端に、エッチングによりビアホールを形成して、上記ゲートスキャンラインを露出させ、上記データスキャンラインのデータ連通線と電氣的に接続する一端に、エッチングによりビアホールを形成して、上記データスキャンラインを露出させる。

10

【0082】

(7) 上記ビアホールから露出されたデータスキャンライン及びゲートスキャンラインをエッチングにより除去されることで、切断領域117、118を形成する。具体的における切断領域117、118を図13gに示す。

【0083】

本発明の実施形態において、ゲートスキャンラインにおける切断領域として、下記の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、ゲートスキャンラインにおける切断領域は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置に位置する。他の一つは、図13gに示すように、ゲートスキャンラインにおける切断領域118は、上記ゲートスキャンラインとゲートライン連通線とが電氣的に接続する位置からゲートスキャンラインへ所定距離を偏移した位置に位置する。

20

【0084】

本発明の実施形態において、データスキャンラインにおける切断領域として、下記の2種類の位置を選ぶことができるが、これに限ることではない。即ち、一つは、データスキャンラインにおける切断領域は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置に位置する。他の一つは、図13gに示すように、データスキャンラインにおける切断領域117は、上記データスキャンラインとデータ連通線とが電氣的に接続する位置からデータスキャンラインへ所定距離を偏移した位置に位置する。

30

【0085】

本発明の第3の実施形態では、ゲートライン連通線とデータ連通線とが交差する一つの部位だけにおいて剥離すればよいため、第1の実施形態と第2の実施形態に対して、本発明の第3の実施形態は剥離する部位を低減させることができる。

【0086】

上記の実施形態では、ゲート金属層がソース・ドレイン金属層の下方に位置されたことを例に説明したが、実際に運用する場合、ゲート金属層をソース・ドレイン金属層の上方に形成することもできる。本発明は上述した実施形態に限られたものではない。表示領域の隣り合う両側にゲートライン連通線及びデータ連通線を形成し、かつ、ゲートライン連通線及びデータ連通線を介してゲート金属層とソース・ドレイン金属層とが電氣的に接続されることができれば、本発明の実施形態に開示された方法である。また、上記ゲートライン連通線及びデータ連通線は、同じにゲート金属層に形成してもよく、同じにソース・ドレイン金属層に形成してもよい。さらに、上記ゲートライン連通線及びデータ連通線のそれぞれをゲート金属層とソース・ドレイン金属層に形成してもよい。

40

【0087】

本発明の実施形態は主に液晶パネルの製造、特に、液晶パネルにおけるTF Tアレイ基板の製造工程に用いられる。

【0088】

以上は本発明の具体的な実施形態にすぎない。本発明の保護範囲は上述内容に限らない。本発明に開示された技術範囲に基づき、当業者が容易に想到しうる変化や取替はいずれ

50

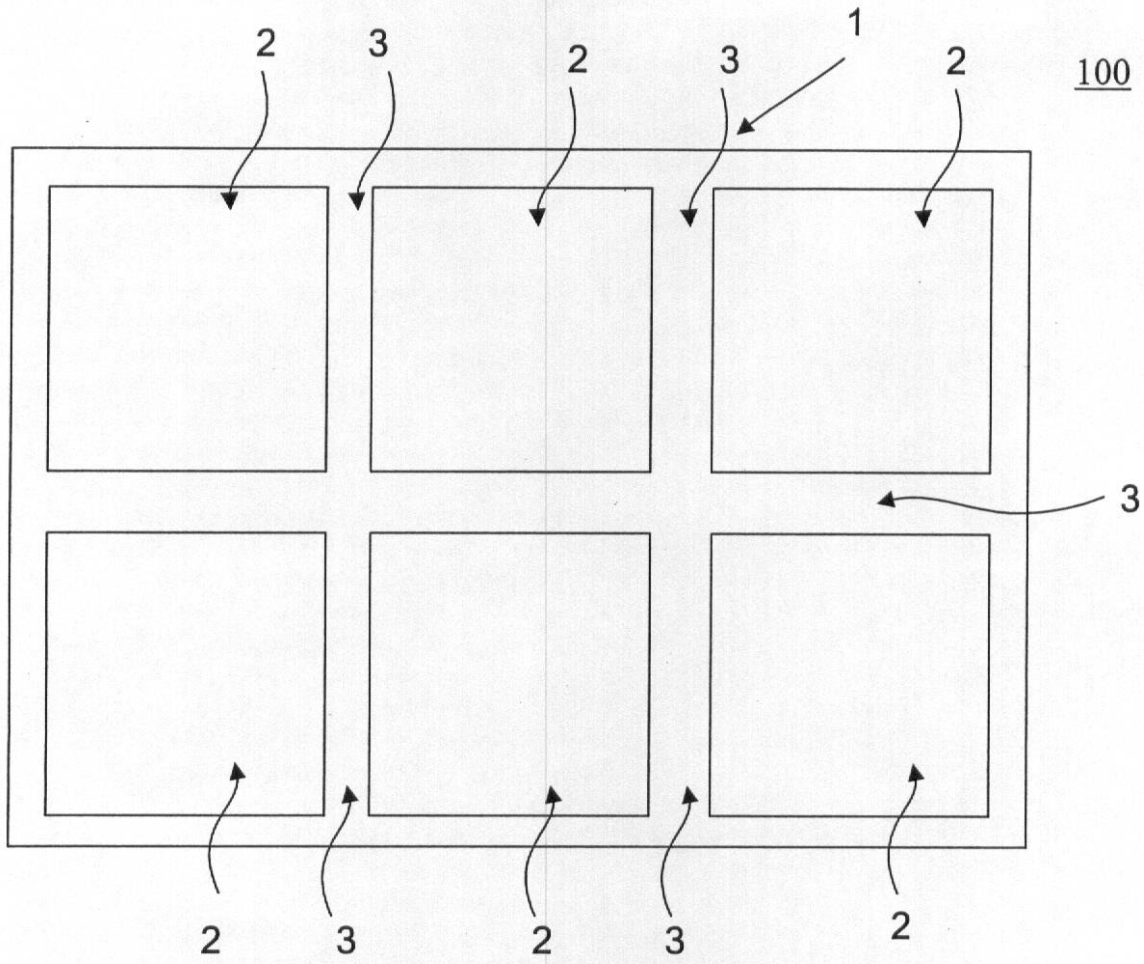
も本発明の保護範囲に陥る。従って、本発明の保護範囲は特許請求の範囲に記載の保護範囲を基準とする。

【符号の説明】

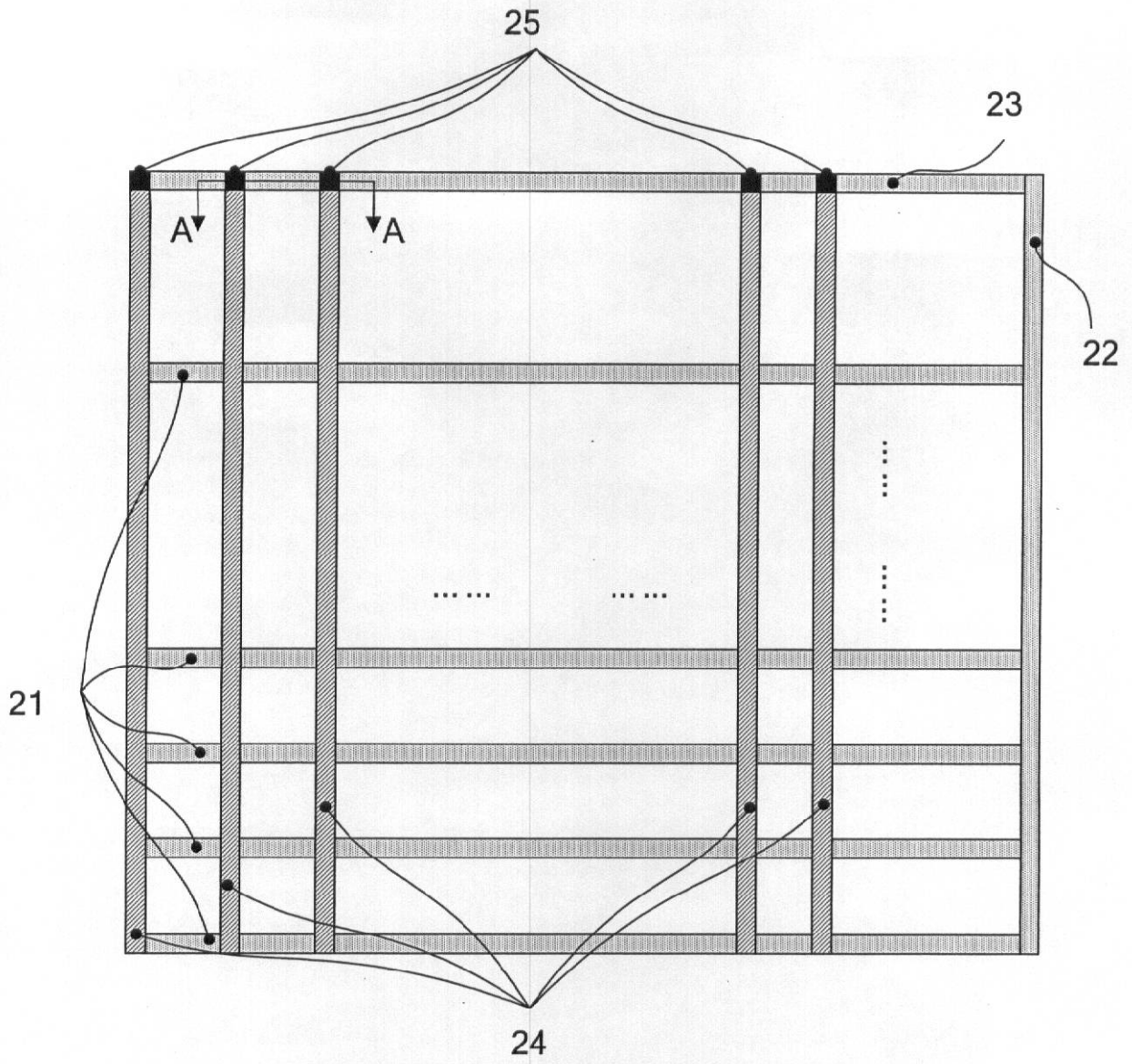
【0089】

- | | | |
|---------------------|-------------|----|
| 1 | 基板 | |
| 2 | 表示領域 | |
| 3 | プレカッティング領域 | |
| 21、64、101 | ゲートスキャンライン | |
| 22、62、102 | ゲートライン連通線 | |
| 23、63、103 | データ連通線 | 10 |
| 24、61、104 | データスキャンライン | |
| 25、65、105 | 交差部 | |
| 28、29、76、77、117、118 | 切断領域 | |
| 31、71、111 | フォトレジスト | |
| 32、72、112 | 絶縁薄膜 | |
| 33、73、113 | 活性薄膜 | |
| 34、67、107 | ガラス基板 | |
| 35、68、108 | ゲート金属層 | |
| 41、74、114 | ビアホール | |
| 42、75、115 | ソート・ドレイン金属層 | 20 |
| 100、200、300 | マザーボード | |

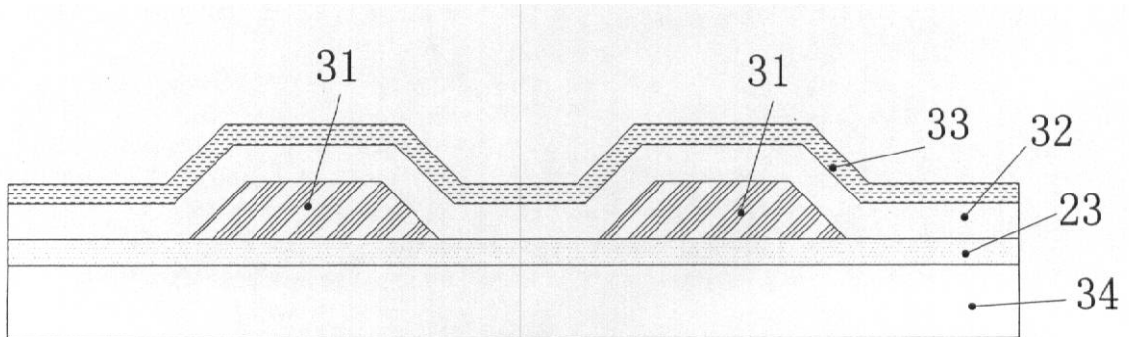
【図 1】



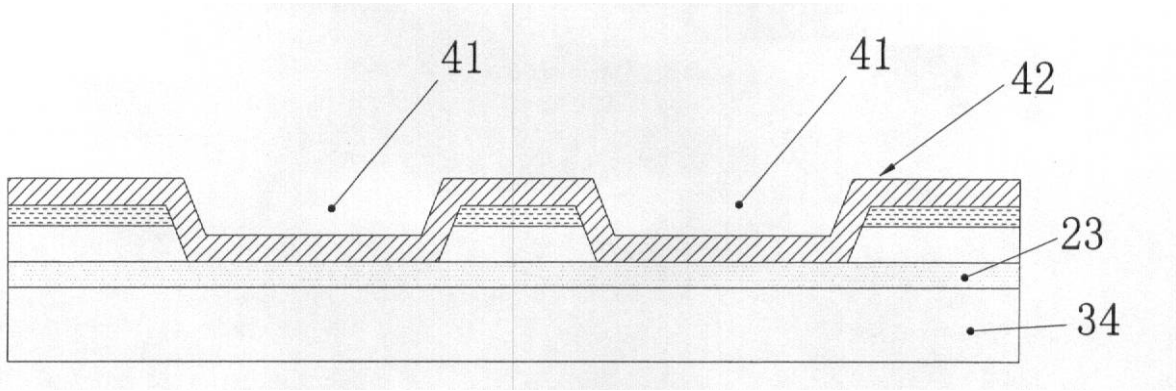
【 図 2 】



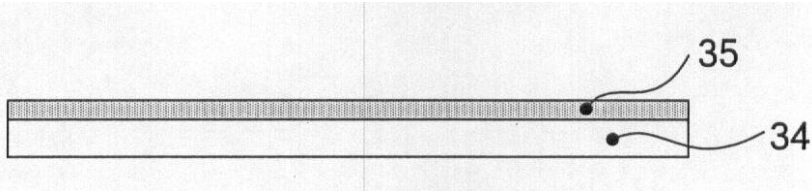
【 図 3 】



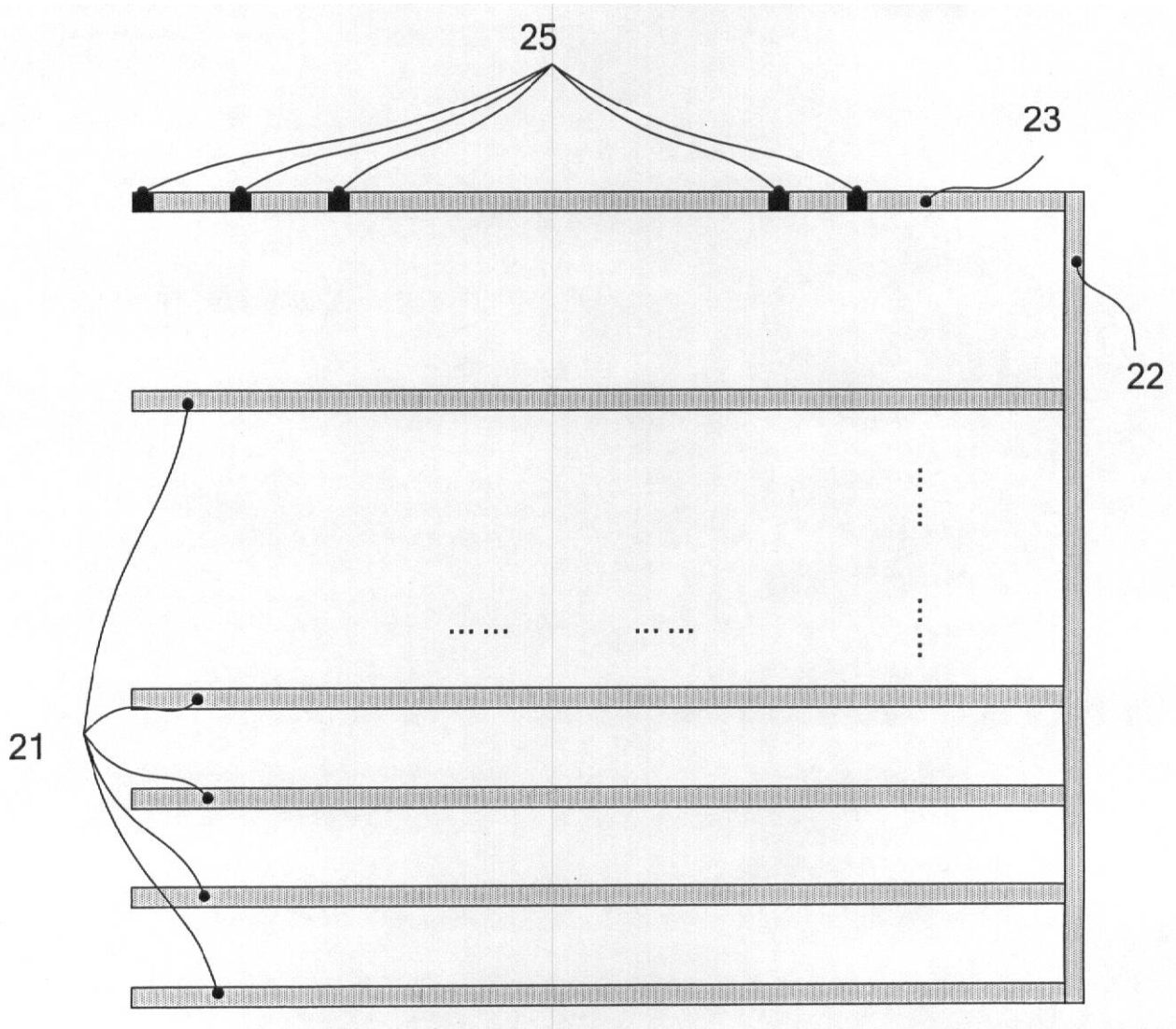
【 図 4 】



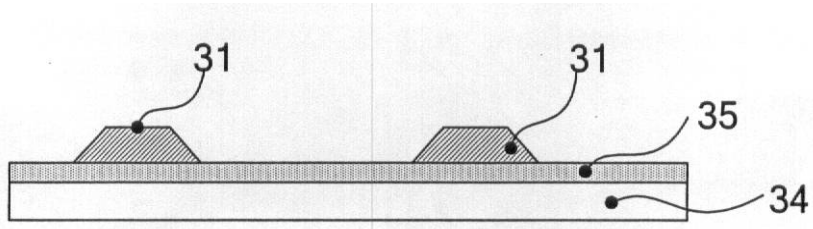
【 図 5 a 】



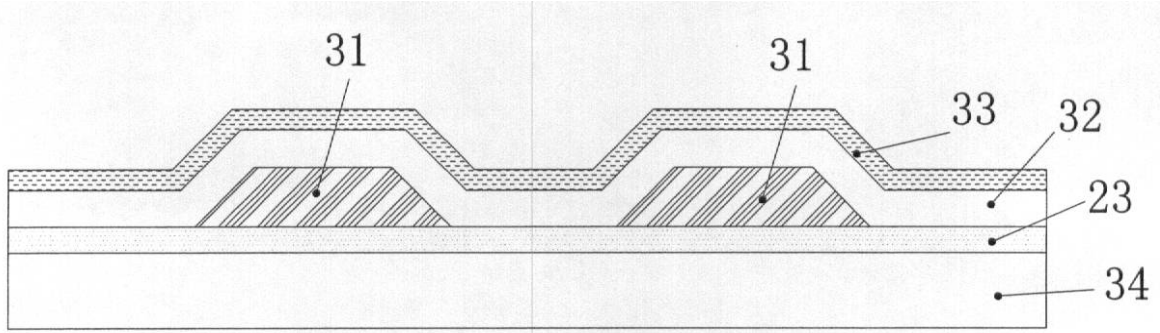
【 図 5 b 】



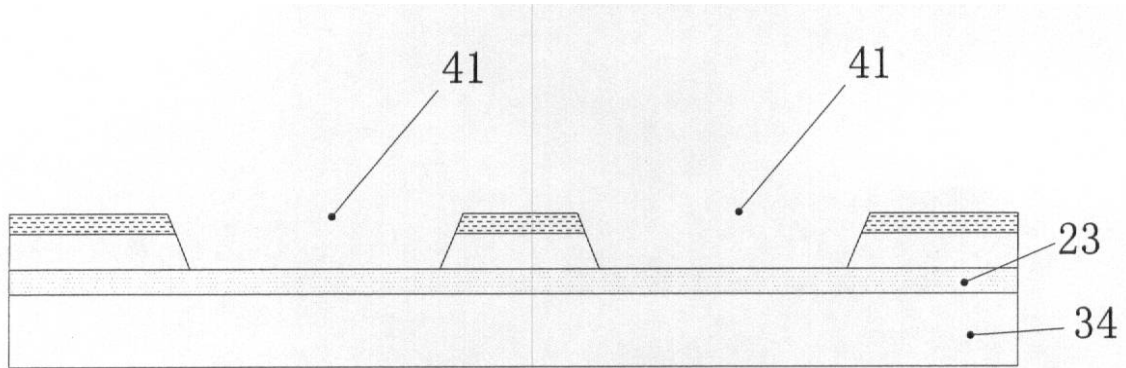
【図 5 c】



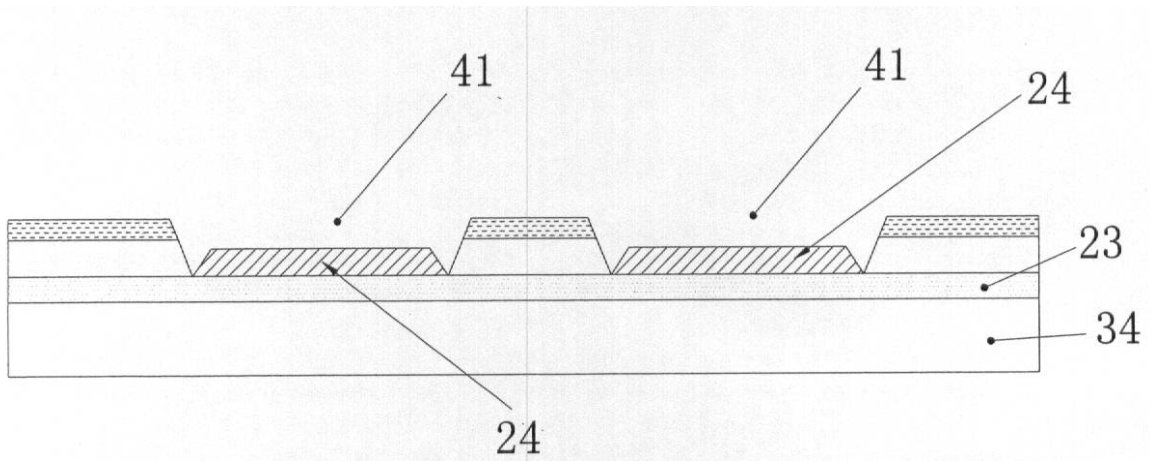
【図 5 d】



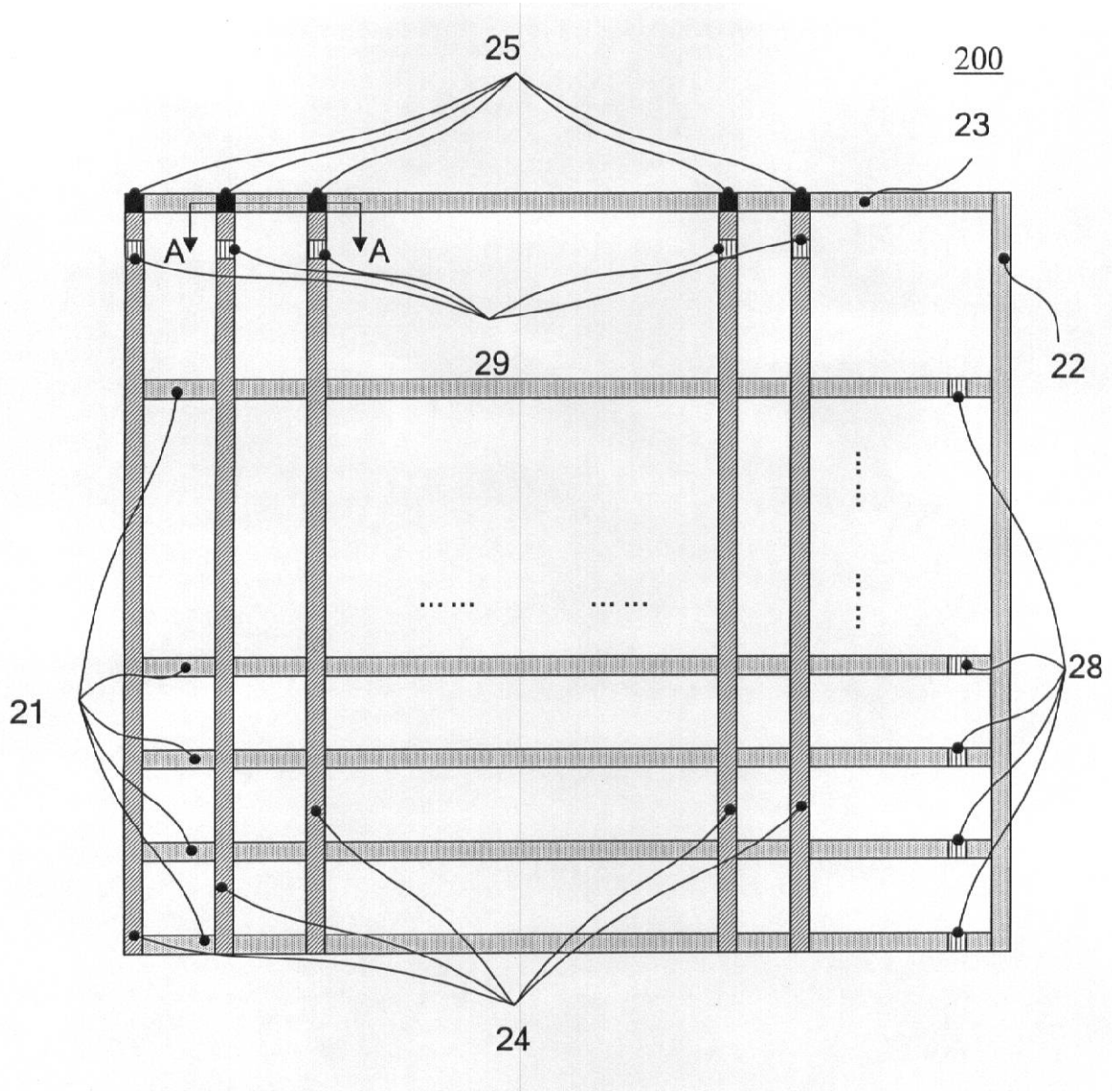
【図 5 e】



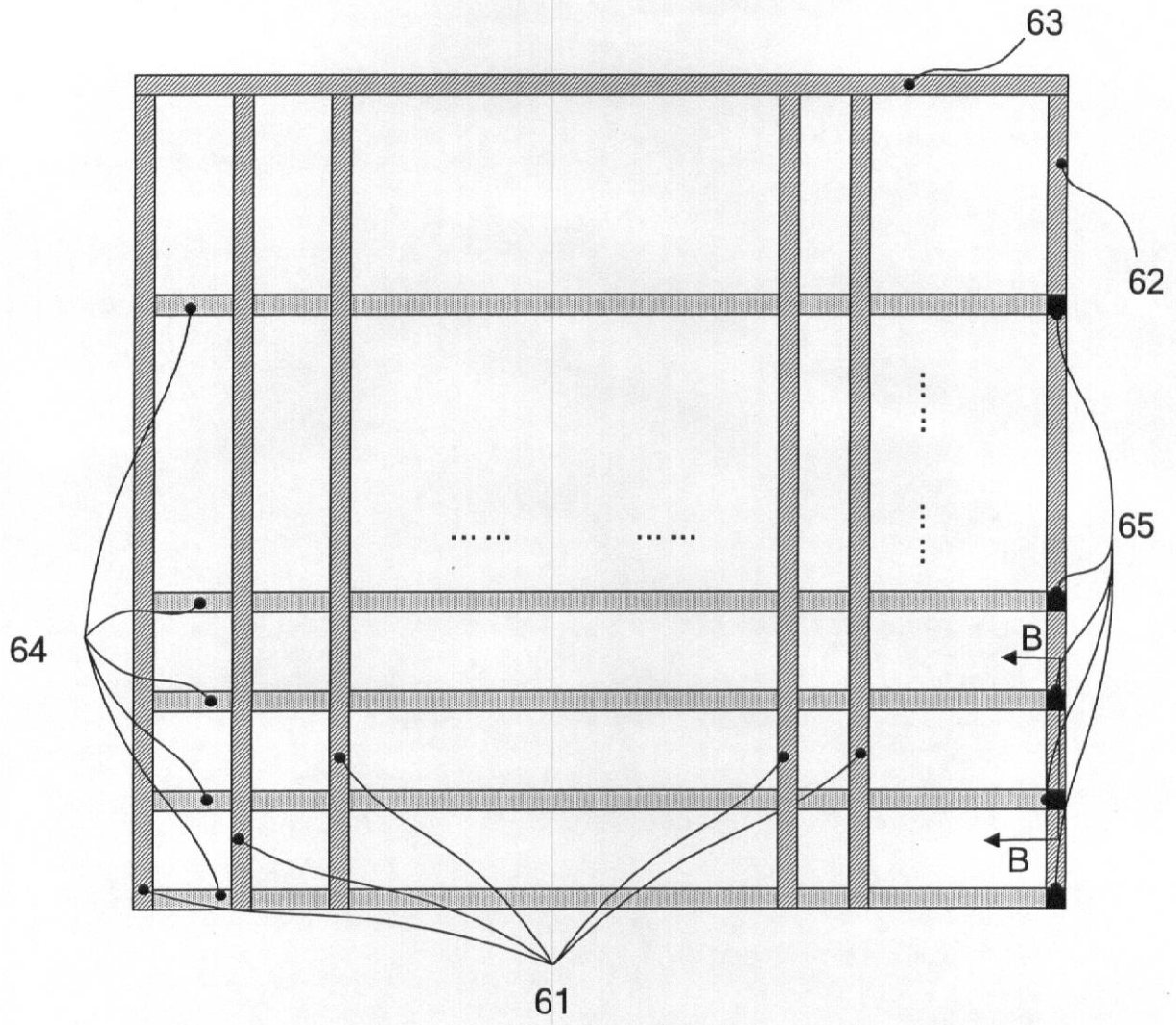
【図 5 f】



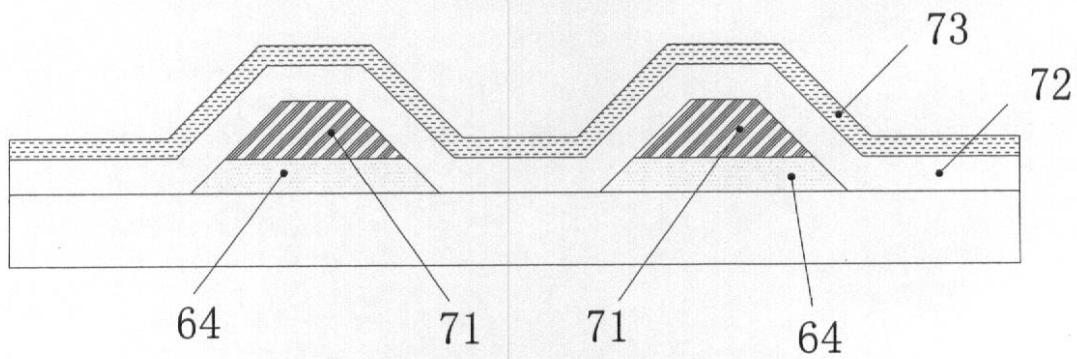
【図 5 g】



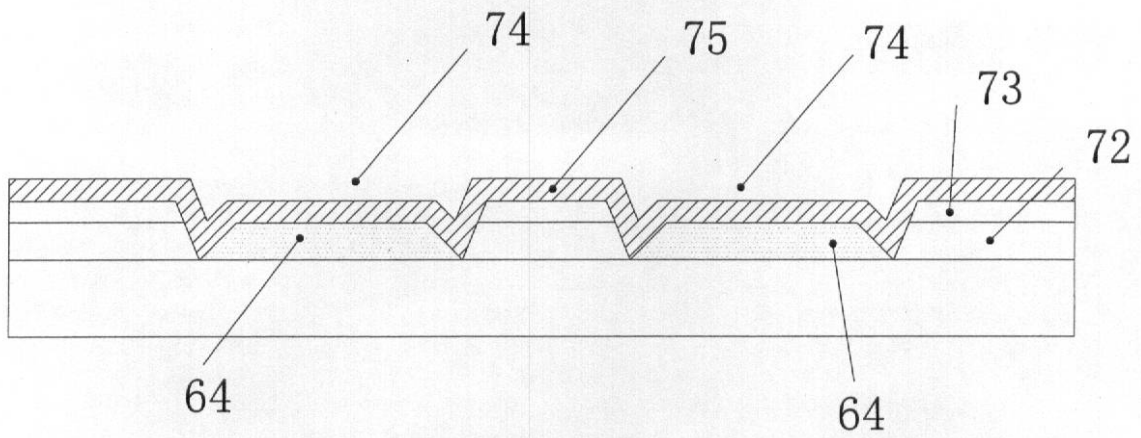
【図6】



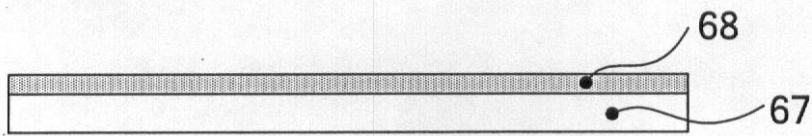
【図7】



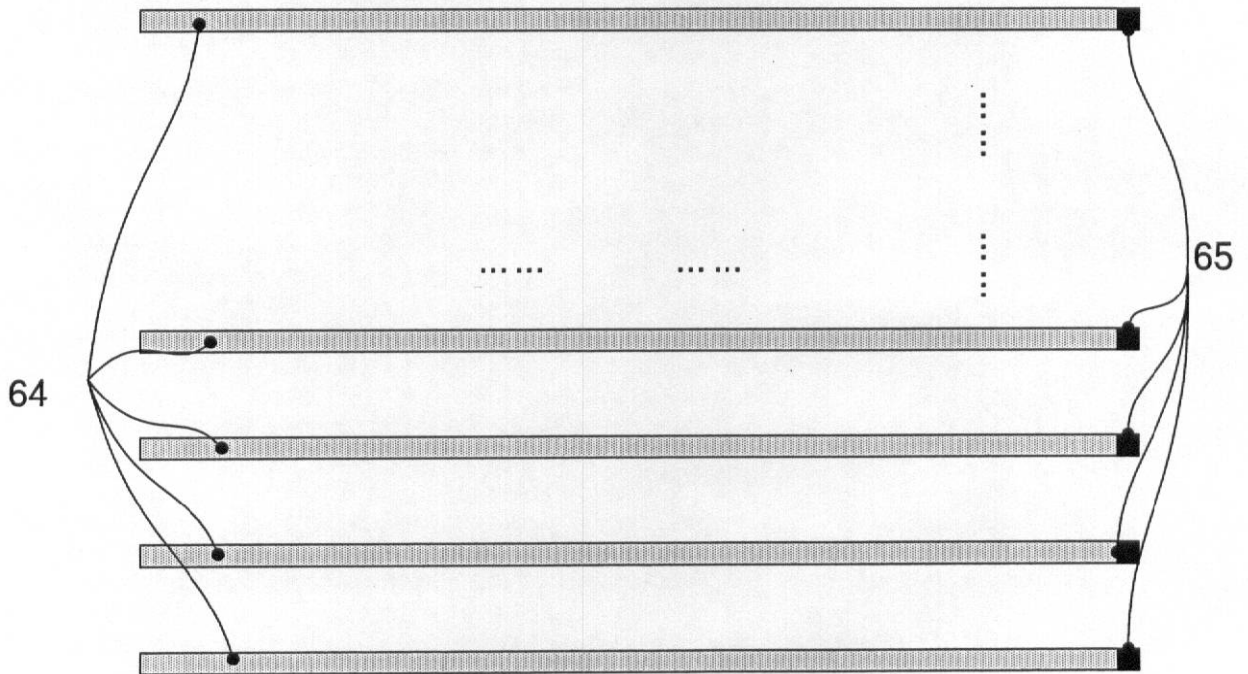
【 図 8 】



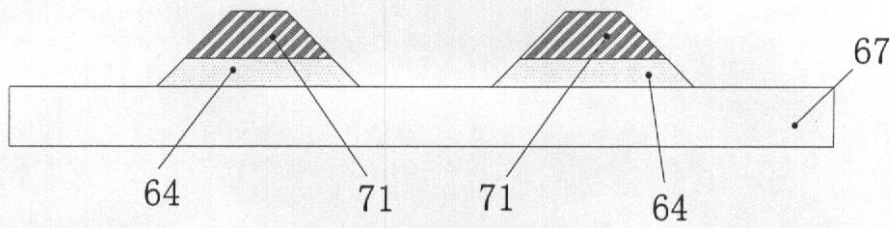
【 図 9 a 】



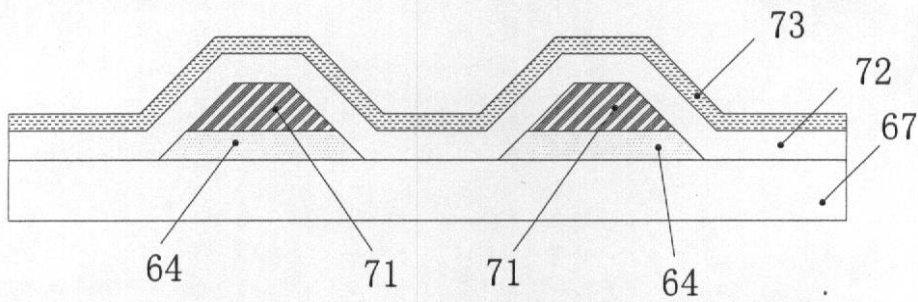
【 図 9 b 】



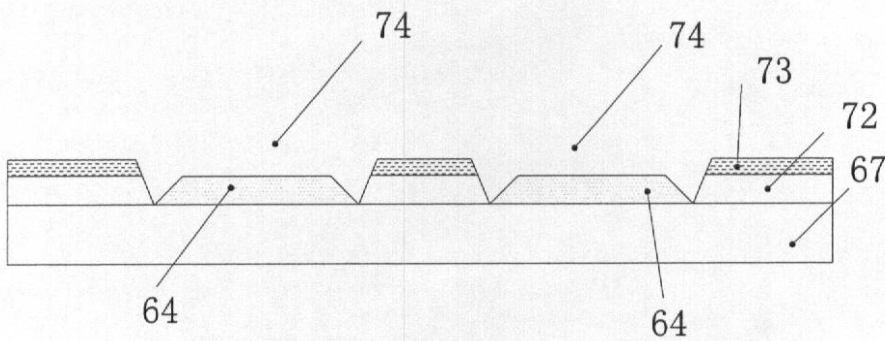
【図 9 c】



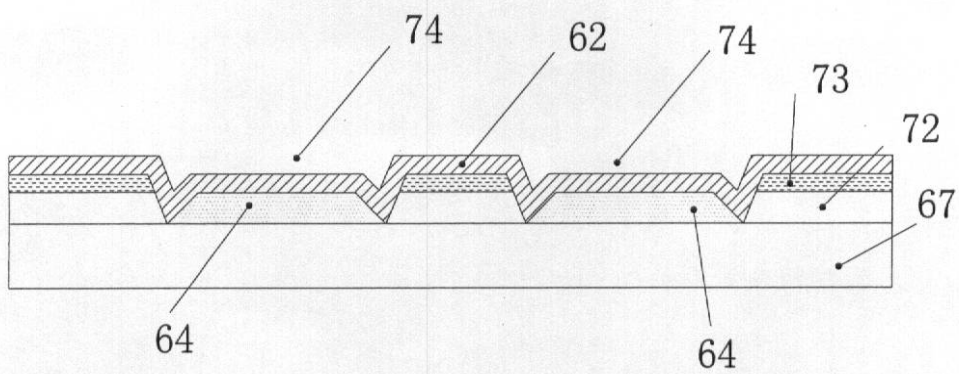
【図 9 d】



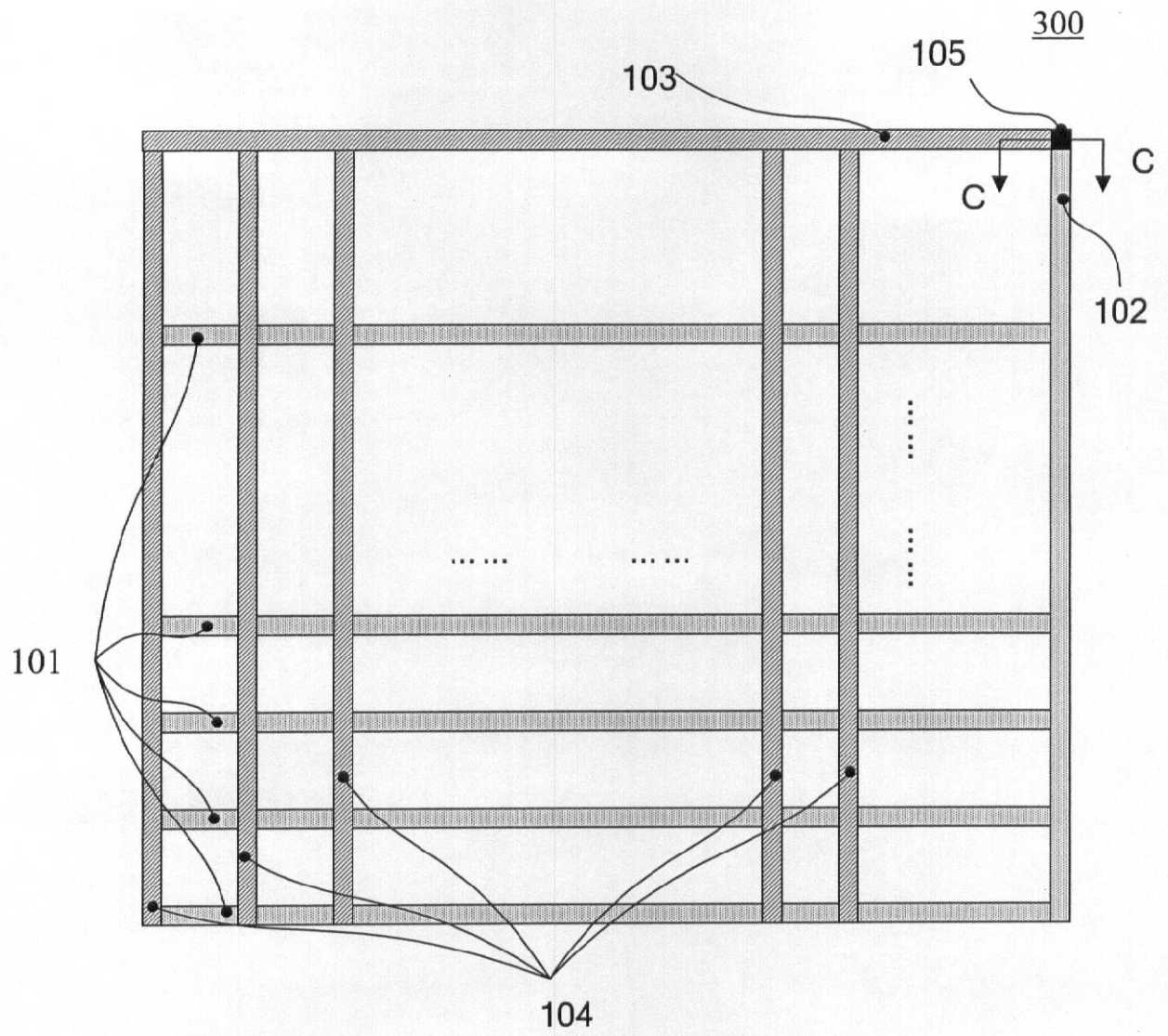
【図 9 e】



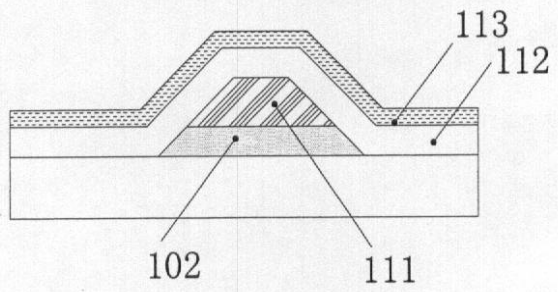
【図 9 f】



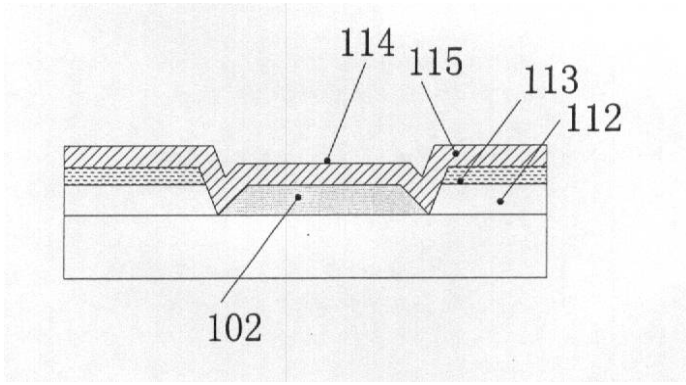
【 図 1 0 】



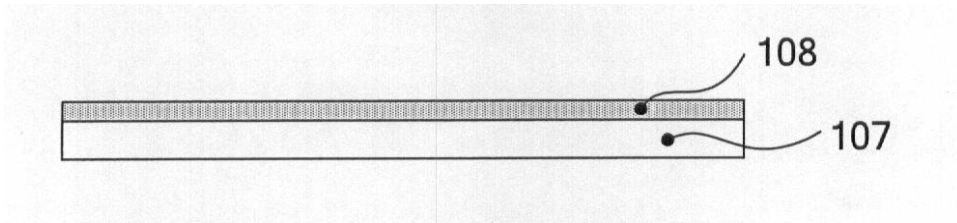
【 図 1 1 】



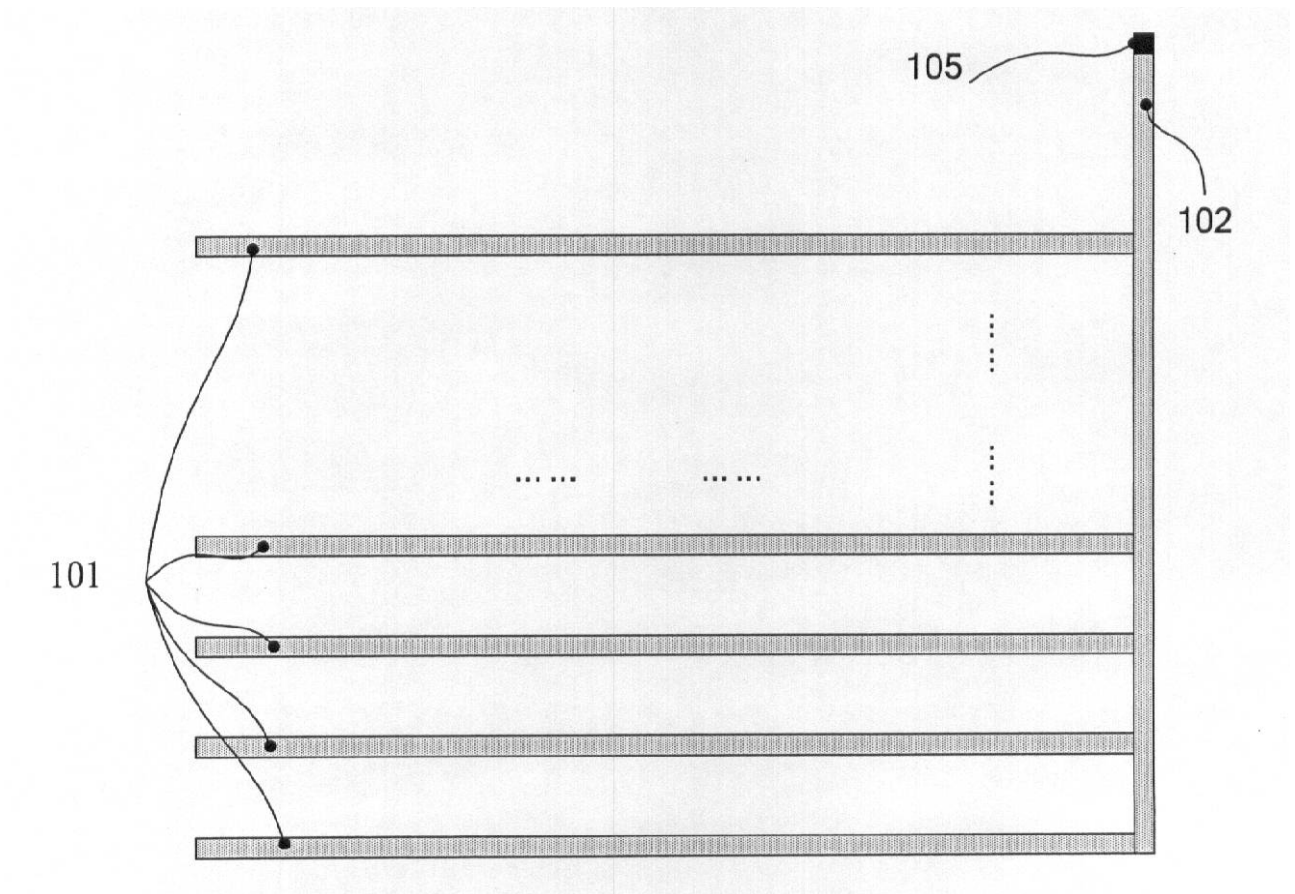
【図 1 2】



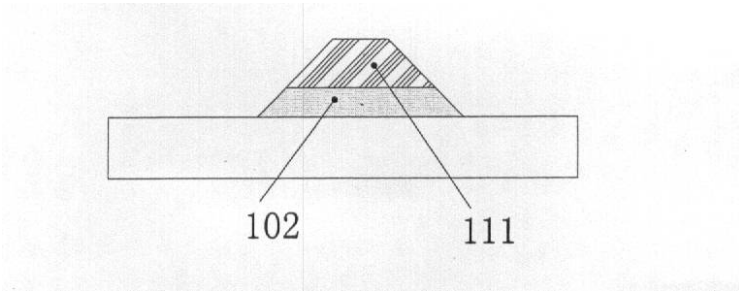
【図 1 3 a】



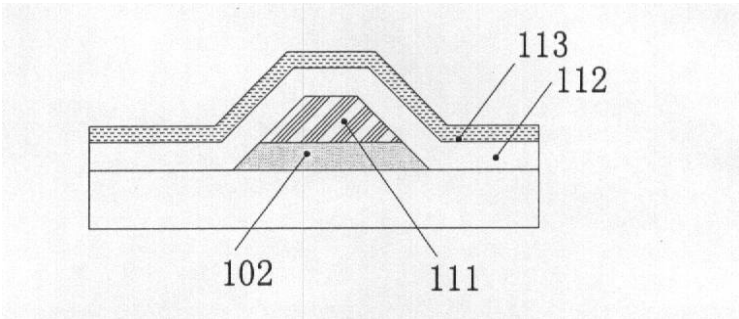
【図 1 3 b】



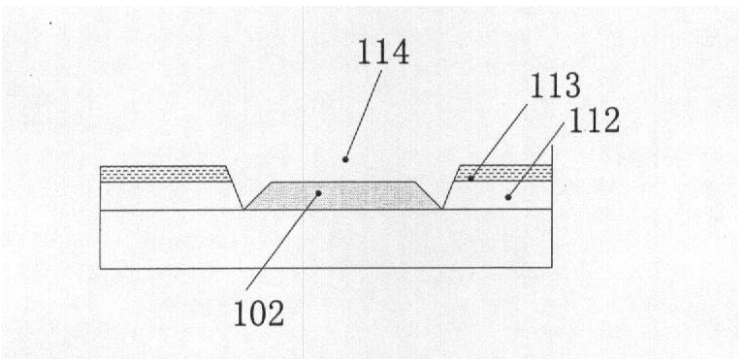
【図 13 c】



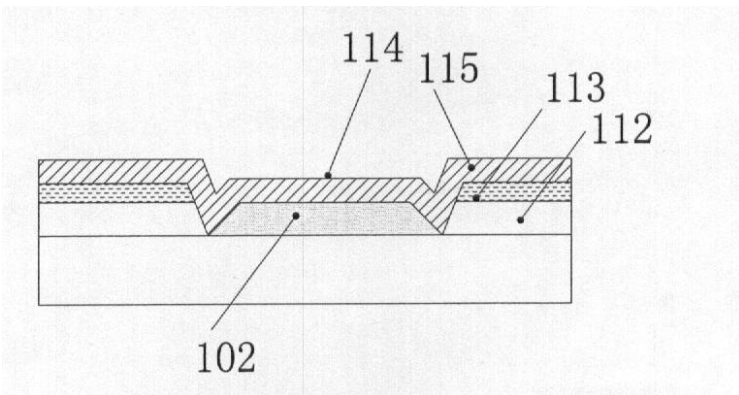
【図 13 d】



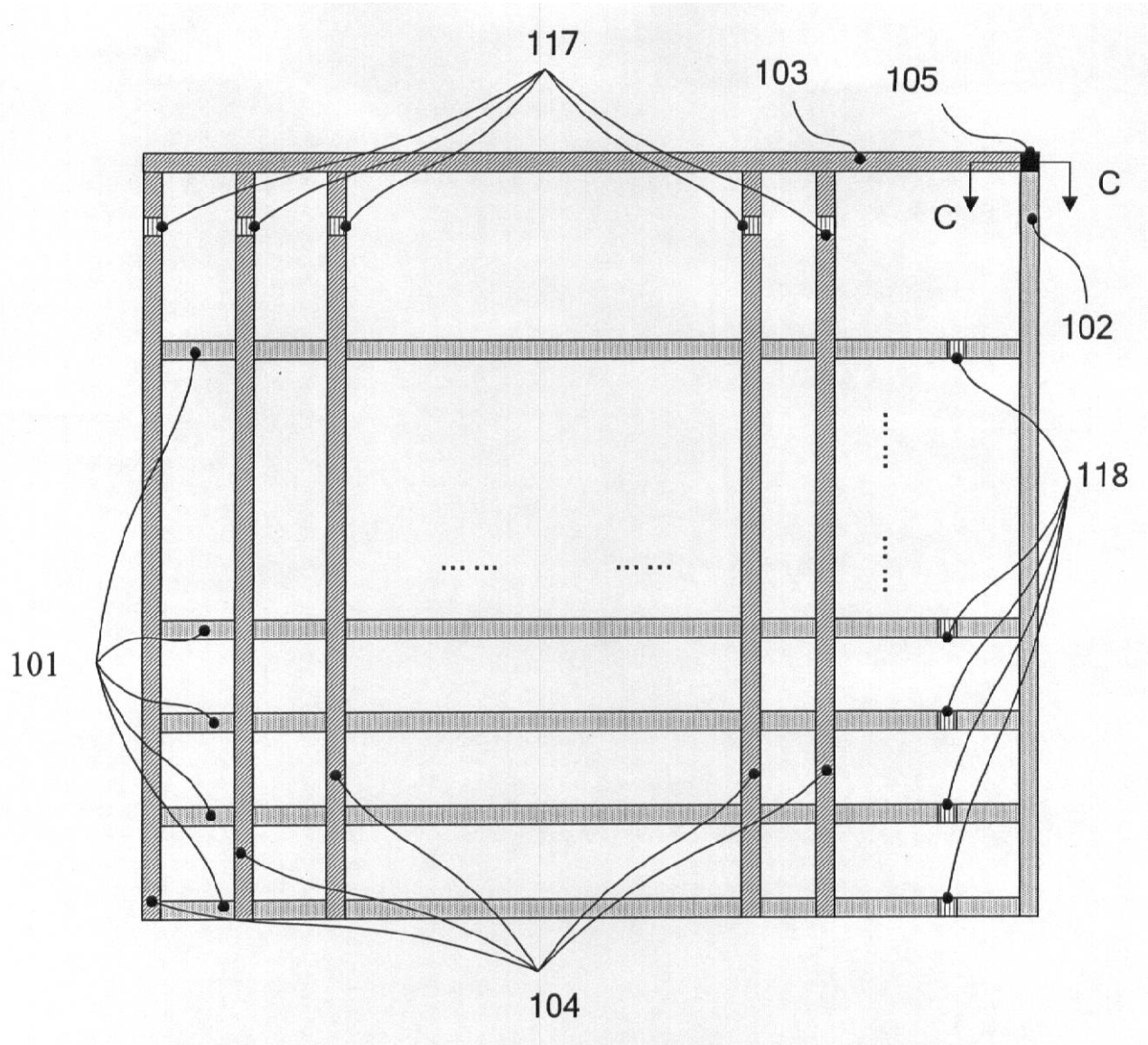
【図 13 e】



【図 13 f】



【図 13 g】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 F 9/30 3 3 0 Z	
	G 0 9 F 9/00 3 3 8	

(72)発明者 肖 紅璽
中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

(72)発明者 蘇 順康
中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

(72)発明者 吳 平
中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

(72)発明者 丁 漢亭
中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

F ターム(参考) 2H092 GA64 JA24 JA34 JA37 JA41 JB22 JB31 JB79 MA14 MA15
MA17 MA57 NA14 PA01
5C094 AA21 AA42 BA43 DB01 EA10 EB02 FB12 GB10
5F110 AA22 BB01 CC07 DD02 EE02 HL02 NN02 NN72 QQ02 QQ14
5G435 AA16 AA17 BB12 GG32 HH12 KK05