(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5600235号
(P5600235)
(45)発行日　平成26年10月1日(2014.10.1)　(24)登録日　平成26年8月22日(2014.8.22)

(51)Int.Cl.　　F I
G11C 11/408 (2006.01)　　G11C 11/34 354B
G11C 11/413 (2006.01)　　G11C 11/34 303
G11C 11/407 (2006.01)　　G11C 11/34 362T

請求項の数 4　(全 14 頁)

(21)出願番号　特願2007-265418 (P2007-265418)
(22)出願日　平成19年10月11日 (2007.10.11)
(65)公開番号　特開2009-93769 (P2009-93769A)
(43)公開日　平成21年4月30日 (2009.4.30)
審査請求日　平成22年9月13日 (2010.9.13)

(73)特許権者　513192281
ピーエスフォー　ルクスコ　エスエイアールエル
ＰＳ４　Ｌｕｘｃｏ　Ｓ．ａ．ｒ．ｌ．
ルクセンブルク大公国エル－２１２１、ルクセンブルク、ヴァル　デ　ボン　マラデス２０８
(74)代理人　100101454
弁理士　山田　卓二
(72)発明者　余公　秀之
東京都中央区八重洲二丁目２番１号　エルピーダメモリ株式会社内

審査官　滝谷　亮一

最終頁に続く

(54)【発明の名称】半導体記憶装置、およびアドレスラッチの高速化方法

(57)【特許請求の範囲】
【請求項１】
アドレス信号の入力ピンとコマンド信号の入力ピンとが共通化されると共に、クロック信号のＲｉｓｅ（立ち上がり）エッジとＦａｌｌ（立ち下がり）エッジに同期して、前記アドレス信号とコマンド信号とを個々に取り込む機能を有する半導体記憶装置であって、
前記コマンド信号を、前記Ｒｉｓｅエッジに同期してエッジトリガタイプのラッチ回路により取り込み保持すると共に、
前記アドレス信号を、前記Ｆａｌｌエッジに同期してスルーラッチタイプのラッチ回路により取り込み保持するように、
構成されたことを特徴とする半導体記憶装置。
【請求項２】
前記半導体記憶装置がＬＰＤＤＲ２（Low Power DDR2）に対応するＤＲＡＭであること、
を特徴とする請求項１記載の半導体記憶装置。
【請求項３】
アドレス信号の入力ピンとコマンド信号の入力ピンとが共通化されると共に、クロック信号のＲｉｓｅ（立ち上がり）エッジとＦａｌｌ（立ち下がり）エッジに同期して、前記アドレス信号とコマンド信号とを個々に取り込む機能を有する半導体記憶装置におけるアドレスラッチの高速化方法であって、
前記コマンド信号を、前記Ｒｉｓｅエッジに同期してエッジトリガタイプのラッチ回路

により取り込み保持する手順と、
前記アドレス信号を、前記Ｆａｌｌエッジに同期してスルーラッチタイプのラッチ回路により取り込み保持する手順と、
を含むこと特徴とするアドレスラッチの高速化方法。
【請求項４】
前記アドレスデータは、前記スルーラッチタイプのラッチ回路のセットアップ時間ｔＳよりも短いアクセス時間Ｔａでアドレスパスに現れることを特徴とする請求項１記載の半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＤＤＲ（Double Data Rate）の高速化方式、例えば、ＬＰＤＤＲ２（Low Power DDR2）仕様に対応できる、半導体記憶装置、およびアドレスラッチの高速化方法に関する。
【背景技術】
【０００２】
近年の半導体記憶装置においては、低消費電力に加えて高速動作も両立しなければならず、各信号のアクセス効率化が要求されている。例えば、ＬＰＤＤＲ２仕様のＤＲＡＭが要求されている。
【０００３】
このため、ＤＤＲ方式のアドレスの高速化方式として、従来別々とされていたアドレス信号入力ピン及びコマンド信号入力ピンを共通化し、クロック信号のＲｉｓｅ／Ｆａｌｌ（立ち上がり／立ち下がり）両エッジでコマンド及びアドレスを取り込む機能が検討されている。
【０００４】
従来の一般的なＤＤＲ回路では、図９（Ａ）に示すように、例えば、ＡＣＴＶ（活性化）コマンドの場合に、クロック信号ＣＫ（周期ｔＣＫ）のＲｉｓｅエッジ（立ち上がりエッジ）Ｒ１のみに同期して、コマンドデータおよびアドレスデータを取り込んでいる。
【０００５】
また、図９（Ｂ）に示すように、コマンドデータ、アドレスデータを取り込むラッチ回路にはエッジトリガタイプのラッチ回路２０を採用していることから、アクセス時間はクロック信号ＣＫのＲｉｓｅエッジＲ１を基に生成されるトリガ信号により決定される。
【０００６】
上記高速化方式ではクロックのＲｉｓｅ／Ｆａｌｌ両エッジで取り込む方式を採用しているため、図９（Ｂ）に示すエッジトリガタイプのラッチ回路２０を採用してしまうと、図１０に示すように、１／２ｔＣＫ分アクセスペナルティを持つことになる。すなわち、アドレスアクセス時間ｔ１はＦａｌｌエッジＦ１を基に決定されてしまい、ＲｉｓｅエッジＲ１からのアクセス時間ｔ２が、アクセス時間ｔ１に対し、１／２ｔＣＫ分増加することになる。
【０００７】
このため、ＤＤＲのアドレスの高速化方式において、従来別々とされていたアドレス信号入力ピンとコマンド信号入力ピンとを共通化し、Ｒｉｓｅ／Ｆａｌｌ（立ち上がり／立ち下がり）両エッジでコマンドデータ及びアドレスデータを取り込む際に、上記１／２ｔＣＫ分アクセスペナルティの問題を解決することが要求されていた。
【０００８】
なお、本発明に関連する従来技術として、従来技術のメモリ制御方法およびメモリ制御回路がある（例えば、特許文献１参照）。しかしながら、この従来技術のメモリ制御方法およびメモリ制御回路は、メモリの設計に負担をかけることなく、柔軟性や事後調整が容易であり、微妙なタイミング調整の困難さも少ないメモリ制御回路を提供することを目的しており、上述したＤＤＲの高速化方式における１／２ｔＣＫ分のアクセスペナルティの

問題を解決しようとするものではない。
【特許文献１】特許２００３－７６６０２号公報
【発明の開示】
【発明が解決しようとする課題】
【０００９】
上述したように、ＤＤＲの高速化方式において、従来別々とされていたアドレス信号入力ピンとコマンド信号入力ピンとを共通化し、Ｒｉｓｅ／Ｆａｌｌ（立ち上がり／立ち下がり）両エッジでコマンドデータ及びアドレスデータを取り込む際に、１／２ｔＣＫ分のアクセスペナルティの問題が生じていた。
【００１０】
本発明は、斯かる実情に鑑みなされたものであり、本発明の目的は、ＤＤＲの高速化方式において、従来別々とされていたアドレス信号入力ピンとコマンド信号入力ピンとを共通化し、Ｒｉｓｅ／Ｆａｌｌ（立ち上がり／立ち下がり）両エッジでコマンドデータ及びアドレスデータを取り込む際に、１／２ｔＣＫ分のアクセスペナルティの問題が生じることを解決できる、半導体記憶装置、およびアドレスラッチの高速化方法を提供することにある。
【課題を解決するための手段】
【００１１】
本発明は上記課題を解決するためになされたものであり、本発明の半導体記憶装置は、アドレス信号の入力ピンとコマンド信号の入力ピンとが共通化されると共に、クロック信号のＲｉｓｅ（立ち上がり）エッジとＦａｌｌ（立ち下がり）エッジに同期して、前記アドレス信号とコマンド信号とを個々に取り込む機能を有する半導体記憶装置であって、前記コマンド信号を、前記Ｒｉｓｅエッジに同期してスルーラッチタイプのラッチ回路により取り込み保持すると共に、前記アドレス信号を、前記Ｆａｌｌエッジに同期してスルーラッチタイプのラッチ回路により取り込み保持するように、構成されたことを特徴とする。
上記構成からなる本発明の半導体記憶装置では、アドレス入力ピンとコマンド入力ピンとが共通化され（コマンドデータとアドレスデータが共有データバス化され）、クロック信号のＲｉｓｅエッジに同期してコマンドをラッチし、Ｆａｌｌエッジに同期してアドレスをラッチする場合に、スルーラッチタイプのラッチ回路を使用する。
これにより、アドレスラッチにおいて、Ｆａｌｌエッジから決まるアクセス時間をセットアップ分高速化することができ、１／２ｔＣＫ分のペナルティを緩和することが可能になる。
【００１２】
また、本発明の半導体記憶装置は、アドレス信号の入力ピンとコマンド信号の入力ピンとが共通化されると共に、クロック信号のＲｉｓｅ（立ち上がり）エッジとＦａｌｌ（立ち下がり）エッジに同期して、前記アドレス信号とコマンド信号とを個々に取り込む機能を有する半導体記憶装置であって、前記コマンド信号を、前記Ｒｉｓｅエッジに同期してエッジトリガタイプのラッチ回路により取り込み保持すると共に、前記アドレス信号を、前記Ｆａｌｌエッジに同期してスルーラッチタイプのラッチ回路により取り込み保持するように、構成されたことを特徴とする。
上記構成からなる本発明の半導体記憶装置では、アドレス入力ピンとコマンド入力ピンとが共通化され（コマンドデータとアドレスデータが共有データバス化され）、クロック信号のＲｉｓｅエッジに同期してコマンドをラッチし、Ｆａｌｌエッジに同期してアドレスをラッチする場合に、コマンドラッチにおいてはエッジトリガタイプのラッチ回路を使用し、アドレスラッチにおいてはスルーラッチタイプのラッチ回路を使用する。
これにより、コマンドラッチにおいては、エッジトリガタイプのラッチ回路により、安定的にデータを取り込むことができ、アドレスラッチにおいては、スルーラッチタイプのラッチ回路により、Ｆａｌｌエッジから決まるアクセス時間をセットアップ分高速化することができ、１／２ｔＣＫ分のペナルティを緩和することが可能になる。

【００１３】
また、本発明の半導体記憶装置は、前記半導体記憶装置がＬＰＤＤＲ２（Ｌｏｗ　Ｐｏｗｅｒ　ＤＤＲ２）に対応するＤＲＡＭであること、を特徴とする。
これにより、本発明の半導体記憶装置を使用して、ＬＰＤＤＲ２対応のＤＲＡＭを容易に構成できるようになる。
【００１４】
また、本発明のアドレスラッチの高速化方法は、アドレス信号の入力ピンとコマンド信号の入力ピンとが共通化されると共に、クロック信号のＲｉｓｅ（立ち上がり）エッジとＦａｌｌ（立ち下がり）エッジに同期して、前記アドレス信号とコマンド信号とを個々に取り込む機能を有する半導体記憶装置におけるアドレスラッチの高速化方法であって、前記コマンド信号を、前記Ｒｉｓｅエッジに同期してスルーラッチタイプのラッチ回路により取り込み保持する手順と、前記アドレス信号を、前記Ｆａｌｌエッジに同期してスルーラッチタイプのラッチ回路により取り込み保持する手順と、を含むこと特徴とする。
上記手順を含む本発明のアドレスラッチの高速化方法では、アドレス入力ピンとコマンド入力ピンとが共通化され（コマンドデータとアドレスデータが共有データバス化され）、クロック信号のＲｉｓｅエッジに同期してコマンドをラッチし、Ｆａｌｌエッジに同期してアドレスをラッチする場合に、スルーラッチタイプのラッチ回路を使用する。
これにより、アドレスラッチにおいて、Ｆａｌｌエッジから決まるアクセス時間をセットアップ分高速化することができ、１／２ｔＣＫ分のペナルティを緩和することが可能になる。
【発明の効果】
【００１５】
本発明においては、アドレスラッチ回路として、スルーラッチタイプのラッチ回路を使用するようにしたので、これにより、アドレスラッチの際に、Ｆａｌｌエッジから決まるアクセス時間をセットアップ分高速化することができ、１／２ｔＣＫ分のアクセスペナルティを緩和することが可能になる。
【発明を実施するための最良の形態】
【００１６】
以下、本発明の実施の形態を添付図面を参照して説明する。
【００１７】
［本発明の基本概念についての説明］
ＤＤＲのアドレスの高速化方式において、従来別々とされていたアドレス信号ピン及びコマンド信号ピンを共通化し、Ｒｉｓｅ／Ｆａｌｌ両エッジでコマンドデータ及びアドレスデータを取り込む機能が検討されている。
【００１８】
上記高速化方式に対応するために、本発明の半導体記憶装置においては、Ｆａｌｌエッジで取り込まれたアドレスデータをスルーラッチタイプのラッチ回路でラッチ（保持）することで、セットアップ分の高速化を可能にする。
【００１９】
図１は、本発明の半導体記憶装置における基本概念について説明するための図であり、ＡＣＴＶ（アクティブ）コマンドの例を示したものである。
【００２０】
図１に示す例では、アドレス（ＡＤＤ）データ及びコマンド（ＣＭＤ）データの入力ピンが共通化されており、クロック信号ＣＫのＲｉｓｅエッジＲ１でコマンド（ＣＭＤ）をコマンドパスに取り込み、Ｆａｌｌエッジ Ｆ１でアドレス（ＡＤＤ）をアドレスパスに取り込む例である。
【００２１】
このＡＤＤの取り込みを従来のエッジトリガタイプのラッチ回路（「エッジトリガラッチ回路」とも言う）を使用して行うと、クロック信号のＦａｌｌエッジＦ１を基に、後述するトリガ信号（１ショットパルス）発生回路により生成されるトリガ信号によりアドレ

ス取り込むことになり、時刻ｔｂにおいてアドレスパスにデータが現れる。
【００２２】
一方、スルーラッチタイプのラッチ回路（「スルーラッチ回路」とも言う）を使用すると、トリガ信号によりアドレスを取り込む前に、ＡＤＤ信号がそのままアドレスパスに現れ、時刻ｔａにおいてアドレスパスにＡＤＤデータが現れる。これにより、アドレス取り込みにおいて、セットアップ分（ｔＳ）の高速化が可能になる。
【００２３】
このように、アドレスのラッチ回路にスルーラッチタイプを使用することにより、アドレスラッチにおいて、Ｆａｌｌエッジから決まるアクセス時間をセットアップ分高速化することができ、従来技術で問題となっていた、１／２ｔＣＫ分のペナルティ（図９を参照）を緩和することが可能になる。
【００２４】
［第１の実施の形態］
次に、本発明の第１の実施の形態として、コマンド（ＣＭＤ）データとアドレス（ＡＤＤ）データの両方をスルーラッチ回路を使用して取り込む例について説明する。
【００２５】
図２は、本発明の第１の実施の形態に係わる半導体記憶装置の回路構成を示す図であり、コマンド（ＣＭＤ）およびアドレス（ＡＤＤ）のラッチ動作に関係する部分を示したものである。
【００２６】
図２に示す回路においては、基本となるクロック信号ＣＫがパッド（入力ピン）ＣＫに入力される。（なお、パッドは回路への入力ピンとなるものであり、このパッドは入力される信号名と同じ符号により区別される。）
【００２７】
また、クロック信号ＣＫの論理反転信号ＣＫＢが入力パッドＣＫＢに入力され、コマンド、アドレス共有データバスの信号ＣＡ０～ＣＡｎが共有パッドＣＡ０～ＣＡｎに入力される。
【００２８】
また、コマンド、アドレス共有パッドＣＡ０～ＣＡｎに対して、それぞれの信号に対応する入力バッファ１３が接続され、入力バッファ１３から信号ＰＣＡ０Ｂ～ＰＣＡｎＢが出力される。入力バッファ１３の出力側は、ＣＭＤデータおよびＡＤＤデータをラッチするＣＡラッチ回路１４に接続される。
【００２９】
また、パッドＣＫ、パッドＣＫＢには、それぞれに対する入力バッファ１１が接続され、入力バッファ１１からバッファ信号ＰＣＫＡＦＯＵＴと、バッファ信号ＰＣＫＡＲＯＵＴが出力される。入力バッファ１１には、クロックジェネレータ１２が接続される。
【００３０】
クロックジェネレータ１２は、入力バッファ１１から出力される信号ＰＣＫＡＦＯＵＴ、ＰＣＫＡＲＯＵＴを受け取り、信号ＰＣＬＫＡＬＦＴ、ＰＣＬＫＡＬＲＴを出力する。信号ＰＣＬＫＡＬＦＴは、Ｆａｌｌラッチ用のトリガ信号となるＦａｌｌ用１ショットパルスであり、信号ＰＣＬＫＡＬＲＴは、Ｒｉｓｅラッチ用のトリガ信号となるＲｉｓｅ用１ショットパルスである（これらの信号の形態については後述する）。Ｆａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴと、Ｒｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴは、ＣＡラッチ回路１４に向けて出力される。
【００３１】
ＣＡラッチ回路１４は、入力バッファ１３から出力される信号ＰＣＡ０Ｂ～ＰＣＡｎＢを受け、また、クロックジェネレータ１２から出力される信号ＰＣＬＫＡＬＦＴ、ＰＣＬＫＡＬＲＴを受け取る。そして、ＣＡラッチ回路１４は、信号ＰＣＡ０Ｂ～ＰＣＡｎＢを基に、アドレス（ＡＤＤ）データである信号ＰＡＢＦ０～ｎと、コマンド（ＣＭＤ）データである信号ＰＡＢＲ０～ｎをラッチして出力する。

【００３２】
制御回路１５は、ＣＡラッチ回路１４の出力信号（ＡＤＤデータ）ＰＡＢＦ０～ｎ、および出力信号（ＣＭＤデータ）ＰＡＢＲ０～ｎを受け取りチップ内の動作を制御する。
【００３３】
図３は、ＣＡラッチ回路の構成を示す図である。ＣＡラッチ回路１４は、入力バッファ１３から入力する信号ＰＣＡ０Ｂ～ＰＣＡｎＢの各信号に対応する、Ｆａｌｌ用スルーラッチ回路ＦＳ０～ＦＳｎと、Ｒｉｓｅ用スルーラッチ回路ＲＳ０～ＲＳｎとを有している。
【００３４】
Ｆａｌｌ用スルーラッチ回路ＦＳ０には、信号ＰＣＡ０Ｂと、Ｆａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴが入力され、アドレスデータ（０ビット目）となる信号ＰＡＢＦ０を出力する。同様にして、Ｆａｌｌ用スルーラッチ回路ＦＳｎには、信号ＰＣＡｎＢと、Ｆａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴが入力され、アドレスデータ（ｎビット目）となる信号ＰＡＢＦｎを出力する。
【００３５】
また、Ｒｉｓｅ用スルーラッチ回路ＲＳ０には、信号ＰＣＡ０Ｂと、Ｒｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴが入力され、コマンドデータ（０ビット目）となる信号ＰＡＢＲ０を出力する。同様にして、Ｒｉｓｅ用スルーラッチ回路ＲＳｎには、信号ＰＣＡｎＢと、Ｒｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴが入力され、コマンドデータ（ｎビット目）となる信号ＰＡＢＲｎを出力する。
【００３６】
また、Ｆａｌｌ用スルーラッチ回路ＦＳ０はインバータ１０１～１０３、クロックドインバータ１０４、１０５で構成される。Ｒｉｓｅ用スルーラッチ回路ＲＳ０は、Ｆａｌｌ用スルーラッチ回路と同様に、インバータ１０６～１０８、クロックドインバータ１０９、１１０で構成される。なお、図示するスルーラッチ回路は周知の回路構成のものであり、その説明は省略する。
【００３７】
また、ｎ番目のＦａｌｌ用スルーラッチ回路ＦＳｎも同様にインバータ１１１～１１３と、クロックドインバータ１１４、１１５とで構成される。Ｒｉｓｅ用スルーラッチ回路ＲＳｎは、インバータ１１６～１１８と、クロックドインバータ１１９、１２０で構成される。
【００３８】
（回路動作の説明）
次に、図４のタイミングチャートを参照して用いて、図２に示す回路の動作について説明する。
【００３９】
図４のタイミングチャートに示す各信号は、図２に示す各回路部における入出力信号を示しており、信号ＣＫは入力バッファ１１に入力されるクロック信号、信号ＣＫＢは入力バッファ１１に入力されるクロック信号(クロック信号ＣＫの論理反転信号)である。信号ＣＡ０～ｎは、入力バッファ１３の入力信号であり、コマンド（ＣＭＤ）データと、アドレス（ＡＤＤ）データの両方を含む共有データバスの信号である。信号ＰＣＡ０Ｂ～ｎＢは、入力バッファ１３から出力されるバッファ信号である。信号ＰＣＬＫＡＬＲＴは、クロックジェネレータ１２から出力されるＲｉｓｅ用１ショットパルス信号であり、信号ＰＣＬＫＡＬＦＴは、クロックジェネレータ１２から出力されるＦａｌｌ用１ショットパルス信号である。信号ＰＡＢＲ０～ｎは、ＣＡラッチ回路１４から出力されるＣＭＤデータであり、信号ＰＡＢＦ０～ｎは、ＣＡラッチ回路１４から出力されるＡＤＤデータである。
【００４０】
図４において、ＤＤＲ＿ＤＲＡＭと同様に、チップセレクト信号ＣＳ＝“Ｌ”のときの、コマンドピンの入力状態でチップの状態は決定されるが、ＬＰＤＤＲ２では、クロック

信号ＣＫのＲｉｓｅエッジのＣＡ０～ＣＡｎまでのデータの組み合わせでチップの状態が決定される。

【００４１】

アドレスアクセスを決めるコマンドは大きくＡＣＴＶ（アクティブ）コマンド、ＷＲＩＴ（ライト）コマンド、ＲＥＡＤ（リード）コマンドに分かれるが、どのコマンドも、クロック信号ＣＫのＲｉｓｅエッジでコマンドが決定された場合、クロック信号ＣＫのＦａｌｌエッジのＣＡ０～ＣＡｎまでの状態でそのコマンドのアドレスが決定される。（一部のアドレスはＲｉｓｅエッジで決まる）。

【００４２】

図４に示す例では、ＡＣＴＶコマンドを想定しており、ＣＡ０～ＣＡｎに入力されたデータは、入力バッファ１３（図２を参照）により、ＰＣＡ０Ｂ～PCＡｎＢまでの出力信号となって、ＣＡラッチ回路１４に入力される。

【００４３】

このとき、当該クロック信号ＣＫ、ＣＫＢは入力バッファ１１より、Ｒｉｓｅ用クロックＰＣＫＡＲＯＵＴ（図示せず）、Ｆａｌｌ用クロックＰＣＫＡＦＯＵＴ信号（図示せず）として出力され、クロックジェネレータ１２よりＲｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴ、Ｆａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴとして出力され、ＣＡラッチ回路１４に入力される。

【００４４】

ＣＡラッチ回路１４は、ラッチ回路としてスルーラッチタイプを使用していることから、外部ＣＡ０～ＣＡｎピンに入力され入力バッファ１３を介したデータＰＣＡ０Ｂ～ＰＣＡｎＢの信号がＣＡラッチ回路１４に入力されると、そのままＰＡＢＲ０～ＰＡＢＲｎの信号としてすぐ制御回路１５に出力されることになる。

【００４５】

すなわち、図４において、ＣＡ０～ｎの信号ＣＭＤが、矢付線ａ１、ａ２で示す信号遷移経路（以下、単に「経路」と言う）により、ＣＡラッチ回路１４の出力信号ＰＡＢＲ０～ｎに現れる。

【００４６】

その後、Ｒｉｓｅラッチ用クロックとなるＲｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴが“Ｈ”入力され、Ｒｉｓｅ用スルーラッチ回路ＲＳ０～ｎ（図３を参照）内に確定データがホールドされる。

【００４７】

すなわち、矢付線ｃ１で示す経路により、クロック信号ＣＫからＲｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴが生成され、矢付線ｃ２で示す経路により、Ｒｉｓｅ用スルーラッチ回路ＲＳ０～ｎ内に確定データがホールドされる。

【００４８】

また、Ｆａｌｌエッジの場合も同様に、外部ＣＡ０～ＣＡｎピンに入力され入力バッファ１３を介したデータＰＣＡ０Ｂ～ＰＣＡｎＢの信号がＣＡラッチ回路１４に入力されると、そのままＰＡＢＦ０～ＰＡＢＦｎの信号としてすぐ制御回路１５に出力されることになる。

【００４９】

すなわち、図４において、ＣＡ０～ｎの信号ＡＤＤが、矢付線ｂ１、ｂ２で示す経路により、ＣＡラッチ回路１４の出力信号ＰＡＢＦ０～ｎに現れる。

【００５０】

その後、クロック信号ＣＫＢを基に生成されたＦａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴが“Ｈ”入力され、Ｆａｌｌ用ラッチ回路ＦＳ０～ｎ内に確定データがホールドされる

【００５１】

すなわち、矢付線ｄ１で示す経路により、クロック信号ＣＫＢからＦａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴが生成され、矢付線ｄ２で示す経路により、Ｆａｌｌ用スルー

ラッチ回路ＦＳ０～ＦＳｎ（図３を参照）内に確定データがホールドされる。

【００５２】

このように、ＣＡラッチ回路１４をスルーラッチタイプのラッチ回路に変更することで、制御回路１５へ最速に確定データを出力することが可能となる。

【００５３】

但し、先にも述べたように、ＬＰＤＤＲ２仕様ではＲｉｓｅ／Ｆａｌｌ両エッジでデータを取り込むため、アクセスを律速するパス（アクセスの速さを決定する主要なパス）はＦａｌｌエッジになり、ＣＡラッチ回路１４において従来タイプであるエッジトリガタイプを使用した場合、ＰＡＢＲ０～ＰＡＢＲｎとＰＡＢＦ０～ＰＡＢＦｎの出力信号は破線ｈ１、ｈ２で囲んだ部分に示すように、１ショットパルスＰＣＬＫＡＬＲＴ、ＰＣＬＫＡＬＦＴから起動されることになり、従来のＤＤＲ製品に対しては１／２ｔＣＫ分アクセスペナルティとなってしまう。

【００５４】

本発明の場合のようにスルーラッチ回路を適用した場合、１／２ｔＣＫのアクセスペナルティに対して、セットアップ分（ｔＳ）高速化されることが予測され、クロック信号ＣＫ、ＣＫＢから信号ＰＣＬＫＡＬＦＴが生成されるまでの時間ｔＣＬＫＦＴと、入力信号ＣＡ０～ＣＡｎから信号ＰＣＡ０Ｂ～ＰＣＡｎＢが生成されるまでの時間ｔＰＣＡＢの関係が「ｔＰＣＡＢ＜ｔＣＬＫＴＦ」となれば、つまりＣＡピンのデータパスをより高速化することができれば、セットアップ分（ｔＳ）以上の高速化（＋α分）が期待される。

【００５５】

以上説明したように、本発明においては、ＬＰＤＤＲ２仕様で従来通りのエッジトリガタイプのラッチ回路を使用した場合に発生する１／２ｔＣＫアクセスペナルティを、スルーラッチタイプのラッチ回路に変更することで、本来のアクセスペナルティに対してセットアップ分緩和することができる。

【００５６】

［第２の実施の形態］

次に、本発明の半導体記憶装置の第２の実施の形態について説明する。

【００５７】

本発明が提供されるアドレスの高速化方式では、アクセスペナルティがＦａｌｌエッジのみで決まってしまうので、Ｒｉｓｅエッジによる取り込みデータのみエッジトリガタイプのラッチ回路で安定的に取り込み、Ｆａｌｌエッジのデータはアクセス速度を考慮してスルーラッチタイプのラッチ回路を適用するようにできる。

【００５８】

本発明の第２の実施の形態として、Ｒｉｓｅエッジによる取り込みデータのみエッジトリガタイプのラッチ回路で安定的に取り込み、Ｆａｌｌエッジのデータはアクセス速度を考慮してスルーラッチタイプのラッチ回路を適用する構成例について説明する。

【００５９】

図５は、本発明の第２の実施の形態に係わる半導体記憶装置の回路構成を示す図であり、コマンド（ＣＭＤ）およびアドレス（ＡＤＤ）のラッチ動作に関係する部分を示したものである。

【００６０】

図５に示す回路が、図２に示す回路と構成上異なるのは、図２に示すＣＡラッチ回路１４の内部構成を変更して、新たにＣＡラッチ回路１４Ａにした点であり、他の構成は図２に示す回路構成と同様である。このため、同一の構成部分には同一の符号を付し、重複する説明は省略する。

【００６１】

図６は、本発明の第２の実施の形態におけるＣＡラッチ回路１４Ａの構成を示す図である。

【００６２】

図６に示すＣＡラッチ回路１４Ａは、入力バッファ１３から入力する信号ＰＣＡ０Ｂ～

ＰＣＡｎＢの各信号に対応する、Ｆａｌｌ用スルーラッチ回路ＦＳＡ０～ＦＳＡｎと、Ｒｉｓｅ用エッジトリガラッチ回路ＲＥ０～ＲＥｎとを有している。

【００６３】

Ｆａｌｌ用スルーラッチ回路ＦＳＡ０には、信号ＰＣＡ０Ｂと、Ｆａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴが入力され、アドレスデータ（０ビット目）となる信号ＰＡＢＦ０を出力する。同様にして、Ｆａｌｌ用スルーラッチ回路ＦＳＡｎには、信号ＰＣＡｎＢと、Ｆａｌｌ用１ショットパルスＰＣＬＫＡＬＦＴが入力され、アドレスデータ（ｎビット目）となる信号ＰＡＢＦｎを出力する。

【００６４】

また、Ｒｉｓｅ用エッジトリガラッチ回路ＲＥ０には、信号ＰＣＡ０Ｂと、Ｒｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴが入力され、コマンドデータ（０ビット目）となる信号ＰＡＢＲ０を出力する。同様にして、Ｒｉｓｅ用エッジトリガラッチ回路ＲＥｎには、信号ＰＣＡｎＢと、Ｒｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴが入力され、コマンドデータ（ｎビット目）となる信号ＰＡＢＲｎを出力する。

【００６５】

また、Ｆａｌｌ用スルーラッチ回路ＦＳＡ０～ＦＳＡｎは、インバータ２０１～２０３、クロックドインバータ２０４、２０５で構成される。Ｒｉｓｅ用エッジトリガラッチ回路ＲＥ０～ＲＥｎは、インバータ２０６～２０９、クロックドインバータ２１０～２１３で構成される。なお、スルーラッチ回路およびエッジトリガラッチ回路は、周知の構成のものであり、その説明については省略する。

【００６６】

図７は、第２の実施の形態における動作を説明するためのタイミングチャートである。

【００６７】

図７のタイミングチャートに示すＣＫ等の各信号は、図４に示すタイミングチャートと同様であり、各信号の内容についての重複した説明は省略する。

【００６８】

本発明の第２の実施の形態では、図７に示すように、コマンド信号ＰＡＢＲ０～ｎについては、矢付線ｃ１で示す経路により、クロック信号ＣＫのＲｉｓｅエッジからＲｉｓｅ用１ショットパルスＰＣＬＫＡＬＲＴが生成され、矢付線ｃ２で示す経路により、信号ＰＡＢＲ０～ｎ内のＣＭＤデータが、Ｒｉｓｅ用エッジトリガラッチ回路ＲＥ０～ｎ（図６を参照）にホールドされる。

【００６９】

このように、Ｒｉｓｅエッジのみエッジトリガタイプのラッチ回路ＲＥ０～ｎを使用した場合は、スルーラッチタイプのラッチ回路を使用した場合（経路ａ１、ａ２）に比べてｔｄ時間分だけアクセスが遅れるが、ホールドマージン向上のために安定動作が可能になる。すなわち、図７に示すようにエッジトリガタイプはホールド性が良く、次のクロックが入力されるまでデータを保証するので回路が安定的に動作する特徴がある。

【００７０】

なお、Ｆａｌｌエッジ側については、スルーラッチタイプのラッチ回路ＦＳＡ０～ｎ（図６を参照）を使用するので、ＣＡ０～ｎの信号ＡＤＤが、矢付線ｂ１、ｂ２で示す経路により、出力信号ＰＡＢＦ０～ｎに現れる。すなわち、アドレスのラッチ回路にスルーラッチタイプを使用することにより、アドレスラッチにおいて、Ｆａｌｌエッジから決まるアクセス時間をセットアップ分（ｔＳ）だけ高速化することができ、従来技術で問題となっていた、１／２ｔＣＫ分のペナルティ（図９を参照）を緩和することが可能になる。

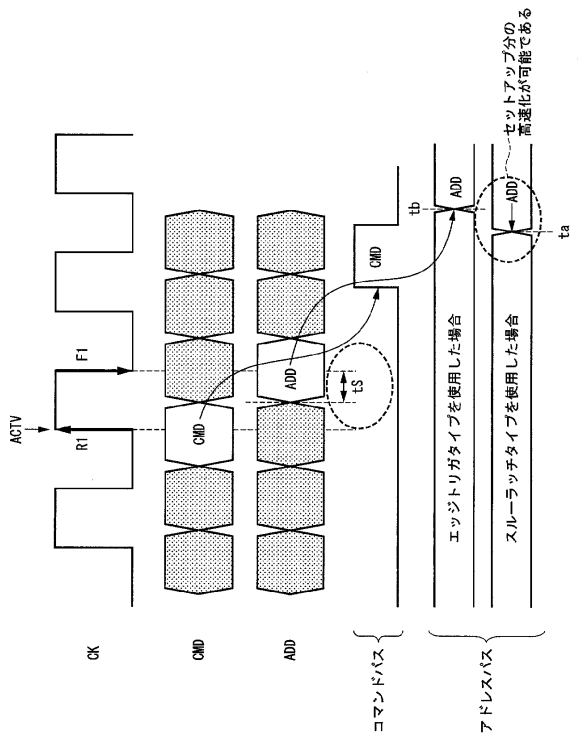
【００７１】

このように、本発明の第２の実施の形態においては、アクセスペナルティがＦａｌｌエッジのみで決まってしまうので、Ｒｉｓｅエッジによる取り込みデータのみエッジトリガタイプで安定的に取り込み、Ｆａｌｌエッジのデータはアクセス速度を考慮してスルーラッチタイプを適用する。これにより、本発明によるアクセス高速化と共に回路動作マージンを向上することが可能となる。

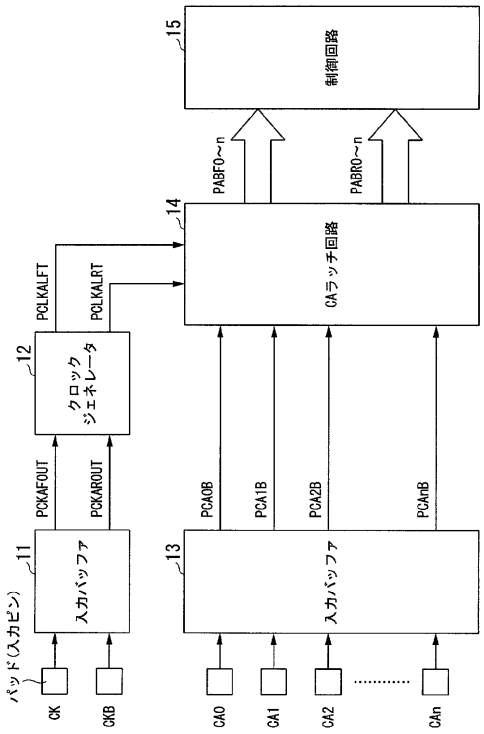
【００７２】
［本発明の適用例］
以上、本発明の実施の形態について説明したが、本発明は、入力データに対し、Ｒｉｓｅ／Ｆａｌｌ両エッジ取り込みを機能として有する半導体記憶装置（ＬＳＩ）に利用できる。特に、ＤＲＡＭに効果的に適用できる。
【００７３】
図８は、本発明を利用できるＤＲＡＭの概略構成を示す図である。図７に示すＤＲＡＭの構成は、周知の構成のものであるが、簡単にだけ説明しておく。
【００７４】
図８に示すＤＲＡＭは、メモリアレイ部１、Ｘデコーダ部２－１、Ｘタイミング生成回路部２－２、Ｙデコーダ部３－１、Ｙタイミング生成回路部３－２、データ制御回路部４、データラッチ回路部５、入出力インターフェース部６、内部ＣＬＫ(Clock)生成回路部７、制御信号生成回路部８、ＤＬＬ(Delay Locked Loop)回路９を備えている。
【００７５】
メモリアレイ部１は、複数のバンク（Bank_0、…、Bank_m）を備えており、それぞれのバンクには、複数のメモリマット列（メモリマット列０、メモリマット列１、メモリマット列２、…）が備えられている。それぞれのメモリマット列は、複数のワード線（ＷＬ:Word line）と複数のビット線（ＢＬ：Bit Line）とを有する複数のメモリマットと、センスアンプ回路（ＳＡ：Sense Amplifer）と、サブワードドライバ回路（ＳＷＤ：Sub Word Driver）とを備えており、それぞれのワード線とビット線の交点にメモリセル（ＭＣ：Memory Cell）が存在する。
【００７６】
メモリアレイ部１とデータラッチ回路部５と入出力インターフェース部６は、データ転送用バスにより接続される。データ制御回路部４は、データラッチ回路部５におけるデータ転送を制御する。ＤＬＬ回路９は、ＣＫ（Clock）、／ＣＫが入力され、入出力インターフェース部６におけるデータの外部への出力タイミングを制御する。Ｘデコーダ部２－１、Ｘタイミング生成回路部２－２及びＹデコーダ３－１、Ｙタイミング生成回路部３－２は、メモリアレイ部１におけるメモリセルからの書き込み、読み出し等の動作を制御する。内部ＣＬＫ生成回路部７は、ＣＫ、／ＣＫ、ＣＫＥ（Clock Enable）が入力され、制御信号生成回路部８、Ｘデコーダ２－１、Ｙデコーダ３－１、データ制御回路部４で利用されるクロックを生成する。制御信号生成回路部８は、入力される／ＣＳ(Chip Select)、／ＲＡＳ(Row Address Strobe)、／ＣＡＳ（Column Address Strobe）、／ＷＥ(Write Enable)に基づいてＸデコーダ部２－１、Ｘタイミング生成回路部２－２及びＹデコーダ３－１、Ｙタイミング生成回路部３－２を制御する制御信号を生成して出力する。なお、／は、ロウレベルがアクティブレベルとなることを示す記号である。
【００７７】
上記構成のＤＲＡＭにおいて、ＡＤＤデータ、ＣＭＤデータを取り込む際に、本発明におけるスルーラッチ回路を有するＣＡラッチ回路を使用することにより、クロックのＲｉｓｅ／Ｆａｌｌ両エッジで取り込む高速化方式に対応できるようになる。
【図面の簡単な説明】
【００７８】
【図１】本発明の半導体記憶装置の基本概念について説明するための図である。
【図２】本発明の第１の実施の形態に係わる半導体記憶装置の回路構成を示す図である。
【図３】本発明の第１の実施の形態におけるＣＡラッチ回路の構成を示す図である。
【図４】本発明の第１の実施の形態における回路動作を説明するためのタイミングチャートである。
【図５】本発明の第２の実施の形態に係わる半導体記憶装置の回路構成を示す図である。
【図６】本発明の第２の実施の形態におけるＣＡラッチ回路の構成を示す図である。
【図７】本発明の第２の実施の形態における回路動作を説明するためのタイミングチャートである。

【図８】本発明が利用できるＤＲＡＭの例を示す図である。
【図９】従来の一般的なＤＤＲ回路について説明するための図である。
【図１０】従来のＤＤＲ回路における問題点について説明するための図である。
【符号の説明】
【００７９】
１１・・・入力バッファ、１２・・・クロックジェネレータ、１３・・・入力バッファ、１４、１４Ａ・・・ＣＡラッチ回路、１５・・・制御回路、ＣＫ・・・クロック信号、ＣＭＤ・・・コマンドデータ、ＡＤＤ・・・アドレスデータ、ＦＳ０～ＦＳｎ・・・Ｆａｌｌ用スルーラッチ回路、ＦＳＡ０～ＦＳＡｎ・・・Ｆａｌｌ用スルーラッチ回路、ＲＳ０～ＲＳｎ・・・Ｒｉｓｅ用スルーラッチ回路、ＲＥ０～ＲＥｎ・・・Ｒｉｓｅ用エッジトリガラッチ回路

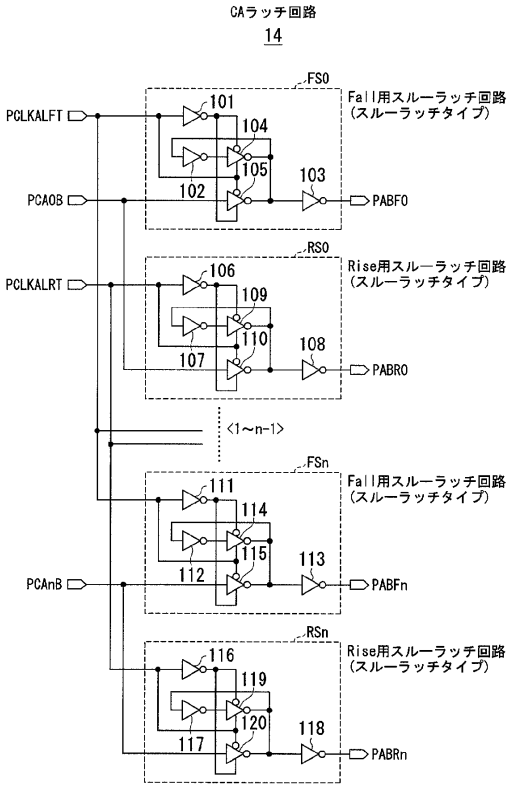
【図１】



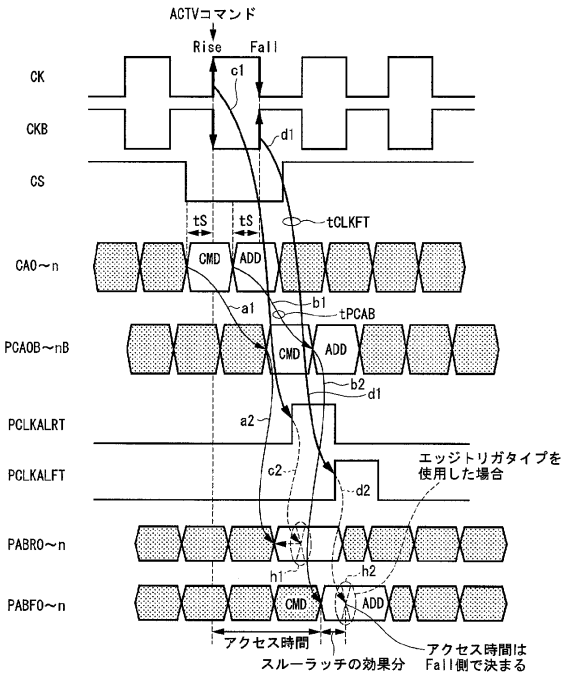
【図２】



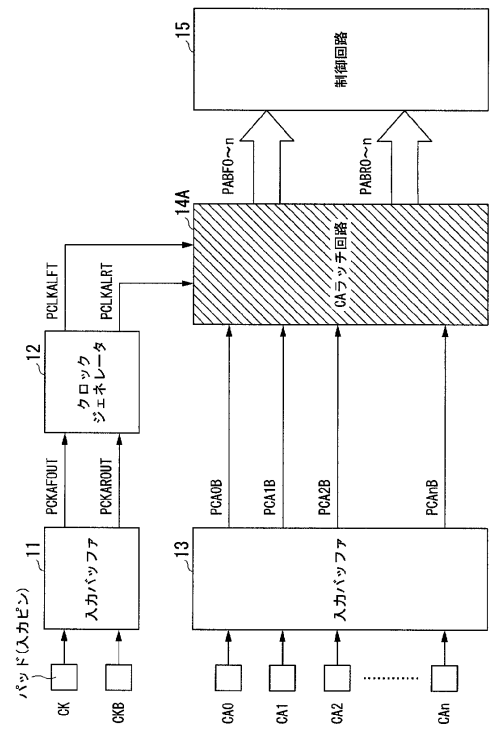
【図３】


CAラッチ回路
14
FS0
Fall用スルーラッチ回路
(スルーラッチタイプ)
PCLKALFT
PCAOB
PABF0
RS0
Rise用スルーラッチ回路
(スルーラッチタイプ)
PCLKALRT
PABR0
<1～n-1>
FSn
Fall用スルーラッチ回路
(スルーラッチタイプ)
PCAnB
PABFn
RSn
Rise用スルーラッチ回路
(スルーラッチタイプ)
PABRn

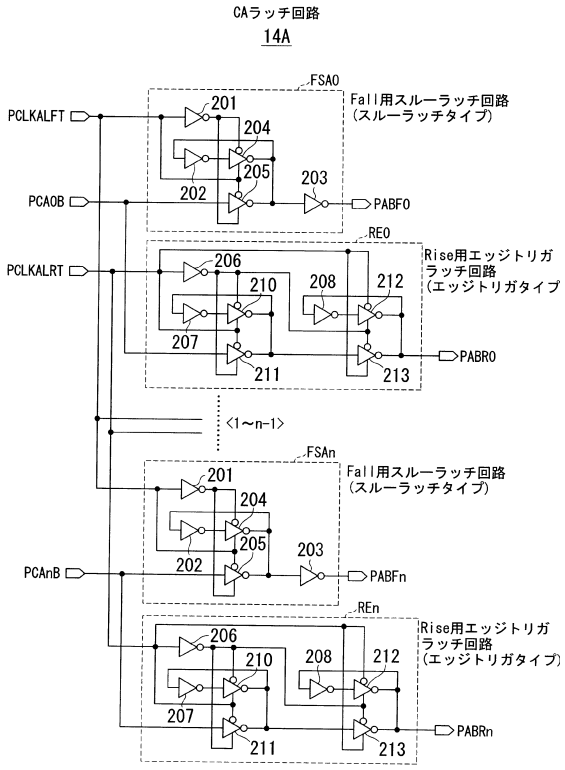
【図４】


ACTVコマンド
Rise
Fall
CK
CKB
CS
CA0～n
PCAOB～nB
PCLKALRT
PCLKALFT
PABR0～n
PABF0～n
tS
tCLKFT
tPCAB
CMD
ADD
エッジトリガタイプを
使用した場合
アクセス時間
スルーラッチの効果分
アクセス時間は
Fall側で決まる

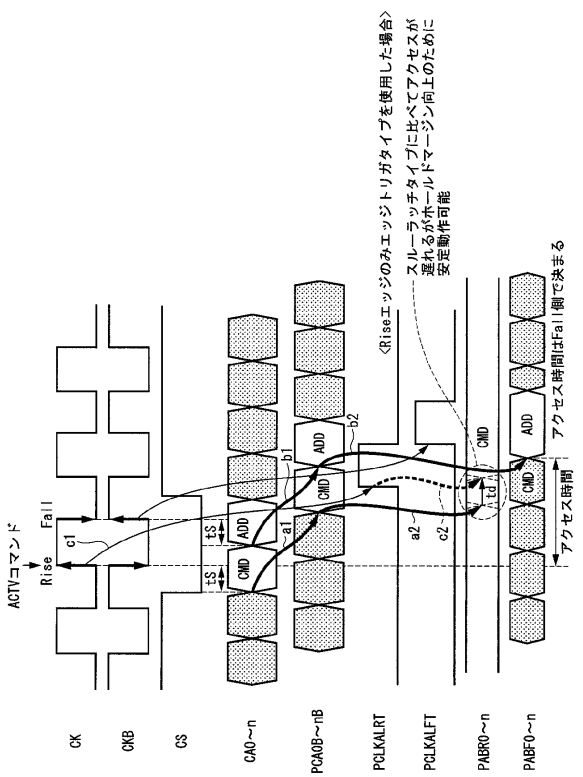
【図５】


15
制御回路
PABF0～n
PABR0～n
14A
CAラッチ回路
PCLKALFT
PCLKALRT
12
クロック
ジェネレータ
PCKAFOUT
PCKAROUT
11
入力バッファ
13
入力バッファ
PCA0B
PCA1B
PCA2B
PCAnB
パッド(入力ピン)
CK
CKB
CA0
CA1
CA2
CAn

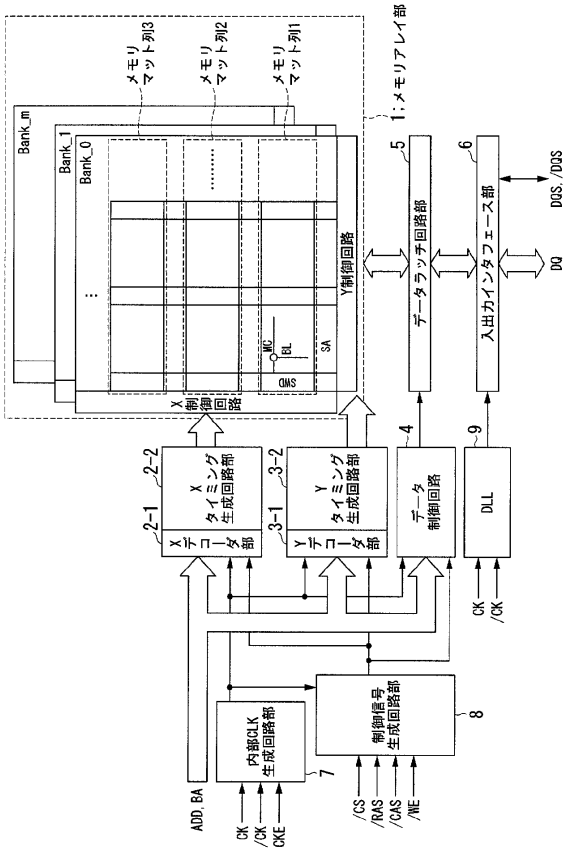
【図６】


CAラッチ回路
14A
FSA0
Fall用スルーラッチ回路
(スルーラッチタイプ)
PCLKALFT
PCAOB
PABF0
RE0
Rise用エッジトリガ
ラッチ回路
(エッジトリガタイプ)
PCLKALRT
PABR0
<1～n-1>
FSAn
Fall用スルーラッチ回路
(スルーラッチタイプ)
PCAnB
PABFn
REn
Rise用エッジトリガ
ラッチ回路
(エッジトリガタイプ)
PABRn

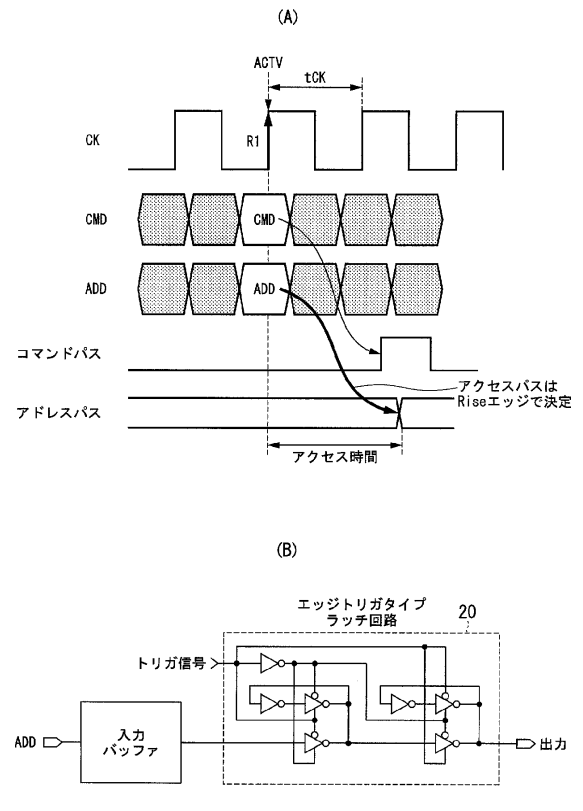
【図７】


ACTVコマンド
Rise
Fall
c1
tS
tS
ADD
CMD
a1
b1
b2
a2
c2
td
CMD
ADD
CMD
ADD
CMD
<Riseエッジのみエッジトリガタイプを使用した場合>
スルーラッチタイプに比べてアクセスが遅れるがホールドマージン向上のために安定動作可能
アクセス時間はFall側で決まる
アクセス時間
CK
CKB
CS
CA0~n
PCA0B~nB
PCLKALRT
PCLKALFT
PABR0~n
PABF0~n

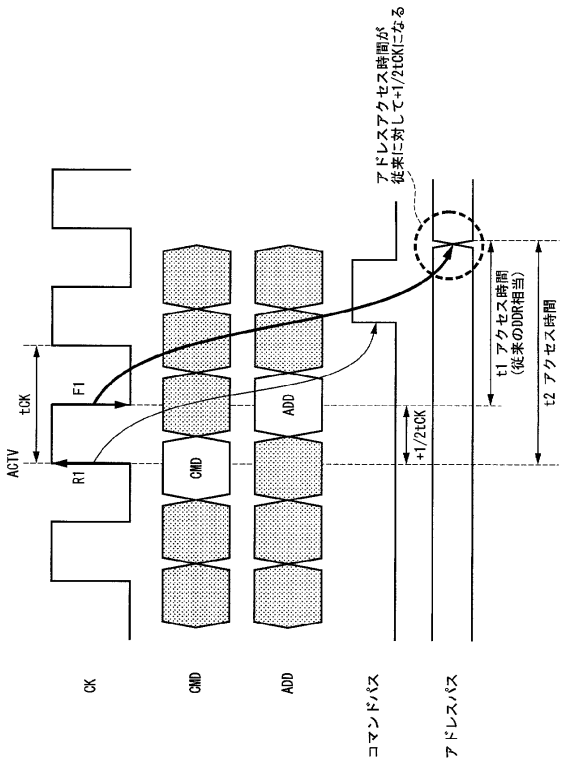
【図８】


1:メモリアレイ部
メモリマット列3
メモリマット列2
メモリマット列1
Bank_m
Bank_1
Bank_0
X制御回路
Y制御回路
SWD
MC
BL
SA
5
データラッチ回路部
6
入出力インタフェース部
DQS,/DQS
DQ
2-1
Xデコーダ部
2-2
Xタイミング生成回路部
3-1
Yデコーダ部
3-2
Yタイミング生成回路部
4
データ制御回路
9
DLL
CK
/CK
ADD, BA
CK
/CK
CKE
7
内部CLK生成回路部
8
制御信号生成回路部
/CS
/RAS
/CAS
/WE

【図９】


(A)
ACTV
tCK
CK
R1
CMD
CMD
ADD
ADD
コマンドパス
アドレスパス
アクセスパスは
Riseエッジで決定
アクセス時間
(B)
エッジトリガタイプ
ラッチ回路
20
トリガ信号
ADD
入力
バッファ
出力

【図１０】


アドレスアクセス時間が
従来に対して+1/2tCKになる
ACTV
tCK
F1
R1
CMD
ADD
+1/2tCK
t1 アクセス時間
(従来のDDR相当)
t2 アクセス時間
CK
CMD
ADD
コマンドパス
アドレスパス

フロントページの続き

(56)参考文献 特開２００３－２０３４８２（ＪＰ，Ａ）
特開平０９－１９８８７５（ＪＰ，Ａ）
特開２００４－１０３０５４（ＪＰ，Ａ）
特開平０９－０２７１９２（ＪＰ，Ａ）
特開平１０－３２６４８８（ＪＰ，Ａ）
特開平１０－２６９７９６（ＪＰ，Ａ）
特開平１０－１４９６８２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１１／４０８
Ｇ１１Ｃ　１１／４０７
Ｇ１１Ｃ　１１／４１３