



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2004 037 336 B4 2006.09.21**

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 037 336.1**
 (22) Anmeldetag: **02.08.2004**
 (43) Offenlegungstag: **23.02.2006**
 (45) Veröffentlichungstag
 der Patenterteilung: **21.09.2006**

(51) Int Cl.⁸: **H01L 21/768 (2006.01)**
H01L 23/522 (2006.01)
H05K 3/00 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Viering, Jentschura & Partner, 80538 München

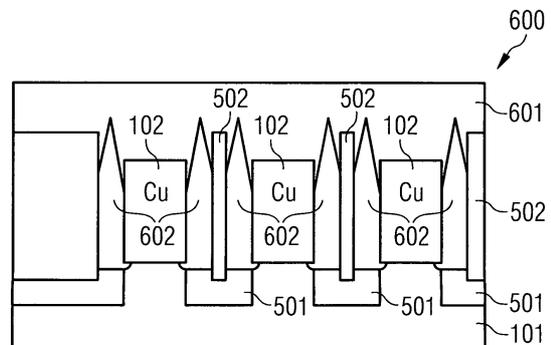
(72) Erfinder:
Schindler, Günther, Dr., 80802 München, DE;
Pamler, Werner, Dr., 80686 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 102 46 830 A1
US 2 002/19 125 A1
US 60 20 261 A
US 53 24 683 A
ARNAL, V. et al.: Integration of a 3 Level Cu-SiO
2 Air Gap Interconnect for Sub 0.1 micron CMOS
Technologies, In: Proceedings of the IEEE Inter-
national Interconnect Technology Conference,
2001,
S. 298-300;

(54) Bezeichnung: **Verfahren zum Herstellen einer Schicht-Anordnung und Schicht-Anordnung**

(57) Hauptanspruch: Verfahren zum Herstellen einer Schicht-Anordnung (600), bei dem

- auf einem Substrat (101) eine Mehrzahl von elektrisch leitfähigen Strukturen (102) gebildet wird, indem
- in dem Substrat (101) Gräben gebildet werden, in die Gräben elektrisch leitfähiges Material (102) eingebracht wird, und
- Material des Substrats (101) zwischen den elektrisch leitfähigen Strukturen (102) derart entfernt wird, dass zwischen den elektrisch leitfähigen Strukturen (102) Gräben in dem Substrat gebildet werden;
- eine elektrisch isolierende Schicht (301) auf der Mehrzahl von elektrisch leitfähigen Strukturen (102) abgeschieden wird derart, dass zwischen einander benachbarten Bereichen der elektrisch isolierenden Schicht Gräben (302) gebildet werden, welche Bereiche von zu bildenden Stützstrukturen (502) festlegen;
- elektrisch isolierende Strukturen (401) in den Gräben (302) zwischen den benachbarten Bereichen der elektrisch isolierenden Schicht (301) gebildet werden;
- Material der elektrisch isolierenden Schicht (301) entfernt wird, so dass zwischen den elektrisch isolierenden Strukturen (401),...



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen einer Schicht-Anordnung und eine Schicht-Anordnung.

[0002] Integrierte Schaltungs-Anordnungen werden mit immer höherer Packungsdichte erzeugt. Dies hat zur Folge, dass Leiterbahnen in Metallisierungsebenen einen immer kleineren Abstand voneinander aufweisen. Dadurch steigen Kapazitäten, die zwischen den Leiterbahnen gebildet werden, und zu hohen Signallaufzeiten, einer hohen Verlustleistung und unerwünschtem Übersprechen führen, d.h. zu einer Wechselwirkung zwischen auf benachbarten Leiterbahnen angelegten Signalen.

[0003] Häufig wird als Isolationsmaterial zwischen den Leiterbahnen Siliziumoxid als Dielektrikum verwendet, dessen relative Dielektrizitätskonstante $\epsilon_r = 3.9$ beträgt.

[0004] Zum Reduzieren der relativen Dielektrizitätskonstante ϵ_r , was zu einer Verringerung des Werts der Koppelkapazitäten zwischen in ein Isolationsmaterial eingebetteten Leiterbahnen führt, werden sogenannte Low-k-Materialien verwendet, d.h. Materialien mit einem geringen Wert ϵ_r als Material für Intermetaldielektrika.

[0005] Aus dem Stand der Technik ist auch bekannt, Hohlräume zwischen Leiterbahnen innerhalb einer Leiterbahnebene zu erzeugen, um den Wert der relativen Dielektrizitätskonstante und somit den Wert der Koppelkapazität zu verringern. Das isolierende Dielektrikum, das die Kapazität zwischen den Leiterbahnen bestimmt, weist im Bereich von Hohlräumen eine relative Dielektrizitätskonstante ϵ_r auf, die annähernd gleich eins ist. Die Leiterbahnen selbst sind zum Entkoppeln von der Umgebung von einer Materialschicht aus Siliziumoxid oder einem Low-k-Material umgeben.

[0006] Die hohen Koppelkapazitäten C zwischen benachbarten Leiterbahnen, die bei zunehmend miniaturisierten Schaltkreisen immer größer werden, führen gemeinsam mit dem Widerstand R einer Leiterbahn zu einer RC-Schaltverzögerung von auf den Leiterbahnen transportierten Signalen.

Stand der Technik

[0007] Diese RC-Schaltverzögerung kann unter Verwendung von Luftlöchern (Airgaps) als Alternative zu Low-k-Materialien verringert werden, da bei Verwendung von Luftlöchern zwischen Leiterbahnen die effektive Dielektrizitätskonstante ϵ_r als Isolationsmaterial zwischen Metallisierungsbahnen erheblich verringert wird. Eine Realisierungsmöglichkeit für Airgaps ist beispielsweise in [1] offenbart.

[0008] Somit können zur Verringerung der parasitären Kapazität zwischen Metallbahnen Airgaps eingesetzt werden. Bei der Herstellung von Airgaps treten jedoch eine Reihe von Problemen auf. Airgaps können mittels einer anisotropen Abscheidung eines Dielektrikums auf die Metallbahnen hergestellt werden, wobei Zwischenräume zwischen benachbarten Leiterbahnen zum Teil von Material frei bleiben. Die Airgaps werden dadurch jedoch sehr lang gezogen. Dadurch besteht die Gefahr eines Konflikts mit einer darüber folgenden Metallisierungsebene, zum Beispiel bei einem Öffnen der Airgaps in einem CMP-Verfahrensschritt ("chemical mechanical polishing"), siehe [1]. Diese Gefahr ist besonders groß, wenn nicht alle Airgaps exakt die gleiche Breite aufweisen. Dies führt dazu, dass die Höhe der Airgaps stark variiert.

[0009] Dieses Problem kann gemäß dem Stand der Technik nur durch eine starke Einschränkung im Layout gelöst werden, nämlich dadurch, dass alle Abstände zwischen Metallbahnen genau gleich gewählt werden. Alternativ kann ein Verfahren zum Bilden von Airgaps mit einer zusätzlichen Lithographieebene eingeführt werden, was kostenintensiv ist.

[0010] Ferner sollte ein Bereich zwischen benachbarten Leiterbahnen mit Airgaps dazwischen nach oben hin verschlossen werden, das heißt eine ausreichend stabile Deckschicht gebildet werden.

[2] beschreibt ein Verfahren, bei dem zwischen elektrisch leitfähigen Leiterbahnen eingebrachtes elektrisch isolierendes Material derart teilweise entfernt wird, dass zwischen dem Rest des elektrisch isolierenden Materials und den elektrisch leitfähigen Leiterbahnen Luftspalte entstehen, wobei die elektrisch leitfähigen Leiterbahnen und das isolierende Material mit einer Deckschicht bedeckt sind, durch welche das verdampfte elektrisch isolierende Material hindurchtritt.

[3] beschreibt ein Verfahren zur Kupfermetallisierung, bei dem freigelegte Bereiche zwischen den Kupferleiterbahnen anschließend mit einer Isolatorschicht aufgefüllt werden, wobei sich ein Leerraum in der Isolatorschicht in den aufgefüllten Bereichen zwischen den Kupferleiterbahnen ausbildet.

[4] beschreibt ein Verfahren zum Bilden von Luftspalten über einer Basisschicht, bei dem die Luftspalte mittels Entfernen von Opfer-Abstandshaltern bzw. mittels Entfernen einer Opferschicht gebildet werden.

[5] beschreibt ein Verfahren zum Bilden von Leiterbahnen mit einem großem Aspektverhältnis mittels Einbringen einer elektrisch leitfähigen Schicht in die Gräben einer strukturierten dielektrischen Schicht.

Aufgabenstellung

[0011] Der Erfindung liegt das Problem zugrunde, eine Schicht-Anordnung bereitzustellen, bei der mit guter mechanischer Stabilität eine Deckschicht auf elektrisch leitfähigen Strukturen mit dazwischen angeordneten Airgaps gebildet werden kann.

[0012] Das Problem wird durch ein Verfahren zum Herstellen einer Schicht-Anordnung durch eine Schicht-Anordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

[0013] Bei dem erfindungsgemäßen Verfahren zum Herstellen einer Schicht-Anordnung werden auf einem Substrat eine Mehrzahl von elektrisch leitfähigen Strukturen gebildet, indem in dem Substrat Gräben gebildet werden, in die Gräben elektrisch leitfähiges Material eingebracht wird, und Material des Substrats zwischen den elektrisch leitfähigen Strukturen derart entfernt wird, dass zwischen den elektrisch leitfähigen Strukturen Gräben in dem Substrat gebildet werden. Ferner wird eine elektrisch isolierende Schicht auf der Mehrzahl von elektrisch leitfähigen Strukturen gebildet derart, dass zwischen einander benachbarten Bereichen der elektrisch isolierenden Schicht Gräben gebildet werden, welche Bereiche von zu bildenden Stützstrukturen festlegen. Ferner werden elektrisch isolierende Strukturen in den Gräben zwischen den benachbarten Bereichen der elektrisch isolierenden Schicht gebildet und wird Material der elektrisch isolierenden Schicht entfernt, so dass zwischen den elektrisch isolierenden Strukturen und den elektrisch leitfähigen Strukturen Airgaps gebildet werden, wobei ein unterer Bereich der elektrisch isolierenden Strukturen in nicht entferntes Material der elektrisch isolierenden Schicht eingebettet wird. Ferner wird eine elektrisch isolierende Deckschicht auf den elektrisch leitfähigen Strukturen und auf den elektrisch isolierenden Strukturen derart gebildet, dass die elektrisch isolierende Deckschicht benachbarte elektrisch leitfähige Strukturen und elektrisch isolierende Strukturen überbrückt.

[0014] Ferner ist erfindungsgemäß eine Schicht-Anordnung geschaffen, mit einem Substrat, mit einer Mehrzahl von elektrisch leitfähigen Strukturen auf dem Substrat, mit in dem Substrat eingebetteten elektrisch isolierenden Aufnahmestrukturen zwischen den elektrisch leitfähigen Strukturen, und mit elektrisch isolierenden Strukturen, die auf den elektrisch isolierenden Aufnahmestrukturen und zwischen den elektrisch leitfähigen Strukturen derart angeordnet sind, dass zwischen den elektrisch isolierenden Strukturen und den elektrisch leitfähigen Strukturen Airgaps gebildet sind, wobei ein unterer Bereich der elektrisch isolierenden Strukturen in die elektrisch isolierenden Aufnahmestrukturen eingebettet ist. Darüber hinaus ist eine elektrisch isolierende Deckschicht auf den elektrisch leitfähigen Struktu-

ren und auf den elektrisch isolierenden Strukturen gebildet, wobei die elektrisch isolierende Deckschicht benachbarte elektrisch leitfähige Strukturen und elektrisch isolierende Strukturen überbrückt.

[0015] Eine Grundidee der Erfindung ist darin zu sehen, dass ein zentraler Stützpfosten in Form der elektrisch isolierenden Strukturen in einem Mittenbereich zwischen benachbarten (vorzugsweise lateral begrenzten) elektrisch leitfähigen Strukturen (zum Beispiel Leiterbahnen) dadurch gebildet werden, dass Lücken zwischen Bereichen einer elektrisch isolierenden Schicht mit Material aufgefüllt werden. Wird freiliegendes Material der ersten elektrisch isolierenden Schicht nachfolgend entfernt, so bleibt eine Anordnung aus in einem Bodenbereich des Substrats verbleibenden elektrisch isolierenden Aufnahmestrukturen (das heißt Reste der elektrisch isolierenden Schicht) und darauf gebildeten elektrisch isolierenden Stützstrukturen zurück. Diese Stützstrukturen befinden sich bei einer gleichmäßigen Dicke der elektrisch isolierenden Schicht auf benachbarten Seitenwänden von benachbarten elektrisch leitfähigen Strukturen genau in der Mitte zwischen zwei benachbarten elektrisch leitfähigen Strukturen. Aufgrund dieser Positionierung ist eine optimale Stützwirkung der elektrisch isolierenden Strukturen erreicht, wenn nachfolgend eine elektrisch isolierende Deckschicht zum Verschließen der Airgap-Bereiche gebildet wird.

[0016] Da der Abstand zwischen benachbarten Leiterbahnen durch das Anordnen der elektrisch isolierenden Stützstrukturen mehr als halbiert wird, kann beim Bilden der Deckschicht auch ein unerwünschtes Eindringen von Material in die Airgap-Bereiche bei ausreichend kleiner Dimensionierung der Lücken sicher vermieden werden. Ferner kann die Dicke der elektrisch isolierenden Stützstrukturen mittels Einstellens der Dicke der elektrisch isolierenden Schicht (einstellbar mittels Justierens der Prozessparameter beim Abscheiden der ersten elektrisch isolierenden Schicht) ausreichend klein gehalten werden, so dass der Bereich zwischen benachbarten Leiterbahnen nur zu einem sehr geringfügigen Teil mit elektrischem Material gefüllt ist. Dadurch ist erfindungsgemäß eine Low-k-Architektur geschaffen, so dass unerwünschte Koppelkapazitäten zwischen benachbarten Leiterbahnen gering gehalten sind. Es kann die Breite der Stützstrukturen aber ausreichend groß gewählt werden, dass eine mechanische Stützung der auf den Stützstrukturen abgedeckten Deckschicht ermöglicht ist.

[0017] Durch das Bilden der elektrisch isolierenden Schicht (von der ein Teil die späteren Aufnahmestrukturen bildet) wird bewerkstelligt, dass alle Airgaps unabhängig vom gewählten Layout exakt die gleiche Breite aufweisen. Besonders vorteilhaft ist es, die elektrisch isolierende Schicht konformal (konform) abzuschneiden, das heißt mit einer konstanten Dicke

bzw. Qualität, da dann die Stützstrukturen in einer Richtung senkrecht zu der Substratoberfläche eine konstante Breite aufweisen. Anschaulich werden die Airgaps mittels Einfügens eines zentralen Steges geteilt. Die Breite des zentralen Steges ist vom Abstand der Metallbahnen abhängig. Die Breite der Airgaps ist etwas geringer als die Hälfte des geringsten Abstands zwischen den Metallbahnen, und ist überall konstant. Dadurch wird das Schließen der Airgap wesentlich vereinfacht.

[0018] Anschaulich können erfindungsgemäß selbstjustierte Airgaps gebildet werden, ohne dass hierfür selektive Prozesse (zum Beispiel selektive Abscheideverfahren) erforderlich sind. Zu diesem Zweck werden schmale Stege zwischen Leiterbahnen und als Trägerpfeiler für ein nachfolgendes Bilden einer Dachstruktur gebildet. Da selektive Abscheideverfahren erfindungsgemäß vermieden sind, werden keine zusätzlichen Anordnungen an Materialkombinationen gestellt.

[0019] Da die elektrisch leitfähigen Strukturen gebildet werden, indem in dem Substrat Gräben gebildet werden, in die Gräben elektrisch leitfähiges Material eingebracht wird und Material des Substrats zwischen den elektrisch leitfähigen Strukturen entfernt wird, kann mittels des sogenannten Damascene-Verfahrens eine versenkte Anordnung aus Leiterbahnen erzeugt werden, was insbesondere beim Verwenden von Kupfermaterial als Material für die elektrisch leitfähigen Strukturen vorteilhaft ist. Beim Verwenden einer Aluminiumtechnologie können die elektrisch leitfähigen Strukturen gebildet werden, indem eine Schicht Aluminium auf einem Substrat abgeschieden wird und unter Verwendung eines Lithographieverfahrens und eines Ätzverfahrens strukturiert wird.

[0020] Das Material des Substrats zwischen den elektrisch leitfähigen Strukturen wird derart entfernt, dass zwischen benachbarten elektrisch leitfähigen Strukturen Gräben in dem Substrat gebildet werden. Dies führt bei der erfindungsgemäßen Schicht-Anordnung dazu, dass die Airgap-Bereiche sich bis in das Substrat hinein erstrecken, wodurch eine Struktur mit einem besonders geringen Wert der relativen Dielektrizitätskonstante erhalten wird.

[0021] Ein unterer bzw. Substrat-naher Bereich der elektrisch isolierenden Strukturen wird in nicht entferntes Material der elektrisch isolierenden Schicht eingebettet, womit die Aufnahmestrukturen gebildet werden. Mittels dieser Aufnahmestrukturen werden die Stützstrukturen anschaulich wie ein Weihnachtsbaum von einer Stamm-Aufnahmevorrichtung gestützt.

[0022] Bevorzugte Weiterbildungen der Erfindungen ergeben sich aus den abhängigen Ansprüchen.

[0023] Die elektrisch isolierende Schicht kann mittels eines konformalen (konformen) Abscheideverfahrens gebildet werden. Mit anderen Worten kann die Dicke der elektrisch isolierenden Schicht auf den elektrisch leitfähigen Strukturen konstant und mit gleichmäßiger Qualität bzw. Güte vorgesehen werden, was zu einer konstanten Dicke der elektrisch isolierenden Stützstrukturen führt. Dadurch ist simultan eine hohe mechanische Stabilität und eine nur geringe Menge von Material zwischen benachbarten Leiterbahnen realisiert, was für Low-k-Anwendungen vorteilhaft ist.

[0024] Vorzugsweise ist die Dicke der elektrisch isolierenden Schicht größer als die Breite der elektrisch isolierenden Strukturen. Auf diese Weise ist sichergestellt, dass der Bereich zwischen benachbarten Leiterbahnen zu einem überwiegenden Teil aus Airgaps besteht, der nur von einem zentralen dünnen Steg mit einer ausreichend guten mechanischen Tragfähigkeit unterbrochen ist.

[0025] Die elektrisch isolierende Schicht und die elektrisch isolierenden Strukturen können aus unterschiedlichen Materialien hergestellt werden. Dies ermöglicht es, das Material der elektrisch isolierenden Schicht selektiv zu dem Material der elektrisch isolierenden Strukturen zu entfernen (zum Beispiel mittels eines selektiven Ätzverfahrens).

[0026] Das Material der elektrisch isolierenden Schicht wird vorzugsweise selektiv zu dem Material der elektrisch isolierenden Strukturen entfernt. Mittels Verwendens eines selektiven Ätzverfahrens kann mit hoher Sicherheit vermieden werden, dass Material der elektrisch isolierenden Strukturen unerwünschterweise entfernt wird, wenn die elektrisch isolierende Schicht zurückgeätzt wird.

[0027] Im Weiteren werden Ausgestaltung der erfindungsgemäßen Schicht-Anordnung beschrieben. Die Ausgestaltungen des erfindungsgemäßen Verfahrens zum Herstellen der Schicht-Anordnung gelten auch für die Schicht-Anordnungen und umgekehrt.

[0028] Die elektrisch leitfähigen Strukturen können Leiterbahnen sein. Die erfindungsgemäße Schicht-Anordnung kann Teil eines monolithisch integrierten Schaltkreises sein, in dem die elektrisch leitfähigen Strukturen Leiterbahnen zum elektrischen Koppeln von elektrischen Bauelementen (zum Beispiel von Transistoren, Dioden, Widerständen, logischen Gattern, Speicherzellen, etc.) dienen.

[0029] Die elektrisch isolierenden Strukturen sind vorzugsweise im Wesentlichen mittig zwischen jeweils zwei benachbarten elektrisch leitfähigen Strukturen angeordnet. Bei dieser Positionierung ist die Stützwirkung der elektrisch isolierenden Strukturen

zum Stützen der Deckschicht besonders effektiv.

Ausführungsbeispiel

[0030] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

[0031] Es zeigen:

[0032] [Fig. 1](#) eine Schichtenfolge zu einem ersten Zeitpunkt während des Verfahrens zum Herstellen einer Schicht-Anordnung gemäß einem Ausführungsbeispiel der Erfindung,

[0033] [Fig. 2](#) eine Schichtenfolge zu einem zweiten Zeitpunkt während eines Verfahrens zum Herstellen einer Schicht-Anordnung gemäß dem Ausführungsbeispiel der Erfindung,

[0034] [Fig. 3](#) eine Schichtenfolge zu einem dritten Zeitpunkt während des Verfahrens zum Herstellen einer Schicht-Anordnung gemäß dem Ausführungsbeispiel der Erfindung,

[0035] [Fig. 4](#) eine Schichtenfolge zu einem vierten Zeitpunkt während des Verfahrens zum Herstellen einer Schicht-Anordnung gemäß dem Ausführungsbeispiel der Erfindung,

[0036] [Fig. 5](#) eine Schichtenfolge zu einem fünften Zeitpunkt während des Verfahrens zum Herstellen einer Schicht-Anordnung gemäß dem Ausführungsbeispiel der Erfindung,

[0037] [Fig. 6](#) eine Schicht-Anordnung gemäß dem Ausführungsbeispiel der Erfindung.

[0038] Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

[0039] Die Darstellungen in den Figuren sind schematisch und nicht maßstäblich.

[0040] Im Weiteren wird bezugnehmend auf [Fig. 1](#) bis [Fig. 6](#) ein Verfahren zum Herstellen einer Schicht-Anordnung gemäß einem Ausführungsbeispiel der Erfindung beschrieben.

[0041] Um die in [Fig. 1](#) gezeigte Schichtenfolge **100** zu erhalten, werden auf einem dielektrischen Substrat **101** (zum Beispiel aus Siliziumoxid-Material) unter Verwendung eines Lithographieverfahrens und eines Ätzverfahrens Gräben gebildet. Auf der so erhaltenen Schichtenfolge wird Kupfermaterial abgeschieden. Unter Verwendung eines CMP-Verfahrens ("chemical mechanical polishing") wird Material der abgeschiedenen Kupferschicht zurückgeätzt, wodurch in den Gräben Kupfer-Leiterbahnen **102** gebil-

det werden. Diese Kupfer-Leiterbahnen **102** sind somit nach dem Damascene-Prinzip hergestellt. Zwischen einer jeweiligen Kupfer-Leiterbahn **102** und dem Substrat **101** kann eine in [Fig. 1](#) nicht gezeigte Diffusionsbarriere gebildet sein (zum Beispiel aus Ta/TaN). Auf der Oberseite des Kupfer-Materials kann ferner eine CoWP oder CoWB Schicht gebildet werden.

[0042] Alternativ zu den beschriebenen Verfahren kann statt Kupfermaterial Aluminiummaterial für die Leiterbahnen **102** verwendet werden, wobei dann auf einem dielektrischen Substrat **101** eine Aluminiumschicht abgeschieden und unter Verwendung eines Lithographieverfahrens und eines Ätzverfahrens derart strukturiert wird, dass Aluminium-Leiterbahnen zurückbleiben.

[0043] Um in [Fig. 2](#) gezeigte Schichtenfolge **200** zu erhalten, wird unter Verwendung eines Ätzverfahrens Material des dielektrischen Substrats **101** entfernt, so dass zwischen benachbarten Kupfer-Leiterbahnen **102** Gräben **201** gebildet werden. Bei dem Ätzverfahren wird solange geätzt, bis Material des Substrats **101** nicht nur zwischen den Leiterbahnen **102** entfernt ist, sondern dass die Gräben **201** tiefer in das Substrat **101** hineinragen als die Kupfer-Leiterbahnen **102**. Anders ausgedrückt wird das dielektrische Material des Substrats **101** unter Verwendung der Metallbahnen **102** als Maske zurückgeätzt, wobei der Ätzstopp mindestens 50% des minimalen Abstands zwischen Leiterbahnen **102** unter der Unterkante der Metallbahnen **102** sein sollte.

[0044] Um die in [Fig. 3](#) gezeigte Schichtenfolge **300** zu erhalten, wird eine erste elektrisch isolierende Schicht **301** konformal auf der Oberfläche der Schichtenfolge **200** abgeschieden, so dass eine über die gesamte Schichtenfolge **300** hinweg konstant dicke erste elektrisch isolierende Schicht **301** gebildet ist. Die Dicke der Abscheidung ist so zu wählen, dass zwischen benachbarten Bereichen der konformen ersten elektrisch isolierenden Schicht **301** dünne Gräben **302** gebildet werden, welche Bereiche von im Weiteren zu bildenden Stützstrukturen festlegen.

[0045] Das Verfahren zum Abscheiden der ersten elektrisch isolierenden Schicht **301** ist nicht unbedingt, aber vorzugsweise konform. Mittels konformen Abscheidens der ersten elektrisch isolierenden Schicht **301** können im Weiteren Stützstrukturen mit einer gemäß [Fig. 3](#) in vertikaler Richtung konstanten Dicke gebildet werden, wohingegen bei einem nicht-konformen Abscheideverfahren ein beispielsweise kegelförmiger Verlauf der späteren Stützstrukturen erhalten wird.

[0046] Optional kann die in [Fig. 3](#) gezeigte Schichtenfolge **300** einem Ätzverfahren unterzogen werden, um die Kanten der ersten elektrisch isolierenden

Schicht **301** in einem oberen Bereich der Schichtenfolge **300** abzurunden und somit ein nachfolgendes Einbringen von elektrisch isolierendem Material als Stützstrukturen zu erleichtern.

[0047] Als Material für die erste elektrisch isolierende Schicht **301** kann zum Beispiel Siliziumoxid verwendet werden.

[0048] Um die in [Fig. 4](#) gezeigte Schichtenfolge **400** zu erhalten, wird eine zweite elektrisch isolierende Schicht **401** auf der Schichtenfolge **300** gebildet, wobei Material der zweiten elektrisch isolierenden Schicht **401** (zum Beispiel Siliziumnitrid oder Siliziumcarbid) die schmalen Gräben **302** zwischen benachbarten Bereichen der ersten elektrisch isolierenden Schicht **301** ausfüllt. Das elektrisch isolierende Material der ersten elektrisch isolierenden Schicht **301** ist selektiv zu dem Material der zweiten elektrisch isolierenden Schicht **401** ätzbar. Unter Verwendung eines CMP-Verfahrens wird Material der zweiten elektrisch isolierenden Schicht **401** vorzugsweise mindestens bis zu der Oberkante der elektrisch isolierenden Schicht **301** zurückpoliert.

[0049] Um die in [Fig. 5](#) gezeigte Schichtenfolge **500** zu erhalten, wird unter Verwendung eines selektiven Ätzverfahrens Material der ersten elektrisch isolierenden Schicht **301** selektiv zu Material der zweiten elektrisch isolierenden Schicht **401** geätzt, wobei verbleibendes Material der ersten elektrisch isolierenden Schicht **301** Aufnahmestrukturen **501** für Stützstrukturen **502** aus Material der zweiten elektrisch isolierenden Schicht **401** bildet. Der Ätzstopp bei diesem Verfahren sollte unterhalb der Unterkante der Metallbahn **102** liegen, allerdings ist darauf zu achten, dass die Stege **502** aus dem Material der zweiten elektrisch isolierenden Schicht **401** nicht unterätzt werden.

[0050] Um die in [Fig. 6](#) gezeigte Schicht-Anordnung **600** zu erhalten, wird eine elektrisch isolierende Deckschicht **601** auf der Schichtenfolge **500** abgeschieden, so dass Airgaps **602** in Bereichen zwischen den Kupfer-Leiterbahnen **102** und den Stützstrukturen **502** zurückbleiben, die von der Deckschicht **601** nach oben hin abgedichtet werden. Die Stützstrukturen **502**, die in die Aufnahmestrukturen **501** eingebettet sind, unterstützen die Kupfer-Leiterbahnen **102** beim Tragen der Deckschicht **601** und ermöglichen das Verbleiben der Airgaps **602**, da ein unerwünschtes Einbringen von Material der Deckschicht **601** in die Airgap-Bereiche **602** vermieden ist. Der Prozess zum Ausbilden des nichtkonformalen Dielektrikums **601** schließt somit die Schichtenfolge **500** nach oben hin ab, womit die Airgaps **602** gebildet werden. Dieser Prozess ist leicht kontrollierbar, da alle Airgaps **602** die gleiche Breite haben.

[0051] In diesem Dokument sind die folgenden Ver-

öffentlichungen zitiert:

- [1] Arnal, V et al. "Integration of a 3 Level Cu-SiO₂ Air Gap Interconnect for Sub 0.1 micron CMOS Technologies", Proceedings IITC 2001
- [2] US 2002/19125 A1
- [3] DE 102 46 830 A1
- [4] US 5 324 683 A
- [5] US 6 020 261 A

Bezugszeichenliste

100	Schichtenfolge
101	Substrat
102	Kupfer-Leiterbahnen
200	Schichtenfolge
201	Gräben
300	Schichtenfolge
301	erste elektrisch isolierende Schicht
302	schmale Gräben
400	Schichtenfolge
401	zweite elektrisch isolierende Schicht
500	Schichtenfolge
501	Aufnahmestrukturen
502	Stützstrukturen
600	Schicht-Anordnung
601	elektrisch isolierende Deckschicht
602	Air-Gaps

Patentansprüche

1. Verfahren zum Herstellen einer Schicht-Anordnung (**600**), bei dem
 - auf einem Substrat (**101**) eine Mehrzahl von elektrisch leitfähigen Strukturen (**102**) gebildet wird, indem
 - in dem Substrat (**101**) Gräben gebildet werden, in die Gräben elektrisch leitfähiges Material (**102**) eingebracht wird, und
 - Material des Substrats (**101**) zwischen den elektrisch leitfähigen Strukturen (**102**) derart entfernt wird, dass zwischen den elektrisch leitfähigen Strukturen (**102**) Gräben in dem Substrat gebildet werden;
 - eine elektrisch isolierende Schicht (**301**) auf der Mehrzahl von elektrisch leitfähigen Strukturen (**102**) abgeschieden wird derart, dass zwischen einander benachbarten Bereichen der elektrisch isolierenden Schicht Gräben (**302**) gebildet werden, welche Bereiche von zu bildenden Stützstrukturen (**502**) festlegen;
 - elektrisch isolierende Strukturen (**401**) in den Gräben (**302**) zwischen den benachbarten Bereichen der elektrisch isolierenden Schicht (**301**) gebildet werden;
 - Material der elektrisch isolierenden Schicht (**301**) entfernt wird, so dass zwischen den elektrisch isolierenden Strukturen (**401**, **502**) und den elektrisch leitfähigen Strukturen (**102**) Airgaps (**602**) gebildet werden, wobei ein unterer Bereich der elektrisch isolierenden Strukturen (**502**, **401**) in nicht entferntes Material (**501**) der elektrisch isolierenden Schicht (**301**)

eingebettet wird;

- eine elektrisch isolierende Deckschicht (**601**) auf den elektrisch leitfähigen Strukturen (**102**) und auf den elektrisch isolierenden Strukturen (**502**) derart gebildet wird, dass die elektrisch isolierende Deckschicht (**601**) benachbarte elektrisch leitfähige Strukturen (**102**) und elektrisch isolierende Strukturen (**502**) überbrückt.

leitfähigen Strukturen (**102**) angeordnet sind.

Es folgen 2 Blatt Zeichnungen

2. Verfahren nach Anspruch 1, bei dem die elektrisch isolierende Schicht (**301**) mittels eines konformalen Abscheideverfahrens gebildet wird.

3. Verfahren nach einem der Ansprüche 1 oder 2, bei dem die Dicke der elektrisch isolierenden Schicht (**301**) größer ist als eine Breite der elektrisch isolierenden Strukturen (**401**).

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die elektrisch isolierende Schicht (**301**) und die elektrisch isolierenden Strukturen (**401**) aus unterschiedlichen Materialien hergestellt werden.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem Material der elektrisch isolierenden Schicht (**301**) selektiv zu Material der elektrisch isolierenden Strukturen (**401**) entfernt wird.

6. Schicht-Anordnung (**600**),

- mit einem Substrat (**101**);
- mit einer Mehrzahl von elektrisch leitfähigen Strukturen (**102**) auf dem Substrat (**101**);
- mit in dem Substrat (**101**) eingebetteten elektrisch isolierenden Aufnahmestrukturen (**501**) zwischen den elektrisch leitfähigen Strukturen (**102**);
- mit elektrisch isolierenden Strukturen (**502**), die auf den elektrisch isolierenden Aufnahmestrukturen (**501**) und zwischen den elektrisch leitfähigen Strukturen (**102**) derart angeordnet sind, dass zwischen den elektrisch isolierenden Strukturen (**502**) und den elektrisch leitfähigen Strukturen (**102**) Airgaps (**602**) gebildet sind, wobei ein untererer Bereich der elektrisch isolierenden Strukturen (**502**) in die elektrisch isolierenden Aufnahmestrukturen (**501**) eingebettet ist;
- eine elektrisch isolierende Deckschicht (**601**) auf den elektrisch leitfähigen Strukturen (**102**) und auf den elektrisch isolierenden Strukturen (**502**), wobei die elektrisch isolierende Deckschicht benachbarte elektrisch leitfähige Strukturen (**102**) und elektrisch isolierende Strukturen (**502**) überbrückt.

7. Schicht-Anordnung nach Anspruch 6, bei dem die elektrisch leitfähigen Strukturen (**102**) Leiterbahnen sind.

8. Schicht-Anordnung nach Anspruch 6 oder 7, bei der die elektrisch isolierenden Strukturen (**502**) mittig zwischen jeweils zwei benachbarten elektrisch

Anhängende Zeichnungen

FIG 1

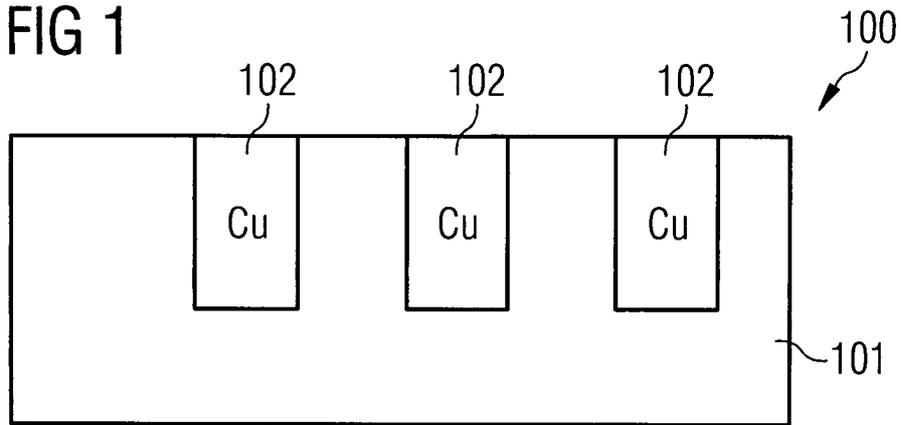


FIG 2

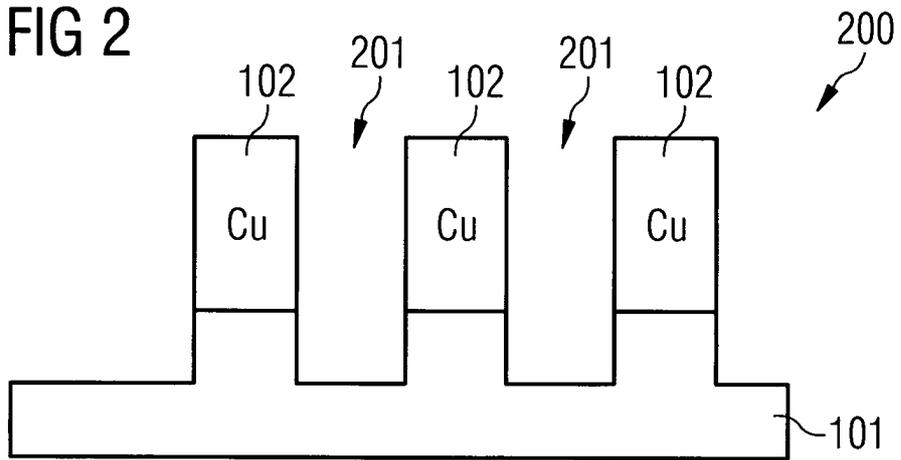


FIG 3

