(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G06F 12/02

(45) 공고일자 2005년06월29일
(11) 등록번호 10-0475264
(24) 등록일자 2005년02월25일

(21) 출원번호 10-1997-0010526
(22) 출원일자 1997년03월26일
(65) 공개번호 10-1998-0023980
(43) 공개일자 1998년07월06일

(30) 우선권주장 08/723,367 1996년09월30일 미국(US)

(73) 특허권자 램트론 인터내쇼날 (주)
미합중국 콜로라도주 80921 콜로라도 스프링스 램트론가 1850

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 야스 요시히코
일본국 도쿄도 고가네이시 노쿠이키타마치 2-10-19-408

사카이 히로유키
일본국 도쿄도 홋사시 오아자쿠마가와 1658-1

예거 마이클 W.
미합중국 콜로라도주 80919 콜로라도 스프링스 우드맨 메사 서클7330

베르헤그 도날드 J.
미합중국 콜로라도주 80907 콜로라도 스프링스 노스네바다 2011

(74) 대리인 백남기

심사관 : 최봉묵

(54) 반도체기억장치

요약

반도체기억장치에 관한 것으로서, 리드사이클과 라이트사이클이 동일 또는 동일정도의 불휘발성 메모리의 유연한 라이트보호를 실현하기 위해, 여러개의 블럭으로 분할되고 리드사이클과 라이트사이클을 실질적으로 동일하게 할 수 있는 여러개의 불휘발성 메모리소자를 갖는 메모리어레이, 여러개의 블럭마다 라이트 금지/허가정보를 저장하는 여러개의 기억소자 및 기억소자로의 라이트 금지/허가 정보의 설정을 실행하는 설정회로를 포함하는 구성으로 하였다.

이것에 의해, 여러개의 블럭단위로 라이트 금지/허가의 설정을 가능하게 하고, 리라이트보호된 ROM부와 RAM부를 자유롭게 설정할 수 있고, 또 라이트 금지/허가의 설정이 복잡하므로 시스템의 폭주등에 의한 오설정을 방지할 수 있다는 효과가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 강유전체 메모리의 블럭도,

도 2는 강유전체 메모리의 핀배치도,

도 3은 강유전체 메모리의 리드사이클의 타이밍도,

도 4는 강유전체 메모리의 라이트사이클의 타이밍도,

도 5는 강유전체 메모리의 레이아웃도,

도 6은 강유전체 메모리의 메모리어레이의 회로도,

도 7은 강유전체 메모리의 메모리어레이의 동작타이밍도,

도 8은 강유전체 메모리의 라이트보호의 설정/해제방법의 일부를 도시한 시퀀스도,

도 9는 강유전체 메모리의 블럭보호의 설정방법을 도시한 시퀀스도,

도 10은 강유전체 메모리의 블럭보호의 재설정방법을 도시한 시퀀스도,

도 11은 강유전체 메모리의 리라이트 금지영역의 설정방법을 도시한 도면,

도 12는 강유전체 메모리의 메모리 어드레스 공간을 도시한 도면,

도 13은 강유전체 메모리의 도 12에 대응하는 리라이트금지의 설정방법을 도시한 도면,

도 14는 강유전체 메모리의 라이트보호의 설정/해제를 실행하기 위한 프로그램이 저장되는 장소를 도시한 도면,

도 15는 강유전체 메모리의 라이트보호의 설정/해제를 실행하기 위한 프로그램이 저장되는 장소의 다른 예를 도시한 도면,

도 16은 강유전체 메모리의 라이트 보호회로의 블럭도,

도 17은 강유전체 메모리의 라이트 보호회로의 일부의 회로도,

도 18은 강유전체 메모리의 라이트 보호회로의 다른 일부의 회로도,

도 19는 강유전체 메모리의 라이트 보호회로의 타이밍도,

도 20은 강유전체 메모리의 전원검출회로의 회로도,

도 21은 도 20의 전원검출회로의 타이밍파형을 도시한 도면,

도 22는 강유전체 메모리의 라이트 보호회로의 변형예의 회로도,

도 23은 도 22의 의사내부칩 인에이블 발생회로의 회로도,

도 24는 도 22 및 도 23의 회로도의 타이밍파형을 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체기억장치에 관한 것으로서, 특히 전기적으로 리라이트가능한 불휘발성 반도체기억장치에 적용해서 유효한 기술에 관한 것이다.

PDA(Personal Digital Assistant)로 대표되는 휴대정보기기의 마이크로프로세서나 메모리등의 LSI(Large Scale Integrated Circuit)의 고성능화, 저전력화가 요구되고 있다. PDA용 메모리로서는 OS(Operating System)나 어플리케이션소프트등을 저장하는 ROM(Read Only Memory)과 표시용 데이타, 처리에 필요한 워크메모리나 개인데이타의 보존등 리라이트가 필요한 것을 저장하는 RAM(Random Access Memory) 및 RAM에서 전부 유지할 수 없는 대량의 데이타를 저장하는 플래시카드(Flash memory card)등의 리라이트가능한 ROM이 사용되고 있다. 또, 전원의 온/오프에 의해 데이타가 소실하지 않도록, 또는 전원이 온 일 때 이전의 상태(전원오프시의 상태)로 마이크로 프로세서의 상태를 복귀시키는 복귀기능(resume function)을 실현하기 위해서 RAM은 전지백업되고 있다.

한편, 강유전체 메모리(Ferroelectric)는 불휘발성을 가지면서 RAM과 같은 동작속도를 갖는다는 특징이 있다. 그래서, 휴대정보기기에 사용되고 있는 DRAM(Dynamic RAM)을 강유전체 메모리로 치환하는 것이 검토되고 있다. 이것에 대해서는 사이엔스 포럼 (주) 1995년 6월 30일 발행 제1판 「강유전체 박막메모리」 제8장, pp. 337～345에 기재되어 있다.

본원 발명자들은 강유전체 메모리를 상기 휴대정보기기의 ROM 및 전지백업을 갖는 SRAM(Static RAM) 대신에 사용하는 것을 검토하였다. 강유전체 메모리의 일부를 ROM으로서 사용하기 위해서는 시스템의 폭주시 등에 의도하지 말고 ROM부의 데이타의 리라이트가 실행되지 않는 보호가 필요하다.

종래의 단일체의 불휘발성 메모리의 라이트보호로서는 실장시에 외부에서 발생하는 노이즈에 기인하는 오리라이트를 방지하기 위해서 소프트웨어 데이타보호기능을 마련한 EEPROM(Electrically Erasable and Programmable ROM)이 있다. 예를 들면, 히다치세사쿠쇼(주), 평성 7년 8월 발행, 제17판 「히다치 IC메모리 데이타북3 EEPROM, 플래시메모리, EP/OTPROM, 마스크ROM」의 pp.134～148 (HN58V1001시리즈) (이하, 종래기술1이라 한다)에 그 개요가 기재되어 있다. 이 EEPROM은 특정의 어드레스와 데이타의 조합이 3회(3바이트)입력되는 것에 의해 보호모드에 들어간다. 또, 특정의 어드레스와 데이타의 조합이 6회(6바이트)입력되는 것에 의해 이 EEPROM의 보호모드가 해제된다. 이 EEPROM의 상기 소프트웨어 데이타보호는 메모리전체에 대한 데이타라이트를 금지하는 기술이다.

ROM부와 RAM부로 분할된 1개의 강유전체 메모리를 포함하는 1칩 마이크로컴퓨터의 예가 일본국 특허공개공보 평성 7-114497호(미국특허출원08/295295호) (이하, 종래기술1이라 한다)에 기재되어 있다. 이 강유전체 메모리는 ROM으로서 사용되는 ROM부와 RAM으로서 이용되는 RAM부로 분할되어 있다. 데이타가 잘못해서 ROM부의 어드레스영역으로 라이트되는 것을 방지하기 위해 ROM부의 어드레스영역에 대해서 라이트가 실행되도록 한 경우 라이트제어신호가 출력되지 않도록 되어 있다. ROM부와 RAM부는 연속한 어드레스공간에 배치되고, ROM영역과 RAM영역의 경계의 어드레스정보가 경계설정 레지스트에 설정된다. 이것에 의해, ROM부의 용량과 RAM부의 용량이 변경가능하게 된다.

발명이 이루고자 하는 기술적 과제

상기 종래기술1의 EEPROM의 소프트웨어 데이타보호는 메모리전체의 라이트를 금지/허가를 하는 것이다. 즉, 동일메모리를 ROM부와 RAM부로 분할해서 사용할 수 있는 것은 아니다. 따라서, 1개의 단일체메모리내의 어드레스 영역의 일부를 ROM으로서 사용하고 그 ROM부분의 리라이트보호를 실행할 수 있는 것은 아니다. 또한, 시스템전체로서 여러개의 메모리를 사용하고 각 메모리마다 라이트의 금지/허가를 설정하는 것에 의해 동일종류의 메모리를 ROM으로서도, RAM으로서도 사용가능하다. 그러나, 이하에 설명하는 바와 같이 RAM으로서의 사용에 과제가 있다. 또, 라이트의 금지/허가를 설정하는 여러개의 라이트사이클이 각 메모리마다 필요하고 사용상 편리하지 못하다는 과제가 있다.

일반적으로 EEPROM등의 전기적으로 리라이트가능한 불휘발성 메모리의 라이트사이클은 리드사이클에 비해 매우 길다. 또, 전기적으로 리라이트가능한 불휘발성 메모리의 액세스시간은 범용의 다이나믹RAM(DRAM)에 비해서도 늦다. 예를 들면, 종래기술1의 EEPROM에서는 라이트사이클의 어드레스액세스시간은 최대15ms이고, 리드사이클의 어드레스액세스시간은 최대250ns이다. 따라서, EEPROM을 RAM으로서 사용하는 경우 라이트사이클의 어드레스액세스 시간이 문제로 된다.

강유전체 메모리는 고속리라이트가 가능한 (리드사이클과 라이트사이클의 어드레스액세스시간이 동일 또는 동일정도의) 불휘발성 메모리이다. 단, 강유전체 메모리의 어드레스액세스시간은 범용의 단일체SRAM의 그것보다 늦고, 범용의 다이나믹RAM(DRAM) 또는 의사스테이틱RAM(Pseuso Static RAM, 의사 SRAM)의 그것과 거의 동일정도이다. 따라서, 강유전체 메모리는 불휘발성 메모리이면서 RAM으로서 사용가능하다. 그래서, 강유전체 메모리의 핀배치 및 리드사이클과 라이트사이클의 타이밍을 범용의 단일체SRAM 또는 의사SRAM의 그것과 동일로 하고, 강유전체 메모리를 종래의 시스템의 RAM, ROM과 치환하는 것을 본원 발명자들이 검토하였다.

강유전체 메모리를 RAM 및 ROM 겸용으로 사용할 수 있도록 하기 위해서는 리라이트 금지기능이 필요하다. 범용의 단일체SRAM 또는 의사SRAM과 호환성이 있는 강유전체 메모리에 리라이트 금지기능을 부가하기 위해서는 다음의 과제가 있는 것을 본원 발명자들이 명확하게 하였다. 또한, 범용의 단일체SRAM 또는 의사SRAM에서 리라이트 금지기능을 갖는 것은 현상으로서는 발견이 되지 않고, 범용의 단일체SRAM 또는 의사SRAM에 리라이트 금지기능을 부가하는 경우에도 마찬가지인 과제가 있다.

범용의 단일체SRAM 또는 의사SRAM의 라이트사이클에 있어서 어드레스 신호가 입력되고, 그리고 칩선택/CS가 어서트(활성화)되고 그 후 라이트인에이블/WE가 어서트된다. 따라서, 라이트인에이블/WE가 어서트될 때까지는 그 라이트사이클은 리드사이클과 같이 동작한다. 즉, 메모리어레이로 부터의 데이타의 리드동작이 실행되고 있는 도중에 데이타의 리드동작이 라이트인에이블/WE에 따라서 생성되는 라이트허가신호에 의해 중단된다. 강유전체 메모리의 리드사이클 및 라이트사이클의 타이밍을 범용의 단일체SRAM 또는 의사SRAM과 마찬가지인 타이밍으로 하기 위해서는 강유전체 메모리의 라이트사이클은 상기 범용의 단일체SRAM 또는 의사SRAM의 그것과 동일 타이밍동작으로 할 필요가 있다. 리라이트 금지기능도 이들 사이클과 호환성을 유지한 것으로 할 필요가 있다.

또, 사용상 편리한 리라이트 금지기능으로 하기 위해서는 강유전체 메모리의 메모리영역을 몇개의 블럭으로 분할하고 블럭단위로 리라이트 금지영역을 설정가능하게 하고 또한 리라이트영역을 불연속으로 자유롭게 설정할 수 있는 기능을 부가하는 것이 좋다. 이들 설정은 범용의 단일체SRAM 또는 의사SRAM의 리드사이클 또는 라이트사이클과 동일한 동작타이밍 범위에서 실행해야만 된다. 구체적으로는 외부어드레스신호와 미리 설정된 리라이트금지블럭의 어드레스정보를 비교하고, 그 비교결과에 따라서 라이트허가신호의 발생이 금지되도록 한다. 따라서, 리라이트 금지블럭의 어드레스정보를 기억하는 수단(기억회로) 및 외부어드레스신호와 리라이트 금지블럭의 어드레스정보를 비교하는 수단(비교회로) 등이 필요하게 되므로, 리드사이클이나 라이트사이클의 제어신호의 발생에 지연이 생긴다. 또한, 종래기술1의 전기적으로 리라이트가능한 불휘발성 메모리에서는 라이트사이클이 리드사이클에 비해 매우 길기 때문에 지연이 발생해도 라이트사이클의 시

간에 비해 무시할 수 있을 정도로 작다. 즉, 리드사이클이나 라이트사이클의 제어신호의 발생의 지연에 관한 문제는 리드사이클과 라이트사이클이 동일정도의 메모리에 리라이트 금지기능을 부가하고 RAM과 ROM을 고속인 사이클로 겸용할 때 비로서 문제로 된다.

즉, 단일체SRAM이나 의사SRAM과 마찬가지인 타이밍으로 리라이트의 보호를 실행하기 위해서는 리라이트를 금지하는 영역과 리라이트를 허가하는 영역의 판정을 고속으로 실행할 필요가 있다. 그를 위한 하나의 방법으로서 영역판정을 위해 사용되는 어드레스신호의 비트수를 감소시키는 것을 검토하였다. 즉, 메모리영역을 여러개의 블럭으로 분할하는 것에 의해 영역판정에 필요한 어드레스신호의 비트수를 감소시킬 수 있다. 예를 들면, 8개의 블럭으로 분할하면 상위 3비트의 어드레스신호만의 비교에 의해 영역의 판정이 가능하다. 또, 메모리영역을 여러개의 블럭으로 분할하는 것에 의해 각 블럭마다 리라이트 금지/허가의 설정이 가능하고, 또 ROM부와 RAM부의 영역을 블럭단위로 자유롭게 설정할 수 있다.

종래기술2의 강유전체 메모리는 불연속인 리라이트 금지영역을 갖는 것은 아니다. 즉, 임의의 어드레스에 ROM영역과 RAM영역을 설정할 수 없다. 이산된 여러개의 어드레스영역을 ROM영역 또는 RAM영역으로서 설정할 수 없다. 또, ROM영역과 RAM영역의 판정을 위해서는 어드레스신호의 전체 비트를 비교할 필요가 있다. 따라서, 영역판정에 시간이 걸린다. 또, 범용의 단일체SRAM 또는 의사SRAM의 리드사이클 또는 라이트사이클과 동일한 동작타이밍의 범위로 하고 있지 않으므로, 리라이트를 금지하는 영역과 리라이트를 허가하는 영역의 판정을 고속으로 실행하는 필요성의 인식은 종래기술2에는 없다.

본 발명의 목적은 리드사이클과 라이트사이클이 동일 또는 동일정도의 불휘발성 메모리의 유연한 라이트보호를 실현하는 것이다.

본 발명의 다른 목적은 범용의 단일체SRAM 또는 의사SRAM과 호환성이 있는 메모리의 라이트보호를 실현하는 것이다.

본 발명의 또 다른 목적은 상기 라이트보호를 실현하기 위한 지연시간을 최소로 하는 최적인 회로구성을 제공하는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확해질 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 반도체기억장치는 여러개의 블럭으로 분할되고 리드사이클과 라이트사이클을 실질적으로 동일하게 할 수 있는 여러개의 불휘발성 메모리소자를 갖는 메모리어레이, 상기 여러개의 블럭마다 라이트 금지/허가정보를 저장하는 여러개의 기억소자 및 상기 기억소자로의 라이트 금지/허가정보의 설정을 실행하는 설정회로를 포함하고, 상기 설정회로는 소정의 여러개의 리드사이클 후의 라이트사이클에서 라이트 금지정보를 상기 기억소자에 설정한다.

또, 상기 반도체기억장치는 전원투입후 모든 블럭영역의 라이트를 금지하는 상태로 되고, 그 후 미리 저장되어 있던 상기 라이트 금지/허가정보가 자동적으로 설정되도록 한다. 또는, 상기 반도체기억장치는 전원투입후 모든 영역의 라이트를 금지하는 상태로 되고, 그 후의 소정의 어드레스의 조합의 여러개의 리드사이클에 따라서 미리 저장되어 있던 상기 라이트 금지/허가정보가 설정되도록 한다.

이것에 의해 라이트 금지/허가의 설정이 여러개의 블럭단위로 가능하게 된다. 그것에 의해서 RAM부와 리라이트보호되어 있는 ROM부를 자유롭게 설정할 수 있다. 또, 라이트 금지/허가의 설정수순이 복잡하므로 시스템의 폭주 등에 의한 오설정을 방지할 수 있다.

라이트의 금지는 라이트사이클의 전반에서 액세스된 어드레스가 라이트 금지영역에 있는지 없는지를 고속으로 체크하는 회로와 라이트사이클의 후반에서 라이트신호를 디스에이블하는 회로에 의해 실현한다. 라이트의 금지는 외부로부터의 라이트의 제어신호를 내부에서 디스에이블로 하는 것에 의해 실행하고 있다. 그 때문에, 라이트금지로 된 블럭영역에 대한 라이트사이클에 있어서 메모리어레이의 워드선이 선택상태로 상승되고, 비트선의 신호가 증폭될 때까지의 동작은 다른 블럭에 대한 리드사이클의 동작과 동일하도록 실행된다. 이 때문에, 워드선의 상승후에 라이트금지가 가능하게 되고 라이트금지영역의 라이트사이클의 고속성을 손실시키지 않고 라이트금지를 실현할 수 있다.

액세스된 어드레스가 라이트 금지영역에 있는지를 고속으로 체크하고 또한 라이트금지의 데이타설정을 불휘발로 하기 위해 보호어드레스 유지회로는 불휘발성 메모리소자와 래치회로를 포함한다. 그리고, 래치회로에는 불휘발성 메모리소자에 기억된 라이트 금지영역으로 하도록 1~여러개의 블럭(보호블럭)의 데이타가 전원투입후에 라이트된다. 새로 라이트금지영역을 설정하는 경우 라이트 금지영역으로 하도록 1~여러개의 블럭(보호블럭)의 데이타가 동일라이트 사이클에서 불휘발성 메모리소자와 래치회로의 양쪽에 라이트된다.

이 보호어드레스 유지회로의 구성에 의해 액세스된 어드레스가 라이트 금지영역에 있는지 없는지의 체크는 불휘발성 메모리의 기억된 보호정보를 리드하는 일 없이 래치회로의 출력과 입력된 어드레스신호의 상위어드레스의 디코드결과를 비교하는 것에 의해 실행한다. 따라서, 보호어드레스 유지회로의 불휘발성 메모리에 기억된 보호정보와 입력된 어드레스신호를 비교하는 것이 아니고 래치회로에 저장된 보호정보와 입력된 어드레스신호의 상위어드레스의 디코드결과를 비교하기 때문에, 어드레스액세스마다 보호어드레스 유지회로의 불휘발성 메모리에 기억된 보호정보를 리드한다는 동작이 필요없게 되므로, 그만큼 빠른 시간으로 판정할 수 있게 된다.

또, 이 경우 액세스된 어드레스가 라이트 금지영역에 있는지 없는지의 체크는 래치회로의 출력과 입력된 어드레스신호의 상위어드레스의 디코드결과를 비교하는 것에 의해 실행된다. 따라서, 이 경우 래치회로의 출력과 전체 어드레스신호의 디코드한 디코드결과와 비교하는 경우보다 빠른 시간으로 판정할 수 있게 된다.

또, 보호어드레스 유지회로의 불휘발성 메모리를 메모리어레이의 일부에 추가하는 것에 의해 보호어드레스의 신규설정을 통상의 라이트사이클과 동일 방법에 의해 실행할 수 있고, 라이트 금지영역의 설정정보를 불휘발로 할 수 있다.

전원투입후는 보호어드레스 유지회로의 불휘발성메모리의 기억정보를 래치회로에 기억시킬 필요가 생기지만, 블럭보호의 재설정 시퀀스의 일부를 이 불휘발성 메모리셀의 리드사이클로 하는 것에 의해 전원투입후에 자동적으로 래치회로에 라이트 금지영역의 어드레스정보를 설정할 수 있다.

또, 메모리(반도체 기억회로장치)에 전원전압 검출회로를 마련한다. 그것에 의해, 보호어드레스 유지회로의 불휘발성 메모리셀의 리드사이클이 전원투입시 이 전원전압 검출회로의 출력에 응답해서 자동적으로 실행되도록 하고 이 불휘발성 메모리의 어드레스정보를 래치회로에 설정해도 좋다.

이것에 의해, 범용의 단일체SRAM이나 의사SRAM과 마찬가지인 고속라이트가 가능하고 또한 라이트 금지영역의 가변인 RAM/ROM 일체의 메모리(반도체 기억 회로장치)를 실현할 수 있다.

《전체구성》

도 1은 본 발명에 관한 강유전체 메모리의 블럭도이다. 강유전체 메모리 FMEM은 메모리어레이FMARY, 행디코더RDEC, 열디코더CDEC, I/O래치IOL, 행어드레스 래치(래치회로)RAL, 열어드레스 래치CAL 및 제어논리 및 블럭 보호회로CLBP를 갖고 단결정실리콘과 같은 1개의 반도체기판상에 형성된다. 제어논리 및 블럭 보호회로CLBP 이외의 회로구성은 당업자에 있어서 용이하게 이해된다고 고려되므로 여기에서는 그다지 상세하게 설명되지 않는다.

제어논리 및 블럭 보호회로CLBP에 관해서는 후에 상세하게 설명된다.

메모리어레이FMARY는 2진정보의 1비트를 기억하는 메모리셀을 1024×256 = 256K(K = 1024)개 갖고 있다. 강유전체 메모리FMEM은 32K워드×8비트 구성이므로, 행어드레스는 10개, 열어드레스는 5개이다.

도 2는 본 발명에 관한 강유전체 메모리의 핀배치도이다. 강유전체 메모리FMEM은 수지몰드기술에 의해 450mil의 28핀 플라스틱SOP(Small Outline Package) 등에 수지에 의해 봉지된다. 강유전체 메모리FMEM의 핀배치는 32K워드×8비트 구성의 256K비트 의사SRAM과 겸용이다. A0～A14는 어드레스 입력신호를 위한 외부단자이고, I/O0～I/O7은 데이타입출력을 위한 외부단자, /WE는 라이트 인에이블신호를 위한 외부단자이고, /CE는 칩 인에이블신호를 위한 외부단자, /OE는 출력인에이블신호를 위한 외부단자이고, Vcc는 전원(3V)을 위한 외부단자이며, Vss는 접지(0V)를 위한 외부단자이다. 또한, 32K워드×8비트구성의 256K비트 SRAM이라고 하는 것은 20핀의 칩 선택(/CS)신호가 칩 인에이블(/CE)신호로 되어 있을 뿐 강유전체 메모리FMEM의 핀배치는 32K워드×8비트 구성의 256K비트 SRAM과 겸용이다. 또한, 본 명세서에 있어서 A0～A14, I/O0～I/O7, /WE, /OE의 각 기호는 각 신호명의 의미 또는 각 외부단자의 의미로서 이용된다.

칩 인에이블(/CE)는 "로우(Low)"레벨에서 활성으로 되고, "하이(High)"레벨에서 비활성으로 된다. 칩 인에이블(/CE)의 로우레벨의 하강시에 강유전체 메모리FMEM은 어드레스A0～A14를 외부에서 메모리내부로 페치한다.

어드레스(A0～A7, A13, A14)가 행어드레스신호이고, 어드레스(A8～A12)가 열어드레스신호이다.

라이트 인에이블(/WE)는 리드사이클과 라이트사이클의 전환신호이고, 그것이 "로우"레벨(활성레벨)일 때 강유전체 메모리FMEM은 라이트모드로 된다. 칩 인에이블(/CE)와 라이트 인에이블(/WE) 중 먼저 상승하는 신호의 상승시에 라이트데이타는 강유전체 메모리FMEM내부에 페치된다.

출력인에이블(/OE)는 "로우"레벨에서 활성으로 되고, "하이"레벨에서 비활성으로 된다.

다음에 라이트 인에이블(/WE), 칩 인에이블(/CE), 출력인에이블(/OE)의 조합에 있어서의 기능을 설명한다.

[1] (/WE, /CE, /OE) = (×, H, ×)의 경우

강유전체 메모리FMEM은 칩비선택 모드로 되고, 각 데이타입출력단자에 결합된 각 출력버퍼의 출력단자는 고임피던스로 된다. 여기에서, ×는 H, L 중의 어느 하나이고 H는 "하이"레벨, L은 "로우"레벨이다.

[2] (/WE, /CE, /OE) = (H, L, H)의 경우

강유전체 메모리FMEM은 출력디스에이블 모드로 되고, 각 데이타입출력 단자와 각 출력버퍼의 출력단자는 고임피던스로 된다.

[3] (/WE, /CE, /OE) = (H, L, L)의 경우

강유전체 메모리FMEM은 리드 모드로 되고, 각 데이타입출력단자의 각 출력버퍼는 출력가능한 상태로 된다.

[4] (/WE, /CE, /OE) = (L, L, H)의 경우

강유전체 메모리FMEM은 출력라이트 모드로 되고, 각 데이타입출력단자의 각 입력버퍼는 입력가능한 상태로 된다. 각 데이타입출력단자의 각 출력버퍼의 출력단자는 고임피던스로 된다.

[5] (/WE, /CE, /OE) = (L, L, L)의 경우

강유전체 메모리FMEM은 라이트 모드로 되고, 각 데이타입출력단자의 각 출력버퍼 및 데이타입력 버퍼는 출력가능한 상태 및 입력가능한 상태로 된다.

《동작타이밍》

도 3은 본 발명에 관한 강유전체 메모리의 리드사이클의 타이밍도이고, 도 4는 본 발명에 관한 강유전체 메모리의 라이트 사이클의 타이밍도이다.

도 3에 도시된 바와 같이, 리드사이클은 어드레스(A0～A14)가 입력되고, 칩 인에이블(/CE)가 로우레벨로 하강하고, 출력인에이블(/OE)가 로우레벨로 하강하면, 리드데이타가 데이타입출력(I/O0～I/O7)로 출력된다.

리드사이클시간(tRC)는 칩 인에이블(/CE)가 로우레벨로 하강하고 나서 다음에 칩 인에이블(/CE)가 로우레벨로 하강할 수 있는 시간으로서, 최소시간이 규정된다. 본 실시예의 강유전체 메모리FMEM에서는 tRC = 235ns이다. 칩 인에이블 펄스폭(tCA)는 최소시간과 최대시간이 규정된다. 칩 인에이블 프리챠지시간(tPC)는 다음의 액세스에 필요한 프리챠지시간으로서, 최소시간이 규정된다. 어드레스 셋업시간(tAS)는 칩 인에이블(/CE)의 로우레벨로의 하강에 대한 어드레스의 셋업시간으로서, 최소시간이 규정된다. 어드레스 홀드시간(tAH)는 칩 인에이블(/CE)의 로우레벨로의 하강에 대한 어드레스의 홀드시간으로서, 최소 시간이 규정된다. 칩 인에이블 액세스시간(tCE)는 칩 인에이블(/CE)의 로우레벨의 하강부터 유효한 데이타가 출력될 때까지의 시간으로서, 최대시간이 규정된다. 본 실시예의 강유전체 메모리FMEM에서는 tCE = 150ns이다. 칩 디스에이블 출력지연(tHZ)는 칩 인에이블(/CE)의 하이레벨로의 상승부터 유효데이타가 유지되는 시간으로서, 최소시간과 최대시간이 규정된다. 출력인에이블 액세스 시간(tOE)는 출력인에이블(/OE)의 로우레벨로의 하강부터 유효한 데이타가 출력될 때까지의 시간으로서, 최대시간이 규정된다. 출력디스에이블 출력지연(tOHZ)은 출력인에이블(/OE)의 하이레벨로의 상승부터 유효데이타가 유지되는 시간으로서, 최대시간이 규정된다.

도 4에 도시된 바와 같이, 라이트사이클은 어드레스(A0～A14)가 입력되고, 라이트 인에이블(/WE)가 로우레벨로 하강하고, 칩 인에이블(/CE)가 로우레벨로 하강하고, 라이트데이타가 데이타입출력(I/O0～I/O7)에 입력되면, 칩 인에이블(/CE)의 하이레벨로의 상승에 의해 입력데이타가 강유전체 메모리FMEM에 페치된다.

라이트사이클시간(tWC)는 칩 인에이블(/CE)가 로우레벨로 하강하고 나서 다음에 칩 인에이블(/CE)가 로우레벨로 하강할 수 있는 시간으로서, 최소시간이 규정된다. 본 실시예의 강유전체 메모리FMEM에서는 tWC = 235ns이다. 라이트 인에이블 셋업시간(tWS)는 칩 인에이블(/CE)의 로우레벨로의 하강에 대한 라이트 인에이블(/WE)의 로우레벨로의 하강의 셋업시간으로서, 최소시간이 규정된다. 라이트 인에이블 홀드시간(tWH)는 칩 인에이블(/CE)의 로우레벨로의 하강에 대한 라이트 인에이블(/WE)의 하이레벨로의 상승의 홀드시간으로서, 최소시간이 규정된다. 입력데이타 설정시간(tDS)는 칩 인에이블(/CE)의 하이레벨로의 상승에 대한 입력데이타의 셋업시간으로서, 최소시간이 규정된다.

《레이아웃》

도 5는 본 발명에 관한 강유전체 메모리의 레이아웃도이다. 어드레스(A3～A14), 전원(Vcc), 라이트 인에이블(/WE), 출력인에이블(/OE)의 각각의 본딩 패드는 반도체칩의 상변에 배치되어 있다. 어드레스(A0～A2), 데이타입출력(I/O0~I/O7), 접지(Vss), 칩 인에이블(/CE)의 각각의 본딩패드는 반도체칩의 하변에 배치되어 있다.

메모리어레이LMARY는 8개로 물리적으로 분할되어 레이아웃되어 있다. 메모리어레이MARY0과 메모리어레이MARY1 사이에 행디코더X-Dec가 배치되어 있다. 메모리어레이MARY2와 메모리어레이MARY3 사이에 행디코더X-Dec가 배치되어 있다. 메모리어레이MARY4와 메모리어레이MARY5 사이에 행디코더X-Dec가 배치되어 있다. 메모리어레이MARY6과 메모리어레이MARY7 사이에 행디코더X-Dec가 배치되어 있다. 좌측의 4개의 메모리어레이(MARY0, MARY1, MARY2, MARY3)과 우측의 2개의 메모리어레이(MARY4, MARY5, MARY6, MARY7) 사이에는 열디코더Y-Dec가 배치되어 있다.

《메모리어레이 및 기본동작》

도 6은 본 발명에 관한 강유전체 메모리의 메모리어레이의 개념적인 회로도이다. 메모리어레이MARY는 도 4의 각 메모리어레이 중의 2개로 분할된 1개의 일부에 대응한다.

메모리어레이MARY는 워드선WL, 워드선WL과 평행하게 배치되는 플레이트선PL, 워드선WL 및 플레이트선PL과 교차하도록 배치되는 비트선쌍(BL, /BL) 및 워드선WL과 플레이트선PL과 비트선쌍(BL, /BL)의 교차점에 배치되는 메모리셀MC가 매트릭스형상으로 여러개 배치되어 구성된다. 각 메모리셀MC는 1개의 워드선WL, 1개의 플레이트선PL 및 1쌍의 비트선(BL, /BL)에 결합된다.

1개의 메모리셀MC는 2개의 트랜지스터(Q1, Q2)와 2개의 강유전체 콘덴서(C1, C2)로 구성된다. 이와 같은 메모리셀은 2T2C(2Transistors-2Capacitances) 구조의 메모리셀이라 부르고 있다. 2T2C구조의 메모리셀은 2개의 강유전체 콘덴서에 대해서 배타적인 데이타를 유지하는 것에 의해 강유전체 콘덴서의 저하에 대해서 강하고 데이타의 리드가 안정화되는 특징이 있다.

도 7은 강유전체 메모리의 메모리어레이의 동작타이밍도이다. 다음에, 기본동작을 설명한다.

[1] 기본라이트동작

공통 입출력선(IO, IOB)에 부가된 라이트데이타에 의해 열디코더 Y-Dec에 의해 선택된 비트선BL, 비트선/BL가 배타논리에 하이레벨 및 로우레벨 또는 로우레벨 및 하이레벨로 각각 고정된다. 비트선BL이 "하이"레벨, 비트선/BL가 "로우"레벨인 경우에 대해서 설명한다. 그리고, 행디코더X-Dec에 의해 선택된 플레이트선PL이 "로우"레벨로 된다.

다음에, 행디코더X-Dec에 의해 선택된 워드선WL이 "하이"레벨로 되고, N채널형 MOS트랜지스터 Q1,Q2가 도통상태로 된다. 이 때, 비트선/BL에 접속되는 강유전체 콘덴서C2는 플레이트선PL과 비트선/BL가 "로우"레벨로 되어 있으므로 분극반전을 일으키지 않고 현상의 데이타를 그대로 유지한다. 그러나, 비트선BL에 접속되는 강유전체 콘덴서C1은 플레이트선PL이 "로우"레벨이고 비트선BL이 "하이"레벨이므로, 그 방향에서 분극반전을 일으킨다. 따라서, 강유전체 콘덴서C1에 대한 데이타의 라이트가 실행된다.

다음에, 플레이트선PL을 "로우"레벨에서 "하이"레벨로 천이시킨다. 이 동작에 의해서 플레이트선PL과 비트선BL이 "하이"레벨로 되어 있으므로, 강유전체 콘덴서C1은 조금전의 분극상태를 유지한다. 한편, 강유전체 콘덴서C2는 플레이트선PL이 "하이"레벨이고 비트선/BL가 "로우"레벨이므로, 그 방향에서 분극반전을 일으킨다. 이 분극반전의 방향은 강유전체 콘덴서C1의 그것과는 반대방향으로 된다. 따라서, 강유전체 콘덴서C1의 데이타와 배타논리의 데이타가 강유전체 콘덴서C2에 대해서 라이트된다. 이와 같이 상반된 방향으로 라이트하는 것에 의해 리드시에 비교적 간단하게 데이타를 판별할 수 있다.

마지막으로, 워드선WL을 "로우"레벨로 하고 N채널형 MOS트랜지스터 Q1, Q2를 차단상태로 하는 것에 의해 라이트시퀀스는 종료한다.

[2] 기본리드동작

강유전체 콘덴서C1은 상부(N채널형 MOS트랜지스터 Q1측)가 "하이"레벨, 하부(플레이트선PL측)가 "로우"레벨로 분극되고, 강유전체 콘덴서C2는 상부(N채널형 MOS트랜지스터 Q2측)이 "로우"레벨, 하부(플레이트선PL측)가 "하이"레벨로 분극되어 있는 경우에 대해서 설명한다.

우선, 비트선BL과 비트선/BL가 접지전위("로우"레벨)에 프리챠지된다. 프리챠지후, 비트선BL과 비트선/BL은 하이임피던스상태로 된다.

다음에, 행디코더X-Dec에 의해 선택된 플레이트선PL을 "로우"레벨로 한 후, 행디코더X-Dec에 의해 선택된 워드선WL을 "하이"레벨로 하고, N채널형 MOS트랜지스터Q1,Q2를 도통상태로 한다. 이것에 의해서, 강유전체 콘덴서 C1, C2는 양단자가 "로우"레벨로 되고 강유전체 콘덴서C1, C2는 분극상태를 유지한다.

다음에, 플레이트선PL을 "로우"레벨에서 "하이"레벨로 천이시킨다. 이때, 강유전체 콘덴서C1, C2에서 전하가 방출되지만, 그 방출되는 전하량은 원래 분극을 일으키고 있던 방향에 따라서 다르다. 플레이트선 PL측이 "로우"레벨로 분극된 강유전체 콘덴서C1의 전하량은 플레이트선PL측이 "하이"레벨로 분극된 강유전체 콘덴서C2의 전하량보다 많다. 각각 방출된 전하는 비트선BL, 비트선/BL의 전압으로서 나타내진다. 이 경우, 강유전체 콘덴서C1 쪽이 많은 전하를 방출하므로, 비트선BL의 전압이 비트선/BL의 전압보다 높아진다.

비트선BL, 비트선/BL에 전압이 발생한 시점에서 센스앰프 제어신호SAC에 의해 센스앰프SA를 동작시키고, 비트선BL의 전압과 비트선/BL의 전압의 차를 증폭한다. 따라서, 비트선BL은 "하이"레벨로, 비트선/BL은 "로우"레벨로 되고, 각각 공통 입출력선IO, IOB에 리드된다.

이상이 리드시퀀스이지만 이 상태에서는 강유전체 콘덴서C1, C2에 축적된 데이타가 파괴된 채로 되므로 데이타를 라이트할 필요가 있다.

지금까지의 시퀀스에서 비트선BL은 "하이"레벨로, 비트선/BL은 "로우"레벨로, 플레이트선PL은 "로우"레벨로, N채널형 MOS트랜지스터 Q1, Q2가 도통상태로 되어 있다. 따라서, 이 상태에서 강유전체 콘덴서C1에 재라이트가 실행되고 있다.

다음에, 플레이트선PL을 "로우"레벨에서 "하이"레벨로 천이시킨다. 이것에 의해, 강유전체 콘덴서C2의 비트선/BL측은 "로우"레벨로, 플레이트선PL측이 "하이"레벨로 되고 재라이트가 실행된다. 이 때, 강유전체 콘덴서C1은 플레이트선PL측 및 비트선BL측이 "하이"레벨로 되고 조금전의 분극상태를 유지한다.

마지막으로, 워드선WL을 "로우"레벨로 하고 N채널형 MOS트랜지스터Q1, Q2를 차단상태로 하는 것에 의해 리드시퀀스는 종료한다.

《라이트보호의 설정/해제방법》

도 8～도 10은 본 발명에 관한 강유전체 메모리의 라이트보호의 설정/해제 방법의 1실시예를 도시한 시퀀스도이다.

도 8은 칩전체의 라이트보호의 시퀀스를 도시하고 있다. 라이트보호를 인에이블로 시키는 시퀀스는 칩외부에서 강유전체 메모리FMEM에 7조의 소정의 어드레스를 리드사이클을 실행하면서 입력하는 것에 의해 설정된다. 이 소정의 어드레스는 ($1823, $1820, $1822, $0418, $041B, $0419, $040A)이고, 이 소정의 어드레스로의 7사이클의 리드사이클의 실행으로 라이트보호의 설정이 실행된다. 또한, $는 16진 표시를 나타내고 있다.

한편, 라이트보호를 디스에이블로 시키는 시퀀스도 칩외부에서 강유전체 메모리FMEM에 7조의 소정의 어드레스를 리드사이클을 실행하면서 입력하는 것에 의해 설정된다. 소정의 어드레스는 ($1823, $1820, $1822, $0418, $041B, $0419, $041A)이고, 이 소정의 어드레스로의 7사이클의 리드사이클의 실행으로 라이트보호의 해제가 실행된다. 라이트보호의 설정과 라이트보호의 해제는 7사이클째의 어드레스만이 다르다.

도 9는 블럭보호의 설정시퀀스를 도시하고 있다. 소정의 어드레스($1823, $1820, $1822, $0418, $041B, $0419, $041A)로의 7사이클의 리드사이클의 실행후, 8사이클째의 소정의 어드레스($040F)로의 라이트사이클의 실행으로 라이트보호의 설정이 실행된다. 8사이클째의 라이트사이클의 데이타입출력(I/O0～I/O7)의 입력데이타에 의해 라이트보호될 1～여러개의 블럭이 지정되고, 그 데이타에 따라서 라이트보호되는 1～여러개의 블럭이 설정된다.

도 10에는 블럭보호의 재설정시퀀스를 도시하고 있다. 소정의 어드레스($1823, $1820, $1822, $0418, $041B, $0419, $041A)로의 7사이클의 리드사이클의 실행후, 8사이클째의 소정의 어드레스($040F)로의 리드사이클의 실행으로 라이트보호의 재설정이 실행된다. 8사이클째의 리드사이클에 의해 라이트보호 재설정블럭이 설정된다. 즉, 앞의 라이트보호 설정시퀀스에 의해 메모리어레이 FMARY에 기억되어 있는 블럭보호 데이타가 래치에 리드되고 재설정된다.

강유전체 메모리FMEM은 8개의 블럭으로 분할되어 있다. 도 11은 블럭번호와 상위 3비트어드레스(A14, A13, A12)의 관계 및 블럭번호와 데이타 입출력I/O의 번호의 관계를 도시하고 있다. 8사이클째의 라이트사이클의 8비트의 데이타의 각각이 8개의 블럭의 라이트보호의 설정/해제에 대응한다. 데이타 입출력I/O0~I/O7이 각각 블럭0～블럭7에 대응한다. "1"이 라이트블럭의 설정을 나타내고, "0"이 라이트블럭의 해제를 나타낸다.

도 12는 본 발명에 관한 강유전체 메모리의 메모리 어드레스 공간을 도시하고 있다. 블럭0이 하위어드레스측이고, 블럭7이 상위어드레스측이다. 각 블럭은 4KB(킬로바이트)의 용량이다. 도 13은 블럭보호의 설정시퀀스의 8사이클째에 데이타 입출력I/O에 입력된 데이타의 예를 도시한다. I/O0, I/O1, I/O7이 "1"로 되어 있다. 이것에 대응해서 도 12의 메모리 어드레스 공간의 블럭0, 블럭1, 블럭7이 라이트보호된다.

도 8～도 10의 라이트보호의 설정/해제의 시퀀스에 필요한 리드사이클 또는 라이트사이클은 마이크로 프로세서나 데이타처리장치 등에 포함되는 중앙처리장치CPU가 소정의 프로그램을 실행하는 것에 의해 실행된다. 상기 프로그램은 시스템 기동용의 부트프로그램의 일부에 들어가 있다. 도 14는 부트프로그램이 강유전체 메모리FMEM과는 다른 부트ROM(BROM)에 저장되는 경우의 데이타처리시스템 또는 PDA등의 휴대용데이타 처리장치를 도시하고 있다. 한편, 도 15는 부트프로그램이 다른 시스템(퍼스널 컴퓨터등)에서 강유전체 메모리 FMEM내에 라이트된 후, 강유전체 메모리FMEM을 본 시스템에 삽입(실장)한 경우의 데이타처리시스템 또는 PDA등의 휴대용데이타 처리장치를 도시하고 있다.

《라이트보호의 전체구성 》

도 16은 본원 발명에 관한 라이트보호의 블럭도이다. 도 16에 도시된 바와 같이 강유전체 메모리FMEM의 전체(전체비트)를 라이트보호할 것인지, 일부만의 블럭보호인지, 보호없음인지를 검출하는 커맨드 검출회로CDC, 커맨드 검출회로CDC의 출력에 따라서 동작상태를 결정하는 동작상태 유지회로OSHC, 보호하는 영역을 기억해 두는 보호어드레스 유지회로PAHC, 액세스된 어드레스를 디코드하는 어드레스 디코더ADEC, 액세스된 어드레스가 보호되고 있는 영역에 있는지 없는지를 판정하는 어드레스 비교회로ACC 및 어드레스가 보호되고 있는 영역에서 보호상태에 있는 경우에 라이트를 금지하는 라이트 보호회로WPC로 이루어진다.

커맨드 검출회로CDC는 커맨드를 검출한 경우 출력S1을 내보내 동작상태 유지회로OSHC의 상태를 변경한다. 어드레스 비교회로ACC는 보호어드레스의 정보S3과 어드레스 디코더ADEC의 출력S4를 비교하고 비교결과S5를 출력한다. 라이트보호회로WPC는 동작상태 유지회로OSHC의 출력S2에 따라 비교결과S5가 "하이"레벨인 경우 라이트를 제어한다.

《커맨드 검출회로 및 동작상태 유지회로》

도 17은 커맨드 검출회로CDC 및 동작상태 유지회로OSHC의 상세블럭도이다. 도 17에 도시한 바와 같이, 커맨드 검출회로CDC는 입력어드레스를 디코드하는 커맨드 어드레스 디코더CDEC, 강유전체 메모리FMEM의 외부사양에서 결정된 고정어드레스($1823, $1820, $1822, $0418, $041B, $0419, $041A등)을 유지하는 고정어드레스 유지회로FAHC, 커맨드 어드레스 디코더CDEC의 출력과 고정어드레스 유지회로의 출력을 비교하는 어드레스 비교회로CMP, 커맨드 어드레스의 입력순번을 검사하는 커맨드 시퀀스 검출회로CSDC로 구성된다. 고정어드레스와 입력어드레스를 비교해서 그들이 일치한 경우에는 어드레스 비교회로 CMP는 신호SQ1, SQ2, SQ3, SQ4, SQ5, SQ6, SQ7E, SQ7D, SQ8중의 1개를 "하이"레벨로 한다. 신호SQ1은 입력어드레스가 $1823의 경우 "하이"레벨로 된다. 신호SQ2는 입력어드레스가 $1820의 경우 "하이"레벨로 된다. 신호SQ3은 입력어드레스가 $1822의 경우 "하이"레벨로 된다. 신호SQ4는 입력어드레스가 $0418의 경우 "하이"레벨로 된다. 신호SQ5는 입력어드레스가 $041B의 경우 "하이"레벨로 된다. 신호SQ6은 입력어드레스가 $0419의 경우 "하이"레벨로 된다. 신호SQ7E는 입력어드레스가 $041A의 경우 "하이"레벨로 된다. 신호SQ7D는 입력어드레스가 $040A의 경우 "하이"레벨로 된다. 신호SQ8은 입력어드레스가 $040F의 경우 "하이"레벨로 된다.

이들 신호는 커맨드 시퀀스 검출회로CSDC의 8단의 시프트레지스터의 입력신호로 된다. 시프트레지스터SR1의 출력과 신호SRQ2가 논리곱을 취하여 시프트레지스터SR2에 입력된다. 시프트레지스터SR2의 출력과 신호SRQ3이 논리곱을 취하여 시프트레지스터SR3에 입력된다. 시프트레지스터SR3의 출력과 신호SRQ4가 논리곱을 취하여 시프트레지스터SR4에 입력된다. 시프트레지스터 SR4의 출력과 신호SRQ5가 논리곱을 취하여 시프트레지스터SR5에 입력된다. 시프트레지

스터SR5의 출력과 신호SRQ6이 논리곱을 취하여 시프트레지스터SR6에 입력된다. 시프트레지스터SR6의 출력과 신호SR7E가 논리곱을 취하여 시프트레지스터SR7E에 입력된다. 시프트레지스터SR6의 출력과 신호SR7D가 논리 곱을 취하여 시프트레지스터SR7D에 입력된다. 시프트레지스터SR7D의 출력과 신호SR8이 논리곱을 취하여 시프트레지스터SR8에 입력된다. 이들 시프트레지스터에 의해 입력된 어드레스의 시퀀스가 체크된다. 입력된 어드레스의 시퀀스가 모두 일치한 경우 그 시퀀스에 따라서 출력인 라이트보호 인에이블신호SQE, 디스에이블신호SQD, 블럭보호신호SQB가 출력된다.

동작상태 유지회로OSHC는 2개의 래치회로L1, L2로 구성되고, 래치L1, L2의 상태는 라이트보호 인에이블신호SQE, 디스에이블신호SQD, 블럭보호신호SQB에 의해 결정된다. 이 래치L1, L2의 상태는 다음의 커맨드가 입력될 때까지 라이트보호의 동작의 모드를 나타내는 모드데이타를 유지한다. 현재의 동작모드는 래치L1의 출력신호WPE와 래치L2의 출력신호WPB로 나타내어진다. 출력신호WPE가 "하이"레벨의 경우 강유전체 메모리FMEM 전체가 라이트보호되는 상태를 나타낸다. WPB가 "하이"레벨의 경우 강유전체 메모리FMEM의 일부의 블럭이 라이트보호될 수 있는 상태를 나타낸다. 전원투입시는 도 20에 도시된 전원검출회로VDC로 부터의 검출신호POR에 의해 래치L1이 설정되고, 강유전체 메모리FMEM의 보호모드는 전체 비트 보호상태로 되고 라이트를 금지한 상태로 된다.

《보호어드레스 유지회로 및 라이트 보호회로》

도 18은 보호어드레스 유지회로PAHC, 어드레스 디코더ADEC, 어드레스 비교회로ACC, 라이트 보호회로WPC등의 회로도이다. 도 18에는 상기 회로이외에 공통 입출력선IO, IOB, 센스앰프SA, 메모리셀 어레이MARY, 행디코더X-Dec, 열디코더Y-Dec, 메인앰프MA, 출력회로OC, 입력회로IC가 도시되어 있다. 강유전체 메모리FMEM의 입출력데이타는 8비트구성이므로, 공통 입출력선 IO, IOB, 메인앰프MA, 출력회로OC, 입력회로IC등은 각각 8개 있다. 또, 메모리어레이MARY도 여러개 있고, 각 메모리어레이MARY는 여러개의 비트선쌍을 갖고, 그것에 대응해서 센스앰프SA 및 컬럼스위치YSW가 접속된다. 그러나, 도면이 복잡하게 되는 것을 피하기 위해서 도 18에서는 1비트만을 도시하고 있다.

보호어드레스 유지회로PAHC는 8개의 불휘발성 메모리(강유전체 메모리)와 8개의 래치회로PAL로 이루어져 있다. 불휘발성 메모리는 칩내부에서 특수한 어드레스를 갖고 있고, 블럭보호의 커맨드 어드레스 시퀀스에서 8사이클째로 되면 신호SQB에 의해 통상의 행디코더Y-Dec에서 이 어드레스로의 전환이 실행된다. 이 8사이클째가 리드사이클인 경우(도 10의 블럭보호의 재설정 시퀀스)이 특별한 번지의 메모리셀이 액세스되고 이 메모리셀의 정보가 리드되고 공통입출력선IO, IOB를 통해서 래치제어신호LAC의 타이밍에서 래치PAL로 정보가 복사되고 유지된다.

또, 블럭보호의 시퀀스에서 8사이클째가 라이트사이클의 경우(도 9의 블럭 보호의 설정스퀀스의 경우), 데이타입출력단자(InputData)에서 통상의 라이트사이클과 동일하도록 새로운 데이타가 이 특별번지의 메모리셀에 라이트된다. 또, 이 사이클 종료시에 래치제어신호LAC에 의해 동일 데이타가 래치PAL에도 라이트된다. 라이트되는 8비트의 데이타는 각 비트가 8개의 영역(블럭)에 대응하고 있고, "1"("하이"레벨)의 경우에는 대응하는 블럭이 라이트보호되는 것을 의미한다. 또한, 전원투입후는 8개의 래치PAL은 "하이"레벨로 설정되고 전체 블럭이 라이트보호된다. 따라서, 전원투입후는 도 10에 도시한 블럭보호의 재설정시퀀스가 필요하다. 또, 8개의 불휘발성 메모리(강유전체 메모리)는 반도체 제조회사에서 출하될 때는 "0"으로 클리어되어 있다.

보호어드레스 유지회로PAHC의 8비트의 출력S3은 3비트의 어드레스 A12-A14를 디코드하는 어드레스 디코더ADEC의 출력S4와 어드레스 비교회로 ACC에 의해 비교되고, 일치한 어드레스가 있는 경우에는 1비트의 출력결과S5가 "하이"레벨로 된다. 이 어드레스 비교회로ACC에 의한 비교는 디코드완료의 래치PAL의 출력신호S3과 어드레스(A12-A14)의 디코드신호의 비교이므로 고속으로 실행할 수 있다.

라이트 보호회로WPC에서는 내부 라이트신호WE0과 동작상태 유지회로OSHC의 출력S2(WPE, WPB)와 커맨드 검출회로CDC의 출력S1(SQB)에서 라이트데이타의 입력을 제어하는 스위치회로SW1의 제어신호인 라이트 허가신호WE1을 생성한다. 라이트 허가신호WE1이 "하이"레벨의 경우 스위치회로SW1은 도통상태로 되고, 입력회로IC로 부터의 입력데이타가 공통 입출력선IO, IOB에 입력된다.

라이트 제어회로WC는 칩 인에이블신호/CE와 라이트 인에이블신호/WE에 따라서 내부 라이트신호WE0을 생성한다. 칩 인에이블신호/CE와 라이트 인에이블신호/WE가 모두 "로우"레벨이고 또한 라이트금지의 판정결과F가 출력되는 타이밍보다 지연된 타이밍으로 내부라이트신호WE0이 "하이"레벨로 되도록 하고 있다. WPB와 어드레스 비교회로의 출력이 S5가 "하이"레벨에서의 경우 출력신호F가 "하이"레벨로 되고, 내부라이트신호WE0은 디스에이블(로우레벨)된다. 또, WPE가 "하이"레벨인 경우에도 내부라이트신호WE0은 디스에이블된다. 그 결과, 라이트 허가신호WE1은 "로우"레벨로 유지된다. 이 때문에, 메모리FMEM의 외부에서 공급되는 입력데이타는 스위치회로SW1에서 차단되고, 메모리FMEM의 내부는 리드동작과 동일 상태를 유지한다. 또한, 스위치회로SW1 대신에 컬럼스위치YSW를 제어하는 것에 의해서도 입력데이타는 차단할 수 있다. 즉, 라이트 허가신호WE1을 WE1' 에 접속하는 것에 의해 제어신호DEC를 "로우"레벨로 하고 입력데이타를 메모리어레이에 입력하는 것을 금지할 수 있다. 이 때문에, 외부에서는 라이트가 금지되어 있도록 기능한다. 이 방법에 의해, 메모리어레이를 리드동작으로 유지하면서 라이트를 금지할 수 있고, 리드에 의한 데이타의 재라이트에 의해 데이타가 보증된다.

또한, 블럭보호의 시퀀스의 8사이클째가 라이트사이클인 경우에는 신호SQB가 "하이"레벨로 되고 라이트 허가신호WE1이 "하이"레벨로 된다. 또, 신호SQB가 "하이"레벨로 되면, 보호어드레스 유지회로PAHC의 불휘발성 메모리셀과 공통 입출력선IO, IOB가 접속되고 라이트할 수 있게 된다.

커맨드 검출회로CDC와 동작상태 유지회로OSHC는 도 5에 도시한 레이아웃도의 칩의 상변의 측(메모리어레이MARY0, MARY4 상)에 배치된다. 또, 보호어드레스 유지회로PAHC, 어드레스 디코더ADEC, 어드레스 비교회로ACC 및 라이트 보호회로WPC는 도 5에 도시한 레이아웃도의 칩의 하변의 측(메모리어레이MARY3, MARY7 하)에 배치된다. 또한, 보호어드레스 유지회로PAHC의 불휘발성 메모리는 메모리어레이(MARY0, MARY1, MARY2, MARY3, MARY4, MARY5, MARY6, MARY7)내에 배치된다. 이것은 통상의 메모리어레이와 행 디코더X-Dec등을 공통으로 사용할 수 있기 때문이다.

또, 보호어드레스 유지회로PAHC의 래치PAL과 어드레스 비교회로ACC와 어드레스 디코더ADEC가 칩의 하변측에 배치되어 있는 것에 의해, 라이트보호의 어드레스영역의 액세스인지 아닌지의 판정을 최소의 지연시간으로 실행할 수 있다.

또, 칩의 하측에는 데이타 입출력단자(I/O0-I/O7)이 배치되므로 메인앰프MA 및 출력회로OC도 칩의 하측에 배치한다. 따라서, 공통 입출력선IO, IOB가 칩의 하변에 배치되므로, 래치PAL을 칩의 하변에 배치하면 칩의 상변에 배치하는 것보다 배선수를 삭감할 수 있다. 즉, 칩의 상변에는 어드레스의 배선이 다수 배치되므로, 공통 입출력선IO, IOB를 칩의 상변으로 인출하면 그 분배선 수가 증대하게 된다. 또, 어드레스(A0, A1, A2)의 단자주변에서는 메인앰프MA 및 출력회로OC와 같은 비교적 큰 회로가 없으므로 빈 공간이 생긴다. 거기에 보호어드레스 유지회로PAHC의 래치PAL과 어드레스 비교회로ACC와 어드레스 디코더ADEC를 배치하는 것에 의해 칩면적의 증대를 최소한으로 억제하여 라이트 보호기능을 부가할 수 있다.

도 19는 블럭보호가 설정된 블럭으로의 라이트사이클이 실행된 경우의 도 18에 도시된 각 신호의 파형을 도시하고 있다.

칩 인에이블신호/CE가 "로우"레벨로 되면 내부칩 인에이블신호CE0이 "하이"레벨로 된다. 그 결과, 어드레스 비교회로ACC의 출력S5가 유효로 된다("하이"레벨로 된다). 블럭보호상태이므로 WPB가 "하이"레벨로 고정되어 있다. 따라서, 어드레스 비교회로ACC의 출력S5가 "하이"레벨로 되면 신호F는 "로우"레벨에서 "하이"레벨로 천이한다. 그 결과, 내부라이트신호WE0이 "하이"레벨로 되어도 라이트 허가신호WE1은 "로우"레벨을 유지한다. 또한, 도 19의 라이트 허가신호WE1, 공통 입출력선IO, IOB 및 비트선BL, BKB의 타이밍 파형의 점선으로 나타내고 있는 부분은 신호F가 "로우"레벨이면 이 타이밍에서 각각 신호가 변화하는 것을 나타내고 있다.

한편, 행디코더X-Dec에서 선택된 워드선WL 및 플레이트선PL이 "하이"레벨로 되고 메모리셀MC의 내용(기억데이타)이 비트선BL, BLB에 리드된다. 센스앰프 제어신호SA가 "하이"레벨로 되고 비트선BL, BLB의 신호가 센스앰프SA에 의해 증폭된다. 이 때, 메모리셀MC의 내용은 파괴된다. 그러나, 센스앰프SA에 의해서 데이타의 재라이트가 실행된다. 플레이트선PL이 "하이"레벨일 때, 한쪽의 강유전체 콘덴서에 재라이트가 실행되고 플레이트선PL이 "로우"레벨일 때 다른쪽의 강유전체 콘덴서에 재라이트가 실행된다.

라이트 허가신호WE1이 "로우"레벨이므로, 입력데이타는 스위치SW1에서 공통 입출력선IO, IOB에 입력되는 것이 저지된다. 따라서, 공통 입출력선IO, IOB는 메모리어레이MARY에서 리드된 레벨을 유지한다.

칩 인에이블신호/CE가 "하이"레벨로 되면 내부칩 인에이블신호CE0이 "로우"레벨로 된다. 그 결과, 어드레스 비교회로ACC의 출력S5가 무효로 된다("로우"레벨로 된다). 또, 내부라이트신호WE0도 "로우"레벨로 된다. 따라서, 어드레스 비교회로ACC의 출력S5가 "로우"레벨로 되면 신호F는 "로우"레벨로 된다.

《전원전압 검출회로》

도 20은 전원전압 검출회로의 1실시예를 도시한 도면이다. 전원전압 검출회로VDC는 전압검출회로VD와 펄스발생회로PG로 구성된다. 도 21에 도시한 바와 같이 전압검출회로VD는 전원전압이 소정의 전압(Threshold Voltage) 보다 높은 경우 신호PD를 "하이"레벨로 한다. 또, 펄스발생회로PG는 인버터회로와 지연회로(Delay) 및 논리곱회로로 구성되고, 신호PD가 "로우"레벨에서 "하이"레벨로 변화했을 때 일정폭의 펄스POR을 발생한다. 즉, 전원전압 검출회로VDC는 전원투입을 검출하는 회로이다.

《변형예》

도 22는 본 발명에 관한 강유전체 메모리의 라이트 보호회로의 변형예의 회로도이다. 전원투입후 블럭라이트보호의 재설정 시퀀스를 실행하는 일없이 블럭보호 데이타를 보호어드레스 유지회로PAHC의 불휘발성 메모리에서 래치PAL에 설정할 수 있는 회로이다. 즉, 블럭라이트 보호의 재설정 시퀀스의 8사이클째의 리드사이클을 전원투입후 강유전체 메모리FMEM내부에서 자동적으로 실행하는 것이다.

전원전압 검출회로VDC는 도 20과 동일한 것이다. 의사내부 칩인에이블 생성회로CEPORG는 전원투입을 알리는 펄스신호POR을 수신하고, 내부칩 인에이블신호CEO를 생성하기 위한 신호CEPORB를 생성한다. 도 23 및 도 24에 도시한 바와 같이 펄스신호POR이 "하이"레벨로 되면, 플립플롭FF가 설정되고 신호CEPORB가 "로우"레벨로 된다. 2개의 지연회로, 인버터회로 및 논리합회로에 의해 신호CEPORB의 "하이"레벨에서 "로우"레벨로 변화하는 것을 검출하기 위한 하강에지 검출회로가 형성되고, 이 하강에지 검출회로가 소정의 시간 지연된 펄스신호EOCB를 생성한다. 펄스신호EOCB가 "로우"레벨로 되면 플립플롭FF가 재설정되고 신호CEPORB가 "하이"레벨로 된다. 칩 인에이블신호/CE와 전압검출회로의 출력PD의 반전신호가 논리합회로에 입력되고, 논리합회로의 출력신호와 신호CEPORB가 NAND회로에 입력된다. 그것에 의해 내부칩 인에이블 신호CE0이 생성된다.

신호CEPORB는 도 22의 칩제어회로(Chip Control)에 입력되고 의사적으로 리드사이클에 필요한 제어신호(Read Cycle Controls)를 생성한다. 즉, 도 18의 보호어드레스 유지회로PAHC의 불휘발성 메모리를 리드하는데 필요한 어드레스 및 제어신호가 발생된다. 또, 신호CERORB의 반전신호는 또 도 17의 신호 SQB와 논리합을 취하고 신호SQB' 가 생성된다. 이 신호SQB' 는 도 18의 신호SQB 대신에 사용된다.

이것에 의해, 전원투입후 블럭라이트 보호의 재설정 시퀀스를 외부에서 실행하는 일없이 블럭라이트 보호의 재설정이 가능하므로, 강유전체 메모리FMEM의 사용상 편리함이 향상된다.

본 실시예에서는 라이트의 금지는 라이트 인에이블신호/WE를 칩내부에서 디스에이블로 하는 것에 의해 실행된다. 메모리어레이MARY가 선택되고 나서 워드선WL을 상승시키고, 비트선BL, BLB의 신호를 증폭할 때까지의 기간은 라이트 금

지의 라이트사이클에서도 리드사이클과 마찬가지로 실행된다. 이 때문에, 워드선PL의 상승후에 라이트금지의 제어를 실행할 수 있게 된다. 따라서, 라이트 금지영역의 라이트사이클의 고속성을 손실하는 일없이 도 4의 타이밍 규정에서도 라이트 금지의 제어를 실현할 수 있다.

본 실시예에서는 보호어드레스 유지회로PAHC를 불휘발성 메모리와 래치PAL로 구성한 회로로 하고 있다. 새로 라이트 보호하기 위한 블럭을 설정하는 경우 신규보호 데이타가 불휘발성 메모리와 래치PAL의 양쪽에 동일 라이트사이클로 라이트된다. 이것에 의해 액세스된 어드레스가 라이트 금지영역에 있는지 없는지의 체크는 불휘발성 메모리의 기억정보를 리드하지 않고 래치PAL의 출력과 보호블럭에 대응하는 상위어드레스의 디코드결과를 비교하는 것에 의해 실행하고, 전체 어드레스의 디코드보다 빠른 시간으로 판정이 가능하게 된다. 또, 불휘발성 메모리를 메모리어레이MARY의 일부에 추가하는 것에 의해, 보호어드레스의 신규설정을 통상의 라이트사이클과 동일 방법에 의해 실행할 수 있고, 라이트 금지영역의 설정정보를 불휘발로 할 수 있다.

전원투입후는 불휘발성 메모리의 정보를 래치PAL에 넣을 필요가 생기지만, 본 실시예에서는 블럭보호의 시퀀스의 8사이클째에서 어드레스를 내부에서 전환하고, 이 불휘발성 메모리셀의 리드사이클로 하는 것에 의해 전원투입후에 자동적으로 래치PAL에 라이트 금지영역의 어드레스정보를 설정할 수 있다.

이것에 의해, 범용의 단일체SRAM이나 의사SRAM과 마찬가지인 고속라이트가 가능하고, 라이트 금지영역의 가변인 RAM/ROM 일체의 메모리를 실현할 수 있다.

이상 본 발명에 의해 이루어진 발명을 실시예에 따라서 구체적으로 설명했지만, 본 발명은 그것에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다. 예를 들면, 메모리셀은 2T2C구조가 아닌 다이나믹RAM과 마찬가지인 1T1C구조의 것이라도 좋다. 1T1C구조의 메모리셀을 사용한 경우 범용DRAM과 마찬가지로 대용량화가 가능하게 된다. 라이트보호하는 블럭의 지정은 데이타입출력I/O에서 입력되는 데이타에 1대1 대응해서 지정했지만, 데이타입출력I/O에서 입력되는 데이타를 디코드해서 대응시켜도 좋다. 이 경우, 분할블럭수가 데이타입출력I/O의 수보다 많아져도 지정이 가능하게 된다. 특정의 어드레스의 조합으로 리드사이클을 실시하는 것에 의해 보호시퀀스를 실행했지만, 종래기술1의 EEPROM과 같이 특정의 어드레스와 데이타의 조합을 3회(3바이트)입력하는 것에 의해서 보호모드에 들어가고, 특정의 어드레스와 데이타의 조합을 6회(6바이트)입력하는 것에 의해서 보호모드가 해제되도록 해도 좋다. 이 경우, 입력단자를 1개 증가시켜 이 단자가 소정의 상태인 경우에는 해제시퀀스 다음에 새로 블럭보호를 설정하거나 블럭보호의 재설정을 실행한다. 이 경우, EEPROM과 핀배치를 맞추면 좋다.

발명의 효과

이상, 본 발명에 의하면 RAM부와 리라이트보호되어 있는 ROM부를 자유롭게 설정할 수 있고, 또 시스템의 폭주등에 의한 오설정을 방지할 수 있으며, 보호어드레스의 신규설정을 통상의 라이트사이클과 동일한 방법으로 실행할 수 있고, 라이트 금지영역의 설정정보를 불휘발로 할 수 있고, 범용의 단일체SRAM이나 의사SRAM과 마찬가지인 고속라이트가 가능하고, 라이트 금지영역의 가변인 RAM/ROM 일체의 메모리를 실현할 수 있다는 효과가 얻어진다.

(57) 청구의 범위

청구항 1.

여러개의 블럭으로 분할되고 리드사이클과 라이트사이클의 어드레스 액세스시간이 서로 실질적으로 동일한 불휘발성 메모리소자를 갖는 메모리어레이,

상기 여러개의 블럭마다 라이트 금지/허가정보를 저장하는 여러개의 기억소자 및

상기 기억소자로의 라이트 금지/허가정보의 설정을 실행하는 설정수단을 구비하는 반도체기억장치로서,

상기 설정수단은 소정의 여러개의 리드사이클후의 라이트사이클에서 라이트금지정보를 상기 기억소자에 설정하는 것을 특징으로 하는 반도체기억장치.

청구항 2.

제1항에 있어서,

상기 기억소자의 정보를 기억하고 전원투입후는 제1 상태로 되는 제2 기억소자를 더 갖고,

전원투입후 상기 제2 기억소자의 내용에 따라서 여러개의 블럭의 전체를 라이트금지하고, 상기 기억소자에 저장되어 있던 상기 라이트 금지/허가정보를 자동적으로 상기 제2 기억소자에 설정하는 것을 특징으로 하는 반도체기억장치.

청구항 3.

제1항에 있어서,

상기 기억소자의 정보를 기억하고 전원투입후는 제1 상태로 되는 제2 기억소자를 더 갖고,

전원투입후 상기 제2 기억소자의 내용에 따라서 여러개의 블럭의 전체를 라이트금지하고, 그 후의 소정의 여러개의 리드 사이클을 실행하는 것에 의해 상기 기억소자에 저장되어 있던 상기 라이트 금지/허가정보를 상기 제2 기억소자에 설정하는 것을 특징으로 하는 반도체기억장치.

청구항 4.

제2항에 있어서,

상기 기억소자는 불휘발성 메모리소자이고, 상기 제2 기억소자는 래치회로인 것을 특징으로 하는 반도체기억장치.

청구항 5.

제3항에 있어서,

상기 기억소자는 불휘발성 메모리소자이고, 상기 제2 기억소자는 래치회로인 것을 특징으로 하는 반도체기억장치.

청구항 6.

제4항에 있어서,

상기 기억소자는 상기 메모리어레이 중에 있는 것을 특징으로 하는 반도체기억장치.

청구항 7.

제5항에 있어서,

상기 기억소자는 상기 메모리어레이 중에 있는 것을 특징으로 하는 반도체기억장치.

청구항 8.

제1항에 있어서,

상기 불휘발성 메모리소자는 강유전체 메모리를 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 9.

제8항에 있어서,

상기 불휘발성 메모리소자의 일부는 ROM이고, 상기 불휘발성 메모리소자의 다른 일부는 RAM인 것을 특징으로 하는 반도체기억장치.

청구항 10.

제1항에 있어서,

라이트 커맨드신호에 있어서 액세스된 어드레스와 상기 여러개의 기억소자에 저장된 라이트 금지/허가정보를 비교하는 비교수단과 상기 비교수단이 상기 액세스된 어드레스가 라이트금지라고 표시한 경우 상기 액세스된 어드레스에 있어서 라이트를 금지하는 라이트 금지수단을 갖는 라이트 보호회로를 더 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 11.

제10항에 있어서,

상기 불휘발성 메모리소자는 강유전체 메모리를 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 12.

제11항에 있어서,

상기 불휘발성 메모리소자의 일부는 ROM이고, 상기 불휘발성 메모리소자의 다른 일부는 RAM인 것을 특징으로 하는 반도체기억장치.

청구항 13.

제1항에 있어서,

상기 리드사이클과 상기 라이트사이클의 적어도 초기의 단계는 서로 동일한 것을 특징으로 하는 반도체기억장치.

청구항 14.

제13항에 있어서,

상기 불휘발성 메모리소자는 강유전체 메모리를 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 15.

제14항에 있어서,

상기 불휘발성 메모리소자의 일부는 ROM이고, 상기 불휘발성 메모리소자의 다른 일부는 RAM인 것을 특징으로 하는 반도체기억장치.

청구항 16.

여러개의 블럭으로 분할된 여러개의 강유전체 메모리를 구비하는 불휘발성 강유전체 메모리어레이,

리드사이클과 라이트사이클의 어드레스 액세스시간이 서로 실질적으로 동일하고, 상기 리드사이클과 상기 라이트사이클의 적어도 초기의 단계가 서로 동일하고, 상기 리드사이클과 상기 라이트사이클 동안 상기 강유전체 메모리에 액세스하는 어드레스수단 및

상기 강유전체 메모리의 상기 블럭의 전체를 라이트보호할 것인지, 일부만의 보호인지, 보호없음인지를 검출하는 검출수단, 라이트보호되는 상기 강유전체 메모리의 몇개의 블럭의 어드레스를 저장하는 기억수단, 라이트 커맨드신호에서 액세스된 어드레스와 라이트보호되는 상기 저장된 어드레스를 비교하는 비교수단 및 상기 비교수단이 상기 액세스된 어드레스가 라이트금지라고 표시한 경우 상기 액세스된 어드레스에 있어서 라이트를 금지하는 라이트 금지수단을 구비하는 라이트보호회로를 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 17.

제16항에 있어서,

상기 불휘발성 메모리의 상기 블럭의 적어도 1개는 ROM부분이고, 상기 불휘발성 메모리의 상기 블럭의 다른 1개는 RAM부분인 것을 특징으로 하는 반도체기억장치.

청구항 18.

여러개의 메모리블럭을 구비하고, 그의 각각이 강유전체 캐패시턴스를 갖는 여러개의 메모리셀을 갖는 강유전체 메모리 어레이,

상기 메모리블럭의 각각에 대응하는 라이트금지 정보를 저장하는 제1 회로 및

상기 메모리어레이의 소정의 리드사이클후의 상기 메모리어레이의 라이트사이클로 상기 라이트금지 정보를 상기 제1 회로내에 설정하는 제2 회로를 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 19.

제18항에 있어서,

상기 메모리어레이의 소정의 어드레스로 7사이클의 리드사이클이 실행된 후, 8사이클에서 상기 제1 회로의 소정의 어드레스로의 라이트사이클 실행에 의해 상기 제1 회로내에 상기 라이트금지 정보가 설정되는 것을 특징으로 하는 반도체기억장치.

청구항 20.

제19항에 있어서,

상기 제1 회로내에 저장된 상기 라이트금지 정보는 상기 라이트사이클의 입력데이타에 대응하는 것을 특징으로 하는 반도체기억장치.

청구항 21.

제20항에 있어서,

상기 제1 회로는 상기 라이트금지 정보를 저장하는 강유전체 캐패시턴스를 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 22.

여러개의 메모리블럭을 구비하고, 그의 각각이 강유전체 캐패시턴스를 갖는 여러개의 메모리셀을 갖는 강유전체 메모리 어레이,

상기 메모리블럭의 각각에 대응하는 라이트금지 정보를 저장하는 제1 회로 및

상기 제1 회로에서 리드된 상기 라이트금지 정보를 저장하는 래치회로를 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 23.

제22항에 있어서,

상기 메모리어레이의 소정의 어드레스로 2이상의 리드사이클이 실행된 후, 상기 제1 회로의 소정의 어드레스로의 라이트사이클이 실행되는 동안에 상기 래치 회로에 상기 라이트금지 정보가 설정되는 것을 특징으로 하는 반도체기억장치.

청구항 24.

제22항에 있어서,

상기 메모리어레이의 소정의 어드레스로 7사이클의 리드사이클이 실행된 후, 8사이클에서 상기 제1 회로의 소정의 어드레스로의 라이트사이클이 실행되는 동안에 상기 래치회로에 상기 라이트금지 정보가 설정되는 것을 특징으로 하는 반도체기억장치.

청구항 25.

제24항에 있어서,

상기 제1 회로는 상기 라이트금지 정보를 저장하는 강유전체 캐패시턴스를 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 26.

여러개의 메모리블럭을 구비하고, 그의 각각이 강유전체 캐패시턴스를 갖는 여러개의 메모리셀을 갖는 강유전체 메모리 어레이 및

상기 메모리블럭의 각각에 대응하는 라이트금지 정보를 저장하는 회로를 포함하고,

상기 메모리어레이의 라이트를 보호할 수 있는 라이트보호는 반도체기억장치의 외부로부터 소정의 어드레스의 2이상의 그룹의 입력에 의해 설정되는 것을 특징으로 하는 반도체기억장치.

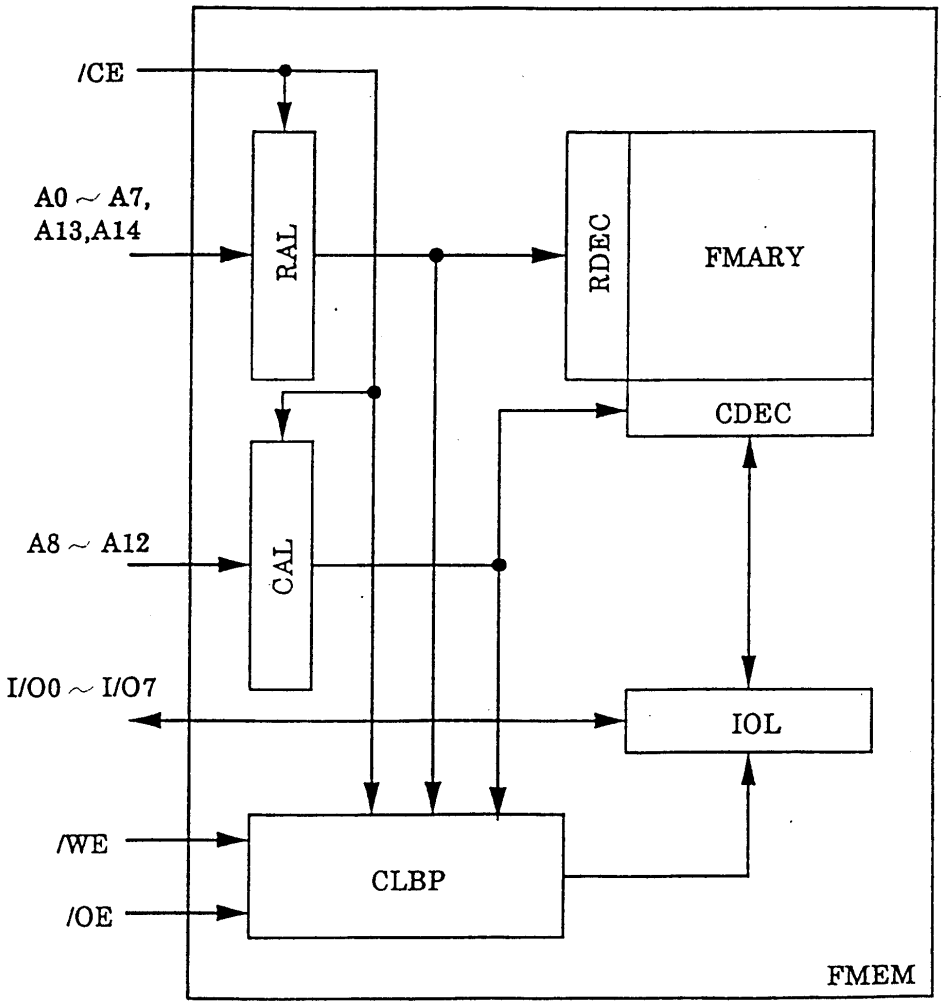
청구항 27.

제26항에 있어서,

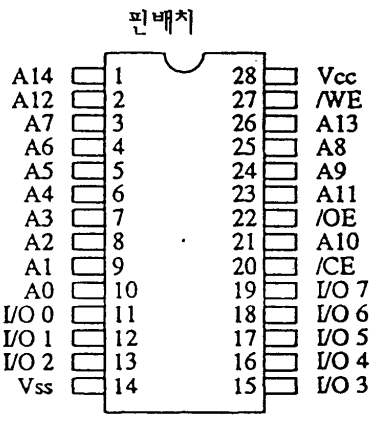
상기 라이트보호는 상기 반도체기억장치의 외부로부터 소정의 어드레스의 2이상의 그룹의 입력에 의해 해제되는 것을 특징으로 하는 반도체기억장치.

도면

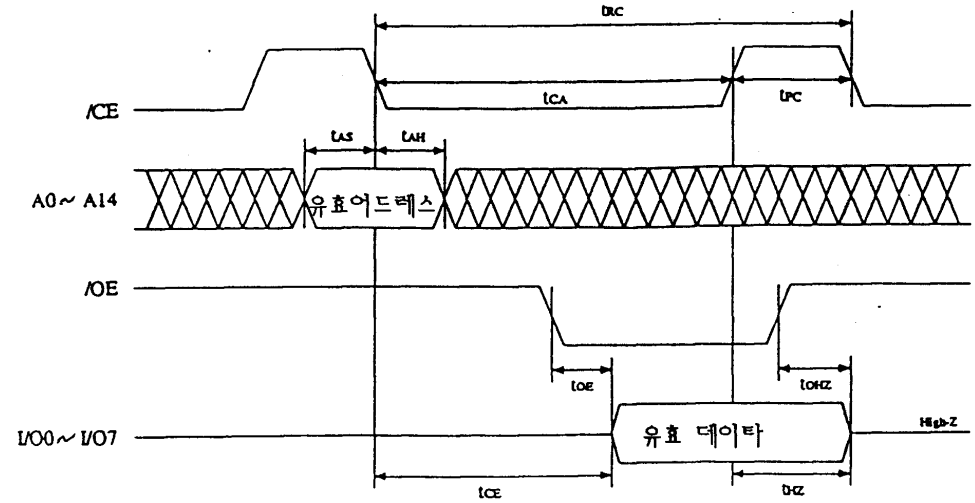
도면1


/CE
A0 ~ A7,
A13,A14
RAL
RDEC
FMARY
CDEC
A8 ~ A12
CAL
I/O0 ~ I/O7
IOL
/WE
/OE
CLBP
FMEM

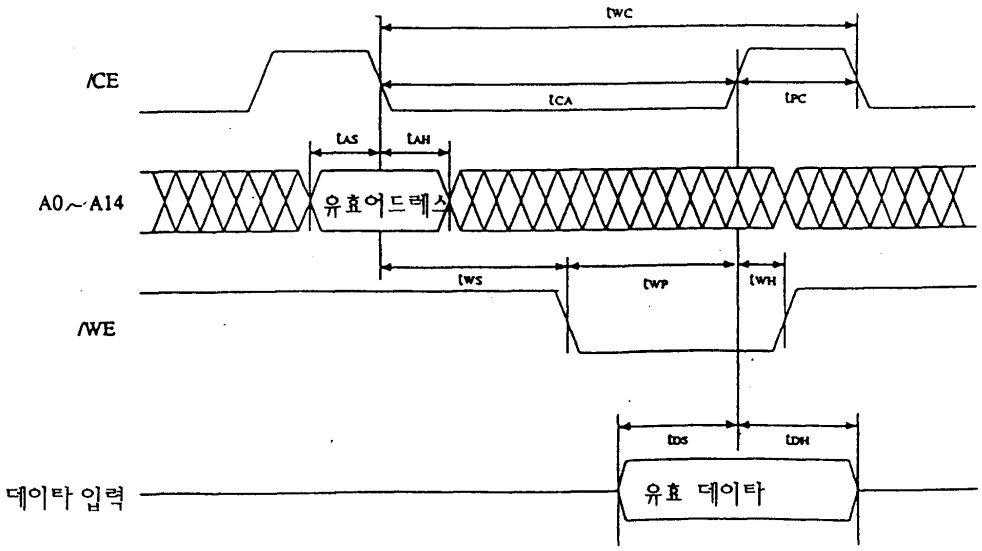
도면2


핀배치
A14 1
A12 2
A7 3
A6 4
A5 5
A4 6
A3 7
A2 8
A1 9
A0 10
I/O 0 11
I/O 1 12
I/O 2 13
Vss 14
28 Vcc
27 /WE
26 A13
25 A8
24 A9
23 A11
22 /OE
21 A10
20 /CE
19 I/O 7
18 I/O 6
17 I/O 5
16 I/O 4
15 I/O 3

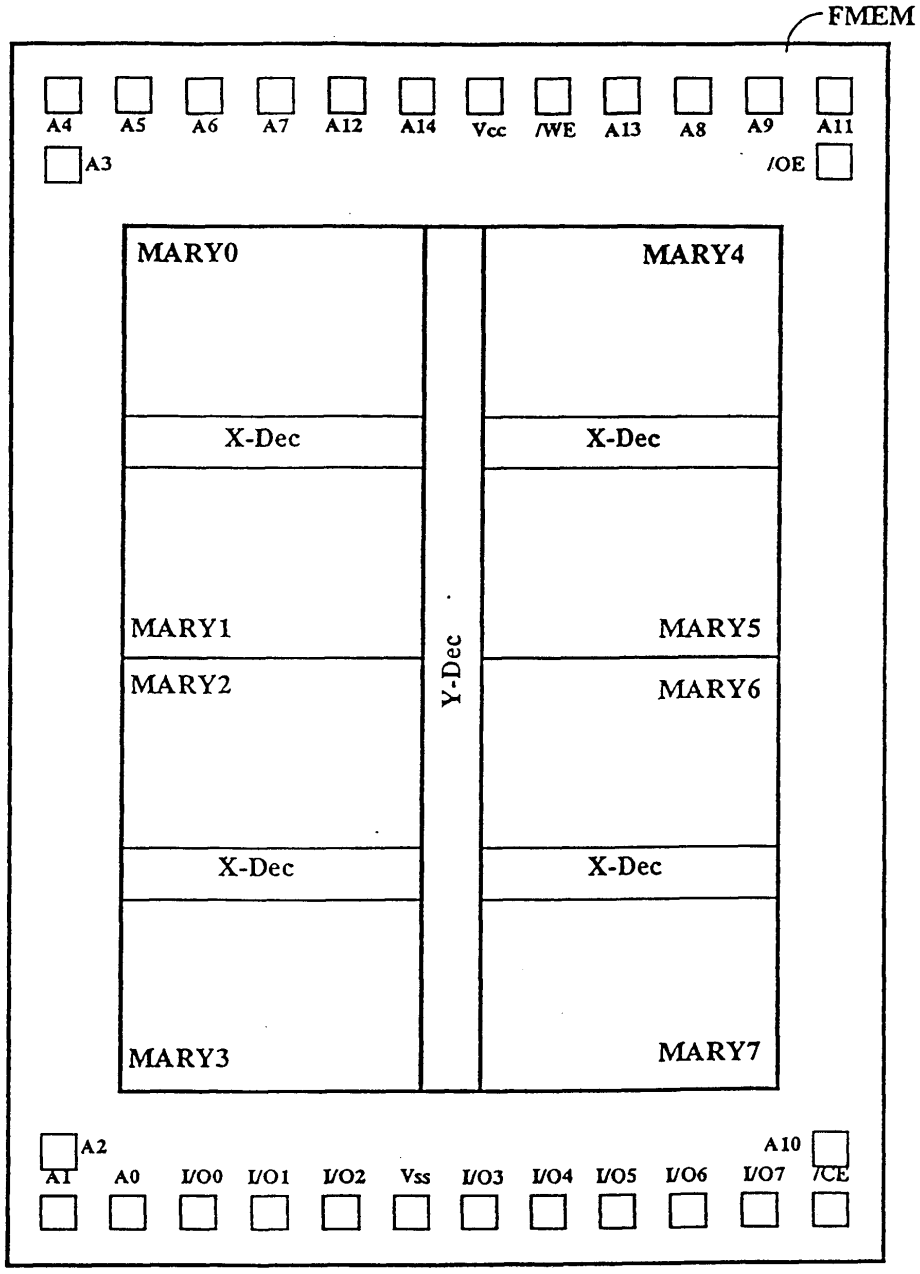
도면3


tRC
/CE
tCA
tPC
tAS
tAH
A0~A14
유효어드레스
/OE
tOE
tOHZ
I/O0~I/O7
유효 데이타
High-Z
tCE
tHZ

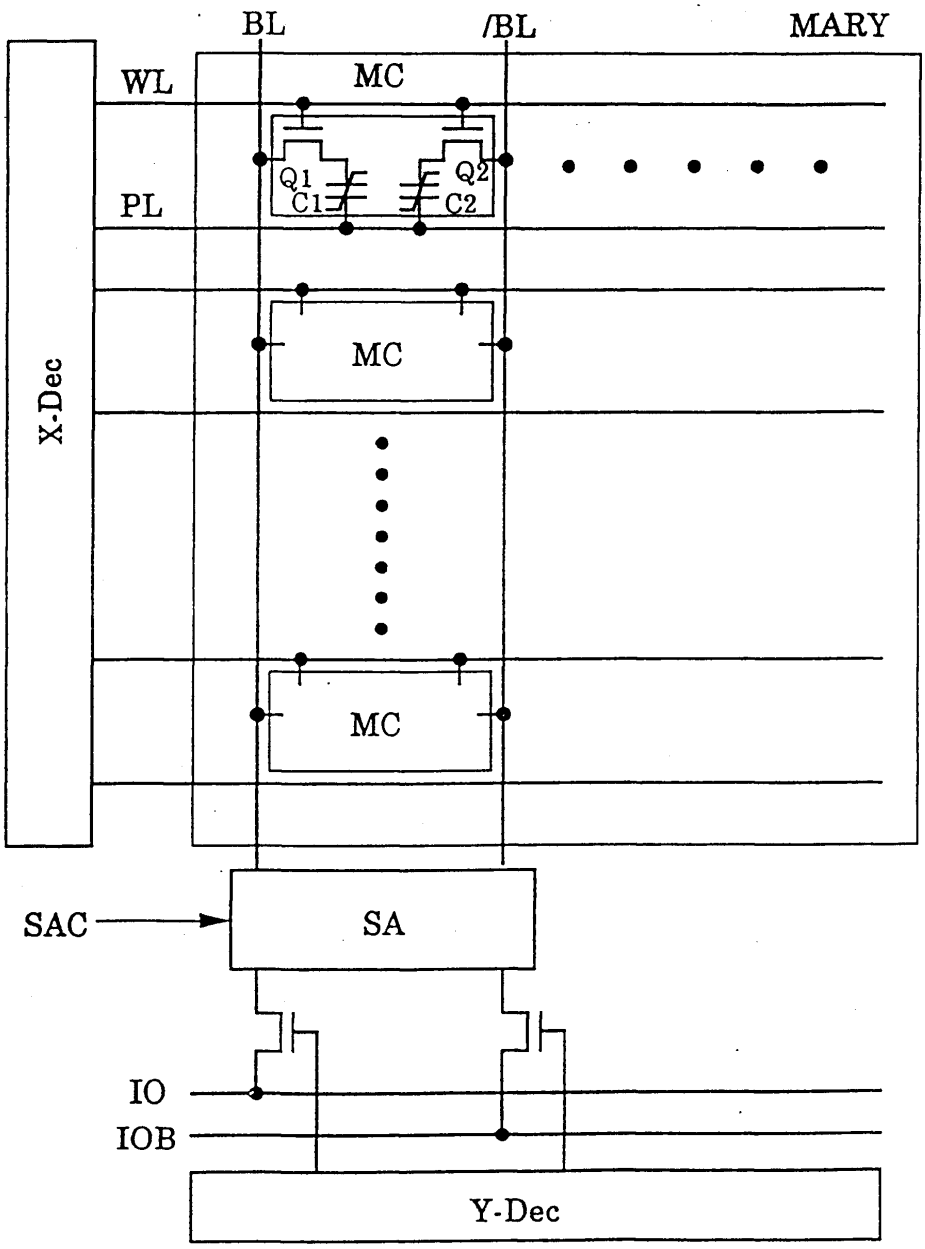
도면4


tWC
/CE
tCA
tPC
tAS
tAH
A0~A14
유효어드레스
tWS
tWP
tWH
/WE
tDS
tDH
데이타 입력
유효 데이타

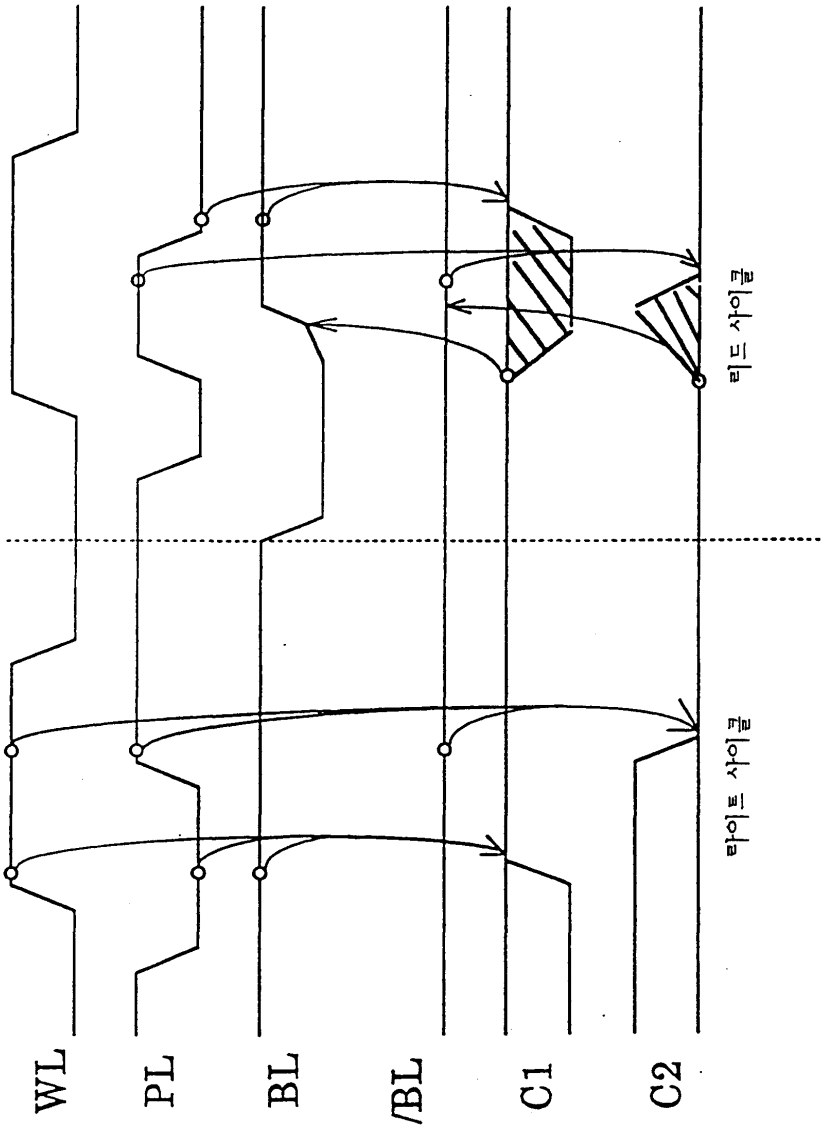
도면5


FMEM
A4
A5
A6
A7
A12
A14
Vcc
/WE
A13
A8
A9
A11
A3
/OE
MARY0
MARY4
X-Dec
X-Dec
MARY1
MARY5
MARY2
MARY6
Y-Dec
X-Dec
X-Dec
MARY3
MARY7
A2
A10
A1
A0
I/O0
I/O1
I/O2
Vss
I/O3
I/O4
I/O5
I/O6
I/O7
/CE

도면6



도면7



도면8

사이클	디스에이블 시퀀스	인에이블 시퀀스	모드
1	1823 Hex	1823 Hex	리드
2	1820 Hex	1820 Hex	리드
3	1822 Hex	1822 Hex	리드
4	0418 Hex	0418 Hex	리드
5	041B Hex	041B Hex	리드
6	0419 Hex	0419 Hex	리드
7	041A Hex	040A Hex	리드

도면9

사이클	시퀀스	I/O	모드
1	1823 Hex	데이타	리드
2	1820 Hex	데이타	리드
3	1822 Hex	데이타	리드
4	0418 Hex	데이타	리드
5	041B Hex	데이타	리드
6	0419 Hex	데이타	리드
7	041A Hex	데이타	리드
8	040F Hex	신규블럭보호 데이타	라이트

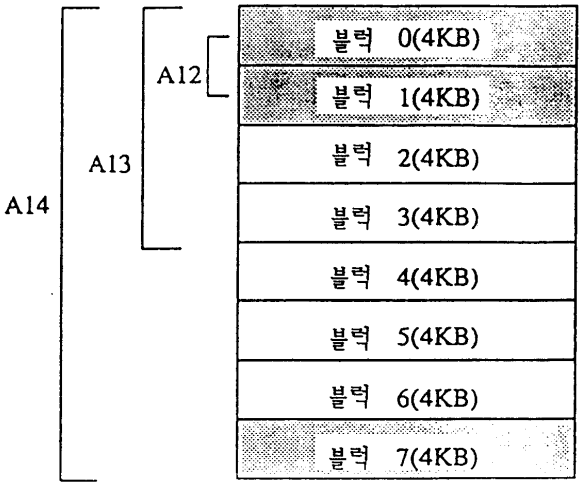
도면10

사이클	시퀀스	I/O	모드
1	1823 Hex	데이타	리드
2	1820 Hex	데이타	리드
3	1822 Hex	데이타	리드
4	0418 Hex	데이타	리드
5	041B Hex	데이타	리드
6	0419 Hex	데이타	리드
7	041A Hex	데이타	리드
8	040F Hex	재설정 블럭보호데이타	리드

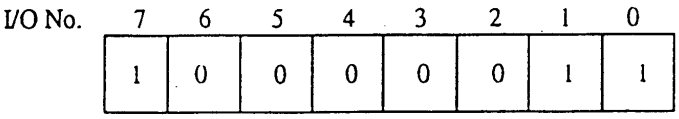
도면11

4K 블럭수	A14	A13	A12	I/O#
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7

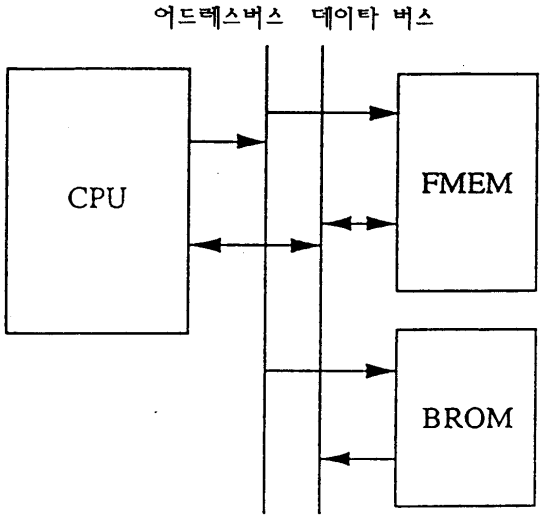
도면12



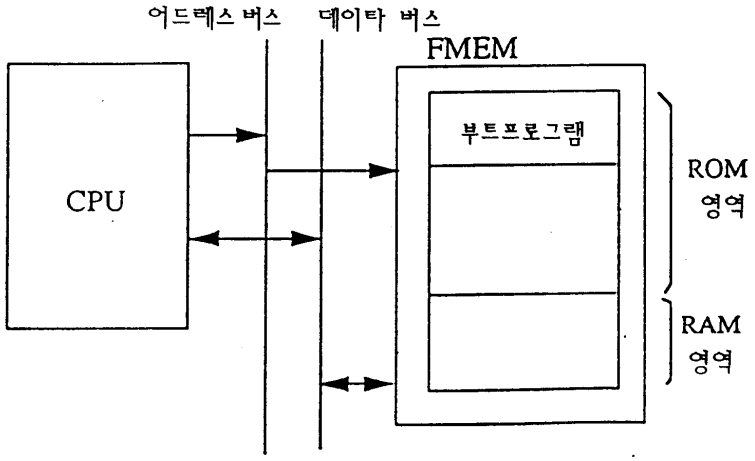
도면13



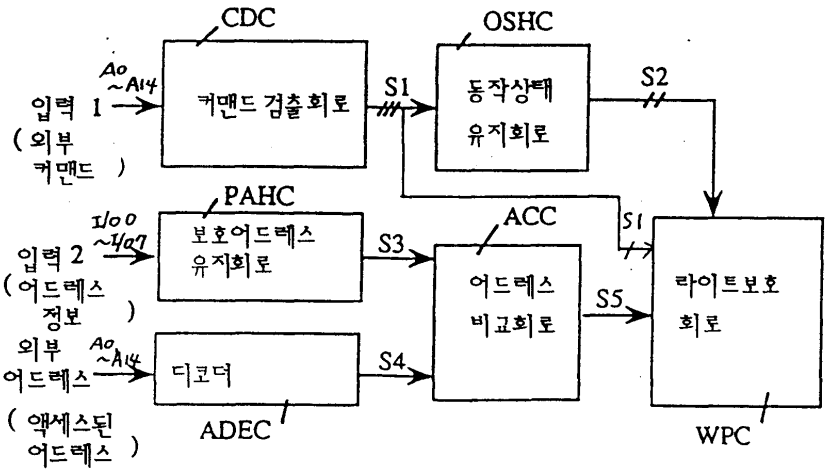
도면14



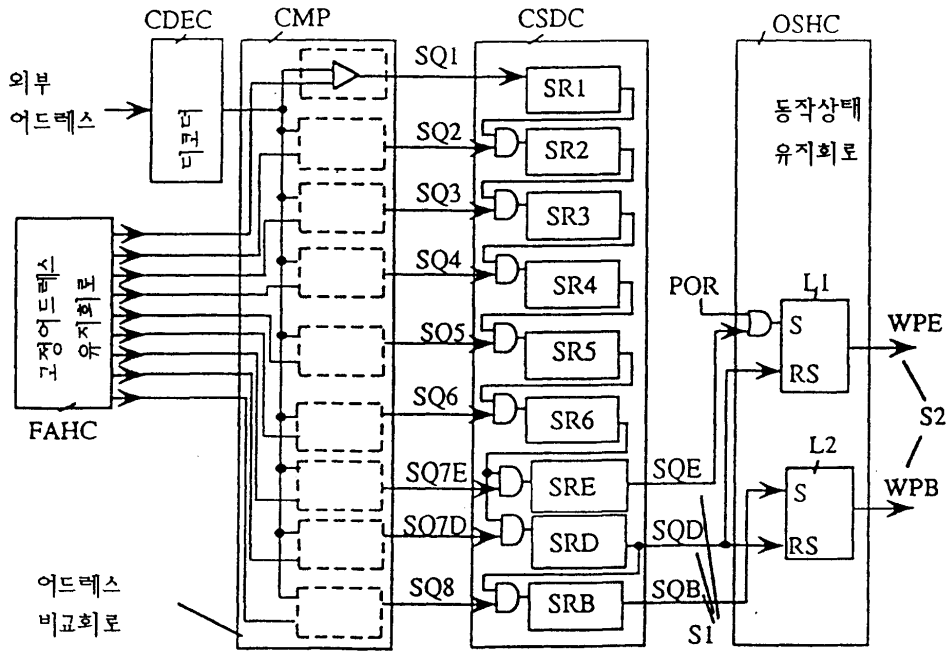
도면15



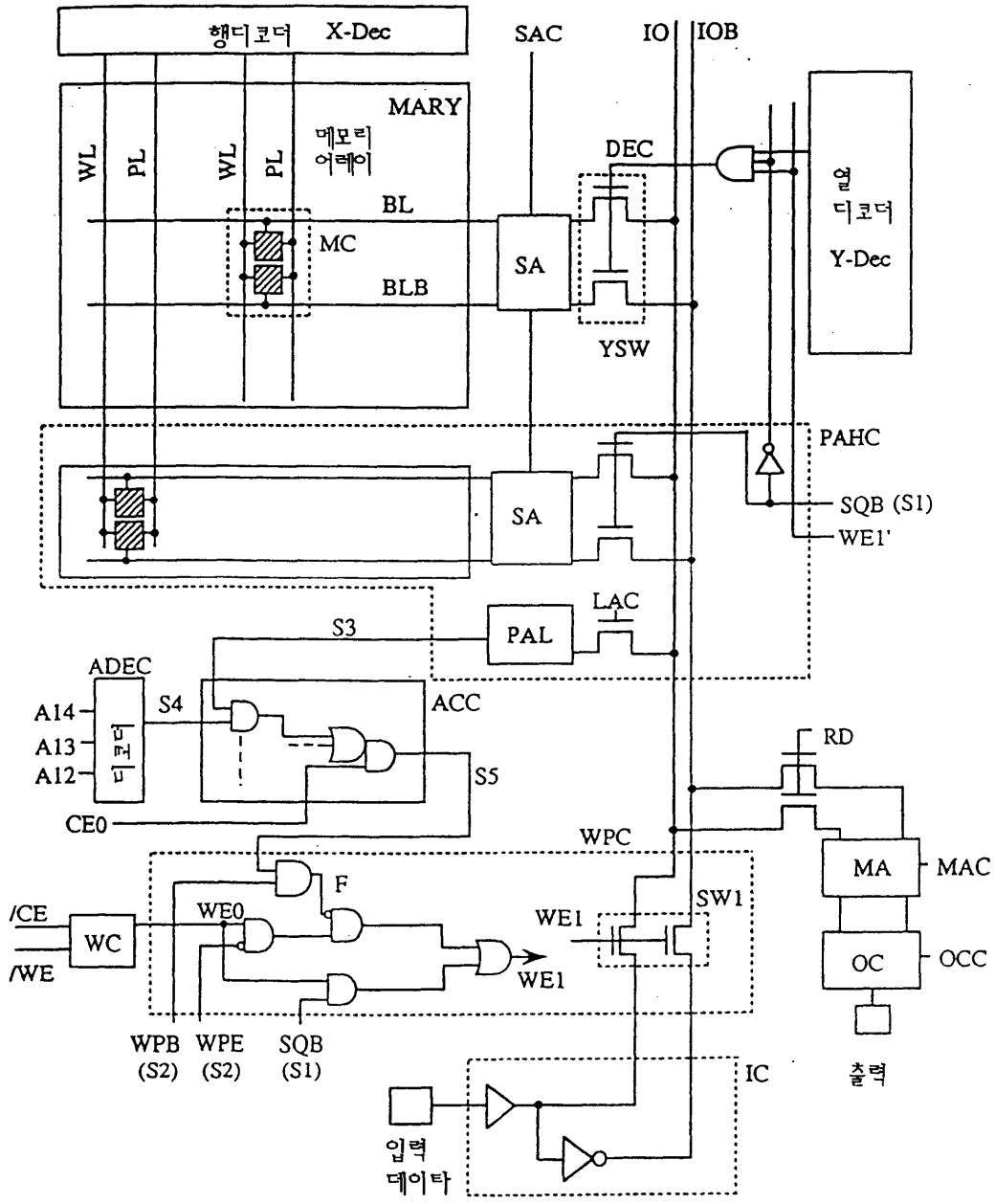
도면16



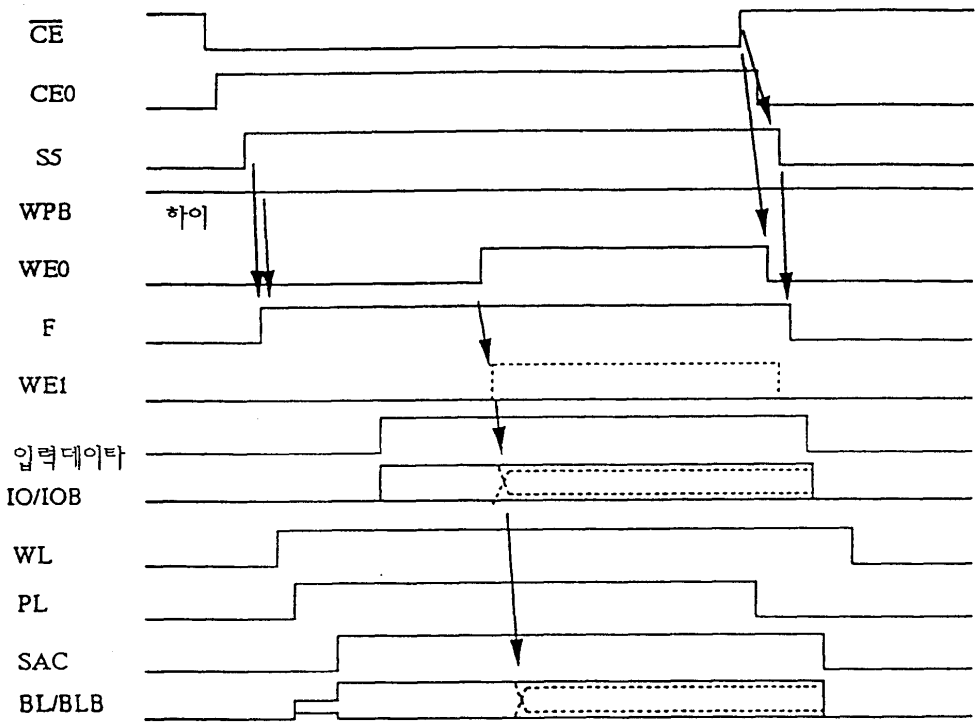
도면17



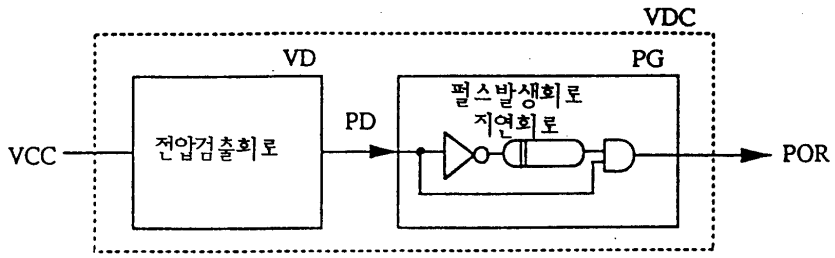
도면18


행디코더 X-Dec
SAC
IO
IOB
MARY
메모리 어레이
WL
PL
WL
PL
BL
MC
BLB
SA
DEC
YSW
열 디코더 Y-Dec
PAHC
SA
SQB (S1)
WE1'
LAC
S3
PAL
ADEC
A14
A13
A12
디코더
S4
ACC
S5
CE0
RD
WPC
MA
MAC
OC
OCC
출력
/CE
/WE
WC
WE0
F
WE1
SW1
WE1
WPB (S2)
WPE (S2)
SQB (S1)
IC
입력 데이타

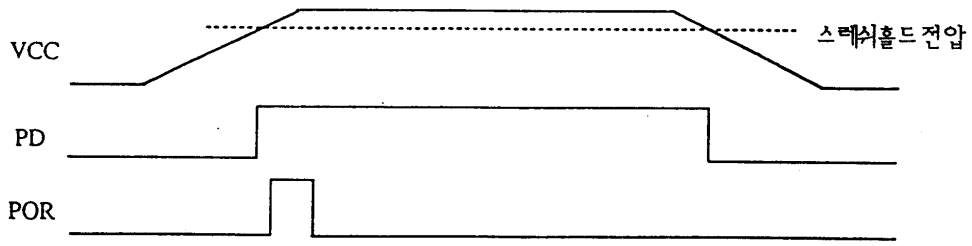
도면19



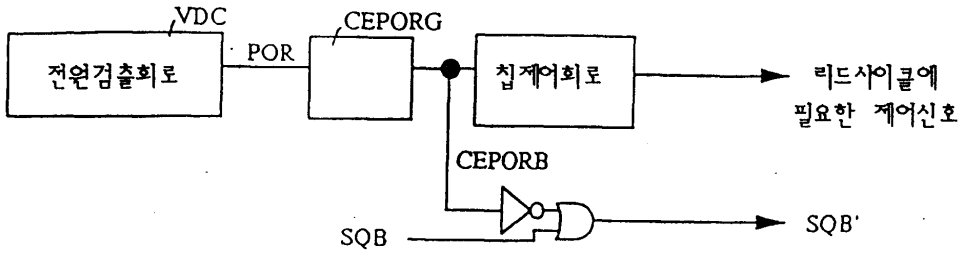
도면20



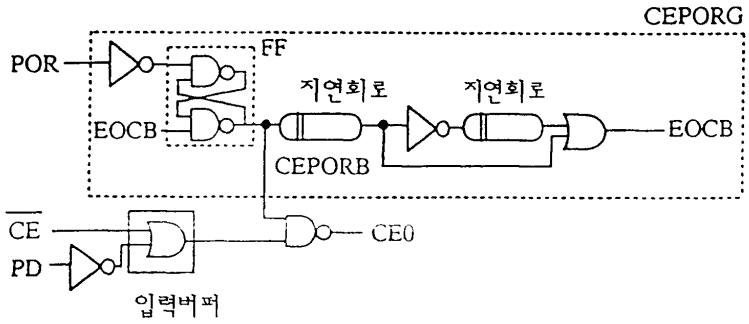
도면21



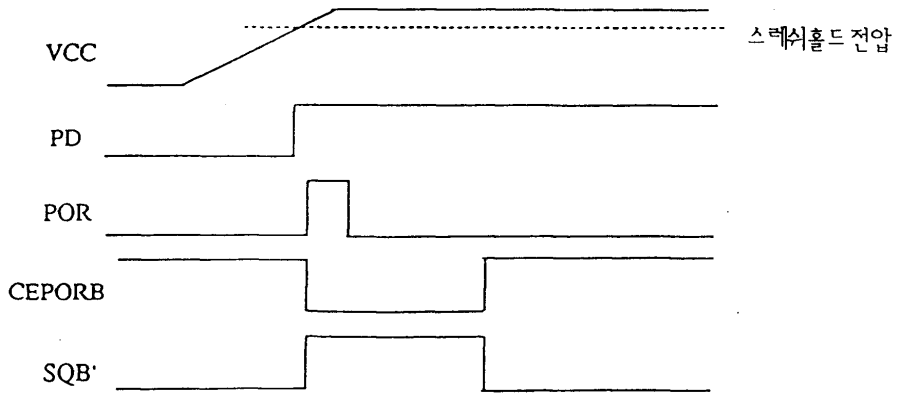
도면22



도면23


CEPORG
POR
FF
EOCB
지연회로
지연회로
EOCB
CEPORB
CE
PD
CE0
입력버퍼

도면24


VCC
스레쉬홀드 전압
PD
POR
CEPORB
SQB'