

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-21329

(P2010-21329A)

(43) 公開日 平成22年1月28日(2010.1.28)

|                                 |                       |             |
|---------------------------------|-----------------------|-------------|
| (51) Int.Cl.                    | F I                   | テーマコード (参考) |
| <b>H O 1 L 21/336 (2006.01)</b> | H O 1 L 29/78 6 1 6 K | 5 F 1 1 O   |
| <b>H O 1 L 29/786 (2006.01)</b> | H O 1 L 29/78 6 1 6 U |             |
|                                 | H O 1 L 29/78 6 2 4   |             |
|                                 | H O 1 L 29/78 6 1 2 D |             |

審査請求 未請求 請求項の数 11 O L (全 20 頁)

|           |                              |          |                     |
|-----------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2008-179982 (P2008-179982) | (71) 出願人 | 000006013           |
| (22) 出願日  | 平成20年7月10日 (2008. 7. 10)     |          | 三菱電機株式会社            |
|           |                              |          | 東京都千代田区丸の内二丁目7番3号   |
|           |                              | (74) 代理人 | 100103894           |
|           |                              |          | 弁理士 冢入 健            |
|           |                              | (74) 代理人 | 100129953           |
|           |                              |          | 弁理士 岩瀬 康弘           |
|           |                              | (74) 代理人 | 100144428           |
|           |                              |          | 弁理士 須藤 雄一郎          |
|           |                              | (72) 発明者 | 伊藤 康悦               |
|           |                              |          | 東京都千代田区丸の内二丁目7番3号 三 |
|           |                              |          | 菱電機株式会社内            |
|           |                              | (72) 発明者 | 升谷 雄一               |
|           |                              |          | 東京都千代田区丸の内二丁目7番3号 三 |
|           |                              |          | 菱電機株式会社内            |

最終頁に続く

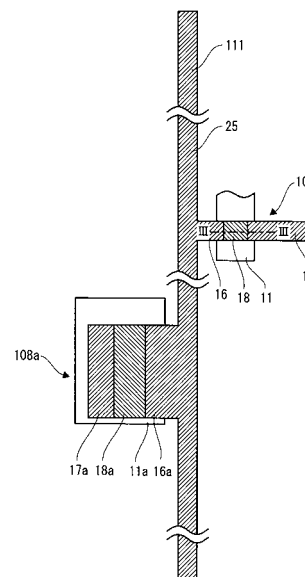
(54) 【発明の名称】 T F T基板の製造方法及びT F T基板

## (57) 【要約】

【課題】歩留が向上することで生産性の向上が得られるT F T基板の製造方法及びT F T基板を提供すること。

【解決手段】本発明にかかるT F T基板の製造方法では、真性半導体膜13、不純物半導体膜14、及びソース配線用導電膜20を順次成膜し、ソース配線用導電膜20上に薄膜部21aと厚膜部21bとを有するレジスト21を形成する。そして、レジスト21をマスクとしてエッチングし、その後、レジスト21の薄膜部21aを除去して、ソース配線用導電膜20の一部を露出させる。次に、レジスト21の厚膜部21bをマスクとして、露出したソース配線用導電膜20をエッチングし、不純物半導体膜14を露出させる。そして、露出した不純物半導体膜13をエッチングして、T F T 108のバックチャネル領域18、及びT F T 108以外の部分において、完成した製品の動作には無関係なダミーバックチャネル領域18aを形成する。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

真性半導体膜、不純物半導体膜、及びソース配線用導電膜を順次成膜する工程と、  
前記ソース配線用導電膜上に薄膜部と厚膜部とを有するレジストを形成する工程と、  
前記レジストをマスクとして、前記ソース配線用導電膜、前記不純物半導体膜、及び前記真性半導体膜をエッチングする工程と、

前記レジストの前記薄膜部を除去して、前記ソース配線用導電膜の一部を露出させる工程と、

前記レジストの前記厚膜部をマスクとして、露出した前記ソース配線用導電膜をエッチングし、前記不純物半導体膜を露出させる工程と、

前記露出した前記不純物半導体膜をエッチングして、前記 T F T のバックチャネル領域とともに、前記 T F T 以外の部分において、完成した製品の動作には無関係なダミーバックチャネル領域を形成する工程とを有する T F T 基板の製造方法。

10

**【請求項 2】**

前記不純物半導体膜を露出させる工程において、独立した 1 つの前記真性半導体膜のパターン上の前記バックチャネル領域及び前記ダミーバックチャネル領域の合計の面積を 1 とした場合、前記ソース配線用導電膜の面積が 1 0 0 以下となるように、前記不純物半導体膜を露出させる請求項 1 に記載の T F T 基板の製造方法。

**【請求項 3】**

前記ダミーバックチャネル領域は、前記真性半導体膜及び前記不純物半導体膜を有する半導体膜の前記ソース配線用導電膜に少なくとも 1 つ以上接続される請求項 1 又は 2 に記載の T F T 基板の製造方法。

20

**【請求項 4】**

複数の前記ダミーバックチャネル領域と複数の前記ソース配線用導電膜とが交互に形成される請求項 1 乃至 3 のいずれか 1 項に記載の T F T 基板の製造方法。

**【請求項 5】**

前記複数の前記ソース配線用導電膜は、電氣的に接続される請求項 4 に記載の T F T 基板の製造方法。

**【請求項 6】**

T F T を有する T F T 基板であって、

真性半導体膜及び不純物半導体膜を有し、前記真性半導体膜上の前記不純物半導体膜が除去された前記 T F T のバックチャネル領域を有する半導体膜と、

前記半導体膜上において、前記半導体膜に内包され、前記 T F T にソース信号を供給するソース配線を有するソース配線用導電膜と、

前記 T F T 以外の部分において、完成した製品の動作には無関係であり、前記半導体膜上の前記ソース配線用導電膜が除去されたダミーバックチャネル領域とを有する T F T 基板。

30

**【請求項 7】**

独立した 1 つの前記真性半導体膜のパターン上の前記バックチャネル領域及び前記ダミーバックチャネル領域の合計の面積を 1 とした場合、前記ソース配線用導電膜の面積が 1 0 0 以下である請求項 6 に記載の T F T 基板。

40

**【請求項 8】**

前記ダミーバックチャネル領域は、前記半導体膜の前記ソース配線用導電膜に少なくとも 1 つ以上接続される請求項 6 又は 7 に記載の T F T 基板。

**【請求項 9】**

複数の前記ダミーバックチャネル領域と複数の前記ソース配線用導電膜とが交互に形成された請求項 6 乃至 8 のいずれか 1 項に記載の T F T 基板。

**【請求項 10】**

前記複数の前記ソース配線用導電膜は、電氣的に接続された請求項 9 に記載の T F T 基板。

50

## 【請求項 11】

前記 T F T を測定するための T E G をさらに有し、

前記ダミーバックチャネル領域は、前記 T E G に接続された請求項 6 乃至 10 のいずれか 1 項に記載の T F T 基板。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、T F T 基板の製造方法及び T F T 基板に関する。

## 【背景技術】

## 【0002】

10

近年、半導体デバイスを用いた表示装置の分野では、従来の C R T に替わり、省エネルギー、省スペースを特徴とした液晶表示装置が急速に普及しつつある。この液晶表示装置には、アクティブマトリクス型 T F T アレイ基板が広く用いられるようになっている。T F T アレイ基板は、透明絶縁基板上に複数の電極や配線及び素子が設けられている。具体的には、走査配線や信号配線、ゲート電極やソース・ドレイン電極を有する薄膜トランジスタ (T F T) 等のスイッチング素子がアレイ状に設けられる。そして、各表示画素の電極に独立した映像信号を印加する。

## 【0003】

このアクティブマトリクス型 T F T アレイ基板の製造には、多くの工程数を要するため、製造装置数の増大、不良発生率の増大等、生産性に問題があった。従来、5 回のフォトリソグラフィプロセスを実施する製造方法 (以下、5 枚マスクプロセスという) が一般的であった (例えば特許文献 1 参照)。

20

## 【0004】

さらに、近年、薄膜トランジスタ基板を形成するために使用するマスク枚数を削減する方法として、T F T のバックチャネル領域に中間調の露光を適用する方法が記載されている (例えば特許文献 2)。この方法は、いわゆる「4 枚マスクプロセス」と呼ばれる。4 枚マスクプロセスによれば、使用するマスク枚数が削減できるので、製造コストを低減する有力な手法である。このように、4 枚マスクプロセスは、実用化に向けた技術開発が進められている。

## 【特許文献 1】特開平 11 - 242241 号公報

30

## 【特許文献 2】特開 2000 - 164886 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

ここで、図 14、15 を参照して、4 枚マスクプロセスを用いた逆スタガ型 T F T の製造工程及び T F T の構造の一例について説明する。図 14 は、T F T の構成を示す平面図である。図 15 は、図 14 の X V - X V 断面図である。

## 【0006】

まず、絶縁性基板 1 上に、ゲート電極 2 を形成する。次に、ゲート絶縁膜 3、真性半導体膜 4、不純物半導体膜 5、ソース配線用導電膜を連続して形成する。そして、ソース配線用導電膜上にレジストを塗布する。その後、T F T のバックチャネル形成領域上のレジストに中間調の露光を行う。これにより、2 段階の膜厚を有するレジストが形成される。具体的には、ソース・ドレイン形成領域上のレジストの膜厚は厚くなり、バックチャネル形成領域上のレジストの膜厚は薄くなる。

40

## 【0007】

このレジストをマスクとして、ソース配線用導電膜、不純物半導体膜 5、及び真性半導体膜 4 を連続的にエッチングする。次に、膜厚の薄いレジストを除去し、バックチャネル形成領域上のソース配線用導電膜を露出させる。その後、残ったレジストをマスクとして、ソース配線用導電膜をエッチングする。これにより、ソース配線用導電膜が所望の形状にパターニングされ、ソース配線 9、ソース電極 6 及びドレイン電極 7 が形成される。こ

50

ここで、パターンニング後のソース配線用導電膜を導電膜 25 とする。そして、残ったレジストをマスクとして、不純物半導体膜 5 をエッチングする。これにより、バックチャネル領域 8 が形成され、TFT が完成する。このようにして、半導体膜とソース配線用導電膜とを 1 回の写真製版で形成することができるので、使用するマスク枚数を削減することが可能となる。

#### 【0008】

例えば、液晶表示装置の場合、このように形成された TFT を有する TFT アレイ基板には、単に画像表示の機能だけでなく、付加価値を高めるための回路を同時に組み込むための開発も進められている。そのため、TFT アレイ基板において、ソース配線 9 は、単に表示信号伝達の配線としてだけでなく、付加機能追加のための回路形成にも使われる。このような場合には、ソース配線 9 が長くなったり、1 つのソース配線 9 あたりの TFT 形成箇所が限定されることがある。

#### 【0009】

1 つのソース配線 9 に対して TFT 形成箇所が少ない場合に、バックチャネル領域 8 形成時、エッチングにより金属膜を除去しきれない。すなわち、バックチャネル領域 8 上の金属膜を完全に除去できず、TFT のソース/ドレイン電極間をショートするように残って、TFT が形成されない不具合が発生する。その結果、回路の一部で正常な動作ができないため、製品としての歩留を低下させることになる。

#### 【0010】

本発明は、上記の問題を鑑みるためになされたものであり、歩留が向上することで生産性の向上が得られる TFT 基板の製造方法及び TFT 基板を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0011】

本発明にかかる TFT 基板の製造方法は、真性半導体膜、不純物半導体膜、及びソース配線用導電膜を順次成膜する工程と、前記ソース配線用導電膜上に薄膜部と厚膜部とを有するレジストを形成する工程と、前記レジストをマスクとして、前記ソース配線用導電膜、前記不純物半導体膜、及び前記真性半導体膜をエッチングする工程と、前記レジストの前記薄膜部を除去して、前記ソース配線用導電膜の一部を露出させる工程と、前記レジストの前記厚膜部をマスクとして、露出した前記ソース配線用導電膜をエッチングし、前記不純物半導体膜を露出させる工程と、前記露出した前記不純物半導体膜をエッチングして、前記 TFT のバックチャネル領域とともに、前記 TFT 以外の部分において、完成した製品の動作には無関係なダミーバックチャネル領域を形成する工程とを有するものである。

#### 【0012】

本発明にかかる TFT 基板は、TFT を有する TFT 基板であって、真性半導体膜及び不純物半導体膜を有し、前記真性半導体膜上の前記不純物半導体膜が除去された前記 TFT のバックチャネル領域を有する半導体膜と、前記半導体膜上において、前記半導体膜に内包され、前記 TFT にソース信号を供給するソース配線を有するソース配線用導電膜と、前記 TFT 以外の部分において、完成した製品の動作には無関係であり、前記半導体膜上の前記ソース配線用導電膜が除去されたダミーバックチャネル領域とを有するものである。

#### 【発明の効果】

#### 【0013】

本発明によれば、歩留が向上することで生産性の向上が得られる TFT 基板の製造方法及び TFT 基板を提供することができる。

#### 【発明を実施するための最良の形態】

#### 【0014】

実施の形態 1 .

始めに、図 1 を参照して、本実施の形態にかかる TFT 基板について説明する。図 1 は、TFT 基板の構成を示す平面図である。TFT 基板は、液晶表示装置、有機 EL 表示装

10

20

30

40

50

置等の平面型表示装置（フラットパネルディスプレイ）等に用いられる。

【 0 0 1 5 】

T F T 基板 1 0 0 は、例えば、薄膜トランジスタ（T F T）1 0 8 がアレイ状に配列した T F T アレイ基板である。T F T 基板 1 0 0 には、表示領域 1 0 1 と表示領域 1 0 1 を囲むように設けられた額縁領域 1 0 2 とが設けられている。この表示領域 1 0 1 には、複数のゲート配線（走査信号線）1 1 0、複数の保持容量配線（不図示）、及び複数のソース配線（表示信号線）1 1 1 が形成されている。複数のゲート配線 1 1 0 及び複数の保持容量配線は、平行に設けられている。保持容量配線は、隣接するゲート配線 1 1 0 間にそれぞれ設けられている。すなわち、ゲート配線 1 1 0 と保持容量配線とは、交互に配置されている。

10

【 0 0 1 6 】

複数のソース配線 1 1 1 はそれぞれ平行に設けられている。このソース配線 1 1 1 は、ゲート配線 1 1 0 とは互いに交差するように形成されている。同様に、このソース配線 1 1 1 は、保持容量配線とは互いに交差するように形成されている。ゲート配線 1 1 0 とソース配線 1 1 1 とは直交している。同様に、保持容量配線とソース配線 1 1 1 とは直交している。そして、隣接するゲート配線 1 1 0 と隣接するソース配線 1 1 1 とで囲まれた領域が画素 1 0 5 となる。すなわち、保持容量配線は、画素 1 0 5 を横断するように形成されている。T F T 基板 1 0 0 では、画素 1 0 5 がマトリクス状に配列される。

【 0 0 1 7 】

さらに、T F T 基板 1 0 0 の額縁領域 1 0 2 には、走査信号駆動回路 1 0 3 と表示信号駆動回路 1 0 4 とが設けられている。ゲート配線 1 1 0 は、表示領域 1 0 1 から額縁領域 1 0 2 まで延設されている。そして、ゲート配線 1 1 0 は、T F T 基板 1 0 0 の端部で、走査信号駆動回路 1 0 3 に接続される。ソース配線 1 1 1 も同様に表示領域 1 0 1 から額縁領域 1 0 2 まで延設されている。そして、ソース配線 1 1 1 は、T F T 基板 1 0 0 の端部で、表示信号駆動回路 1 0 4 と接続される。走査信号駆動回路 1 0 3 の近傍には、外部配線 1 0 6 が接続されている。また、表示信号駆動回路 1 0 4 の近傍には、外部配線 1 0 7 が接続されている。外部配線 1 0 6、1 0 7 は、例えば、F P C（Flexible Printed Circuit）などの配線基板である。

20

【 0 0 1 8 】

外部配線 1 0 6、1 0 7 を介して走査信号駆動回路 1 0 3、及び表示信号駆動回路 1 0 4 に外部からの各種信号が供給される。走査信号駆動回路 1 0 3 は外部からの制御信号に基づいて、ゲート信号（走査信号）をゲート配線 1 1 0 に供給する。このゲート信号によって、ゲート配線 1 1 0 が順次選択されていく。表示信号駆動回路 1 0 4 は外部からの制御信号や、表示データに基づいて表示信号をソース配線 1 1 1 に供給する。これにより、表示データに応じた表示電圧を各画素 1 0 5 に供給することができる。なお、走査信号駆動回路 1 0 3 と表示信号駆動回路 1 0 4 は、T F T 基板 1 0 0 上に配置される構成に限られるものではない。例えば、T C P（Tape Carrier Package）により駆動回路を接続してもよい。

30

【 0 0 1 9 】

画素 1 0 5 内には、少なくとも 1 つの T F T 1 0 8 と、T F T 1 0 8 と接続された保持容量 1 0 9 とが形成されている。T F T 1 0 8 はソース配線 1 1 1 とゲート配線 1 1 0 の交差点近傍に配置される。例えば、この T F T 1 0 8 が画素電極に表示電圧を供給するためのスイッチング素子となる。T F T 1 0 8 のゲート電極はゲート配線 1 1 0 に接続され、ゲート端子から入力されるゲート信号によって T F T 1 0 8 の O N と O F F を制御している。T F T 1 0 8 のソース電極はソース配線 1 1 1 に接続されている。ゲート電極に電圧が印加され、T F T 1 0 8 が O N されると、ソース配線 1 1 1 から電流が流れるようになる。これにより、ソース配線 1 1 1 から、T F T 1 0 8 のドレイン電極に接続された画素電極に表示電圧が印加される。そして、画素電極と、対向電極との間に、表示電圧に応じた電界が生じる。

40

【 0 0 2 0 】

50

保持容量 109 は画素電極と保持容量配線間の層間絶縁膜及びゲート絶縁膜を挟んで形成される容量である。さらに、これに加えて、保持容量配線は対向電極とも電氣的に接続されているので、保持容量 109 は、画素電極と対向電極との間の容量とも並列接続されていることになる。

#### 【0021】

さらに、液晶表示装置の場合、TFT基板 100 には、対向基板が対向して配置されている。対向基板は、例えばカラーフィルタ基板であり、視認側に配置される。対向基板には、カラーフィルタ、ブラックマトリクス(BM)、対向電極、及び配向膜等が形成されている。なお、例えば、IPS方式の液晶表示装置の場合、対向電極は、TFT基板 100 側に配置される。そして、TFT基板 100 と対向基板との間に液晶層が挟持される。すなわち、TFT基板 100 と対向基板との間には液晶が注入されている。さらに、TFT基板 100 と対向基板との外側の面には、偏光板、及び位相差板等などが設けられる。また、以上のように構成された液晶表示パネルの反視認側には、バックライトユニット等が配設される。

10

#### 【0022】

画素電極と対向電極との間の電界によって、液晶が駆動される。すなわち、基板間の液晶の配向方向が変化する。これにより、液晶層を通過する光の偏光状態が変化する。すなわち、偏光板を通過して直線偏光となった光は液晶層によって、偏光状態が変化する。具体的には、バックライトユニットからの光及び外部から入射した外光は、TFT基板 100 側の偏光板によって直線偏光になる。そして、この直線偏光が液晶層を通過することによって、偏光状態が変化する。

20

#### 【0023】

従って、偏光状態によって、対向基板側の偏光板を通過する光量が変化する。すなわち、バックライトユニットから液晶表示パネルを透過する透過光のうち、視認側の偏光板を通過する光の光量が変化する。液晶の配向方向は、印加される表示電圧によって変化する。従って、表示電圧を制御することによって、視認側の偏光板を通過する光量を変化させることができる。すなわち、画素毎に表示電圧を変えることによって、所望の画像を表示することができる。なお、これら一連の動作で、保持容量 109 においては画素電極と対向電極との間の電界と並列に電界を形成させることにより、表示電圧の保持に寄与する。

#### 【0024】

30

次に、図2、3を参照して、TFT 108 が接続される1本のソース配線 111 の構成について説明する。図2は、1本のソース配線 111 の構成を示す平面図である。図3は、図2のIII-III断面図である。すなわち、図3は、スイッチング素子としてのTFT 108 の構成を示す断面図である。ここでは、MOS型のTFTについて説明する。

#### 【0025】

図2に示すように、TFT基板 100 は、直線状に形成されたソース配線 111 を有する。導電膜 25 は、ソース配線用導電膜 20 を公知の写真製版及びエッチング法によってパターンニングされた結果、ソース配線 111、ソース電極 16、ドレイン電極 17、ダミーソース電極 16a、及びダミードレイン電極 17a を形成する。本実施の形態では、TFT基板 100 におけるソース配線 111 にTFT 108 及びダミーTFT 108a が接続された場合を示している。ここで、TFT 108 は、スイッチング素子として機能するが、ダミーTFT 108a は、スイッチング素子としては機能しない。すなわち、ダミーTFT 108a は、電氣的に動作しない。図2においては、縦方向に延在するソース配線 111 の右側にTFT 108、左側にダミーTFT 108a が形成される。

40

#### 【0026】

4枚マスクプロセスを適用するため、導電膜 25 の下には導電膜 25 の平面形状にあわせて半導体膜 15 もパターンニングされる。すなわち、半導体膜 15 から平面的にはみ出さないように導電膜 25 が形成される。換言すると、導電膜 25 は、半導体膜 15 のパターンに内包される。また、バックチャネル領域 18 の部分では、MOSトランジスタのチャネルを形成する領域として真性半導体膜 13 だけが残される。

50

## 【 0 0 2 7 】

まず、T F T 1 0 8 の構成について説明する。図 3 に示すように、ガラス等からなる透明な絶縁性基板 1 0 上に、ゲート電極 1 1 が形成される。ゲート電極 1 1 は、ゲート配線 1 1 0 の一部である。ゲート配線 1 1 0 は、複数の画素 1 0 5 に亘って延在し、それぞれの画素 1 0 5 のゲート電極 1 1 にゲート信号を供給する。そして、ゲート電極 1 1 を覆うように、ゲート絶縁膜 1 2 が形成される。

## 【 0 0 2 8 】

ゲート絶縁膜 1 2 上には、半導体膜 1 5 が形成される。半導体膜 1 5 は、真性半導体膜 1 3 と不純物半導体膜 1 4 とが順次積層された構造を有する。真性半導体膜 1 3 とは、導電性不純物を含まないイントリンシックな半導体膜であり、不純物半導体膜 1 4 とは、導電性不純物を含む半導体膜である。不純物半導体膜 1 4 には、例えば不純物元素としてリン ( P ) を微量にドーピングした n 型半導体膜が用いられる。半導体膜 1 5 は、導電膜 2 5 と略同一の平面形状を有する。T F T 1 0 8 を形成する部分では、ゲート電極 1 1 の略中央部分の不純物半導体膜 1 4 及びソース配線用導電膜 2 0 が除去されてバックチャネル領域 1 8 が形成されている。

## 【 0 0 2 9 】

バックチャネル領域 1 8 を挟んで両側に形成された不純物半導体膜 1 4 は、一方がドレイン領域、他方がソース領域を構成する。ここで、バックチャネル領域 1 8 とは、ゲート電極 1 1 にゲート電圧を印加した際に、チャンネルが形成される領域となる。これにより、ゲート電極 1 1 にゲート電圧を印加すると、バックチャネル領域 1 8 のゲート絶縁膜 1 2 近傍には、チャンネルが形成される。そして、ソース領域とドレイン領域との間に所定の電位差が与えられると、ソース領域とドレイン領域との間にはゲート電圧に応じたドレイン電流が流れる。

## 【 0 0 3 0 】

不純物半導体膜 1 4 上には、導電膜 2 5 が形成される。不純物半導体膜 1 4 と導電膜 2 5 とは接している。ソース配線 1 1 1 は、半導体膜 1 5 、詳細には不純物半導体膜 1 4 から平面的にはみ出さないように形成される。ソース配線 1 1 1 の一部で、ソース領域に接している部分をソース電極 1 6 、ドレイン領域に接している部分をドレイン電極 1 7 とする。ソース配線 1 1 1 は、複数の画素 1 0 5 に亘って延在し、それぞれの画素 1 0 5 のソース電極 1 6 にソース信号を供給する。

## 【 0 0 3 1 】

次に、ダミー T F T 1 0 8 a の構成について説明する。ダミー T F T 1 0 8 a は、図 3 に示された T F T 1 0 8 の断面構成とほぼ同一の構成を有する。このため、T F T 1 0 8 と共通する部分は説明を省略する。また、ダミー T F T 1 0 8 a は、T F T 1 0 8 より大きく形成される。ダミー T F T 1 0 8 a のダミーゲート電極 1 1 a は、他の電極等とは非接触となっているが、ダミー T F T 1 0 8 a が回路動作に無関係であればよいので、例えばダミーゲート電極 1 1 a は保持容量配線 ( C s 共通容量配線 ) と接続されていてもよい。ダミーソース電極 1 6 a は、ソース配線 1 1 1 の一部である。

## 【 0 0 3 2 】

ダミーバックチャネル領域 1 8 a を挟んで、ダミーソース電極 1 6 a と反対側には、ダミードレイン電極 1 7 a が形成される。ダミーバックチャネル領域 1 8 a は、T F T 基板 1 0 0 に形成される全ての T F T 1 0 8 の駆動に無関係となっている。すなわち、ダミーバックチャネル領域 1 8 a は、完成した製品の動作には無関係である。従って、ダミーバックチャネル領域 1 8 a は、表示用のゲート信号やソース信号によって動作しない。ダミーバックチャネル領域 1 8 a は、T F T 1 0 8 のバックチャネル領域 1 8 とほぼ同一の構成を有する。換言すると、ダミーバックチャネル領域 1 8 a は、T F T 1 0 8 以外の部分において、半導体膜 1 5 上のソース配線用導電膜 2 0 がエッチングされる領域である。ダミードレイン電極 1 7 a は、表示装置内のいずれの回路にも接続されない。ダミー T F T 1 0 8 a は、以上のように構成される。

## 【 0 0 3 3 】

液晶表示装置のＴＦＴ基板１００の場合には、これらを覆うように、保護絶縁膜（不図示）が形成される。さらに、保護絶縁膜上には所定の位置に画素電極（不図示）が形成され、保護絶縁膜に形成されたコンタクトホールを介して、ドレイン電極１７と接続される。

#### 【００３４】

１つの独立した半導体膜１５、詳細には真性半導体膜１３のパターン上において、バックチャネル領域１８に相当したソース配線用導電膜２０がエッチングされる面積を１としたときに、エッチング後に残されるソース配線用導電膜２０（導電膜２５）の面積を面積比Ｒと定義する。本実施の形態において、ダミーバックチャネル領域１８ａが形成されていない場合の面積比Ｒが１００を超える場合に、ダミーバックチャネル領域１８ａを形成して、面積比Ｒを１００以下とすることが好ましい。なお、面積比Ｒは、０より大きい値になる。

10

#### 【００３５】

図２の場合を例に説明する。１つの独立したソース配線１１１において、ダミーＴＦＴ１０８ａが形成されていない場合には、ＴＦＴ１０８におけるバックチャネル領域１８の面積、１つの独立したソース配線１１１に接続されるＴＦＴ１０８が複数ある場合にはその全てのバックチャネル領域１８の合計の面積を１としたとき、導電膜２５の面積が面積比Ｒである。そして、面積比Ｒが１００を超える場合には、面積比Ｒが１００以下となるようにソース配線１１１にダミーＴＦＴ１０８ａを形成する。また、ダミーＴＦＴ１０８ａが形成されていない状態であっても、面積比Ｒが１００以下であれば、ダミーＴＦＴ１

20

#### 【００３６】

なお、ダミーＴＦＴ１０８ａの大きさ、個数には特に制限はない。このため、１本のソース配線１１１に対して複数箇所にダミーＴＦＴ１０８ａを形成することも可能である。この場合、面積比Ｒを求める際には、複数のダミーＴＦＴ１０８ａが有する複数のダミーバックチャネル領域１８ａの面積も合計する。また、ダミーパターンは、必ずしも、ＴＦＴ１０８とほぼ同一の構成を有するダミーＴＦＴ１０８ａである必要はない。少なくとも、ダミーバックチャネル領域１０８ａのようなエッチングされる領域が形成されれば、その他の構成要素については省略可能である。例えば、ダミーゲート電極１１ａを省略することも可能である。

30

#### 【００３７】

次に、図４～６を参照して、ＴＦＴ基板１００の製造方法について説明する。図４は、ＴＦＴ基板１００の製造方法を示すフローチャートである。図５、６は、ＴＦＴ基板１００の製造方法を示す断面図である。ここでは、４枚マスクプロセスを用いたＴＦＴ基板１００の製造方法について説明する。また、ダミーＴＦＴ１０８ａは、ＴＦＴ１０８と同一の工程により形成される。

#### 【００３８】

始めに、絶縁性基板１０上に、ゲート電極１１及びゲート配線１１０を形成する（ステップＳ１）。具体的には、まず、ガラス基板や石英基板などの光透過性を有する絶縁性基板１上に、ＤＣマグネトロンスパッタ法等を用いて、ゲート配線用導電膜を成膜する。ゲート配線用導電膜としては、たとえばクロム、モリブデン、タンタル、チタン、アルミニウム、銅などの金属膜や、これらに他の物質を微量に添加した合金膜など、あるいはこれらの積層膜を用いることができる。

40

#### 【００３９】

そして、ゲート配線用導電膜上に、感光性樹脂であるレジスト（フォトリソグ）をスピンコートによって塗布し、塗布したレジストを露光、現像する公知の写真製版法を行う。これにより、所望の形状にレジストがパターンニングされる。その後、レジストパターンをマスクとして、ゲート配線用導電膜をエッチングし、所望の形状にパターンニングする。その後、レジストを除去する。これにより、ゲート電極１１及びゲート配線１１０が形成される。なお、ゲート電極１１の端面はテーパ形状とすることが望ましい。テーパ形

50

状とすることにより、後に成膜するゲート絶縁膜 12 の被覆性が向上する。そして、絶縁膜耐圧が向上するという効果を奏する。以上の工程により、図 5 ( a ) に示す構成となる。

#### 【 0 0 4 0 】

次に、形成したゲート電極 11、ゲート配線 110 の上に、プラズマ CVD 法を用いてゲート絶縁膜 12 を成膜する (ステップ S2)。ゲート絶縁膜 12 としては、窒化シリコン膜 (SiN 膜)、酸化シリコン膜 (SiO 膜) を用いることができる。その後、ゲート絶縁膜 12 の上に、プラズマ CVD 法等により半導体膜 15 を成膜する (ステップ S3)。詳しくは、ゲート絶縁膜 12 上に、真性半導体膜 13、不純物半導体膜 14 を順次成膜する。真性半導体膜 13 としては、アモルファスシリコン (a-Si) 膜、ポリシリコン (p-Si) 膜が用いられる。不純物半導体膜 14 としては、a-Si、又は p-Si にリン (P) を微量にドーピングした n-a-Si 膜、n-p-Si 膜が用いられる。

10

#### 【 0 0 4 1 】

次に、不純物半導体膜 14 上に、DC マグネトロンスパッタ法等を用いて、ソース・ドレイン電極 16、17 を形成するためのソース配線用導電膜 20 を成膜する (ステップ S4)。ソース配線用導電膜 20 としては、ゲート配線用導電膜と同様に、種々の金属膜、合金膜を用いることができる。なお、異なる材料を成膜する前に、洗浄工程が入る場合もある。以上の工程により、図 5 ( b ) に示す構成となる。

#### 【 0 0 4 2 】

次に、公知の写真製版法により、ソース配線用導電膜 20 上にレジストパターンを形成する (ステップ S5)。まず、ソース配線用導電膜 20 上にレジスト 21 を塗布する。そして、図 5 ( c ) に示されるように、中間調に露光される中間調露光部分 23 を有するマスク 22 上から、レジスト 21 を露光する。ここでは、レジスト 21 としてポジ型レジストを用いる場合について説明する。

20

#### 【 0 0 4 3 】

マスク 22 の中間調露光部分 23 は、バックチャネル領域 18 上に配置される。そして、このマスク 22 上からレジスト 21 を露光することにより、ソース・ドレイン形成領域 (後の工程でソース・ドレイン領域となる領域) 上のレジスト 21 は未露光となる。そして、バックチャネル形成領域 (後の工程でバックチャネル領域 18 となる領域) 上のレジスト 21 は中間調に露光される。そして、これらの領域以外のレジスト 21 は、完全に露光される。すなわち、バックチャネル形成領域上のレジスト 21 への露光量は、ソース・ドレイン形成領域上のレジスト 21 への露光量より大きくなる。また、バックチャネル形成領域上のレジスト 21 への露光量は、これらの領域以外のレジスト 21 への露光量より小さくなる。

30

#### 【 0 0 4 4 】

このように、露光部位ごとに露光量が調整されるように、例えば、透過光量が少なくとも 2 段階で異なる領域を有するマスク 22 を用いて露光を行う。中間調露光部分 23 は、例えば一定の透過率を有する材料によって形成されてもよい。すなわち、マスク 22 として、ハーフトーンマスクを用いることができる。その他にも、中間調露光部分 23 は、未露光部を形成するための遮光用パターンを解像限界以下のスリット状やメッシュ状のパターンを使って一定の透過率を得られるように形成してもよい。すなわち、マスク 22 として、グレイトーンマスクを用いることができる。これにより、1 回の露光で半導体膜 15 とソース配線用導電膜 20 のエッチングをすることができるので、写真製版回数を 1 回減らすことができる。

40

#### 【 0 0 4 5 】

その後、現像することにより、レジスト 21 が所望の平面形状にパターンニングされる。このときに、TF T 108 のバックチャネル形成領域上には、未露光部分のレジスト 21 の膜厚よりは薄くレジスト 21 が残される。すなわち、バックチャネル形成領域上ではレジスト 21 が薄く形成され、ソース・ドレイン形成領域上ではレジスト 21 が厚く形成される。換言すると、バックチャネル形成領域上にはレジスト 21 の薄膜部 21a が形成さ

50

れ、ソース・ドレイン形成領域上にはレジスト 2 1 の厚膜部 2 1 b が形成される。そして、その他の領域では、レジスト 2 1 が形成されない。なお、本実施の形態では、ダミー T F T 1 0 8 a にダミーゲート電極 1 1 a を形成するため、バックチャネル形成領域とダミーバックチャネル形成領域において、レジスト膜厚を均一にすることができる。以上の工程により、図 5 ( d ) に示す構成となる。

【 0 0 4 6 】

その後、レジスト 2 1 をマスクとして、ソース配線用導電膜 2 0 のエッチング ( 1 回目 ) を行う ( ステップ S 6 ) 。続いて、半導体膜 1 5 のエッチング ( ステップ S 7 ) を行う。これにより、レジスト 2 1 が完全に露光されてレジスト 2 1 が除去された部分のソース配線用導電膜 2 0 及び半導体膜 1 5 が除去される。そして、複数の分離されたパターンが形成される。1つのマスクで複数の膜を順次エッチングするので、それぞれのパターンでは、導電膜 2 5 の平面形状とほぼ同一の平面形状を有する半導体膜 1 5 の上に導電膜 2 5 が積層された構造となる。

10

【 0 0 4 7 】

次に、レジスト 2 1 除去 ( 1 回目 ) を行う ( ステップ S 8 ) 。このときは、T F T 1 0 8 のバックチャネル形成領域上の薄いレジスト 2 1 の膜厚分をアッシングなどにより除去する。すなわち、バックチャネル形成領域上に形成されたレジスト 2 1 の薄膜部 2 1 a を除去する。また、レジスト 2 1 の厚膜部 2 1 b では、膜厚は少なくなるものの、パターンとしては残る。これにより、ソース配線用導電膜 2 0 の一部を露出させる。すなわち、バックチャネル形成領域上のソース配線用導電膜 2 0 を露出させ、その他の部分はレジスト 2 1 が残された状態にする。以上の工程により、図 6 ( e ) に示す構成となる。

20

【 0 0 4 8 】

次に、残ったレジスト 2 1 をマスクとして、ソース配線用導電膜 2 0 のエッチング ( 2 回目 ) を行う ( ステップ S 9 ) 。すなわち、レジスト 2 1 の厚膜部 2 1 b をマスクとして、上記の工程で露出したソース配線用導電膜 2 0 をエッチングする。ここでは、エッチングとしてウェットエッチングを行う。以上の工程により、バックチャネル形成領域上の不純物半導体膜 1 4 を露出させ、図 6 ( f ) に示す構成となる。

【 0 0 4 9 】

本実施の形態では、同じ工程で同時にダミーバックチャネル領域 1 8 a も形成される。ダミー T F T 1 0 8 a が付加された、ある 1 本のソース配線用導電膜 2 0 に着目すると、ステップ S 9 においてエッチングされるソース配線用導電膜 2 0 の面積は、ダミー T F T 1 0 8 a が付加されていない場合に比べてエッチングされる面積は大きくなる。すなわち、面積比 R はダミー T F T 1 0 8 a が付加されていない場合に比べて小さくなる。その結果、バックチャネル領域 1 8 におけるエッチング残発生は抑制される。好ましくは、面積比 R は 1 0 0 以下とする。

30

【 0 0 5 0 】

次に、バックチャネルエッチングを行う ( ステップ S 1 0 ) 。ここでは、露出した不純物半導体膜 1 4 がエッチングされることでソース電極 1 6 、ドレイン電極 1 7 がそれぞれの電極として機能できるようになる。このとき、バックチャネル領域 1 8 における真性半導体膜 1 3 の一部がエッチングされてもよい。すなわち、バックチャネル領域 1 8 における真性半導体膜 1 3 の膜厚が、ソース・ドレイン領域における真性半導体膜 1 3 の膜厚より薄くなっていてもよい。

40

【 0 0 5 1 】

続いて、レジスト 2 1 除去 ( 2 回目 ) を行う ( ステップ S 1 1 ) 。この工程において、残されたレジスト 2 1 を全て除去する。これにより、ソース配線 1 1 1 、ソース電極 1 6 、ドレイン電極 1 7 、バックチャネル領域 1 8 が形成される。そして、図 6 ( g ) に示す構成となり、T F T 1 0 8 が完成する。ステップ S 5 にて使用される写真製版用マスクにダミー T F T 1 0 8 a を作り込んでおくことで、ステップ S 1 ~ S 1 1 までの工程を経たときに、ダミー T F T 1 0 8 a も同時に形成することができる。

【 0 0 5 2 】

50

その後、プラズマCVD法等を用いて、ソース・ドレイン電極16、17を覆うように層間絶縁膜を成膜する(ステップS12)。層間絶縁膜としては、SiO膜やSiN膜を用いることができる。そして、公知の写真製版法およびエッチング法を用いて、層間絶縁膜及びゲート絶縁膜12を所望のパターンに加工する。これにより、画素電極などと、ゲート配線110あるいはソース配線111とを接続するためのコンタクトホールが形成される。

#### 【0053】

次に、層間絶縁膜上に、DCマグネトロンを用いたスパッタリング法等により、画素電極用導電膜を成膜する。画素電極用導電膜としては、ITOやIZOなどの透明性を有する導電膜を用いることができる。そして、公知の写真製版法およびエッチング法を用いて、画素電極用導電膜を所望のパターンに加工する。これにより、コンタクトホールを介して、ゲート配線110やソース配線111と接続する導電膜パターンや画素電極が必要に応じて形成される。以上の工程により、TFT基板100が形成される。

10

#### 【0054】

上記のように、本実施の形態では、ダミーバックチャネル領域18aを形成するので、ステップS9において、ウェットエッチングされる面積が大きくなる。このとき、1本のソース配線用導電膜20に対して、エッチングされる面積を1とした場合、残存する面積を100以下にすることが好ましい。すなわち、面積比Rは100以下が好ましい。このように、面積比Rを小さくすることにより、バックチャネル領域18には、残発生がない。このため、TFT108に不具合が発生しない。そして、歩留が向上し、生産性の向上が得られる。

20

#### 【0055】

また、本実施の形態では、ダミーバックチャネル領域18aを形成するので、1本のソース配線111に対して付加されるTFT108が少ない場合でも、バックチャネル領域18における残発生が無くなり、ソース配線111の長さや面積の自由度が広がる。そのため、表示装置としての付加価値を高めるための回路をTFT基板100に搭載することが可能となる。従って、製品としての機能を高めることができる効果がある。

#### 【0056】

例えば、ゲート電極11のレイヤとソース配線111のレイヤとの間で、あるいは、画素電極のレイヤとソース配線111のレイヤとの間で大きなキャパシタ容量を形成する場合、このソース配線111にTFTが接続されていても、本発明を適用することで、バックチャネル領域18の残発生を抑制できるので、より機能の高い製品の製造が可能となる。キャパシタ容量を形成する場合、面積を大きくする必要があるため、面積比Rも大きくなり、本発明の効果が得られやすい。

30

#### 【0057】

ここで、図7を参照して、面積比Rについて説明する。図7は、面積比Rの説明図である。面積比Rとは、以下の式1で表される。なお、Sは1つの独立した半導体膜15のパターン上のエッチング後に残されるソース配線用導電膜20(導電膜25)の面積、Tは1つの独立した半導体膜15のパターン上のステップS9においてエッチングされる領域の面積である。すなわち、Sは導電膜25の面積、Tはこの導電膜25に接続されているバックチャネル領域18の面積を示す。

40

$R = S / T \cdots (\text{式} 1)$

#### 【0058】

まず、図7を参照して実験方法について説明する。基板上のほぼ全面に、ゲート絶縁膜12、真性半導体膜13、不純物半導体膜14、ソース配線用導電膜20を順次成膜した。そして、上記のバックチャネル領域18の形成方法を用いて、ソース配線用導電膜20及び不純物半導体膜14をエッチング除去した。ソース配線用導電膜20が除去されず残った面積が面積Sに該当する。ソース配線用導電膜20及び不純物半導体膜14が除去された面積が面積Tに該当する。これらが除去された領域がバックチャネル領域18に相当する。そして、ソース配線用導電膜20及び不純物半導体膜14が除去される面積、すな

50

わちバックチャネル領域 18 の面積  $T$  を変化させて、面積比  $R$  を変化させた。

【0059】

次に、実験結果について説明する。それぞれの面積比  $R$  に対して、バックチャネル領域 18 にソース配線用導電膜 20 の膜残りがどうか確認した。すなわち、バックチャネル領域 18 におけるソース配線用導電膜 20 の残発生有無を確認した。これらの面積比  $R$  に対する残発生有無の結果を図 8 に示す。図 8 では、横軸は面積比  $R$  を示す。そして、残発生のなかったパターンを黒丸、残発生のあったパターンを白丸で表す。図 8 に示されるように、面積比  $R$  が 100 以下の場合、残発生がなかった。そして、面積比  $R$  が 100 以上 1000 以下の場合、残発生がなかったパターンと残発生があったパターンとが混在した。また、面積比  $R$  が 1000 以上の場合、ほとんどのパターンで残発生があった。

10

【0060】

すなわち、面積比  $R$  が大きくなるにつれて、ステップ S9 におけるバックチャネル領域 18 でのソース配線用導電膜 20 の残発生率が高くなる。ソース配線用導電膜 20 は、例えば金属膜によって形成される。ウェットエッチングによるエッチングの場合、薬液中の水素イオンによって金属から電子が引き抜かれ、金属がイオン化して薬液中に抜け出すことでエッチング反応が進む。ところが、4 枚マスクプロセスの場合、ソース配線用導電膜 20 の下には全て半導体膜 15 が残される。すなわち、ソース配線用導電膜 20 の直下全てに接して、 $n$  型半導体膜である不純物半導体膜 14 が形成される。 $n$  型半導体膜のキャリアである電子は、薬液中の水素イオンによって金属から電子が引き抜かれる際に金属膜に影響を及ぼす。このため、薬液中でのソース配線用導電膜 20 の電位が低くなる。

20

【0061】

上記のように、面積比  $R$  が大きくなると、ソース配線用導電膜 20 において、エッチングされる面積に対してエッチング後に残される面積が大きくなる。すなわち、ソース配線用導電膜 20 の下にある不純物半導体膜 14 の面積も大きくなる。例えば、エッチングされる面積が同じである  $R = 1000$  のパターンと、 $R = 10$  のパターンを比べる場合を想定すると、不純物半導体膜 14 の面積は、 $R = 1000$  のパターンでは  $R = 10$  のパターンよりも 100 倍大きい。すなわち、 $R = 1000$  のパターンでは、 $R = 10$  のパターンよりも不純物半導体膜 14 に含まれる 100 倍多くの電子の影響を受けることになる。従って、面積比  $R$  が大きいパターンでは、エッチングにおける残が発生しやすい。図 9 は、図 8 において白丸で示されたパターンであって、図 7 の  $IX - IX$  断面における実際の断面写真を示す。図 9 に示されるように、バックチャネル領域 18 にソース配線用導電膜 20 がそのまま残っていることが分かる。

30

【0062】

以上のことから、面積比  $R$  は小さいほうが好ましく、本実施の形態では、ダミーバックチャネル領域 18a を形成することにより、面積比  $R$  を小さくしている。また、図 8 に示された結果から、面積比  $R$  は 100 以下が好ましい。これにより、バックチャネル領域 18 には、残発生がない。このため、TF T 108 に不具合が発生しない。例えば、TF T 108 のバックチャネル領域 18 上に、ソース配線用導電膜 20 が残り、ソース電極 16 及びドレイン電極 17 がショートすることを抑制することができる。すなわち、回路の一部が正常に動作しない等の不具合が発生しない。このため、歩留を向上させることができる。

40

【0063】

実施の形態 2 .

本実施の形態にかかるダミーパターンは、第 1 電極、第 2 電極、及びダミーバックチャネル領域を有する。換言すると、実施の形態 1 のダミー TF T 108a の構成要素からダミードレイン電極 17a が省略されたような構成を有する。なお、それ以外の構成、製造方法等は、実施の形態 1 と同様なので説明を省略する。図 10 を参照して、本実施の形態にかかるダミーパターンについて説明する。図 10 は、ダミーパターン 40 の構成を示す平面図である。

【0064】

50

本実施の形態では、ダミーパターン 40 は、実施の形態 1 のダミーゲート電極 11a に相当する第 1 電極 41 を有する。さらに、ダミーパターン 40 は、実施の形態 1 のダミーソース電極 16a に相当する第 2 電極 42 を有する。第 2 電極 42 は、導電膜 25 によって形成される。また、半導体膜 15 は、実施の形態 1 のダミー T F T 108a のダミードレイン領域に相当する領域を有さない。

#### 【0065】

本実施の形態によっても、実施の形態 1 と同様の効果を得ることができる。また、本実施の形態では、実施の形態 1 のダミードレイン電極 17a に相当する導電膜 25 を省略している。すなわち、プロセス上問題がなければ、動作に関係のない電極を省略している。これにより、実施の形態 1 と比較して、面積比 R を効果的に小さくすることができる。このため、ダミーパターン 40 の大きさや個数を減らすことができる。

10

#### 【0066】

実施の形態 3 .

本実施の形態にかかるダミーパターンは、複数個のパターンが接続される。なお、それ以外の構成、製造方法等は、実施の形態 1 と同様なので説明を省略する。図 11 を参照して、本実施の形態にかかるダミーパターン 40 について説明する。図 11 は、ダミーパターン 40 の構成を示す平面図である。

#### 【0067】

本実施の形態では、ダミーパターン 40 は、実施の形態 1 のダミーゲート電極 11a に相当する第 1 電極 41 を有する。また、ダミーパターン 40 は、実施の形態 1 のダミーソース電極 16a 及びダミードレイン電極 17a に相当する複数の第 2 電極 42 を有する。複数の第 2 電極 42 は、半導体膜 15 からはみ出さないように、導電膜 25 によって形成される。さらに、ダミーパターン 40 は、複数のダミーバックチャネル領域 18a を有する。このように、1 つのダミーパターン 40 には、複数の第 2 電極 42 及び複数のダミーバックチャネル領域 18a が形成される。そして、ソース配線 111 側から、第 2 電極 42 とダミーバックチャネル領域 18a が交互に配置される。図 11 においては、4 つの第 2 電極 42、及び 3 つのダミーバックチャネル領域 18a が交互に配置される。このため、面積比 R を求める場合、面積 T には、3 つのダミーバックチャネル領域 18a の面積が合計される。また、面積 S には、4 つの第 2 電極 42 の面積が合計される。本実施の形態によっても、実施の形態 1 と同様の効果を得ることができる。

20

30

#### 【0068】

実施の形態 4 .

本実施の形態では、ダミーパターン 40 内の複数の第 2 電極 42 がすべて電氣的に接続される。なお、それ以外の構成、製造方法等は、実施の形態 3 と同様なので説明を省略する。図 12 を参照して、本実施の形態にかかるダミーパターン 40 について説明する。図 12 は、ダミーパターン 40 の構成を示す平面図である。

#### 【0069】

本実施の形態では、複数の第 2 電極 42 の上端がダミーバックチャネル領域 18a の上端から突出している。そして、複数の第 2 電極 42 の上端がソース配線 111 から延在する導電膜 25 と接続される。すなわち、ダミーパターン 40 において、導電膜 25 は、楕型に形成される。これにより、プロセスが完了した後に、電位的に独立するような導電膜 25 がない。本実施の形態によっても、実施の形態 1 と同様の効果を奏することができる。

40

#### 【0070】

実施の形態 5 .

本実施の形態では、ダミーパターン 40 を製品内部の回路だけでなく、プロセス上のモニタリングを行う T E G (Test Element Group) などに適用する。もちろん、T E G 以外の構成は、実施の形態 1 ~ 4 と同様の構成とすることができる。ここで、図 13 を参照して、1 つの T F T 108 の特性を測定するための T E G の構成について説明する。図 13 は、T E G の構成を示す平面図である。実際の製品の製造においては様々な構造の T E G

50

を作成するが、ここでは T F T 1 0 8 と同一の形状を有する T E G を例に説明する。

【 0 0 7 1 】

図 1 3 に示される T E G に接続された T F T 1 0 8 は、図 1 に示された額縁領域 1 0 2 に形成される。T F T 1 0 8 は、実施の形態 1 と同様の構成及び大きさを有する。すなわち、図 1 に示された表示領域 1 0 1 に形成された T F T 1 0 8 と同じ形状、大きさのパターンとなっている。これにより、画素駆動用の T F T 1 0 8 の特性を測定することができる。そして、この T F T 1 0 8 のソース電極 1 6 及びドレイン電極 1 7 から延在する引き回し配線 3 0 がそれぞれ形成される。ソース電極 1 6 から延在する引き回し配線 3 0 がソース配線 1 1 1 に相当する。それぞれの引き回し配線 3 0 は、端部にパッド部分 3 1 を有する。パッド部分 3 1 は、矩形状を有する。パッド部分 3 1 は、測定用プローブと接続するために配置される。また、ゲート電極 1 1 は、図示しない部分で、測定用プローブと接続するためのパッド部分と接続されている。

10

【 0 0 7 2 】

例えば、ゲート電極 1 1 と接続されたパッド部分にゲート信号を入力する。また、ソース電極 1 6 と接続されたパッド部分 3 1 にソース信号を入力する。そして、ドレイン電極 1 7 に接続されたパッド部分 3 1 からの電流等を検出する。これにより、T F T 1 0 8 の特性を測定することができる。なお、T E G を構成する引き回し配線 3 0 及びパッド部分 3 1 は、導電膜 2 5 によって形成される。そして、ソース電極 1 6 側の引き回し配線 3 0 にダミーパターン 4 0 が接続される。図 1 3 においては、左側の引き回し配線 3 0 にダミーパターン 4 0 が接続される。また、ここでのダミーパターン 4 0 は、実施の形態 4 と同様の構成を有する。

20

【 0 0 7 3 】

本実施の形態によっても、実施の形態 1 と同様の効果を得ることができる。また、上記の T E G では、パッド部分 3 1 は測定用プローブと接続するために通常、一辺が 1 0 0 ~ 2 0 0  $\mu\text{m}$  程度の四角形を用いる場合が多く、しかもこの配線に接続される T F T 1 0 8 は 1 つだけであるから、面積比 R が大きくなりやすい。このため、本発明を適用して得られる効果が大きい。

【 0 0 7 4 】

なお、図 1 3 においては、左側の引き回し配線 3 0 にダミーパターン 4 0 を接続したが、右側あるいは両方の引き回し配線 3 0 にダミーパターン 4 0 を接続してもよい。すなわち、ドレイン電極 1 7 側あるいは両方の引き回し配線 3 0 にダミーパターン 4 0 を接続してもよい。また、図 1 3 においては、実施の形態 4 と同様の構成を有するダミーパターン 4 0 を用いたが、実施の形態 1 ~ 3 のいずれの構成としてもよい。このようにした場合でも、同様の効果を得ることができる。

30

【図面の簡単な説明】

【 0 0 7 5 】

【図 1】実施の形態 1 にかかる表示装置に用いられる T F T 基板の構成を示す平面図である。

【図 2】実施の形態 1 にかかる 1 本のソース配線の構成を示す平面図である。

【図 3】図 2 の I I I - I I I 断面図である。

40

【図 4】実施の形態 1 にかかる T F T 基板の製造方法を示すフローチャートである。

【図 5】実施の形態 1 にかかる T F T 基板の製造方法を示す断面図である。

【図 6】実施の形態 1 にかかる T F T 基板の製造方法を示す断面図である。

【図 7】実施の形態 1 にかかる面積比 R の説明図である。

【図 8】実施の形態 1 にかかる面積比 R に対する残発生有無の結果を示す相関図である。

【図 9】図 8 において白丸で示されたパターンであって、図 7 の I X - I X 断面における実際の断面写真である。

【図 1 0】実施の形態 2 にかかるダミーパターンの構成を示す平面図である。

【図 1 1】実施の形態 3 にかかるダミーパターンの構成を示す平面図である。

【図 1 2】実施の形態 4 にかかるダミーパターンの構成を示す平面図である。

50

【図 1 3】実施の形態 5 にかかる T E G の構成を示す平面図である。

【図 1 4】従来の T F T の構成を示す平面図である。

【図 1 5】図 1 4 の X V - X V 断面図である。

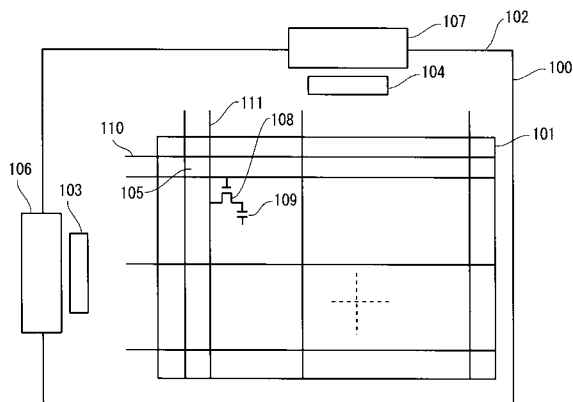
【符号の説明】

【 0 0 7 6 】

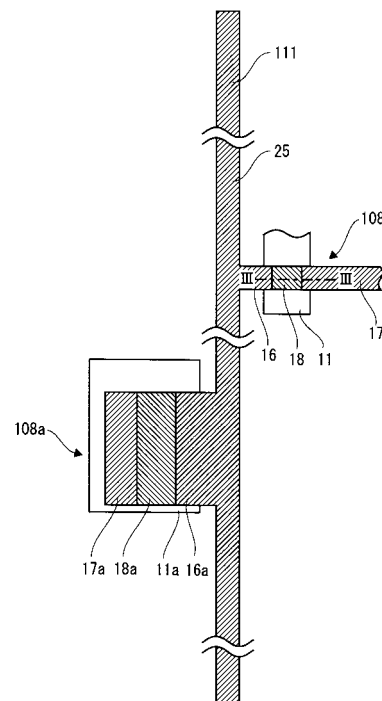
- 1 絶縁性基板、2 ゲート電極、3 ゲート絶縁膜、4 真性半導体膜、  
 5 不純物半導体膜、6 ソース電極、7 ドレイン電極、8 バックチャネル領域、  
 10 絶縁性基板、11 ゲート電極、11a ダミーゲート電極、  
 12 ゲート絶縁膜、13 真性半導体膜、14 不純物半導体膜、15 半導体膜、  
 16 ソース電極、16a ダミーソース電極、17 ドレイン電極、  
 17a ダミードレイン電極、18 バックチャネル領域、  
 18a ダミーバックチャネル領域、20 ソース配線用導電膜、21 レジスト、  
 21a 薄膜部、21b 厚膜部、22 マスク、23 中間調露光部分、  
 25 導電膜、30 引き回し配線、31 パッド部分、  
 40 ダミーパターン、41 第 1 電極、42 第 2 電極、  
 100 T F T 基板、101 表示領域、102 額縁領域、  
 103 走査信号駆動回路、104 表示信号駆動回路、105 画素、  
 106 外部配線、107 外部配線、108 T F T、109 保持容量、  
 110 ゲート配線、111 ソース配線

10

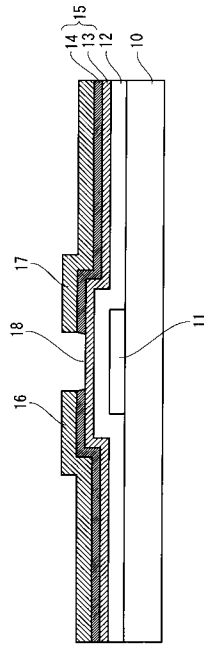
【図 1】



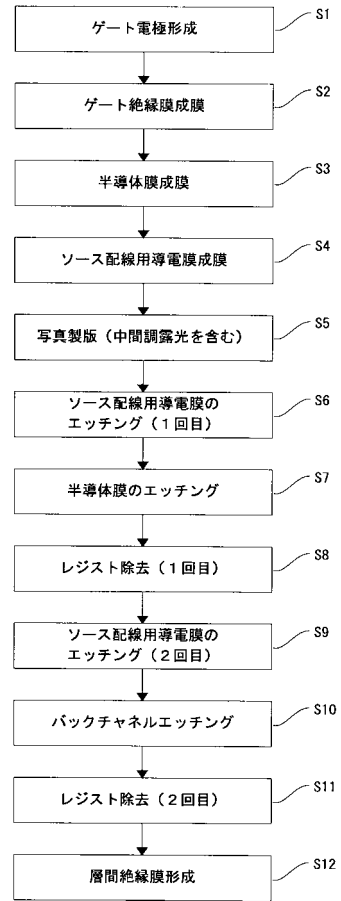
【図 2】



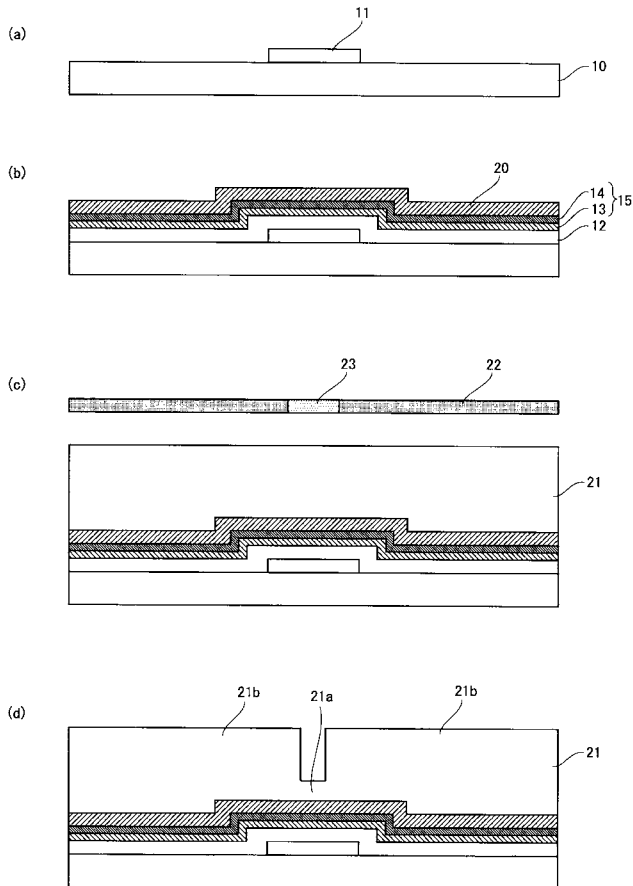
【図 3】



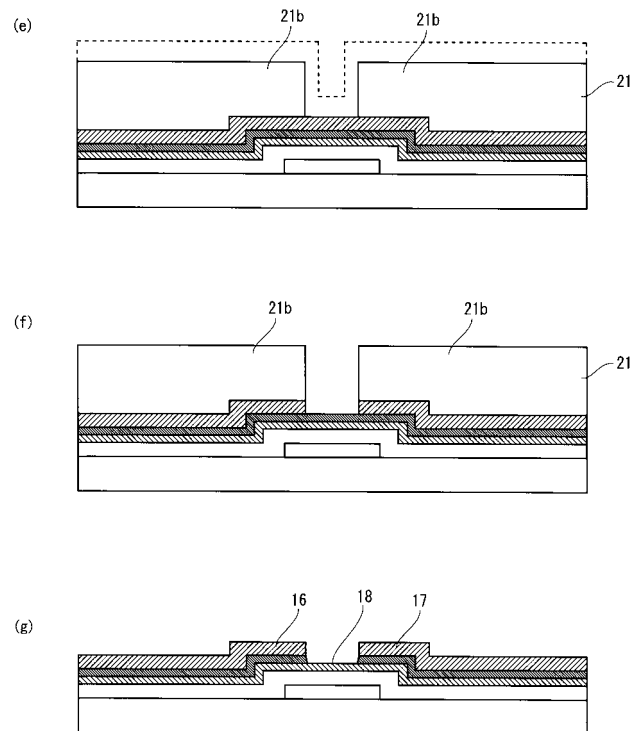
【図 4】



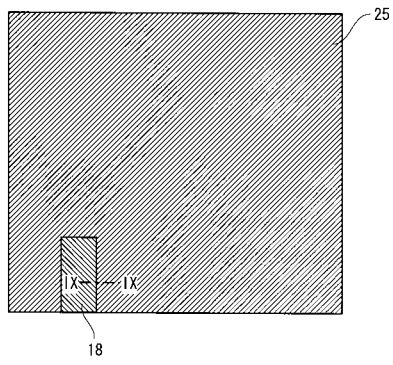
【図 5】



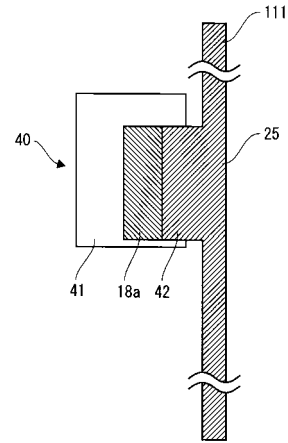
【図 6】



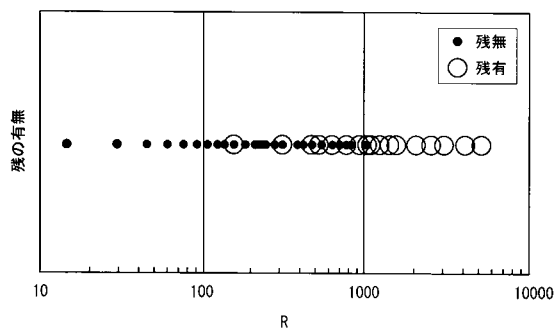
【図 7】



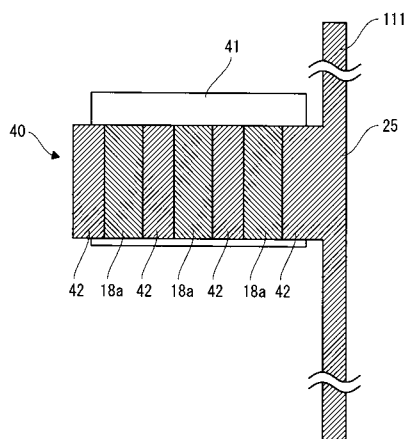
【図 10】



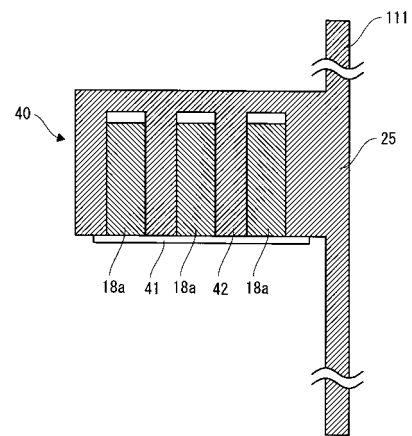
【図 8】



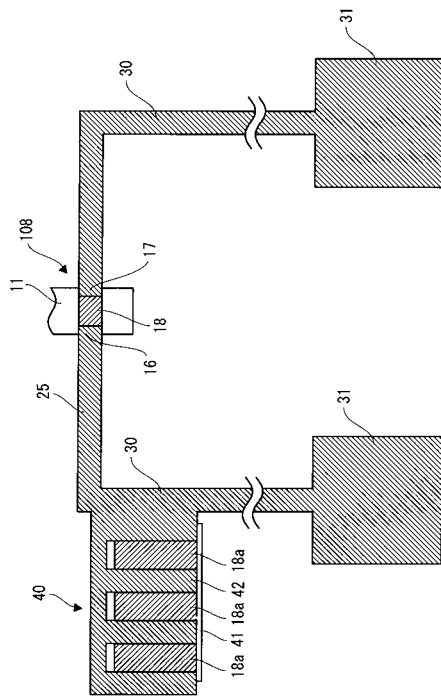
【図 11】



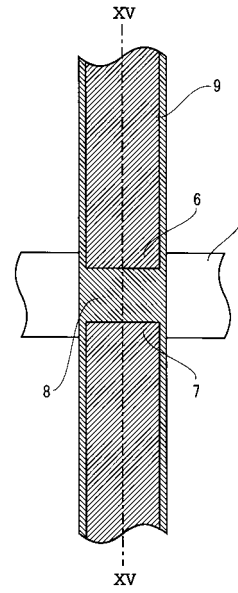
【図 12】



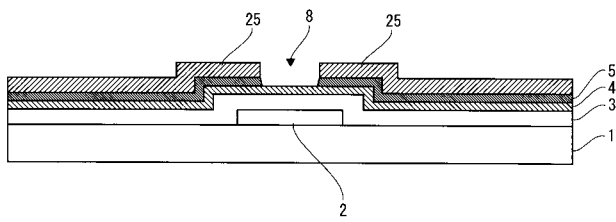
【図 13】



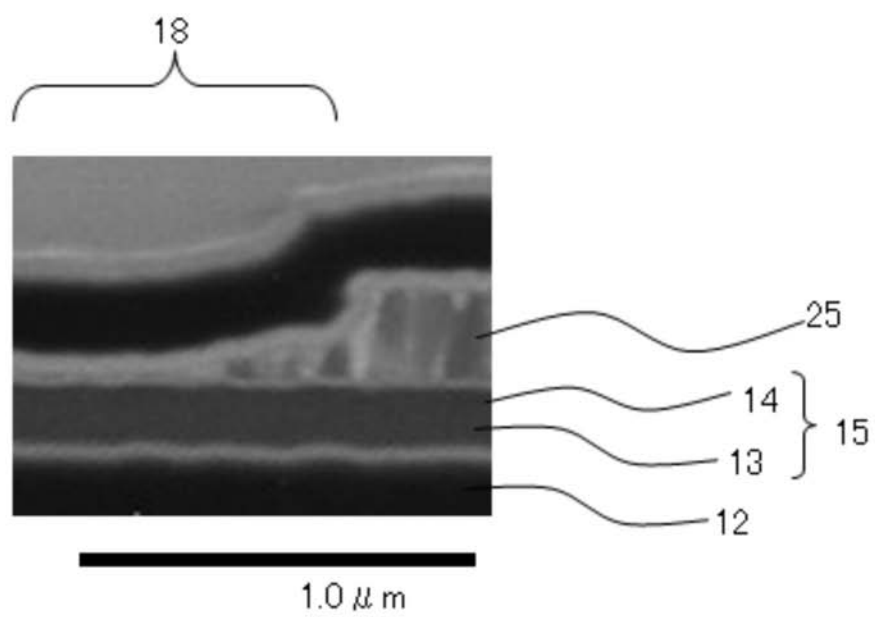
【図 14】



【図 15】



【図 9】



---

フロントページの続き

(72)発明者 柴田 英次

熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

(72)発明者 宮本 賢一

熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

F ターム(参考) 5F110 AA16 BB02 CC07 DD02 DD03 EE02 EE03 EE04 EE23 EE44  
FF02 FF03 FF30 GG02 GG13 GG15 GG45 HK02 HK03 HK04  
HK09 HK21 HK25 HK33 HK35 HK50 HL07 HL23 NN02 NN23  
NN24 NN35 NN72 QQ01 QQ02