

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/12

H01L 21/84



[12] 实用新型专利说明书

[21] ZL 专利号 200420047859. X

[45] 授权公告日 2005 年 7 月 13 日

[11] 授权公告号 CN 2710164Y

[22] 申请日 2004. 4. 1

[21] 申请号 200420047859. X

[30] 优先权

[32] 2003. 4. 4 [33] US [31] 10/408,081

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

[72] 设计人 杨育佳 杨富量

[74] 专利代理机构 北京三友知识产权代理有限公司

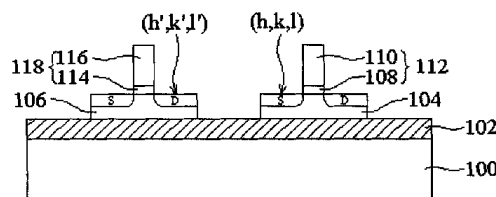
代理人 王一斌

权利要求书 3 页 说明书 19 页 附图 13 页

[54] 实用新型名称 具有多方位的绝缘层上覆硅芯片

[57] 摘要

本实用新型揭示一种具有多方位的绝缘层上覆硅芯片。在单一绝缘层上覆硅芯片上形成有多种不同方位的孤立硅层，并且将 P 型晶体管设置于表面方位为 (110) 的孤立硅层上方，将 N 型晶体管设置于表面方位为 (100) 的孤立硅层上方。如此一来，P 型晶体管会具有良好的电洞迁移率，N 型晶体管会具有良好的电子迁移率。



ISSN 1008-4274

1. 一种具有多方位的绝缘层上覆硅芯片，其特征在于包括：
- 一硅基底；
 - 一绝缘层，设置于上述硅基底表面；
- 5 一孤立第一硅层，设置于上述绝缘层的部分表面，其中上述孤立第一硅层的表面具有一第一方位；以及
- 一孤立第二硅层，设置于上述绝缘层的部分表面，其中上述孤立第二硅层的表面具有一第二方位。
2. 根据权利要求1所述的具有多方位的绝缘层上覆硅芯片，其特征在于
- 10 更包括：
- 一第一型晶体管，设置于上述孤立第一硅层表面；以及
 - 一第二型晶体管，设置于上述孤立第二硅层表面。
3. 根据权利要求2所述的具有多方位的绝缘层上覆硅芯片，其特征在于：
- 上述第一方位是(110)，且上述第一型晶体管是P型通道晶体管。
- 15 4. 根据权利要求2所述的具有多方位的绝缘层上覆硅芯片，其特征在于：
- 上述第二方位是(100)，且上述第二型晶体管是N型通道晶体管。
5. 根据权利要求2所述的具有多方位的绝缘层上覆硅芯片，其特征在于：
- 上述第一方位是(023)，且上述第一型晶体管是P型通道晶体管。
6. 根据权利要求5所述的具有多方位的绝缘层上覆硅芯片，其特征在于：
- 20 上述第二方位是(100)，且第二型晶体管是N型通道晶体管。
7. 根据权利要求1所述的具有多方位的绝缘层上覆硅芯片，其特征在于：
- 上述孤立第一硅层是由多层不同方位的堆栈层所构成。
8. 根据权利要求7所述的具有多方位的绝缘层上覆硅芯片，其特征在于：
- 上述孤立第一硅层的堆栈层包括：
- 25 一(100)层；以及

一(110)层, 设置于上述(100)层表面。

9. 根据权利要求8所述的具有多方位的绝缘层上覆硅芯片, 其特征在于:
上述(110)层的厚度为10~500Å。

10. 根据权利要求1所述的具有多方位的绝缘层上覆硅芯片, 其特征在
5 于: 上述孤立第二硅层是由多层不同方位的堆栈层所构成。

11. 根据权利要求10所述的具有多方位的绝缘层上覆硅芯片, 其特征在
于: 上述孤立第二硅层的堆栈层至少包括: 设置于表面的一(100)层。

12. 根据权利要求1所述的具有多方位的绝缘层上覆硅芯片, 其特征在
于: 上述孤立第一硅层与上述孤立第二硅层分别具有不相同的厚度。

10 13. 根据权利要求1所述的具有多方位的绝缘层上覆硅芯片, 其特征在
于: 上述孤立第一硅层与上述孤立第二硅层具有钝化或圆化的角落。

14. 根据权利要求1所述的具有多方位的绝缘层上覆硅芯片, 其特征在
于: 上述绝缘层至少包括: 一结晶层, 设置于上述绝缘层与上述孤立第一硅
层或上述孤立第二硅层之间的界面处。

15 15. 一种具有多方位的绝缘层上覆硅芯片, 其特征在于包括:

一硅基底;

一绝缘层, 设置于上述硅基底表面;

一孤立第一硅层, 设置于上述绝缘层的部分表面, 其中上述孤立第一硅
层具有(110)表面; 以及

20 一孤立第二硅层, 设置于上述绝缘层的部分表面, 其中上述第二硅层具
有(100)表面。

16. 根据权利要求15所述的具有多方位的绝缘层上覆硅芯片, 其特征在
于更包括:

一P型晶体管, 设置于上述孤立第一硅层表面; 以及

25 一N型晶体管, 设置于上述孤立第二硅层表面。

17. 根据权利要求15所述的具有多方位的绝缘层上覆硅芯片, 其特征在

于：上述孤立第一硅层与上述孤立第二硅层分别具有不相同的厚度。

18. 根据权利要求 15 所述的具有多方位的绝缘层上覆硅芯片，其特征在于：上述孤立第一硅层上述孤立第二硅层具有钝化或圆化的角落。

19. 根据权利要求 15 所述的具有多方位的绝缘层上覆硅芯片，其特征在于：
5 于：上述绝缘层至少包括：一结晶层，设置于上述绝缘层与上述第一硅层或上述第二硅层之间的界面处。

具有多方位的绝缘层上覆硅芯片

5 技术领域

本实用新型是有关于一种绝缘层上覆硅的芯片，且特别是有关于一种表面具有多种不同方位孤立硅层的绝缘层上覆硅芯片。

10 背景技术

互补式金属氧化物半导体 (complementary metal-oxide-semiconductor; CMOS) 是目前超大集成电路 (ultra-large scale integrated) 的主流。而传统上，互补式金属氧化物半导体 (CMOS) 是以晶体结构为 (100) 的硅材质作为基底，换句话说，CMOS 常用的该硅基底的垂直其表面的方向为 [100]。因此，习知平面金氧半场效晶体管 (metal-oxide-semiconductor field-effect transistors; MOSFETs) 是形成于 (100) 硅表面，并且在硅基底的 (100) 平面上形成有栅极介电层，以硅基底的 (100) 平面做为沟道。

由于 (100) 硅具有以下几个优点，所以适合用来做为半导体基底。第一，相较于其它结晶面，例如 (110) 和 (111) 平面，(100) 平面具有较低的表面状态密度 (surface state density)。第二，(100) 平面具有较高的表面电子迁移率 (surface mobility of electron)，可参见期刊 Physical Review 的第 4 期第 6 号第 1956 页的图 2 “mobility anisotropy of electron in inversion layers in oxidized silicon surfaces”，所以，将 N 型晶体管 (N-channel transistor) 制作于 (100) 硅表面，将可以使汲极 / 源极之间的电流 (source-to-drain current) 增加到最大。第三，使用 (100) 硅，将有利于后续将晶圆切割成一块块的芯片。然而，当 P 型晶体管制作于 (100) 硅表面时，

相较于制作于其它晶面上，P型晶体管的电洞迁移率却是最低的。

晶体管尺寸的减小，对于操作速度、电流密度以及价格方面提供了有效的改善。但是当组件尺寸小于100nm以下，必须面临相当多的问题。因此，无人尝试以改良应变感应带结构(strain-induced band -structure)以及提升迁移率的方式以增加晶体管的驱动电流。另外，以非传统的结晶方位材质做为半导体基板的方式，亦极具有发展潜力。

M. Kinugawa 等人的美国专利第 4857986 号揭示一种 (110) 晶体平面上的短信道互补金属氧化半导体(short channel CMOS on (110) crystal plane)，即在(110)硅单晶平面上形成CMOS。

10 S. Yamazaki 等人的美国专利第 6335231 号揭示一种高可靠度绝缘层上覆硅基板的制作方法(method of fabricating a high reliable SOI substrate)，其绝缘层上覆硅基板的主要表面便是(110)方位。

另外，美国专利第 4857986 号与第 6335231 号皆是利用在表面为(110)方位的硅基板上制作N型或P型沟道平面晶体管，并且，两者之间夹设一栅极介电层于(110)表面上。

一般说来，在(100)平面上的电子迁移率较(110)平面为佳。美国专利第 4857986 号曾揭示制作于(100)与(110)基板的短沟道N型晶体管会具有相似的驱动电流。然而，从最近的实验结果中发现，美国专利第 4857986 号的论点与实验结果不相符合，实验结果显示制作于(110)硅基板的CMOS具有较差的性能。

M. Aoki 等人的美国专利第 4768076 号揭示一种利用再结晶方法制备不同晶体平面的 CMOS(recrystallized CMOS with different crystal planes)，NMOS形成于(100)平面，而PMOS则形成于(110)平面，将COMS整合芯片堆栈制作于具(110)或(023)平面的半导体基底上，以增加操作速度，然而，该堆栈半导体组件的制作相当困难。

L. Forbes 等人的美国专利第 6483171 号揭示一种沿着高阶方位切割基

板并且制作垂直深次微米 N 型或 P 型晶体管于该基板的 (110)、(111)、(311)、或 (511) 表面的方法, 有别于习知的平面晶体管, L. Forbes 等人将汲极/源极制作于垂直晶圆表面的方向, 并具有侧壁栅极层或背向栅极, 然而, 该方法的制作难度亦相当高。

5 S. Yoshikawa 等人的美国专利第 5384473 号”semiconductor body having element formation surfaces with different orientations”, 利用将两块不同结晶平面 ((100) 与 (110)) 的基板结合为一, 再将 N 型沟道晶体管制作于 (100) 面上, 且将 P 型沟道晶体管制作于 (110) 面上。

M. Hasegawa 等人的美国专利第 4933298 号揭示一种制作高速度的绝缘层上覆硅的半导体组件 (method of making high speed semiconductor device having a silicon-on-insulator substrate), 利用一 (110) 硅基板与一 (100) 硅层制作绝缘层上覆硅基板, 在绝缘层上形成一开口以露出 (110) 面, 再于 (110) 面上形成 (110) 硅层, 然而, 固相磊晶 (solid phase epitaxial) 成长速度相当缓慢, 需耗费相当多的制程时间。

15 为了大幅提升晶体的操作速度, 符合 P 型晶体管在 (110) 硅表面有最大电洞迁移率以及 N 型晶体管在 (100) 硅表面有最大电子迁移率的精神, 此外还配合半导体基板演进为绝缘层上覆硅 (silicon on insulator; SOI) 的趋势, 吾人积极研究一种新的半导体组件结构。

20 发明内容

有鉴于此, 为了解决上述问题, 本实用新型主要目的在于提供一种具有多方位的绝缘层上覆硅芯片。

本实用新型的主要目的在于提供一种具有多方位的绝缘层上覆硅芯片, 25 利用在绝缘层上覆硅基底表面形成多种不同方位的结晶面, 使 P 型与 N 型晶体管可分别设置于适当的方位结晶面, 例如: P 型晶体管形成于 (110) 面上方

且N型晶体管形成于(100)面上方, 以大幅提升整个芯片的操作速度。

本实用新型的主要特征在于在单一绝缘层上覆硅芯片上形成有多种不同方位的孤立硅层, 并且将P型晶体管设置于表面方位为(110)的孤立硅层上方, 将N型晶体管设置于表面方位为(100)的孤立硅层上方。如此一来, P
5 型晶体管会具有良好的电洞迁移率, N型晶体管会具有良好的电子迁移率。

为获致上述的目的, 本实用新型提出一种具有多方位的绝缘层上覆硅芯片, 主要是包括: 一硅基底、设置于上述硅基底表面的一绝缘层、设置于上述绝缘层的部分表面的一孤立第一硅层以及设置于上述绝缘层的部分表面的一孤立第二硅层。上述绝缘层。上述孤立第一硅层的表面具有一第一方位,
10 且上述孤立第二硅层的表面具有一第二方位。

根据本实用新型, 该具有多方位的绝缘层上覆硅芯片更包括: 设置于上述孤立第一硅层表面的一第一型晶体管与设置于上述孤立第二硅层表面的一第二型晶体管。

根据本实用新型的一种实施样态, 上述第一方位为(110), 上述第一型
15 晶体管则为P型沟道晶体管。上述第二方位为(100), 上述第二型晶体管则为N型沟道晶体管。

根据本实用新型的另一种实施样态, 上述第一方位为(023), 上述第一型晶体管则为P型沟道晶体管。上述第二方位为(100), 第二型晶体管则为N型沟道晶体管。

20 如前所述, 上述孤立第一硅层与上述孤立第二硅层皆分别可以由多层不同方位的堆栈层所构成。上述孤立第一硅层的堆栈层至少包括: 一(100)层以及设置于上述(100)层表面的一(110)层。上述(110)层的厚度大体为10-500Å。另外, 上述孤立第二硅层的堆栈层至少包括: 设置于表面的一(100)层。

25 如前所述, 上述孤立第一硅层的厚度大体为10-1000Å, 而上述孤立第二硅层的厚度分别大体为10-1000Å。其中, 上述孤立第一硅层与上述孤立

第二硅层分别具有不相同的厚度。

如前所述,上述孤立第一硅层与上述孤立第二硅层可以具有钝化或圆化的角落(corner)。

如前所述,上述绝缘层可为一介电材质(dielectric material),也可
5 为结晶性材质(crystalline material),或是至少包括:一结晶层,设置于
上述绝缘层与上述第一硅层或上述第二硅层之间的界面处。上述绝缘层例如
为氧化硅或氧化铝。

又,本实用新型也提出一种具有多方位的绝缘层上覆硅芯片,主要是包
括:一硅基底、设置于上述硅基底表面的一绝缘层、设置于上述绝缘层的部
10 分表面的一孤立第一硅层以及设置于上述绝缘层的部分表面的一孤立第二
硅层。上述第一硅层具有(110)表面,并且上述第二硅层具有(100)表面。

附图说明

15 图 1A 至图 1D 是分别显示根据本实用新型的具有多方位的绝缘层上覆硅
芯片的不同较佳实施例的结构剖面图。

图 2 是显示根据本实用新型的具有多方位的绝缘层上覆硅芯片的一较佳
实施例的部分结构立体图。

图 3A 至图 3E 是分别显示根据本实用新型的具有多方位的绝缘层上覆硅
20 芯片的制作方法的一较佳实施例的制程剖面图。

图 4A 至图 4F 是分别显示根据本实用新型的具有多方位的绝缘层上覆硅
芯片的制作方法的另一较佳实施例的制程剖面图。

图 5A 至图 5E 是分别显示根据本实用新型的具有多方位的绝缘层上覆硅
芯片的制作方法的另一较佳实施例的制程剖面图。

25 图 6A 至图 6F 是分别显示根据本实用新型的具有多方位的绝缘层上覆硅
芯片的制作方法的另一较佳实施例的制程剖面图。

图 7A 至图 7F 是分别显示根据本实用新型的具有多方位的绝缘层上覆硅芯片的制作方法的另一较佳实施例的制程剖面图。

符号说明:

- 100、300、400、500、600、700-硅基底;
- 5 102、302、402、502、602、702-绝缘层;
- 104、314、404a、506b、606b、704b -孤立第一硅层;
- 106、311、510a、614、708a-孤立第二硅层;
- (h, k, l)-第一方位;
- (h', k', l')-第二方位;
- 10 120-(100)层;
- t1-孤立第一硅层的厚度;
- t2-孤立第二硅层的厚度;
- 112、326、414、526、622、714-第一型晶体管;
- 118、320、420、520、628、720-第二型晶体管;
- 15 108、114、316、322、410、416、522、516、618、624、710、716-栅极介电层;
- 110、116、318、324、412、418、524、518、620、626、710、716-栅极层;
- 105-孤立硅层;
- 20 304、404、506、606、704-第一硅层;
- 306、408、508、608-光阻层;
- S300、S600-离子布植程序;
- 308-非晶质硅层;
- 310、406、510、612、708-第二硅层;
- 25 406a-残留第二硅层;
- 408-孤立堆栈的第一硅层与第二硅层;

504、604-硅层；
506a、606a、704a-残留第一硅层；
610-非晶质硅层；
612a-残留硅层。

5

具体实施方式

为使本实用新型的上述目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附图式，作详细说明如下：

10 以下请配合参考图 1A 至图 1D 的结构剖面图以及图 2 的部分结构立体图，说明根据本实用新型的较佳实施例。

请参照图 1A，本实用新型的具有多方位的绝缘层上覆硅芯片，主要可包括：一硅基底 100、一绝缘层 102、一孤立第一硅层 104 以及一孤立第二硅层 106。

15 绝缘层 102 设置于硅基底 100 表面，其材质例如为一介电材质 (dielectric material)，例如氧化硅或氧化铝，并且绝缘层 102 可以整个材质皆为结晶性材质 (crystalline material)，或是至少包括一结晶层，使结晶层设置于绝缘层 102 与孤立第一硅层 104 或孤立第二硅层 106 之间的界面处。

20 孤立第一硅层 104 设置于绝缘层 102 的部分表面，且孤立第一硅层 104 的表面具有一第一方位 (h, k, l)。并且，孤立第二硅层 106 设置于绝缘层 102 的部分表面，且孤立第二硅层 106 的表面具有一第二方位 (h', k', l')。第一方位 (h, k, l) 与第二方位 (h', k', l') 相异，例如为 (100)、(023)、(311)、(511)、(111) 或任何其它的结晶方位。一较佳实施例为：
25 孤立第一硅层 104 的第一方位 (h, k, l) 为 (110)，则后续将可于孤立第一硅层 104 表面设置一 P 型沟道晶体管，至于孤立第二硅层 106 的第二方位 (h',

k' , l') 则为(100), 后续将可于孤立第二硅层 106 表面设置一 N 型沟道晶体管。另一较佳实施例为: 孤立第一硅层 104 的第一方位(h, k, l) 为(023), 则后续将可于孤立第一硅层 104 表面设置一 P 型沟道晶体管, 至于孤立第二硅层 106 的第二方位(h', k', l') 则为(100), 后续将可于孤立第二硅层 5 106 表面设置一 N 型沟道晶体管。

请参照图 1B, 孤立第一硅层 104 可由一整个连续结晶块材所构成, 则该结晶即为第一方位(h, k, l), 也可以由复数堆栈层所构成, 则堆栈层至少包括: 一(100)层 120 与一(110)层, 而(110)层 120 设置于(100)层上方, 即为孤立第一硅层 104 的顶层(top layer), 且(110)层的厚度大体为 10 10-500Å。另外, 孤立第二硅层 106 可由一整个连续结晶块材所构成, 则该结晶即为第二方位(h', k', l'), 也可以由复数堆栈层所构成, 则堆栈层至少包括一(100)层, 且设置于孤立第二硅层 106 的顶层。

请参照图 1C, 孤立第一硅层 104 的厚度 t_1 大体为 10-1000Å, 而孤立第二硅层 106 的厚度 t_2 分别大体为 10-1000Å。孤立第一硅层 104 的厚度 t_1 与 15 孤立第二硅层 106 的厚度 t_2 可不相同, 两者厚度的关系在此并不加以限制。再者, 孤立第一硅层 104 与孤立第二硅层 106 皆可以为复数, 而同样具有第一方位(h, k, l) 的各个孤立第一硅层 104 也可以具有不相同的厚度, 同样具有第二方位(h', k', l') 的各个孤立第二硅层 106 也可以具有不相同的厚度。

20 请参照图 1D, 孤立第一硅层 104 与孤立第二硅层 106 可以具有钝化或圆化的角落(corner), 以避免漏电流(leakage current)的产生。

请继续参考图 1A, 本实用新型的具有多方位的绝缘层上覆硅芯片, 更可包括: 一第一型晶体管 112 与一第二型晶体管 118。第一型晶体管 112 设置于孤立第一硅层 104 表面, 且第二型晶体管 118 设置于孤立第二硅层 106 表 25 面。第一型晶体管 112 可至少包括: 一栅极介电层 108、一栅极层 110 以及一汲极/源极(S/D), 第二型晶体管 118 可至少包括: 一栅极介电层 114、一栅极

层 116 以及一汲极/源极(S/D)，第一型晶体管 112 与第二型晶体管 118 例如为任何习知晶体管结构，在此并不加以赘述。特别注意的是，当孤立第一硅层 104 的第一方位(h, k, l)或孤立第二硅层 106 的第二方位(h', k', l')是为(110)时，设置于其上方的晶体管最好为 P 型晶体管，则设置于(110)上的 P 型晶体管会具有良好的电洞迁移率(mobility)，另外，当孤立第一硅层 104 的第一方位(h, k, l)或孤立第二硅层 106 的第二方位(h', k', l')是为(100)时，设置于其上方的晶体管最好为 N 型晶体管，则设置于(100)上的 N 型晶体管会具有良好的电子迁移率(mobility)。然而，P 型晶体管并不仅限于设置于(110)面上方，N 型晶体管并不仅限于设置于(100)面上方，皆可形成于其它方位面上方。

请参照图 2，是显示尚未形成晶体管的本实用新型的具有多方位的绝缘层上覆硅芯片。孤立硅层 104、105 与 106 皆可以为孤立第一硅层或孤立第二硅层，且孤立第一硅层与孤立第二硅层的数目可以为单数或复数，在此并不加以限制，只要符合本实用新型的主要精神，即单一绝缘层上覆硅芯片上具有各种不同方位的孤立硅层，而 P 型晶体管最好设置于表面为(110)方位的孤立硅层上方，N 型晶体管最好设置于表面为(100)方位的孤立硅层上方。

本实用新型的具有多方位的绝缘层上覆硅芯片，后续更可依据习知或任何半导体技术，视需要而设置内连导线，并且以介电材质隔离各层内连导线，更可以一保护层包覆整个芯片。

20

实施例 1

以下请参照图 3A 到图 3E，说明根据本实用新型的具有多方位的绝缘层上覆硅芯片的制作方法的一较佳实施例。

首先，请先参照图 3A，先提供一硅基底 300，再例如以适当的沉积法，例如化学气相沉积法(chemical vapor deposition; CVD)，形成一绝缘层 302 于硅基底 300 表面，以形成堆栈的硅基底 300 与绝缘层 302。绝缘层 302 的

25

材质例如为氧化铝或氧化硅。绝缘层 302 可以整个材质皆为结晶性材质 (crystalline material), 但至少表面为一结晶层, 使结晶层设置于绝缘层 302 与后续形成的硅层之间的界面处。然后, 再例如以适当的沉积法, 例如化学气相沉积法 (chemical vapor deposition; CVD), 形成一第一硅层 304 于绝缘层 302 表面, 其中第一硅层 302 表面具有一第一方位 (h, k, l)。第一硅层 304 可由一整个连续结晶块材所构成, 则该结晶即为第一方位 (h, k, l), 也可以由复数堆栈层所构成, 则堆栈层至少包括: 一 (100) 层与一 (110) 层, 而 (110) 层设置于 (100) 层上方, 即为第一硅层 104 的顶层, 且 (110) 层的厚度大体为 10-500Å。

接着, 请先参照图 3B, 先例如利用旋涂法 (spin coating) 形成一光阻层 306 于第一硅层 304 的特定区域表面, 然后, 以光阻层 306 为罩幕, 实施一离子布植程序 S300, 实行方法例如射线式离子布植 (beam-line ion implantation) 或浸入式电浆离子布植 (plasma immersion ion implantation; PIII), 例如以硅离子、锗离子或氩离子, 布植深度约为第一硅层 304 厚度的一半, 使受到离子布植 S300 的第一硅层 304 区域转变成一非晶质硅层 308。

接着, 请先参照图 3C, 例如于温度约为 500-600°C 进行一固相磊晶 (solid phase epitaxy) 程序, 使得非晶质硅层 308 区域, 以绝缘层 302 为做为晶种, 发生再结晶, 以形成表面具有一第二方位 (h', k', l') 的一第二硅层 310。绝缘层 302 可以为整个结晶性材质, 也可以由复数堆栈层所构成, 但至少表面为一结晶层, 则堆栈层至少包括一 (100) 层, 且设置于孤立第二硅层 106 的顶层。因此, 绝缘层 302 的一较佳实施例为氧化铝, 即蓝宝石 (sapphire), 另一较佳实施例为堆栈在一氧化硅材质上方的一蓝宝石层。其中, 第二方位 (h', k', l') 与第一方位 (h, k, l) 并不相同。较佳实施例为第一方位 (h, k, l) 是 (110), 第二方位 (h', k', l') 是 (100), 而绝缘层 302 表层为 (0, 1, -1, 2) 的蓝宝石设置于一氧化硅材质上方。然后去除光阻层

306。而第二硅层 310 的厚度 t_2 分别大体为 10-1000Å。第一硅层 104 的厚度与第二硅层 310 的厚度可以不相同，两者厚度的关系在此并不加以限制。

接着，请参照图 3D，再利用适当的光阻层做为遮蔽，选择性蚀刻第一硅层 304 与第二硅层 310，以分别将第一硅层 304 与第二硅层 310 形成一孤立
5 第一硅层 314 与孤立第二硅层 311。

最后，请参照图 3E，分别形成一第一型晶体管 326 于孤立第一硅层 314 上方与一第二型晶体管 320 于孤立第二层 311 上方。第一型晶体管 326 与第二型晶体管 320 可以为任何习知的晶体管结构，包括一栅极层 318、324 以及设置于栅极层 318、324 与孤立硅层(孤立第一硅层 314 与孤立第二硅层 311)
10 之间的一栅极介电层 316、322。较佳实施例为：当孤立第一硅层 314 表面的方位为(110)时，第一型晶体管 326 为 P 型晶体管，则可提升电洞迁移率，而当孤立第二硅层 311 表面的方位为(100)时，第二型晶体管 320 为 N 型晶体管，则可提升电子迁移率。其中，第一型晶体管 326 与第二型晶体管 320 可依据任何习知晶体管的制作方法而形成，并非本实用新型的主要重点，在
15 此并不加以赘述。最后再例如利用离子布植法形成一源极/汲极(S/D)于第一型晶体管 326 与第二型晶体管 320 两侧的基底内。

实施例 2

以下请参照图 4A 到图 4F，说明根据本实用新型的具有多方位的绝缘层
20 上覆硅芯片的制作方法的另一较佳实施例。

首先，请先参照图 4A，先提供一硅基底 400，再例如以适当的沉积法，例如化学气相沉积法(chemical vapor deposition; CVD)，形成一绝缘层 402 于硅基底 400 表面，以形成堆栈的硅基底 400 与绝缘层 402。绝缘层 402 的材质例如为氧化铝或氧化硅。绝缘层 402 可以整个材质皆为结晶性材质
25 (crystalline material)，但表面至少为一结晶层。然后，再例如以适当的沉积法，例如化学气相沉积法(chemical vapor deposition; CVD)，依序形

成一第一硅层 404 于绝缘层 402 表面以及依第二硅层 406 于第一硅层 404 表面，其中第一硅层 404 表面具有一第一方位 (h, k, l) 。第一硅层 404 可由一整个连续结晶块材所构成，则该结晶即为第一方位 (h, k, l) ，也可以由复数堆栈层所构成，则堆栈层至少包括：一(100)层与一(110)层，而(110)层设置于(100)层上方，即为第一硅层 404 的顶层，且(110)层的厚度大体为 10-500Å。同样的，第二硅层 406 表面具有一第一方位 (h', k', l') 。第二硅层 406 可由一整个连续结晶块材所构成，则该结晶即为第二方位 (h', k', l') ，也可以由复数堆栈层所构成，则堆栈层至少包括：一(100)层，设置于第二硅层 406 的顶层，且(100)层的厚度大体为 10-500Å。

接着，请先参照图 4B，先例如利用旋涂法 (spin coating) 形成一光阻层 408 于第二硅层 406 的特定区域表面。

然后，请先参照图 4C，以光阻层 408 为罩幕，实施一适当蚀刻程序，例如非等向性干蚀刻法，选择性蚀刻未被光阻层 408 所覆盖的第二硅层 406，以去除部分第二硅层 406，露出部分第一硅层 404 表面，且留下部分第二硅层 406a。

接着，请先参照图 4D，以适当溶液去除光阻层 408。

接着，请先参照图 4E，再以适当的选择性蚀刻去除部分第一硅层 404 与部分残留第二硅层 406a，以于露出第一硅层 404 的区域形成一孤立第一硅层 404a，且于残留第二硅层 406a 的区域形成一孤立堆栈的第一硅层与第二硅层 408。

最后，请参照图 4F，分别形成一第一型晶体管 414 于孤立第一硅层 404a 上方与一第二型晶体管 420 于孤立堆栈的第一硅层与第二硅层 408 上方。第一型晶体管 414 与第二型晶体管 420 可以为任何习知的晶体管结构，包括一栅极层 412、418 以及设置于栅极层 412、418 与孤立硅层 (孤立第一硅层 404a 与孤立堆栈的第一硅层与第二硅层 408) 之间的一栅极介电层 410、416。较佳实施例为：当孤立第一硅层 404a 表面的方位为(110)时，第一型晶体管 414

为 P 型晶体管，则可提升电洞迁移率，而当孤立堆栈的第一硅层与第二硅层 408 的表面的方位为 (100) 时，第二型晶体管 420 为 N 型晶体管，则可提升电子迁移率。其中，第一型晶体管 414 与第二型晶体管 420 可依据任何习知晶体管的制作方法而形成，并非本实用新型的主要重点，在此并不加以赘述。

5 最后再例如利用离子布植法形成一源极/汲极 (S/D) 于第一型晶体管 414 与第二型晶体管 420 两侧的基底内。

实施例 3

以下请参照图 5A 到图 5E，说明根据本实用新型的具有多方位的绝缘层
10 上覆硅芯片的制作方法的一较佳实施例。

首先，请先参照图 5A，先提供一硅基底 500，再例如以适当的沉积法，例如化学气相沉积法 (chemical vapor deposition; CVD)，形成一绝缘层 502 于硅基底 500 表面，以形成堆栈的硅基底 500 与绝缘层 502。绝缘层 502 的材质例如为氧化铝或氧化硅。绝缘层 502 可以整个材质皆为结晶性材质
15 (crystalline material)，但表面至少为一结晶层，使结晶层设置于绝缘层 502 与后续形成的硅层之间的界面处。然后，再例如以适当的沉积法，例如化学气相沉积法 (CVD)，形成一硅层 504 于绝缘层 502 表面。然后，同样地，再例如以适当的沉积法，例如化学气相沉积法 (CVD)，形成一第一硅层 506 于硅层 504 表面，其中第一硅层 506 表面具有一第一方位 (h, k, l)。第一硅层 506 可由一整个连续结晶块材所构成，则该结晶即为第一方位 (h, k, l)，也可以由复数堆栈层所构成，则堆栈层至少包括：一 (100) 层与一 (110) 层，(110) 层设置于 (100) 层上方，即为第一硅层 506 的顶层，且 (110) 层的厚度大体为 10-500Å。

接着，请先参照图 5B，先例如利用旋涂法 (spin coating) 形成一光阻层
25 508 于第一硅层 506 的特定区域表面，然后，以光阻层 508 为罩幕，实施一适当蚀刻程序，例如非等向性干蚀刻法，选择性蚀刻未被光阻层 508 所覆盖

的第一硅层 506，以去除部分第一硅层 506，露出部分硅层 504 表面，且留下部分第一硅层 506a。

接着，请先参照图 5C，例如于温度约为 500-900°C 进行一选择性磊晶成长(selective epitaxy growth)程序，例如以化学气相沉积法(CVD)进行，
5 以硅烷(silane)和氯化氢(hydrogen chloride)作为前驱物，于硅层 504 上方形成表面具有一第二方位(h' , k' , l')的一第二硅层 510，其中预先形成的硅层 504 可先形成表面具有一第二方位(h' , k' , l')，硅层 504 可由一整个连续结晶块材所构成，则该结晶即为第二方位(h' , k' , l')，也可以由复数堆栈层所构成，则堆栈层至少包括：一(100)层，设置硅层 504 的顶
10 层，且(100)层的厚度大体为 10-500Å。并且，第二硅层 510 可以为整个结晶性材质所构成，则该结晶即为第二方位(h' , k' , l')，也可以由复数堆栈层所构成，则堆栈层至少包括：一(100)层，设置第二硅层 510 的顶层，且(100)层的厚度大体为 10-500Å。第一方位(h , k , l)与第二方位(h' , k' , l')相异。而残留第一硅层 506a 与第二硅层 510 的厚度分别大体为
15 10-1000Å。残留第一硅层 506a 与第二硅层 510 的厚度可以不相同，两者厚度的关系在此并不加以限制。

接着，请参照图 5D，先以适当溶液去除光阻层 508 后，再利用其它适当的光阻层做为遮蔽，选择性蚀刻残留第一硅层 506a 与第二硅层 510，以分别
20 将残留第一硅层 506a 与第二硅层 510 形成堆栈于残留硅层 504a 上方的一孤立第一硅层 506b 与一孤立第二硅层 510a。

最后，请参照图 5E，分别形成一第一型晶体管 526 于孤立第一硅层 506b 上方与一第二型晶体管 520 于孤立第二层 510a 上方。第一型晶体管 526 与第二型晶体管 520 可以为任何习知的晶体管结构，包括一栅极层 524、518 以及设置于栅极层 524、518 与孤立硅层(孤立第一硅层 506b 与孤立第二硅
25 层 510a)之间的一栅极介电层 522、516。较佳实施例为：当孤立第一硅层 506b 表面的方位为(110)时，第一型晶体管 526 为 P 型晶体管，则可提升电洞迁

移率，而当孤立第二硅层 510a 表面的方位为 (100) 时，第二型晶体管 520 为 N 型晶体管，则可提升电子迁移率。其中，第一型晶体管 526 与第二型晶体管 520 可依据任何习知晶体管的制作方法而形成，并非本实用新型的主要重点，在此并不加以赘述。最后再例如利用离子布植法形成一源极/汲极 (S/D) 于第一型晶体管 526 与第二型晶体管 520 两侧的基底内。

实施例 4

以下请参照图 6A 到图 6F，说明根据本实用新型的具有多方位的绝缘层上覆硅芯片的制作方法的一较佳实施例。

首先，请先参照图 6A，先提供一硅基底 600，再例如以适当的沉积法，例如化学气相沉积法 (chemical vapor deposition; CVD)，形成一绝缘层 602 于硅基底 600 表面，以形成堆栈的硅基底 600 与绝缘层 602。绝缘层 602 的材质例如为氧化铝或氧化硅。绝缘层 602 可以整个材质皆为结晶性材质 (crystalline material)，但表面至少为一结晶层，使结晶层设置于绝缘层 602 与后续形成的硅层之间的界面处。然后，再例如以适当的沉积法，例如化学气相沉积法 (chemical vapor deposition; CVD)，形成一硅层 604 于绝缘层 602 表面。接着，再例如以适当的沉积法，例如化学气相沉积法 (chemical vapor deposition; CVD)，形成一第一硅层 606 于硅层 604 表面，其中第一硅层 606 表面具有一第一方位 (h, k, l)，第一硅层 606 可由一整个连续结晶块材所构成，则该结晶即为第一方位 (h, k, l)，也可以由复数堆栈层所构成，则堆栈层至少包括：一 (100) 层与一 (110) 层，而 (110) 层设置于 (100) 层上方，即 (110) 层为第一硅层 606 的顶层，且 (110) 层的厚度大体为 10-500Å。

接着，请先参照图 6B，先例如利用旋涂法 (spin coating) 形成一光阻层 608 于第一硅层 606 的特定区域表面。

然后，请先参照图 6C，以光阻层 608 为罩幕，实施一离子布植程序 S600，

实行方法例如射线式离子布植 (beam-line ion implantation) 或浸入式电浆离子布植 (plasma immersion ion implantation; PIII), 例如以硅离子、锗离子或氩离子, 布植深度可能大于第一硅层 606, 也就是第一硅层 606 下方的硅层 604 也可能被施以离子布植 S600, 如此一来, 受到离子布植 S600 5 的区域会转变形成一非晶质硅层 610。

接着, 请先参照图 6D, 例如于温度约为 500-600°C 进行一固相磊晶 (solid phase epitaxy) 程序, 使得非晶质硅层 610 区域, 以其下方的硅层 604 为做为晶种, 发生再结晶, 以形成表面具有一第二方位 (h' , k' , l') 的结晶层, 则结晶层与其下方的硅层 604 共同形成一第二硅层 612, 其中预先形成的硅层 604 表面可先形成一第二方位 (h' , k' , l'), 硅层 604 可由一整个连续 10 结晶块材所构成, 则该结晶即为第二方位 (h' , k' , l'), 也可以由复数堆栈层所构成, 则堆栈层至少包括: 一 (100) 层设置于硅层 604 上方, 且 (100) 层的厚度大体为 10-500Å。如此一来, 以硅层 604 为晶种而在结晶所形成的第二硅层 612, 也会具有一第二方位 (h' , k' , l')。其中, 第二方位 (h' , 15 k' , l') 与第一方位 (h , k , l) 并不相同。较佳实施例为第一方位 (h , k , l) 是 (110), 第二方位 (h' , k' , l') 是 (100)。然后, 去除光阻层 608。而第一硅层 606a 与第二硅层 612 的厚度分别大体为 10-1000Å。第一硅层 606a 的厚度与第二硅层 612 的厚度可以不相同, 两者厚度的关系在此并不加以限制。

20 接着, 请参照图 6E, 再利用适当的光阻层做为遮蔽, 选择性蚀刻第一硅层 606a 与第二硅层 612, 以分别将第一硅层 606a 与第二硅层 612 形成堆栈于残留硅层 612a 表面的一孤立第一硅层 606b 与孤立第二硅层 614。

最后, 请参照图 6F, 分别形成一第一型晶体管 622 于孤立第一硅层 606b 上方与一第二型晶体管 628 于孤立第二层 614 上方。第一型晶体管 622 与第二型晶体管 628 可以为任何习知的晶体管结构, 包括一栅极层 620、626 以 25 及设置于栅极层 620、626 与孤立硅层 (孤立第一硅层 606b 与孤立第二硅层

614)之间的一栅极介电层 618、624。较佳实施例为:当孤立第一硅层 606b 表面的方位为(110)时,第一型晶体管 622 为 P 型晶体管,则可提升电洞迁移率,而当孤立第二硅层 614 表面的方位为(100)时,第二型晶体管 628 为 N 型晶体管,则可提升电子迁移率。其中,第一型晶体管 622 与第二型晶体管 5 628 可依据任何习知晶体管的制作方法而形成,并非本实用新型的主要重点,在此并不加以赘述。最后再例如利用离子布植法形成一源极/汲极(S/D)于第一型晶体管 622 与第二型晶体管 628 两侧的基底内。

实施例 5

10 以下请参照图 7A 到图 7F,说明根据本实用新型的具有多方位的绝缘层上覆硅芯片的制作方法的一较佳实施例。

首先,请先参照图 7A,先提供一硅基底 700,再例如以适当的沉积法,例如化学气相沉积法(chemical vapor deposition; CVD),形成一绝缘层 702 于硅基底 700 表面,以形成堆栈的硅基底 700 与绝缘层 702。绝缘层 702 的 15 材质例如为氧化铝或氧化硅。绝缘层 702 可以整个材质皆为结晶性材质(crystalline material),也可以由复数堆栈层所构成,至少包括一结晶层,使结晶层设置于绝缘层 702 与后续形成的硅层之间的界面处,结晶层例如为一(100)层。然后,再例如以适当的沉积法,例如化学气相沉积法(chemical vapor deposition; CVD),形成一第一硅层 704 于绝缘层 702 表面。其中第 20 一硅层 704 表面具有一第一方位(h, k, l),第一硅层 704 可由一整个连续结晶块材所构成,则该结晶即为第一方位(h, k, l),也可以由复数堆栈层所构成,则堆栈层至少包括:一(100)层与一(110)层,而(110)层设置于(100)层上方,即(110)层为第一硅层 704 的顶层,且(110)层的厚度大体为 10-500Å。

25 接着,请先参照图 7B,先例如利用旋涂法(spin coating)形成一光阻层 706 于第一硅层 704 的特定区域表面。然后,以适当蚀刻程序,例如非等向

性干蚀刻,选择性蚀刻未被光阻层所遮蔽的第一硅层 704,以露出绝缘层 702 表面,留下残留第一硅层 704a。

然后,请先参照图 7C,例如于温度约为 500-600°C 进行一磊晶成长程序,例如以化学气相沉积法 (CVD) 进行,以形成一第二硅层 708,第二硅层 708 表面具有一第二方位 (h' , k' , l'),第二硅层 708 可由一整个连续结晶块材所构成,则该结晶即为第二方位 (h' , k' , l'),也可以由复数堆栈层所构成,则堆栈层至少包括:一 (100) 层设置于第二硅层 708 的顶层,且 (110) 层的厚度大体为 10-500Å。其中,第二方位 (h' , k' , l') 与第一方位 (h , k , l) 并不相同。较佳实施例为第一方位 (h , k , l) 是 (110),第二方位 (h' , k' , l') 是 (100)。

然后,请先参照图 7D,例如以适当溶液去除光阻层 706。残留第一硅层 704a 与第二硅层 708 的厚度分别大体为 10-1000Å。第一硅层 704a 与第二硅层 708 的厚度可以不相同,两者厚度的关系在此并不加以限制。

接着,请参照图 7E,再利用适当的光阻层做为遮蔽,选择性蚀刻残留第一硅层 704a 与第二硅层 708,以分别将残留第一硅层 704a 与第二硅层 708 形成一孤立第一硅层 704b 与孤立第二硅层 708a。

最后,请参照图 7F,分别形成一第一型晶体管 714 于孤立第一硅层 704b 上方与一第二型晶体管 720 于孤立第二层 708a 上方。第一型晶体管 714 与第二型晶体管 720 可以为任何习知的晶体管结构,包括一栅极层 712、718 以及设置于栅极层 710、716 与孤立硅层 (孤立第一硅层 704b 与孤立第二硅层 708a) 之间的一栅极介电层 710、716。较佳实施例为:当孤立第一硅层 704b 表面的方位为 (110) 时,第一型晶体管 714 为 P 型晶体管,则可提升电洞迁移率,而当孤立第二硅层 708a 表面的方位为 (100) 时,第二型晶体管 720 为 N 型晶体管,则可提升电子迁移率。其中,第一型晶体管 714 与第二型晶体管 720 可依据任何习知晶体管的制作方法而形成,并非本实用新型的主要重点,在此并不加以赘述。最后再例如利用离子布植法形成一源极/汲极 (S/D)

于第一型晶体管 714 与第二型晶体管 720 两侧的基底内。

实用新型优点:

1. 根据本实用新型的具有多方位的绝缘层上覆硅芯片，可依需要将不同
5 类型的组件放在不同方位的表面，以发挥组件的最佳效能，例如可将 P 型晶体管设置于 (110) 面上方且将 N 型晶体管设置于 (100) 面上方，使同一芯片上的 P 型与 N 型晶体管皆具有最大的迁移率，如此，可以大幅提升整个芯片的操作速度。
2. 根据本实用新型的具有多方位的绝缘层上覆硅芯片的制作方法，提供
10 多种制作方法，皆可利用目前的半导体制程技术加以完成，方法简单，容易掌控，技术不复杂。

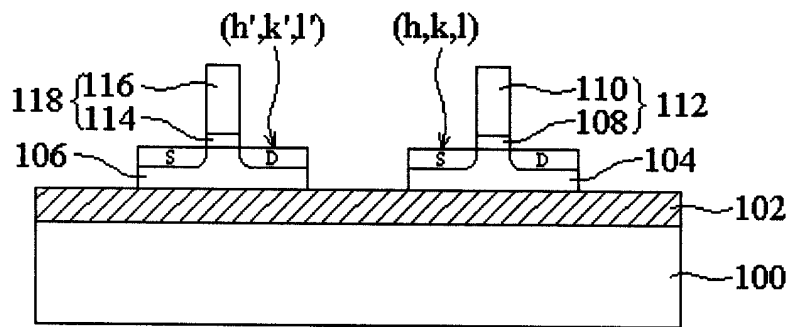


图 1A

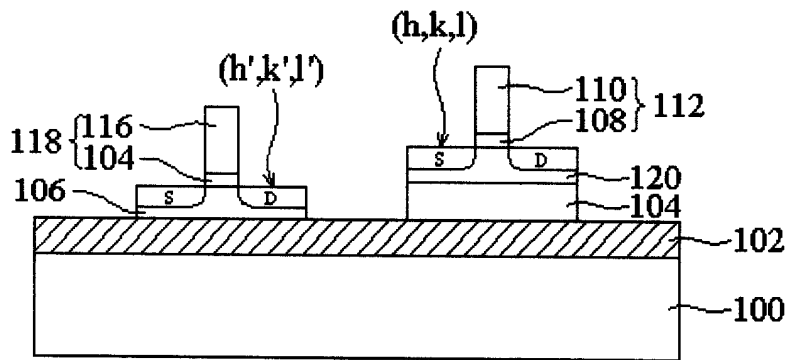


图 1B

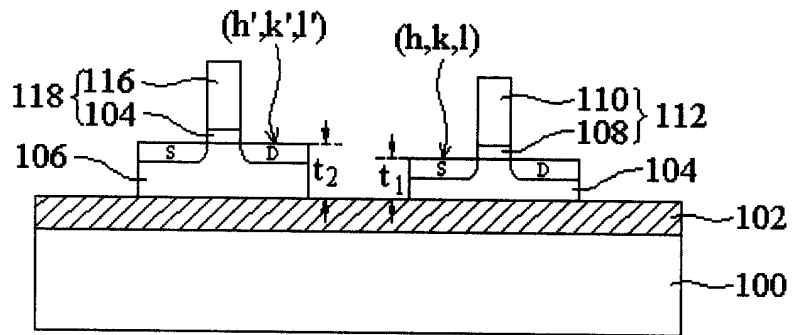


图 1C

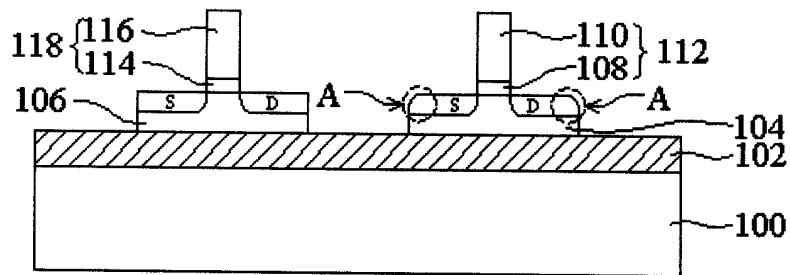


图 1D

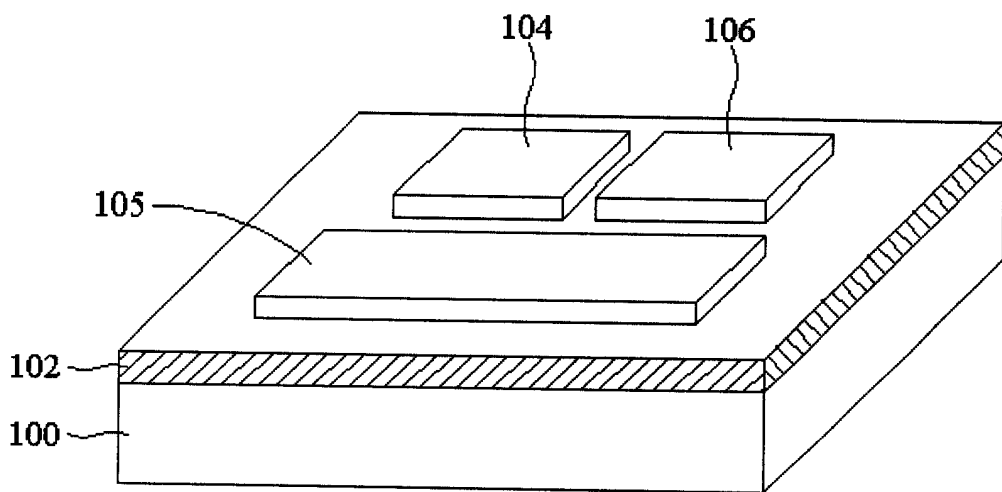


图 2

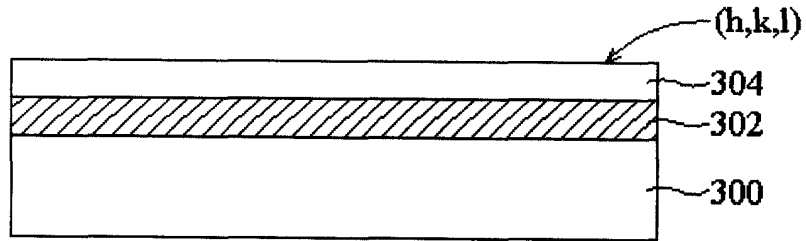


图 3A

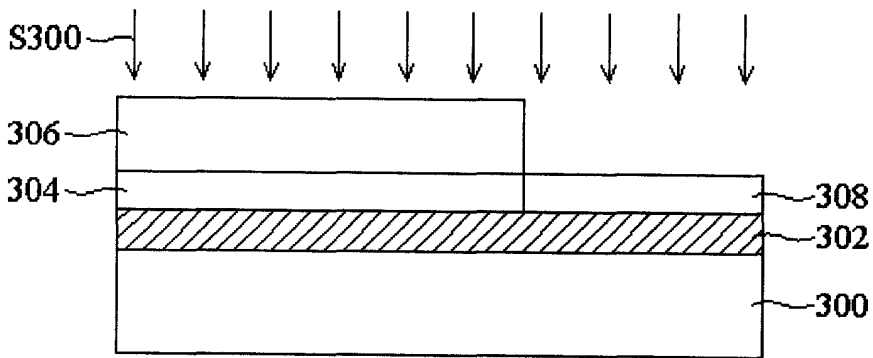


图 3B

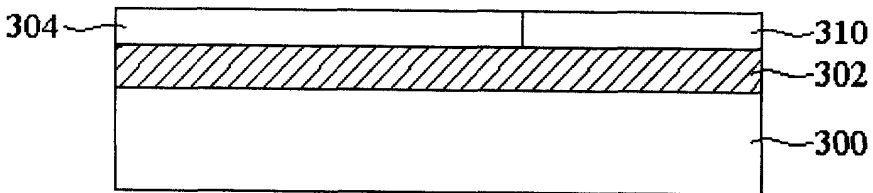


图 3C

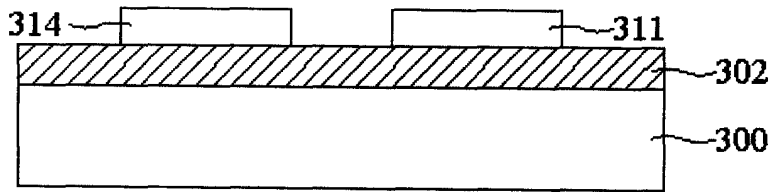


图 3D

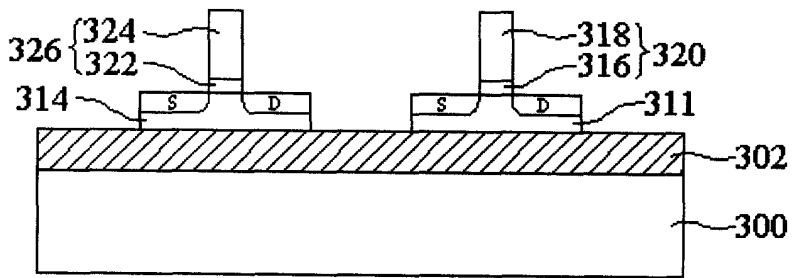


图 3E

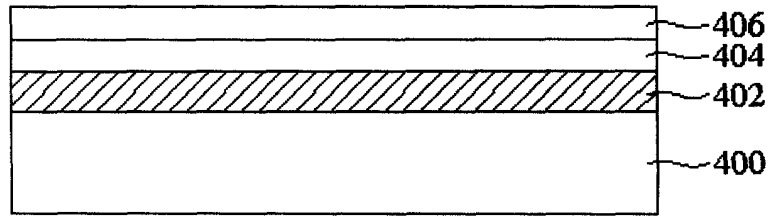


图 4A

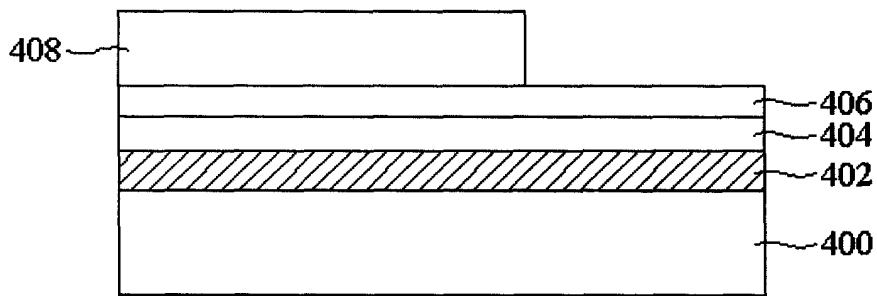


图 4B

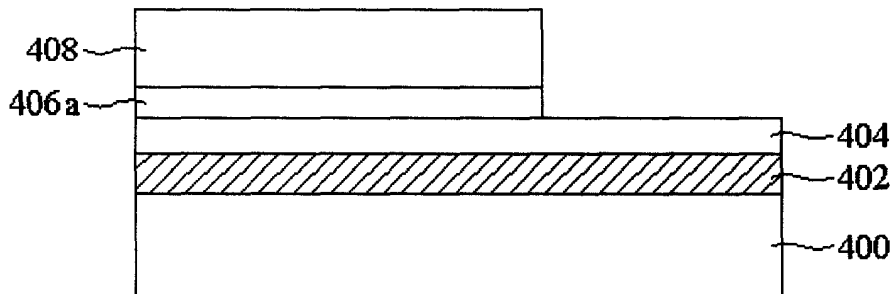


图 4C

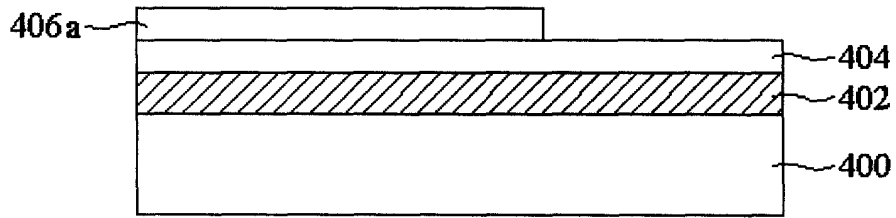


图 4D

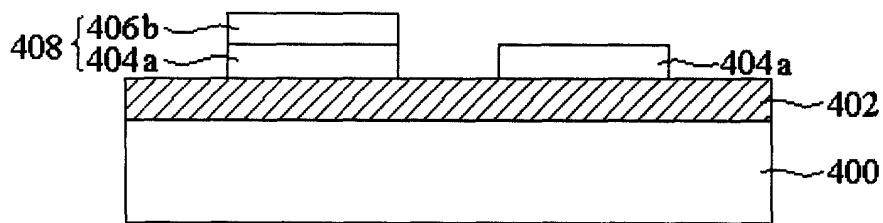


图 4E

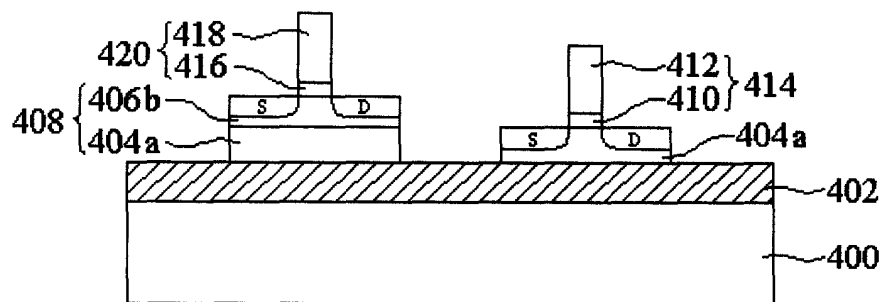


图 4F

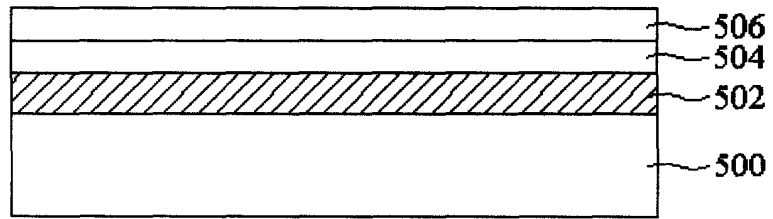


图 5A

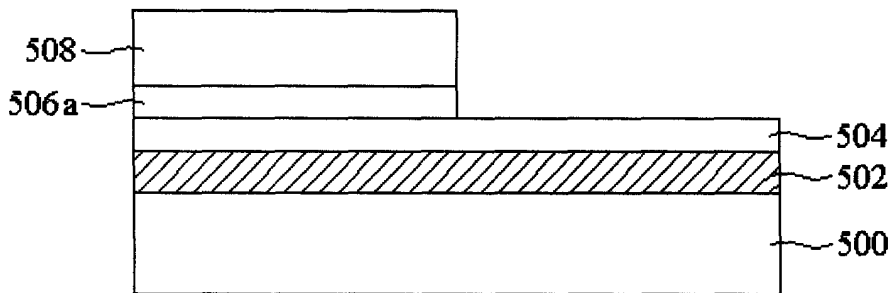


图 5B

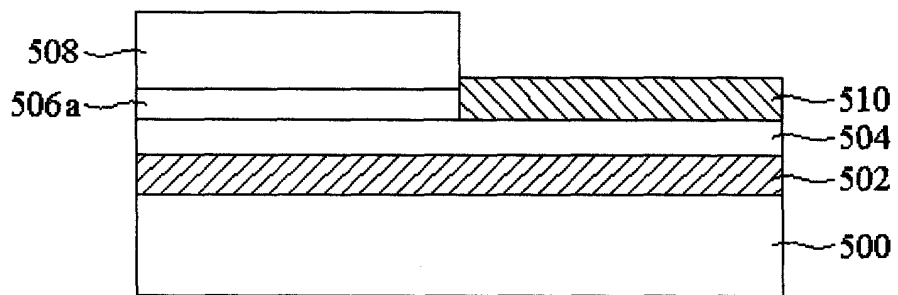


图 5C

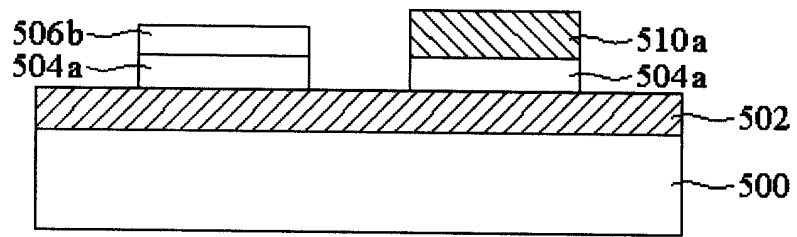


图 5D

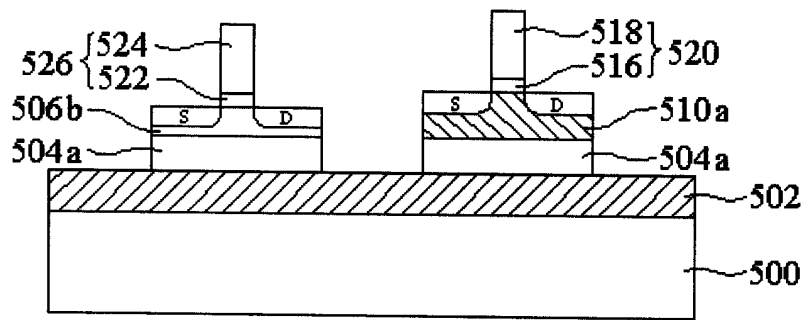


图 5E

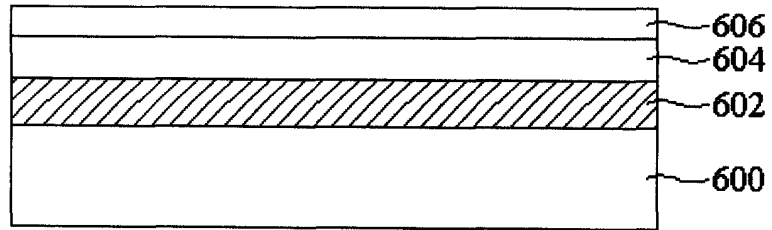


图 6A

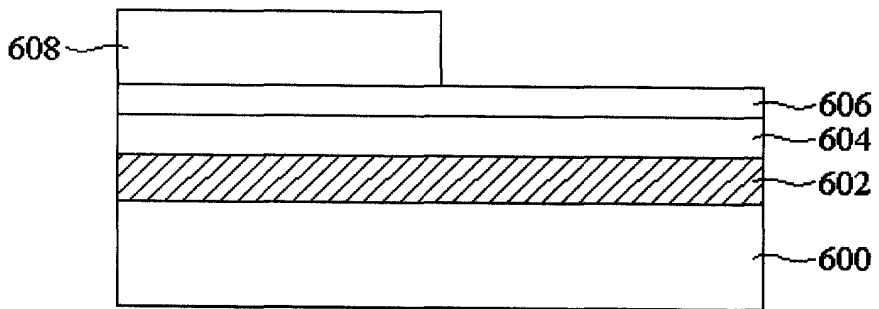


图 6B

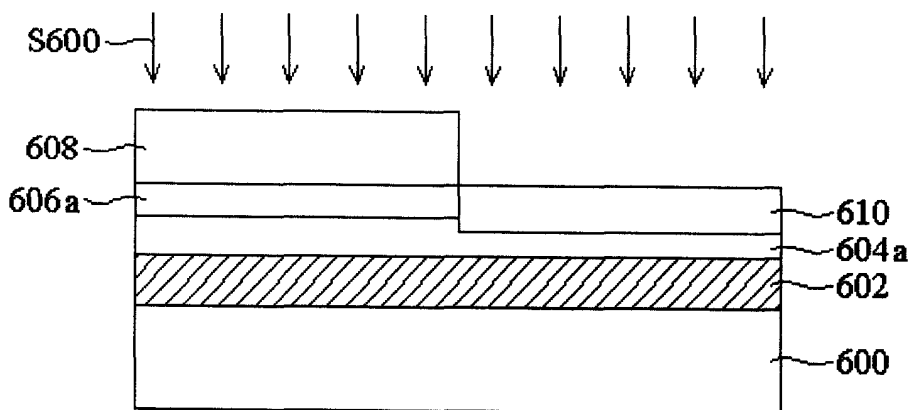


图 6C

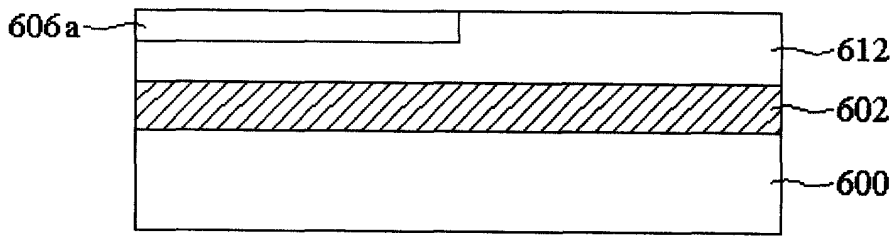


图 6D

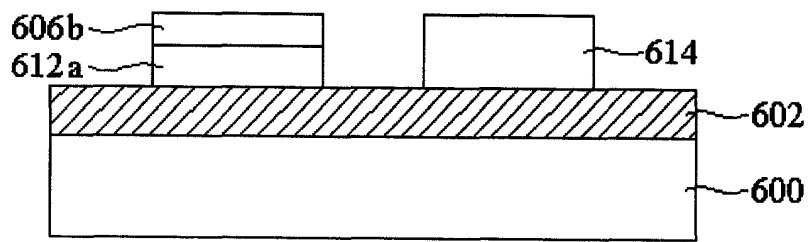


图 6E

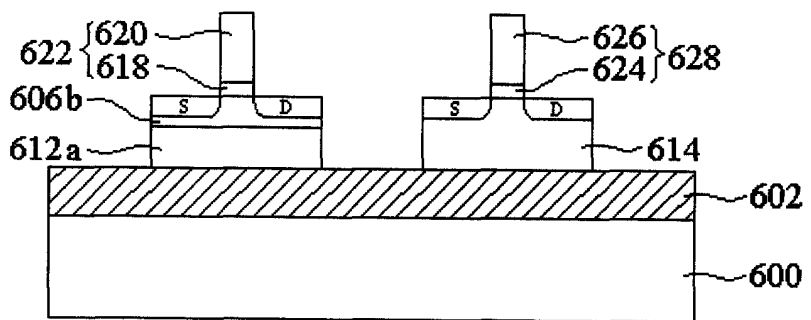


图 6F

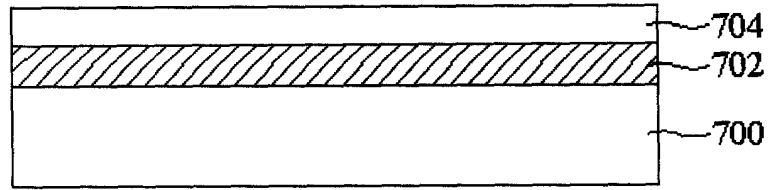


图 7A

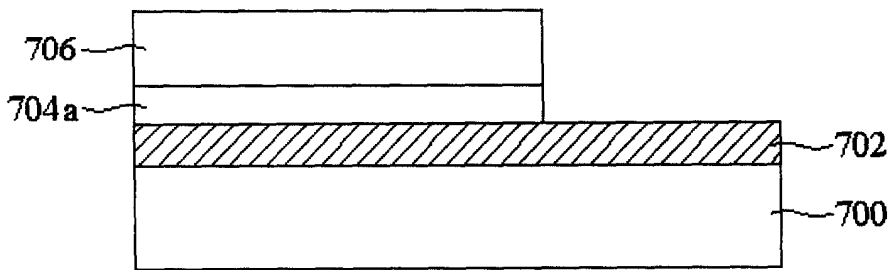


图 7B

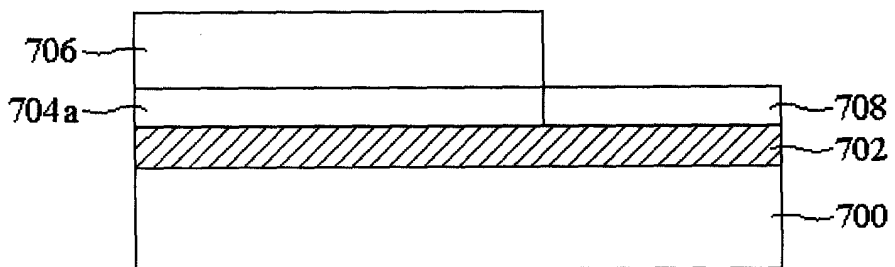


图 7C

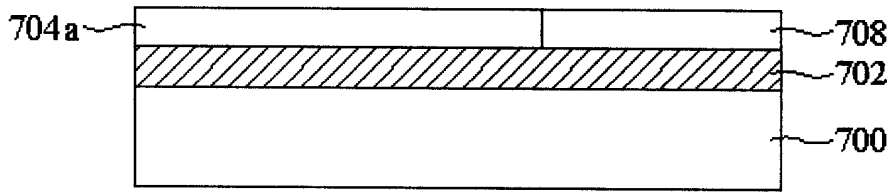


图 7D

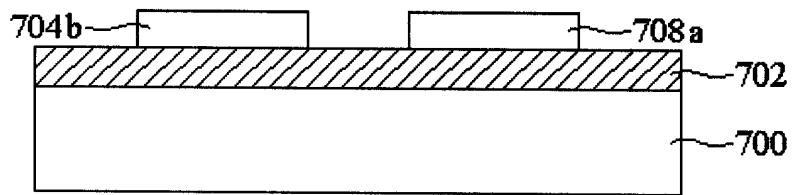


图 7E

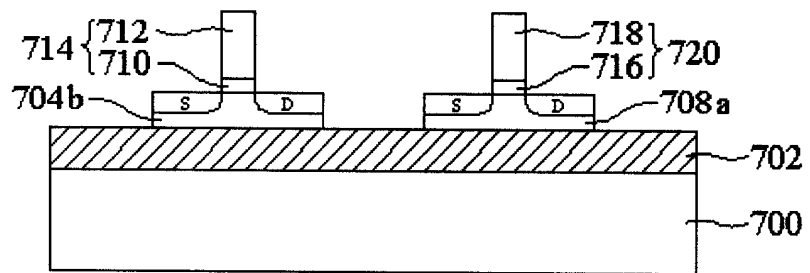


图 7F