

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610160429.2

[43] 公开日 2007 年 5 月 23 日

[11] 公开号 CN 1967850A

[22] 申请日 2006. 11. 15

[21] 申请号 200610160429.2

[30] 优先权

[32] 2005. 11. 15 [33] JP [31] 2005 - 329789

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 渡边哲也 一法师隆志

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 曾祥尧 刘宗杰

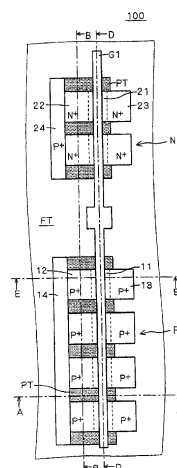
权利要求书 3 页 说明书 52 页 附图 99 页

[54] 发明名称

半导体装置

[57] 摘要

本发明提供可防止缺陷的发生和工作耐压的降低且不会在工作特性上产生偏差的半导体装置。PMOS 晶体管(P1)中,源极/漏极区沿栅极宽度方向分割成 4 份,形成具有 4 个独立的源极区(12)的排列和 4 个独立的漏极区(13)的排列的结构。在 4 个源极区(12)间,设置部分槽隔离绝缘膜(PT)以与相对的整个侧面连接,该部分槽隔离绝缘膜(PT)配置成沿沟道纵向横穿并分割栅极(G1)的下方形成的沟道区。设置以较高浓度含有 N 型杂质的本体固定区(14),以与源极区(12)的栅极(G1)的相反侧的侧面连接,形成从本体固定区(14)通过阱区(15)来固定本体区(11)的电位的结构。



1. 一种半导体装置，具备在SOI基板的SOI层上配置的MOS晶体管，其特征在于，

5 上述MOS晶体管具备：

 上述SOI层上隔着栅极绝缘膜配置的栅极；

 第1半导体区及第2半导体区，分别配置在上述栅极的栅极纵向的两侧面外部的上述SOI层的表面内；

10 第1部分槽隔离绝缘膜，沿栅极纵向横穿上述栅极下方的上述SOI层的表面内形成的沟道区，并沿栅极纵向横穿上述第1半导体区，将上述第1半导体区在栅极宽度方向上分割成多个；

 第3半导体区，设置为在上述第1半导体区侧中与上述第1槽隔离绝缘膜的与上述栅极成相反侧的侧面连接，并从上述SOI层的表面达到埋入氧化膜，

15 上述第1部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱区，

 上述第3半导体区以与上述阱区相同的导电型连接到上述阱区。

2. 权利要求1所述的半导体装置，其特征在于，

20 上述第3半导体区配置成与分割的上述第1半导体区的与上述栅极成相反侧的侧面连接，并与上述栅极平行地延伸。

3. 权利要求1所述的半导体装置，其特征在于，

 上述第3半导体区配置成与分割的上述第1半导体区的排列方向的侧面连接。

25 4. 权利要求2或权利要求3所述的半导体装置，其特征在于，

 上述第1部分槽隔离绝缘膜横穿上述沟道区，从上述栅极以规定长度在上述第2半导体区侧突出，

 用突出的上述第1部分槽隔离绝缘膜和与上述第1部分槽隔离绝

缘膜连续配置并贯通上述SOI层后达到上述埋入氧化膜的全槽隔离绝缘膜将上述第2半导体区在栅极宽度方向上分割成多个。

5. 权利要求4所述的半导体装置，其特征在于，

5 上述MOS晶体管还具备第2部分槽隔离绝缘膜，其配置成与上述第3半导体区的与上述栅极成相反侧的侧面连接，并与上述栅极平行地延伸，

上述第2部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱区。

6. 权利要求2或权利要求3所述的半导体装置，其特征在于，

10 上述第1部分槽隔离绝缘膜横穿上述沟道区，从上述栅极以规定长度在上述第2半导体区侧突出，

上述第2半导体区配置成包围突出的上述第1部分槽隔离绝缘膜。

7. 权利要求6所述的半导体装置，其特征在于，

15 上述MOS晶体管还具备第2部分槽隔离绝缘膜，其配置成与上述第3半导体区的与上述栅极成相反侧的侧面连接，并与上述栅极平行地延伸，

上述第2部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱区。

20 8. 权利要求2或权利要求3所述的半导体装置，其特征在于，

上述第1部分槽隔离绝缘膜配置成沿栅极纵向横穿上述第2半导体区，将上述第2半导体区在栅极宽度方向上分割成多个，

25 上述MOS晶体管还具备第2部分槽隔离绝缘膜，其配置成在上述第2半导体区侧中与分割的上述第2半导体区的与上述栅极成相反侧的侧面连接，并与上述栅极平行地延伸，

上述第2部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱区。

9. 权利要求8所述的半导体装置，其特征在于，

上述MOS晶体管还具备第2外周部分槽隔离绝缘膜，其配置成与上述第3半导体区的与上述栅极成相反侧的侧面连接，并与上述栅极平行地延伸，

5 上述第2外周部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱区。

10. 权利要求2或权利要求3所述的半导体装置，其特征在于，

上述第1部分槽隔离绝缘膜横穿上述沟道区，从上述栅极以规定长度在上述第2半导体区侧突出，

10 上述第2半导体区配置成包围突出的上述第1部分槽隔离绝缘膜，

上述MOS晶体管还具备第1外周部分槽隔离绝缘膜，其配置成在上述第2半导体区侧中与上述第2半导体区的与上述栅极成相反侧的侧面连接，并与上述栅极平行地延伸，

15 上述第1外周部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱区。

11. 权利要求10所述的半导体装置，其特征在于，

上述MOS晶体管还具备第2外周部分槽隔离绝缘膜，其配置成与上述第3半导体区的与上述栅极成相反侧的侧面连接，并与上述栅极平行地延伸，

20 上述第2外周部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱区。

25

半导体装置

5

技术领域

本发明涉及半导体装置，具体地说，涉及具有部分槽分离构造的半导体装置。

10

背景技术

在硅基板上配置有埋入氧化膜及SOI (Silicon On Insulator) 层的SOI基板上形成的SOI构造的半导体装置(以下，称为SOI装置)，可降低寄生电容，具有可高速稳定工作及低功耗的特征，用于便携设备等。

15

作为SOI装置的一例，有设置从SOI层的表面达到埋入氧化膜的槽，通过在该槽内埋入绝缘物而形成的全槽隔离绝缘膜将元件间电气隔离的全槽分离 (FTI) 构造的SOI装置。

20

但是，碰撞电离现象发生的载流子 (NMOS中为空穴) 停留在包含沟道形成区的本体区，从而缺陷发生，工作耐压降低，另外，由于本体区的电位不稳定，因此有延迟时间的频率依赖性发生等的由基板浮置效果导致的各种问题。

25

考虑到这一点的构造例如公开在非专利文献1，是在SOI层的表面内形成槽以便在槽的底部和埋入氧化膜之间残留规定厚度的SOI层，具有该槽内埋入绝缘物而形成的部分槽隔离绝缘膜的部分槽分离 (PTI) 构造。

通过采用PTI构造，可通过部分槽隔离绝缘膜的下部的阱区进行载流子移动，可防止载流子停留在本体区，另外，通过阱区可固定本体区的电位，因此不会发生基板浮置效果引起的各种问题。

采用PTI构造时，在栅极的栅极宽度方向的端部外侧的SOI层的表面内设置与本体区相同导电型的高浓度杂质区作为本体固定区，通过将该本体固定区电气连接到上层的布线层，一般可固定本体区的电位。

5 另一方面，在不使用这样的PTI构造的半导体装置中，为了固定本体区的电位，例如，提出了使用非专利文献2所示的T型的栅极或源极连接型的栅极。

10 即，非专利文献2的图2.8(a)图示了栅极形成为T字型，T字脚相当的部分起实质的栅极的功能，T字头相当的部分延伸以完全覆盖源极区及漏极区的短边，在T字头的外侧设置本体接触区的结构。另外，本体接触区高浓度地含有与本体区相同导电型的杂质。

15 另外，非专利文献2的图2.8(b)图示了具有从栅极的栅极宽度方向的中央部附近向源极区突出的凸部的所谓源极连接型的栅极，并图示了在该凸部的下部的源极区的表面内设置与源极区的导电型不同的高浓度杂质区的结构。

伴随半导体装置的小型化，栅极长度变短，而在T型的栅极中，栅极的一个端部中固定电位，因此栅极长度短，与之相比，栅极宽度非常长时，本体区的电阻值变高，本体区的电位固定变得不充分，有缺陷发生和工作耐压降低的可能性。

20 另外，为T型栅极的场合，T字头部的下部是与本体区相同的杂质区，但是由于该杂质区和T字头部之间存在栅极绝缘膜，因此这里存在不需要的电容分量，也有影响晶体管工作的可能性。

25 另一方面，源极连接型的栅极中，与栅极长度相比，栅极宽度非常长的场合，等效于通过增加向源极区突出的凸部个数来将栅极分割成多个，可对短栅极分别进行本体区的电位固定。

但是，凸部的下部的源极区的表面内设置的高浓度杂质区形成时，通过离子注入导入杂质，因此，由于注入掩模的精度导致的位置偏差，凸部的下部的高浓度杂质区的位置产生偏差，电位固定位

置产生偏差，实质上分割成多个的栅极长度产生偏差，因此，晶体管的工作特性可能产生偏差。

[非专利文献1] Yuuichi Hirano et al., "Bulk-Layout-Compatible 0.18- μ m SOI-CMOS Technology Using Body-Tied Partial-Trench-Isolation (PTI)", "IEEE TRANSACTION ON ELECTRON DEVICES. vol. 48, NO. 12. DECEMBER 2001, pp. 2816-2822"

[非专利文献2] Kerry Bernstein and Norman J. Rohrer, "SOI CIRCUIT DESIGN CONCEPTS", Kluwer Academic Publishers, pp. 22-23"

10

发明内容

如上所述，伴随半导体装置的小型化，栅极长度变短，在与栅极长度相比，栅极宽度非常长的场合，本体区的电位固定不充分，有缺陷发生和工作耐压降低的可能性，在T型的栅极和源极连接型的栅极中产生无法应付的问题。

本发明为了消除上述问题而提出，其目的是提供可防止缺陷的发生和工作耐压的降低且不会在工作特性上产生偏差的半导体装置。

本发明的第一方面所述的半导体装置，具备在SOI基板的SOI层上配置的MOS晶体管，上述MOS晶体管具备：上述SOI层上隔着栅极绝缘膜配置的栅极；第1半导体区及第2半导体区，分别配置在上述栅极的栅极纵向的两侧面外部的上述SOI层的表面内；第1部分槽隔离绝缘膜，沿栅极纵向横穿上述栅极下方的上述SOI层的表面内形成的沟道区，并沿栅极纵向横穿上述第1半导体区，将上述第1半导体区在栅极宽度方向上分割成多个；第3半导体区，设置为在上述第1半导体区侧中与上述第1槽隔离绝缘膜的与上述栅极成相反侧的侧面连接，并从上述SOI层的表面达到埋入氧化膜。上述第1部分槽隔离绝缘膜在其下层具有包含与上述第1半导体区相反的导电型的杂质的阱

区，上述第3半导体区具有与上述阱区相同的导电型并连接到上述阱区。

[发明的效果]

5 根据本发明的权利要求1所述的半导体装置，由第1部分槽隔离绝缘膜沿栅极纵向横穿第1半导体区，将第1半导体区沿栅极宽度方向分割成多个，因此，实质上将MOS晶体管的栅极分割成多个。对于分割的各个栅极，在第1半导体区侧中，设置与第1槽隔离绝缘膜的栅极的相反侧的侧面连接并从SOI层的表面达到埋入氧化膜的第3半导体区，因此，从第1半导体区侧设置的第3半导体区，通过第1部分
10 槽隔离绝缘膜下层的阱层，固定栅极下层的本体区的电位，从而可以可靠地进行MOS晶体管的本体区的电位固定，抑制缺陷的发生。另外，由于实质上分割MOS晶体管的栅极，因此可提高工作耐压。另外，部分槽隔离绝缘膜形成时使用加工精度高的掩模，因此，可按照设计值高精度分割栅极，防止在栅极宽度产生偏差，可获得工作特性
15 不产生偏差的半导体装置。

附图说明

图1是说明本发明实施例1的半导体装置的结构平面图。

图2是说明本发明实施例1的半导体装置的结构截面图。

20 图3是说明本发明实施例1的半导体装置的结构截面图。

图4是说明本发明实施例1的半导体装置的结构截面图。

图5是说明本发明实施例1的半导体装置的结构截面图。

图6是说明本发明实施例1的半导体装置的应用例的结构平面图。

25 图7是说明本发明实施例1的半导体装置的应用例的结构截面图。

图8是说明本发明实施例1的半导体装置的应用例的结构截面图。

图9是说明本发明实施例1的半导体装置的应用例的布线层的配置图案的平面图。

图10是说明本发明实施例1的半导体装置的应用例的布线层的配置图案的平面图。

5 图11是说明本发明实施例2的半导体装置的结构平面图。

图12是说明本发明实施例2的半导体装置的结构截面图。

图13是说明本发明实施例2的半导体装置的结构截面图。

图14是说明本发明实施例2的半导体装置的结构截面图。

图15是说明本发明实施例2的半导体装置的结构截面图。

10 图16是说明本发明实施例2的半导体装置的应用例的结构平面图。

图17是说明本发明实施例2的半导体装置的应用例的结构截面图。

15 图18是说明本发明实施例2的半导体装置的应用例的结构截面图。

图19是说明本发明实施例2的半导体装置的应用例的布线层的配置图案的平面图。

图20是说明本发明实施例2的半导体装置的应用例的布线层的配置图案的平面图。

20 图21是说明本发明实施例3的半导体装置的结构平面图。

图22是说明本发明实施例3的半导体装置的结构截面图。

图23是说明本发明实施例3的半导体装置的结构截面图。

图24是说明本发明实施例3的半导体装置的结构截面图。

图25是说明本发明实施例3的半导体装置的结构截面图。

25 图26是说明本发明实施例4的半导体装置的结构平面图。

图27是说明本发明实施例4的半导体装置的结构截面图。

图28是说明本发明实施例4的半导体装置的结构截面图。

图29是说明本发明实施例4的半导体装置的结构截面图。

图30是说明本发明实施例4的半导体装置的结构截面图。

图31是说明本发明实施例4的半导体装置的应用例1的结构平面图。

5 图32是说明本发明实施例4的半导体装置的应用例1的结构截面图。

图33是说明本发明实施例4的半导体装置的应用例1的结构截面图。

图34是说明本发明实施例4的半导体装置的应用例1的布线层的配置图案的平面图。

10 图35是说明本发明实施例4的半导体装置的应用例1的布线层的配置图案的平面图。

图36是说明本发明实施例4的半导体装置的应用例1的布线层的配置图案的平面图。

15 图37是说明本发明实施例4的半导体装置的应用例2的结构平面图。

图38是说明本发明实施例4的半导体装置的应用例3的结构平面图。

图39是说明本发明实施例4的半导体装置的应用例4的结构平面图。

20 图40是说明本发明实施例5的半导体装置的结构平面图。

图41是说明本发明实施例5的半导体装置的结构截面图。

图42是说明本发明实施例5的半导体装置的结构截面图。

图43是说明本发明实施例5的半导体装置的结构截面图。

图44是说明本发明实施例5的半导体装置的结构截面图。

25 图45是说明本发明实施例5的半导体装置的变形例1的结构平面图。

图46是说明本发明实施例5的半导体装置的变形例1的结构截面图。

图47是说明本发明实施例5的半导体装置的变形例1的结构的截面图。

图48是说明本发明实施例5的半导体装置的变形例1的结构的截面图。

5 图49是说明本发明实施例5的半导体装置的变形例1的结构的截面图。

图50是说明本发明实施例5的半导体装置的变形例2的结构的平面图。

10 图51是说明本发明实施例5的半导体装置的变形例2的结构的截面图。

图52是说明本发明实施例5的半导体装置的变形例2的结构的截面图。

图53是说明本发明实施例5的半导体装置的变形例2的结构的截面图。

15 图54是说明本发明实施例5的半导体装置的变形例2的结构的截面图。

图55是说明本发明实施例5的半导体装置的变形例3的结构的平面图。

20 图56是说明本发明实施例5的半导体装置的变形例3的结构的截面图。

图57是说明本发明实施例5的半导体装置的变形例3的结构的截面图。

图58是说明本发明实施例5的半导体装置的变形例3的结构的截面图。

25 图59是说明本发明实施例5的半导体装置的变形例3的结构的截面图。

图60是说明本发明实施例6的半导体装置的结构平面图。

图61是说明本发明实施例6的半导体装置的结构截面图。

图62是说明本发明实施例6的半导体装置的结构的面图。

图63是说明本发明实施例6的半导体装置的结构的面图。

图64是说明本发明实施例6的半导体装置的结构的面图。

5 图65是说明本发明实施例6的半导体装置的变形例1的结构的面图。

图66是说明本发明实施例6的半导体装置的变形例1的结构的面图。

图67是说明本发明实施例6的半导体装置的变形例1的结构的面图。

10 图68是说明本发明实施例6的半导体装置的变形例1的结构的面图。

图69是说明本发明实施例6的半导体装置的变形例1的结构的面图。

15 图70是说明本发明实施例6的半导体装置的变形例2的结构的面图。

图71是说明本发明实施例6的半导体装置的变形例2的结构的面图。

图72是说明本发明实施例6的半导体装置的变形例2的结构的面图。

20 图73是说明本发明实施例6的半导体装置的变形例2的结构的面图。

图74是说明本发明实施例6的半导体装置的变形例2的结构的面图。

25 图75是说明本发明实施例6的半导体装置的变形例3的结构的面图。

图76是说明本发明实施例6的半导体装置的变形例3的结构的面图。

图77是说明本发明实施例6的半导体装置的变形例3的结构的面图。

面图。

图78是说明本发明实施例6的半导体装置的结构的面图。

5 图79是说明本发明实施例6的半导体装置的结构的面图。

图80是说明本发明实施例7的半导体装置的结构的面图。

图81是说明本发明实施例7的半导体装置的结构的面图。

图82是说明本发明实施例7的半导体装置的结构的面图。

图83是说明本发明实施例7的半导体装置的结构的面图。

10 图84是说明本发明实施例7的半导体装置的结构的面图。

图85是说明本发明实施例7的半导体装置的变形例1的结构的面图。

图86是说明本发明实施例7的半导体装置的变形例1的结构的面图。

15 图87是说明本发明实施例7的半导体装置的变形例1的结构的面图。

图88是说明本发明实施例7的半导体装置的变形例1的结构的面图。

20 图89是说明本发明实施例7的半导体装置的变形例1的结构的面图。

图90是说明本发明实施例7的半导体装置的变形例2的结构的面图。

图91是说明本发明实施例7的半导体装置的变形例2的结构的面图。

25 图92是说明本发明实施例7的半导体装置的变形例2的结构的面图。

图93是说明本发明实施例7的半导体装置的变形例2的结构的面图。

图94是说明本发明实施例7的半导体装置的变形例2的结构的截面图。

图95是说明本发明实施例7的半导体装置的变形例3的结构的平面图。

5 图96是说明本发明实施例7的半导体装置的变形例3的结构的截面图。

图97是说明本发明实施例7的半导体装置的变形例3的结构的截面图。

10 图98是说明本发明实施例7的半导体装置的变形例3的结构的截面图。

图99是说明本发明实施例7的半导体装置的变形例3的结构的截面图。

图100是说明MOS晶体管的工作耐压特性的图。

15 图101是说明本发明的半导体装置应用于2输入NOR电路时的平面布局的一例的图。

图102是说明本发明的半导体装置应用于2输入NOR电路时的平面布局的一例的图。

图103是说明本发明的半导体装置应用于2输入NAND电路时的平面布局的一例的图。

20 [符号的说明]

2 埋入氧化膜

3 SOI层

11, 21 本体区

12, 22 源极区

25 13, 13A, 23, 23A 漏极区

14, 14A, 24, 24A 本体固定区

15, 25 阱区

G1 栅极

PT 部分槽隔离绝缘膜
FT 全槽隔离绝缘膜
SB SOI基板

5 具体实施方式

A. 实施例1

A-1. 装置结构

用图1~图5说明本发明实施例1的半导体装置100的结构。

10 图1是半导体装置100的结构平面图，图1所示A-A线、B-B线、D-D线以及E-E线的截面分别用图2、图3、图4及图5表示。

如图1所示，半导体装置100具备P沟道型MOS晶体管(PMOS晶体管)P1和N沟道型MOS晶体管(NMOS晶体管)N1，两晶体管的栅极G1共同连接。

15 PMOS晶体管P1中，源极/漏极区沿栅极宽度方向分割成4份，形成具有4个独立的源极区12的排列和4个独立的漏极区13的排列的结构。

20 在4个源极区12之间，设置部分槽隔离绝缘膜PT以与相对的整体侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。该部分槽隔离绝缘膜PT(第1部分槽隔离绝缘膜)配置成沿沟道纵向横穿并分割栅极G1的下方形成的沟道区。另外，分割源极区、漏极区、沟道区的部分槽隔离绝缘膜也称为分割用部分槽隔离绝缘膜。

25 设置以较高浓度(N⁺)含有N型杂质的本体固定区14(第3半导体区)，以与源极区12的与栅极G1成相反侧的侧面连接，该本体固定区14配置成与4个源极区12的侧面连接的同时与部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接，并与栅极G1平行地延伸。

另外，横穿栅极G1的下方形成的沟道区的部分槽隔离绝缘膜PT达到漏极区13，在4个漏极区13间也设置部分槽隔离绝缘膜PT，但是

不与漏极区13相对的整个侧面连接，部分槽隔离绝缘膜PT设置成从栅极G1以规定长度突出。这在位于排列的两端的漏极区13的外侧中也一样。

5 这里，部分槽隔离绝缘膜PT突出的长度根据部分槽隔离绝缘膜PT和栅极或半导体区的重合精度设定。这样，通过突出部分槽隔离绝缘膜PT，可获得可靠地与栅极下的本体区连接的效果。

另外，位于源极区及漏极区的排列的两端的源极区及漏极区的外侧配置的部分槽隔离绝缘膜，也称为外周部分槽隔离绝缘膜。

10 NMOS晶体管N1中，源极/漏极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列和2个独立漏极区23的排列的结构。

2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

15 为了与源极区22的与栅极G1成相反侧的侧面连接，设置以较高浓度(P⁺)含有P型杂质的本体固定区24(第3半导体区)，该本体固定区24配置成与2个源极区22的侧面连接的同时也与部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接，并与栅极G1平行地延伸。

20 另外，通过将本体固定区14及24构成为与栅极G1平行延伸，即使是本体固定区14及24形成为稍微偏离源极区的排列方向，与部分槽隔离绝缘膜PT的接触也不会完全断开，可防止MOS晶体管的工作不良的发生。

25 另外，在2个漏极区23间也设置部分槽隔离绝缘膜PT，但是部分槽隔离绝缘膜PT设置成不与漏极区23相对的整个侧面连接，并从栅极G1以规定长度突出。这在位于排列的两端的漏极区23的外侧中也一样。

这里，部分槽隔离绝缘膜PT突出的长度根据部分槽隔离绝缘膜PT和栅极或半导体区的重合精度设定。这样，通过突出部分槽隔离绝缘膜PT，可获得可靠地与栅极下的本体区连接的效果。

这里，如图2-图5所示，半导体装置100配置在由硅基板1、该硅基板1上配置的埋入氧化膜2和埋入氧化膜2上配置的SOI层3构成的SOI基板SB上。PMOS晶体管P1及NMOS晶体管N1的周围由全槽隔离绝缘膜FT包围，如图3所示，PMOS晶体管P1的活性层和NMOS晶体管N1的活性层电气隔离。

另外，如图2所示，PMOS晶体管P1的本体固定区14设置成从SOI层3的表面达到埋入氧化膜2，形成与以较低浓度(N^-)含有存在于部分槽隔离绝缘膜PT的下层的N型杂质的阱区15接触的结构。另外，本体固定区14的顶面用硅化膜SS覆盖。

阱区15如图4所示，与本体区11连续，形成通过阱区15在本体固定区14和本体区11间可进行载流子的移动的结构。另外，该结构在NMOS晶体管N1的本体固定区24、以较低浓度(P^-)含有存在于部分槽隔离绝缘膜PT的下层的P型杂质的阱区25及本体区21中也一样。

另外，如图5，在PMOS晶体管P1的本体区11的上方隔着栅极绝缘膜GF设置栅极G1，在栅极G1的侧面设置侧壁绝缘膜SW。

在栅极G1的栅极纵向的两侧面外部的本体区11的表面内，设置扩展层EX，扩展层EX与源极区12及漏极区13接触。

扩展层是为了形成比源极/漏极区浅的结而形成的杂质层，是与源极/漏极区相同的导电型，由于起源极/漏极区的功能，因此应称为源极/漏极扩展层，但是为了方便而称为扩展层。这里，在扩展层EX间的本体区11内沿栅极G1形成沟道区，但是沟道区未图示。这在NMOS晶体管N1中也同样。

另外，如图5所示，源极区12及漏极区13设置成从SOI层3的表面达到埋入氧化膜2，源极区12及漏极区13的顶面用硅化膜SS覆盖，另外，栅极G1的顶面也用硅化膜SS覆盖。

NMOS晶体管N1中也具有与上述同样的栅极构造，源极区22及漏极区23的顶面用硅化膜SS覆盖。另外，图1中为了方便，省略了硅化膜SS。

另外，图1中虽然省略，如图4所示，栅极G1通过接触孔CH与上层的布线层M1电气连接。同样，如图5所示，源极区12、漏极区13及本体固定区14经由接触孔CH与上层的布线层M1连接。另外，源极区12和本体固定区14经由硅化膜SS电气连接，但是当然也可以如图5所示，将源极区12和本体固定区14与共同的布线层M1连接。

通过电气连接源极区12和本体固定区14，PMOS晶体管P1的本体区11固定在源极区12的电位。

另外，NMOS晶体管N1中，本体区21固定在源极区22的电位。

A-2. 效果

如上所述，半导体装置100中，通过将PMOS晶体管P1的源极/漏极区沿栅极宽度方向分割成4份，实质上将PMOS晶体管P1侧的栅极G1分割成4份，对于分割的各个栅极，从本体固定区14通过阱区15，固定本体区11的电位。另外，通过将NMOS晶体管N1的源极/漏极区沿栅极宽度方向分割成2份，实质上将NMOS晶体管N1侧的栅极G1分割成2份，对于分割的各个栅极，从本体固定区24通过阱区25，固定本体区21的电位。

从而，PMOS晶体管P1及NMOS晶体管N1中，可以可靠地进行本体区11及21的电位固定，可抑制缺陷的发生。

另外，PMOS晶体管P1及NMOS晶体管N1中，实质上分割栅极G1，因此可提高工作耐压。

即，MOS晶体管的工作耐压通过沟道宽限制，沟道宽若变长，则工作耐压降低。

这在驱动能力大的NMOS晶体管更显著，与NMOS晶体管相比，PMOS晶体管的沟道宽可更长。

但是，尽管工作耐压由沟道宽限制，而通过用部分槽隔离绝缘膜PT沿栅极宽度方向分割栅极G1下的沟道区，沟道宽实质上变短，可提高可对1个沟道区施加的电压，可提高晶体管整体的工作耐压。

另外，源极/漏极区由部分槽隔离绝缘膜PT及全槽隔离绝缘膜FT

分割，从而实质上沿栅极宽度方向分割栅极G1，槽隔离绝缘膜形成时，使用加工精度高的掩模，因此，可按照设计值高精度分割栅极G1，防止在栅极宽度上产生偏差，可获得工作特性上不产生偏差的半导体装置。

5 另外，PMOS晶体管P1的漏极区13及NMOS晶体管N1的漏极区23的侧面的大部分与全槽隔离绝缘膜FT连接，与部分槽隔离绝缘膜PT连接的部分只是一部分。

10 通过采用这样的结构，漏极区13及23的大部分被全槽隔离绝缘膜FT包围，可相应减少PN结的结面积，因此漏极区13及23中的寄生结电容小，充放电花费的时间少，因此可防止MOS晶体管的工作速度降低。

15 另一方面，PMOS晶体管P1的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14连接，另外，NMOS晶体管N1的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24连接，因此，源极区12及22中的PN结的结面积扩大，寄生结电容变大，但是源极区侧的结电容的增加有利于电流的稳定供给，因此可稳定电源供给。

 另外，在半导体装置100的上方配置布线层M1，但是全槽隔离绝缘膜FT上的布线层M1上寄生的寄生电容和部分槽隔离绝缘膜PT上的布线层M1上寄生的寄生电容中，后者变大。

20 从而，在漏极区13及23侧，通过将部分槽隔离绝缘膜PT的形成区限制在最小限，可抑制布线层M1寄生的寄生电容，防止MOS晶体管的工作速度降低。

A-3. 应用例

25 以上说明的半导体装置100说明了栅极G1共同连接的PMOS晶体管P1及NMOS晶体管N1的排列，而图6中，说明了设置有栅极G1共同连接的PMOS晶体管P11及NMOS晶体管N11的排列(第1组)、PMOS晶体管P12及NMOS晶体管N12的排列(第2组)、PMOS晶体管P13及NMOS晶体管N13的排列(第3组)这3组的晶体管的排列的半导体装置100A的结构。

另外，图6所示的半导体装置100A中，与图1所示的半导体装置100相同的结构附上同一符号，省略重复的说明。另外，图6所示F-F线及G-G线的截面分别如图7及图8所示。另外，B-B线及D-D线的截面结构分别与图3及图4所示的结构相同。

5 如图6所示，第1组和第2组中，共同使用漏极区13及23，第2组和第3组中，共同使用本体固定区14及24。

10 另外，如图7所示，PMOS晶体管P11及P12的漏极区13间，通过全槽隔离绝缘膜FT电气隔离。从而，漏极区13彼此的电气连接中，如图8所示，将各漏极区13经由接触孔CH共同连接到上层的布线层M1。

采用这样的结构，第1组～第3组中，PMOS晶体管P11～P13并联且NMOS晶体管N11～N13并联的结构可以以极小的布面积获得。

这里，半导体装置100A的上层配置的布线层M1的配置图案的一例如图9所示。

15 如图9所示，PMOS晶体管P11～P13的多个漏极区13及NMOS晶体管N11～N13的多个漏极区23分别经由接触孔CH与布线层M1连接，该布线层M1与输出端子OUT连接。

20 另外，PMOS晶体管P11～P13的多个源极区12及本体固定区14分别经由接触孔CH与布线层M1连接，该布线层M1与电源电位VDD连接，NMOS晶体管N11～N13的多个源极区22及本体固定区24分别经由接触孔CH与布线层M1连接，该布线层M1与接地电位GND连接。

另外，多个栅极G1共同与布线层M1连接，该布线层M1与输入端子IN连接。

25 通过进行这样的布线，半导体装置100A起反相器的功能。另外，图9中，还一并用电路符号表示了上述反相器。

另外，图10说明了半导体装置100A的上层配置的布线层M1的配置图案的其他例。

图10中，基本上与图9所示的布线层M1的配置图案相同，说明

了将半导体装置100A作为反相器使用的布线，但是PMOS晶体管P11~P13的多个源极区12及NMOS晶体管N11~N13的多个源极区22中，分别仅一部分经由接触孔CH与布线层M1连接，剩余的源极区12及22不与布线层M1连接。

5 如图8所示，各晶体管中的所有源极区12及22用硅化膜SS共同覆盖并电气连接，因此若其一部分与布线层M1电气连接，则各晶体管的源极区共同与布线层M1电气连接。

B. 实施例2

B-1. 装置结构

10 用图11~图15说明本发明的实施例2的半导体装置200的结构。

图11是半导体装置200的结构平面图，图11所示A-A线、B-B线、D-D线以及E-E线的截面分别如图12、图13、图14及图15所示。另外，与图1~5所示的半导体装置100相同的结构附上相同的符号，省略重复的说明。

15 如图11所示，半导体装置200中，为了与PMOS晶体管P2的源极区12的与栅极G1成相反侧的侧面连接，设置以较高浓度(N⁺)含有N型杂质的本体固定区14，该本体固定区14配置成与4个源极区12的侧面连接的同时也与部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接，并与栅极G1平行地延伸。

20 在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整体侧面连接，另外，位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT，该部分槽隔离绝缘膜PT也配置成与本体固定区14的纵向端部的侧面连接。

25 为了与本体固定区14的与栅极G1成相反侧的侧面连接(参照图12)，设置部分槽隔离绝缘膜PT(第2部分槽隔离绝缘膜)，本体固定区14由部分槽隔离绝缘膜PT包围。另外，为了与本体固定区的侧面连接而配置的部分槽隔离绝缘膜也称为外周部分槽隔离绝缘膜。

另外，PMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以

较低浓度(N^-)含有N型杂质的阱区15,如图12及图15,形成本体固定区14和阱区15接触的结构。

5 NMOS晶体管N2中,为了与源极区22的与栅极G1成相反侧的侧面连接,设置以较高浓度(P^-)含有P型杂质的本体固定区24,该本体固定区24配置成与2个源极区22的侧面连接的同时也与部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接,并与栅极G1平行地延伸。

10 在2个源极区22之间设置部分槽隔离绝缘膜PT,以与相对的整体侧面连接,另外,在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT,该部分槽隔离绝缘膜PT配置成与本体固定区24的纵向端部的侧面连接。

为了与本体固定区24的与栅极G1成相反侧的侧面连接,设置部分槽隔离绝缘膜PT,本体固定区24由部分槽隔离绝缘膜PT包围。另外, NMOS晶体管区中,在部分槽隔离绝缘膜PT的下层存在以较低浓度(P^-)含有P型杂质的阱区25,虽然未图示,形成了本体固定区24和阱区25接触的结构。

其他结构与图1~5所示的半导体装置100相同,其说明省略。

B-2. 效果

20 以上说明的半导体装置200中,通过将MOS晶体管的源极/漏极区沿栅极宽度方向分割,与用图1~图5说明的半导体装置100同样,PMOS晶体管P2及NMOS晶体管N2中,可以可靠地进行本体区11及21的电位固定,抑制缺陷的发生并提高工作耐压。

25 另外,通过将源极/漏极区用部分槽隔离绝缘膜PT及全槽隔离绝缘膜FT分割,实质上栅极G1沿栅极宽度方向分割,但是槽隔离绝缘膜形成时由于使用加工精度高的掩模,因此,可按照设计值高精度分割栅极G1,防止栅极宽度产生偏差,可获得工作特性不产生偏差的半导体装置。

另外,漏极区13及23的大部分采用由全槽隔离绝缘膜FT包围的结构,从而,相应地减少PN结的结面积,因此漏极区13及23中的寄

生结电容变小，可防止MOS晶体管的工作速度降低。

另一方面，PMOS晶体管P2的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14连接，另外，NMOS晶体管N2的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24连接，因此，源极区12及22中的PN结的结面积扩大，寄生结电容变大，可稳定电源供给。

而且，设置部分槽隔离绝缘膜PT，以与本体固定区14的与栅极G1成相反侧的侧面连接，本体固定区14由部分槽隔离绝缘膜PT包围，因此，在部分槽隔离绝缘膜PT上配置布线层M1的场合，可以进一步增加该布线层M1寄生的寄生电容，稳定电源供给。

另外，在漏极区13及23侧中，通过将部分槽隔离绝缘膜PT的形成区限定为最小，可抑制布线层M1寄生的寄生电容，防止MOS晶体管的工作速度降低。

B-3. 应用例

以上说明的半导体装置200说明了栅极G1共同连接的PMOS晶体管P2及NMOS晶体管N2的排列，而图16中，说明了配置有栅极G1共同连接的PMOS晶体管P21及NMOS晶体管N21的排列(第1组)、PMOS晶体管P22及NMOS晶体管N22的排列(第2组)、PMOS晶体管P23及NMOS晶体管N23的排列(第3组)这3组晶体管的排列的半导体装置200A的结构。

另外，图16所示半导体装置200A中，与图6所示的半导体装置100A相同的结构附上同一符号，省略重复的说明。另外，图16所示F-F线及G-G线的截面分别如图17及图18所示。另外，B-B线及D-D线的截面结构分别与图13及图14所示的结构相同。

如图16所示，第1组和第2组中共同使用漏极区13及23，第2组和第3组中，共同使用本体固定区14及24。

另外，如图17所示，PMOS晶体管P21及P22的漏极区13间，由全槽隔离绝缘膜FT电气隔离。从而，为了将漏极区13彼此电气连接，如图18所示，将各漏极区13经由接触孔CH与上层的布线层M1共同连接。这在NMOS晶体管N21及N22的漏极区23间也相同。

通过采用这样的结构，第1组～第3组中，PMOS晶体管P21～P23并联且NMOS晶体管N21～N23并联的结构可以以极小的布局面积获得。

5 这里，半导体装置100A的上层配置的布线层M1的配置图案的一例如图19所示。

如图19所示，PMOS晶体管P21～P23的多个漏极区13及NMOS晶体管N21～N23的多个漏极区23分别经由接触孔CH与布线层M1连接，该布线层M1与输出端子OUT连接。

10 另外，PMOS晶体管P21～P23的多个源极区12及本体固定区14，分别经由接触孔CH与布线层M1连接，该布线层M1与电源电位VDD连接，NMOS晶体管N21～N23的多个源极区22及本体固定区24，分别经由接触孔CH与布线层M1连接，该布线层M1与接地电位GND连接。

另外，多个栅极电极G1共同与布线层M1连接，该布线层M1与输入端子IN连接。

15 通过进行这样的布线，半导体装置200A起反相器的功能。另外，图19中，还一并用电路符号表示上述反相器。

另外，图20说明半导体装置200A的上层配置的布线层M1的配置图案的其他例。

20 图20基本上与图19所示的布线层M1的配置图案相同，说明了将半导体装置100A作为反相器使用的布线，但是PMOS晶体管P21～P23的多个源极区12及NMOS晶体管N21～N23的多个源极区22中，分别仅一部分经由接触孔CH与布线层M1连接，剩余的源极区12及22不与布线层M1连接。

25 如图18所示，各晶体管中的所有源极区12及22用硅化膜SS共同覆盖并电气连接，若其一部分与布线层M1电气连接，则各晶体管的源极区共同与布线层M1电气连接。

C. 实施例3

C-1. 装置结构

用图21~图25说明本发明的实施例3的半导体装置300的结构。

图21是半导体装置300的结构平面图，图21所示A-A线、B-B线、D-D线及E-E线的截面分别如图22、图23、图24及图25所示。另外，与图1~5所示的半导体装置100相同的结构附上相同符号，省略重复的说明。

图21所示半导体装置300的PMOS晶体管P3中，源极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列的结构。

即，在4个源极区12之间设置为与相对的整个侧面连接的部分槽隔离绝缘膜PPT，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

另一方面，在漏极区13A中设置部分槽隔离绝缘膜PT，从栅极G1以规定长度突出，与栅极G1成相反侧的部分形成连续的结构而不分割，漏极区13A构成为包围突出的部分槽隔离绝缘膜PT。

NMOS晶体管N3中，源极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列的结构。

即，在2个源极区22之间，设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

另一方面，漏极区23A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，与栅极G1成相反侧的部分形成连续的结构而不分割，漏极区23A构成为包围突出的部分槽隔离绝缘膜PT。

其他结构与图1~5所示的半导体装置100相同，其说明省略。

C-2. 效果

以上说明的半导体装置300中，通过将MOS晶体管的源极区沿栅极宽度方向分割，与用图1~图5说明的半导体装置100同样，在PMOS晶体管P3及NMOS晶体管N3中，可以可靠地进行本体区11及21的电位固定，抑制缺陷的发生并提高工作耐压。

另外，通过用部分槽隔离绝缘膜PT分割源极区12及22，实质上

将栅极G1在栅极宽度方向上分割，但是由于槽隔离绝缘膜形成时使用加工精度高的掩模，因此可按照设计值高精度分割栅极G1，防止栅极宽度产生偏差，可获得工作特性不产生偏差的半导体装置。

5 另外，由于漏极区13A及23A形成连续的结构，因此，至少一处与电位固定用的接触孔连接即可，可简化接触孔的形成工序。

另外，通过采用将漏极区13A及23A的大部分由全槽隔离绝缘膜FT包围的结构，相应地减少PN结的结面积，因此，漏极区13A及23A中的寄生结电容变小，可防止MOS晶体管的工作速度降低。

10 另一方面，PMOS晶体管P3的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14连接，另外，NMOS晶体管N3的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24连接，因此，源极区12及22中的PN结的结面积扩大，寄生结电容变大，可稳定电源供给。

15 另外，漏极区13A及23A侧中，通过将部分槽隔离绝缘膜PT的形成区限定在最小，可抑制布线层M1寄生的寄生电容，防止MOS晶体管的工作速度降低。

D. 实施例4

D-1. 装置结构

用图26～图30说明本发明的实施例4的半导体装置400的结构。

20 图26是半导体装置400的结构平面图，图26所示A-A线、B-B线、D-D线及E-E线的截面分别如图27、图28、图29及图30所示。另外，与图1～5所示的半导体装置100相同的结构附上相同的符号，省略重复的说明。

25 图26所示的半导体装置400中，设置以较高浓度(N⁺)含有N型杂质的本体固定区14，以与PMOS晶体管P4的源极区12的与栅极G1成相反侧的侧面连接，该本体固定区14设置成与4个源极区12的侧面连接的同时也与部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接，并与栅极G1平行地延伸。

在4个源极区12之间，设置部分槽隔离绝缘膜PT，以与相对的

整个侧面连接, 另外, 在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT, 该部分槽隔离绝缘膜PT设置成也与本体固定区14的纵向端部的侧面连接。

5 设置部分槽隔离绝缘膜PT, 以与本体固定区14的与栅极G1成相反侧的侧面连接(参照图27), 本体固定区14用部分槽隔离绝缘膜PT包围。另外, PMOS晶体管区中, 在部分槽隔离绝缘膜PT的下层存在以较低浓度(N^-)含有N型杂质的阱区15, 如图27及图30所示, 形成本体固定区14和阱区15接触的结构。

10 NMOS晶体管N4中, 设置以较高浓度(P^+)含有P型杂质的本体固定区24, 以与源极区22的与栅极G1成相反侧的侧面连接, 该本体固定区24配置成与2个源极区22的侧面连接的同时也与部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接, 并与栅极G1平行地延伸。

15 在2个源极区22之间, 设置部分槽隔离绝缘膜PT, 以与相对的整体侧面连接, 另外, 在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT, 该部分槽隔离绝缘膜PT配置成也与本体固定区24的纵向端部的侧面连接。

设置部分槽隔离绝缘膜PT, 以与本体固定区24的与栅极G1成相反侧的侧面连接, 本体固定区24由部分槽隔离绝缘膜PT包围。另外, NMOS晶体管区中, 在部分槽隔离绝缘膜PT的下层存在以较低浓度(P^-)含有P型杂质的阱区25, 虽然未图示, 形成本体固定区24和阱区25接触的结构。

20

如图26所示, 半导体装置400的PMOS晶体管P4中, 源极区沿栅极宽度方向分割成4份, 形成具有4个独立源极区12的排列的结构。

25 另一方面, 漏极区13A中, 设置部分槽隔离绝缘膜PT, 其从栅极G1以规定长度突出, 与栅极G1成相反侧的部分形成连续的结构而不分割。

NMOS晶体管N4中, 源极区沿栅极宽度方向分割成2份, 形成具有2个独立源极区22的排列的结构。

另一方面，漏极区23A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，与栅极G1成相反侧的部分形成连续的结构而不分割。

其他结构与图1~5所示的半导体装置100相同，其说明省略。

5 D-2. 效果

以上说明的半导体装置400中，与用图1~图5说明的半导体装置100同样，将MOS晶体管的源极区沿栅极宽度方向分割，从而，PMOS晶体管P4及NMOS晶体管N4中，可以可靠地进行本体区11及21的电位固定，可抑制缺陷的发生并提高工作耐压。

10 另外，通过用部分槽隔离绝缘膜PT分割源极区12及22，实质上
将栅极G1沿栅极宽度方向分割，槽隔离绝缘膜形成时由于使用加工
精度高的掩模，因此，可按照设计值可高精度分割栅极G1，防止在
栅极宽度产生偏差，可获得在工作特性不产生偏差的半导体装置。

15 另外，通过采用漏极区13A及23A的大部分由全槽隔离绝缘膜FT
包围的结构，相应地减少PN结的结面积，因此，漏极区13A及23A中
的寄生结电容变小，可防止MOS晶体管的工作速度降低。

20 另一方面，PMOS晶体管P4的源极区12的侧面与部分槽隔离绝缘
膜PT及本体固定区14连接，另外，NMOS晶体管N4的源极区22的侧面
与部分槽隔离绝缘膜PT及本体固定区24连接，因此，源极区12及22
中的PN结的结面积扩大，寄生结电容变大，可稳定电源供给。

而且，设置部分槽隔离绝缘膜PT，以与本体固定区14的与栅极
G1成相反侧的侧面连接，本体固定区14由部分槽隔离绝缘膜PT包围，
因此，在部分槽隔离绝缘膜PT上配置布线层M1的场合，可进一步增
大该布线层M1寄生的寄生电容，可稳定电源供给。

25 另外，在漏极区13A及23A侧中，通过将部分槽隔离绝缘膜PT的
形成区限定为最小，可抑制布线层M1寄生的寄生电容，防止MOS晶体
管的工作速度降低。

D-3. 应用例1

以上说明的半导体装置400说明了栅极G1共同连接的PMOS晶体管P4及NMOS晶体管N4的排列，而图31中，作为应用例1，说明了设置有栅极G1共同连接的PMOS晶体管P41及NMOS晶体管N41的排列（第1组）、PMOS晶体管P42及NMOS晶体管N42的排列（第2组）、PMOS晶体管P43及NMOS晶体管N43的排列（第3组）这3组的晶体管的排列的半导体装置400A的结构。

另外，图31所示半导体装置400A中，与图6所示的半导体装置100A相同的结构附上相同的符号，省略重复的说明。另外，如图31所示，F-F线及G-G线的截面分别如图32及图33所示。另外，B-B线及D-D线的截面结构分别与图13及图14所示的结构相同。

如图31所示，第1组和第2组中共同使用漏极区13A及23A，第2组和第3组中，共同使用本体固定区14及24。

另外，如图31所示，PMOS晶体管P41及P42中共同使用漏极区13A，如图32及图33所示，漏极区13A上用硅化膜33覆盖。这在NMOS晶体管N41及N42中的漏极区23A中也相同。

通过采用这样的结构，第1组～第3组中，PMOS晶体管P41～P43并联且NMOS晶体管N41～N43并联的结构可用极小的布局面积获得。

这里，半导体装置400A的上层配置的布线层M1的配置图案的一例如图34所示。

如图34所示，PMOS晶体管P41～P43的漏极区13A及NMOS晶体管N41～N43的漏极区23A，分别经由接触孔CH与布线层M1连接，该布线层M1与输出端子OUT连接。

另外，PMOS晶体管P41～P43的多个源极区12及本体固定区14，分别经由接触孔CH与布线层M1连接，该布线层M1与电源电位VDD连接，NMOS晶体管N41～N43的多个源极区22及本体固定区24，分别经由接触孔CH与布线层M1连接，该布线层M1与接地电位GND连接。

另外，多个栅极G1共同与布线层M1连接，该布线层M1与输入端子IN连接。

通过进行这样的布线，半导体装置400A起反相器的功能。另外，图34中，还一并用电路符号表示上述反相器。

另外，图35说明了在半导体装置400A的上层配置的布线层M1的配置图案的其他例。

5 图35中，基本上与图34所示的布线层M1的配置图案相同，说明了将半导体装置400A作为反相器使用的布线，但是PMOS晶体管P41～P43的多个源极区12及NMOS晶体管N41～N43的多个源极区22中，分别仅一部分经由接触孔CH与布线层M1连接，剩余的源极区12及22不与布线层M1连接。

10 如图33所示，各个晶体管中所有的源极区12及22用硅化膜SS共同覆盖并电气连接，因此若其一部分与布线层M1电气连接，则各晶体管的源极区共同与布线层M1电气连接。

另外，图36说明在半导体装置400A的上层配置的布线层M1的配置图案的又一其他例。

15 图36中，基本上与图35所示的布线层M1的配置图案相同，但是PMOS晶体管P41～P43的漏极区13A及NMOS晶体管N41～N43的漏极区23A中，形成布线层M1以覆盖其上方的一部分，布线层M1正下方的漏极区13A及23A经由接触孔CH与布线层M1连接，漏极区13A及23A的其他部分与布线层M1连接。

20 各晶体管中的漏极区13A及23A不分割，另外，如图33所示，由于用硅化膜SS覆盖，因此，若其一部分与布线层M1电气连接，则各晶体管的漏极区均与布线层M1电气连接。

D-4. 应用例2

半导体装置400的应用例2可考虑图37所示的结构。

25 即，图37中说明了将图31所示的半导体装置400A作为反相器IV1使用并将图26所示的半导体装置400作为反相器IV2使用的例。

图37所示反相器IV1是在图31所示的半导体装置400A上配置用图36说明的图案的布线层M1而获得的反相器，与图36相同的结构附

上相同符号。另外，PMOS晶体管P41~P43的漏极区13A及NMOS晶体管N41~N43的漏极区23A共同连接的布线层M1成为反相器IV1的输出端子。

5 另外，反相器IV2中，PMOS晶体管P4的漏极区13A及NMOS晶体管N4的漏极区23A分别经由接触孔CH与布线层M1连接，该布线层M1与输出端子OUT连接。

另外，PMOS晶体管P4的多个源极区12及本体固定区14的一部分经由接触孔CH与布线层M1连接，该布线层M1与电源电位VDD连接。

10 另外，NMOS晶体管N4的多个源极区22及本体固定区24的一部分经由接触孔CH与布线层M1连接，该布线层M1与接地电位GND连接。另外，栅极G1共同与布线层M1连接，该布线层M1成为反相器IV2的输入端子。

在反相器IV1的输出和反相器IV2的输入之间，配置传输门TG。

15 传输门TG具有PMOS晶体管P10及NMOS晶体管N10，各个源极区32及42经由接触孔CH与布线层M1共同连接，该布线层M1与反相器IV1的输出端子连接。另外，各个漏极区33及43经由接触孔CH与布线层M1共同连接，该布线层M1与反相器IV2的输入端子连接。

20 PMOS晶体管P10及NMOS晶体管N10的各栅极G11及G12与反相器IV1及IV2的栅极G1并列设置，构成为将栅极输入X'经由接触孔CH提供给栅极G11的一个端部，并将栅极输入X经由接触孔CH提供给栅极G12的一个端部。

另外，PMOS晶体管P10及NMOS晶体管N10的本体区构成为与各个栅极G11及G12的另一个端部的外部设置的本体固定区34及44电气连接。

25 即，在栅极G11及G12的另一个端部和本体固定区34及44之间配置部分槽隔离绝缘膜PT，形成通过该部分槽隔离绝缘膜PT的下层存在的阱区可进行载流子的移动的结构。

另外，本体固定区34经由接触孔CH与供给电源电位VDD的布线

层M1连接，本体固定区44经由接触孔CH与供给接地电位GND的布线层M1连接。

另外，图37中，还一并用电路符号表示了上述反相器IV1、IV2及传输门TG。

5 D-5. 应用例3

作为半导体装置400的应用例3，也考虑图38所示的结构。

即，图38中说明了将图31所示的半导体装置400A作为反相器IV1使用并用具有传统的源极连接构造的MOS晶体管构成反相器IV3的例示。

10 图38所示的反相器IV1及传输门TG与图37说明的结构相同，其说明省略。

图38所示反相器IV3具备具有共同的栅极G13的PMOS晶体管P20及NMOS晶体管N20。

15 在PMOS晶体管P20的源极区102的表面内，选择性地设置以较高浓度含有N型杂质的本体固定区104。

同样，在NMOS晶体管N20的源极区202的表面内，选择性地设置以较高浓度含有P型杂质的本体固定区204。

本体固定区104及204设置成与栅极G13下存在的本体区接触，可固定本体区的电位。

20 另外，虽然图示省略，源极区102及202的表面包含本体固定区104及204的表面并用硅化膜覆盖，通过将源极区102及202分别与电源电位VDD及接地电位GND连接，可固定PMOS晶体管P20及NMOS晶体管N20的本体区的电位。

25 另外，反相器IV3中，PMOS晶体管P20的漏极区103及NMOS晶体管N20的漏极区203分别经由接触孔CH与布线层M1连接，该布线层M1与输出端子OUT连接。

另外，栅极G1共同与布线层M1连接，该布线层M1成为反相器IV3的输入端子。

配置部分槽隔离绝缘膜PT，以分别包围源极区102及204，PMOS晶体管P20及NMOS晶体管N20的本体区形成与各个栅极G13的端部的外部设置的本体固定区34A及44A电气连接的结构。

5 即，在栅极G13的2个端部和本体固定区34A及44A之间配置部分槽隔离绝缘膜PT，形成通过该部分槽隔离绝缘膜PT的下层存在的阱区可进行载流子的移动的结构。

本体固定区34A经由接触孔CH与供给电源电位VDD的布线层M1连接，本体固定区44A经由接触孔CH与供给接地电位GND的布线层M1连接。

10 另外，本体固定区34A及44A延伸到传输门TG的附近，传输门TG的PMOS晶体管P10及NMOS晶体管N10的本体区也形成电气连接的结构。该结构与图37说明的本体固定区34及44的连接相同，其说明省略。

15 这样，通过利用源极连接构造及部分槽隔离绝缘膜进行本体区的电位固定，可以更可靠进行本体区的电位固定。

D-6. 应用例4

半导体装置400的应用例4也可考虑图39所示的结构。

即，图39中说明了将图31所示的半导体装置400A作为反相器IV1使用并用传统的源极连接构造的MOS晶体管构成反相器IV4的例。

20 图39所示反相器IV1及传输门TG与图37说明的结构相同，其说明省略。

图39所示反相器IV4具备具有共同的栅极G14的PMOS晶体管P30及NMOS晶体管N30。

25 在PMOS晶体管P30的源极区102的表面内，选择性地设置以较高浓度含有N型杂质的本体固定区104。

同样，在NMOS晶体管N30的源极区202的表面内，选择性地设置以较高浓度含有P型杂质的本体固定区204。

本体固定区104及204设置在离开栅极G14的位置，在栅极G14和

本体固定区104及204之间，存在从栅极G14分支的分支栅极BG。

分支栅极BG的构造与栅极G13相同，本体固定区104及204设置成与分支栅极BG下存在的本体区接触，可固定本体区的电位。

5 另外，虽然图示省略，源极区102及202的表面包含本体固定区104及204的表面并用硅化膜覆盖，通过将源极区102及202分别与电源电位VDD及接地电位GND连接，可固定PMOS晶体管P30及NMOS晶体管N30的本体区的电位。另外，其他结构与图38所示的结构相同，其说明省略。

10 通过采用这样的结构，栅极G13的栅极长度变细，由于加工精度的关系，即使是本体固定区104及204和本体区难以直接接触的场合，也可以可靠地固定本体区的电位。

E. 实施例5

E-1. 装置结构

用图40～图44说明本发明实施例5的半导体装置500的结构。

15 图40是半导体装置500的结构平面图，图40所示A-A线、B-B线、D-D线及E-E线的截面分别如图41、图42、图43及图44所示。另外，与图1～5所示的半导体装置100相同的结构附上相同符号，省略重复的说明。

20 图40所示半导体装置500中，具有PMOS晶体管P5和NMOS晶体管N5，两晶体管的栅极G1共同连接。

PMOS晶体管P5中，源极/漏极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列和4个独立漏极区13的排列的结构。

25 4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整体侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

设置以较高浓度(N⁺)含有N型杂质的本体固定区14，以与源极区12的与栅极G1成相反侧的侧面连接，该本体固定区14配置成与4个源极区12的侧面连接的同时也与部分槽隔离绝缘膜PT的与栅极G1成相

反侧的侧面连接，并与栅极G1平行延伸。

另外，在4个漏极区13间及位于排列的两端的漏极区13的外侧也设置部分槽隔离绝缘膜PT。另外，在漏极区的外侧配置的部分槽隔离绝缘膜由于设置在MOS晶体管的外周，因此也称为外周部分槽隔离绝缘膜。

设置部分槽隔离绝缘膜PT，以与漏极区13的与栅极G1成相反侧的侧面连接，该部分槽隔离绝缘膜PT与4个漏极区13的侧面连接的同时，也与在4个漏极区13间及漏极区13的排列的外侧设置的部分槽隔离绝缘膜PT的侧面连接。从而，4个漏极区13由部分槽隔离绝缘膜PT包围。

NMOS晶体管N5中，源极/漏极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列和2个独立漏极区23的排列的结构。

在2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整体侧面连接。另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

设置以较高浓度(P⁺)含有P型杂质的本体固定区24，以与源极区22的与栅极G1成相反侧的侧面连接，该本体固定区24设置成与2个源极区22的侧面连接的同时也与部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接，并与栅极G1平行延伸。

另外，在2个漏极区23间及位于排列的两端的漏极区23的外侧也设置部分槽隔离绝缘膜PT。

设置部分槽隔离绝缘膜PT，以与漏极区23的与栅极G1成相反侧的侧面连接，该部分槽隔离绝缘膜PT与2个漏极区23的侧面连接的同时，也与在2个漏极区23间及漏极区23的排列的外侧设置的部分槽隔离绝缘膜PT的侧面连接。从而，2个漏极区23被部分槽隔离绝缘膜PT包围。

如图41所示，PMOS晶体管P5的本体固定区14设置成从SOI层3的表面达到埋入氧化膜2，形成与部分槽隔离绝缘膜PT的下层存在的以

较低浓度(N^-)含有N型杂质的阱区15接触的结构。

阱区15存在于部分槽隔离绝缘膜PT的下层，半导体装置500中，漏极区13及23由部分槽隔离绝缘膜PT包围，因此，漏极区13及23的周围存在阱区15。

5 E-2. 效果

如上所述，半导体装置500中，通过将MOS晶体管的源极/漏极区沿栅极宽度方向分割，与图1～图5说明的半导体装置100同样，在PMOS晶体管P5及NMOS晶体管N5中，可以可靠地进行本体区11及21的电位固定，抑制缺陷的发生，提高工作耐压。

10 另外，通过将源极/漏极区用部分槽隔离绝缘膜PT及全槽隔离绝缘膜FT分割，实质上将栅极G1沿栅极宽度方向分割，但是槽隔离绝缘膜形成时由于使用加工精度高的掩模，因此，可按照设计值高精度分割栅极G1，防止在栅极宽度产生偏差，可获得在工作特性不产生偏差的半导体装置。

15 另外，漏极区13及23由部分槽隔离绝缘膜PT包围，因此，在漏极区13及23的周围存在阱区15，可在漏极区13及23的周围的任意场所设置本体固定区，可经由该本体固定区固定本体区的电位。

从而，从本体区源极区12及22侧或从漏极区13及23侧都可进行电位固定，可可靠地防止本体区成为浮置状态，并防止本体区成为浮置状态导致的电容分量的发生。

20 另外，PMOS晶体管P5的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14连接，另外，NMOS晶体管N5的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24连接，因此，虽然源极区12及99中的PN结的结面积扩大，寄生结电容变大，但是源极区侧中的结电容的增加有利于电流的稳定供给，因此可稳定电源供给。

25 E-3. 变形例1

接着，说明以上说明的实施例5的变形例1的结构。

图45是半导体装置501的结构平面图，图45所示A-A线、B-B线、

D-D线及E-E线的截面分别如图46、图47、图48及图49所示。另外，与图40~44所示的半导体装置500相同的结构附上相同的符号，省略重复的说明。

5 如图45所示，半导体装置501中，设置部分槽隔离绝缘膜PPT，以与PMOS晶体管P51的本体固定区14的与栅极G1成相反侧的侧面连接（参照图46），本体固定区14由部分槽隔离绝缘膜PT包围。另外，PMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(N⁻)含有N型杂质的阱区15，如图46所示，形成本体固定区14和阱区15接触的结构。

10 NMOS晶体管N51中，设置部分槽隔离绝缘膜PT，以与本体固定区24的与栅极G1成相反侧的侧面连接，本体固定区24由部分槽隔离绝缘膜PT包围。另外，NMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(P⁻)含有P型杂质的阱区25，虽然未图示，形成本体固定区24和阱区25接触的结构。

15 通过采用这样的结构，PMOS晶体管P51的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14连接，另外，NMOS晶体管N51的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24连接，因此，源极区12及22中的PN结的结面积扩大，寄生结电容变大，可稳定电源供给。

20 而且，设置部分槽隔离绝缘膜PT，以与本体固定区14的与栅极G1成相反侧的侧面连接，本体固定区14由部分槽隔离绝缘膜PT包围，因此，在部分槽隔离绝缘膜PT上配置布线层M1的场合，可进一步增大该布线层M1寄生的寄生电容，可稳定电源供给。

E-4. 变形例2

25 接着，说明实施例5的变形例2的结构。

图50是半导体装置502的结构平面图，图50所示A-A线、B-B线、D-D线及E-E线的截面分别如图51、图52、图53及图54所示。另外，与图50~54所示的半导体装置500相同的结构附上相同符号，省略重

复的说明。

图50所示半导体装置502的PMOS晶体管P52中，源极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列的结构。

5 即，在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

另一方面，漏极区13A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

10 NMOS晶体管N52中，源极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列的结构。

即，在2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

15 另一方面，漏极区23A中设置部分槽隔离绝缘膜PT，以从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

20 通过采用这样的结构，漏极区13A及23A形成连续的结构，只要在至少一处连接电位固定用的接触孔即可，可简化接触孔的形成工序。

E-5. 变形例3

接着，说明实施例5的变形例3的结构。

25 图55是半导体装置503的结构平面图，图55所示A-A线、B-B线、D-D线及E-E线的截面分别如图56、图57、图58及图59所示。另外，与图50～54所示的半导体装置500相同的结构附上相同的符号，省略重复的说明。

图55所示半导体装置503的PMOS晶体管P53中，源极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列的结构。

即，在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

5 另一方面，漏极区13A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

NMOS晶体管N53中，源极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列的结构。

10 即，在2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

另一方面，在漏极区23A中设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

15 通过采用这样的结构，漏极区13A及23A形成连续的结构，只要在至少一处连接电位固定用的接触孔即可，可简化形成接触孔的工序。

20 另外，设置部分槽隔离绝缘膜PT，以与本体固定区14的与栅极G1成相反侧的侧面连接(参照图56)，本体固定区14由部分槽隔离绝缘膜PT包围。另外，PMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(N⁻)含有N型杂质的阱区15，如图56及图59所示，形成本体固定区14和阱区15接触的结构。

25 NMOS晶体管N53中，设置部分槽隔离绝缘膜PT，以与本体固定区24的与栅极G1成相反侧的侧面连接，本体固定区24由部分槽隔离绝缘膜PT包围。另外，NMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(P⁻)含有P型杂质的阱区25，虽然未图示，形成本体固定区24和阱区25接触的结构。

通过采用这样的结构，PMOS晶体管P51的源极区12的侧面与部

分槽隔离绝缘膜PT及本体固定区14连接, 另外, NMOS晶体管N51的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24连接, 因此, 源极区12及22中的PN结的结面积扩大, 寄生结电容变大, 可稳定电源供给。

- 5 而且, 设置部分槽隔离绝缘膜PT, 以与本体固定区14的与栅极G1成相反侧的侧面连接, 本体固定区14由部分槽隔离绝缘膜PT包围, 因此, 在部分槽隔离绝缘膜PT上配置布线层M1的场合, 可进一步增大该布线层M1寄生的寄生电容, 可稳定电源供给。

F. 实施例6

10 F-1. 装置结构

用图60~图64说明本发明实施例6的半导体装置600的结构。

- 图60是半导体装置600的结构平面图, 图60所示A-A线、B-B线、D-D线及E-E线的截面分别如图61, 图62, 图63及图64所示。另外, 与图1~5所示的半导体装置100相同的结构附上相同的符号, 省略重复的说明。
- 15

图60所示半导体装置600中, 具有PMOS晶体管P6和NMOS晶体管N6, 两晶体管的栅极G1共同连接。

PMOS晶体管P6中, 源极/漏极区沿栅极宽度方向分割成4份, 形成具有4个独立源极区12的排列和4个独立漏极区13的排列的结构。

- 20 在4个源极区12之间设置部分槽隔离绝缘膜PT, 以与相对的整体侧面连接, 另外, 在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。为了与该部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接(参照图61), 设置以较高浓度N⁽⁺⁾含有N型杂质的本体固定区14A。另外, 本体固定区14A配置成也与源极区12的排列方向
- 25 的侧面连接。

另外, 在4个漏极区13间及位于排列的两端的漏极区13的外侧也设置部分槽隔离绝缘膜PT。

设置部分槽隔离绝缘膜PT, 以与漏极区13的与栅极G1成相反侧

的侧面连接, 该部分槽隔离绝缘膜PT与4个漏极区13的侧面连接的同时, 也与在4个漏极区13间及漏极区13的排列的外侧设置的部分槽隔离绝缘膜PT的侧面连接。从而, 4个漏极区13由部分槽隔离绝缘膜PT包围。

5 NMOS晶体管N6中, 源极/漏极区沿栅极宽度方向分割成2份, 形成具有2个独立源极区22的排列和2个独立漏极区23的排列的结构。

在2个源极区22之间设置部分槽隔离绝缘膜PT, 以与相对的整体侧面连接, 另外, 在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。为了与该部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接, 设置以较高浓度(P^+)含有P型杂质的本体固定区24A。另外, 本体固定区24A配置成也与源极区22的排列方向的侧面连接。

通过令本体固定区14A及24A为各自独立的结构, 可减小本体固定区14A及24A的形成面积, 提高了面积利用率。

15 另外, 在2个漏极区23间及位于排列的两端的漏极区23的外侧也设置部分槽隔离绝缘膜PT。

为了与漏极区23的与栅极G1成相反侧的侧面连接, 设置部分槽隔离绝缘膜PT, 该部分槽隔离绝缘膜PT与2个漏极区23的侧面连接的同时, 也与2个漏极区23间及漏极区23的排列的外侧设置的部分槽隔离绝缘膜PT的侧面连接。从而, 2个漏极区23由部分槽隔离绝缘膜PT包围。

如图61所示, PMOS晶体管P6的本体固定区14A设置成从SOI层3的表面达到埋入氧化膜2, 形成与在部分槽隔离绝缘膜PT的下层存在的以较低浓度(N^-)含有N型杂质的阱区15接触的结构。

25 阱区15存在于部分槽隔离绝缘膜PT的下层, 半导体装置600中, 漏极区13及23由部分槽隔离绝缘膜PT包围, 因此在漏极区13及23的周围存在阱区15。

另外, 虽然本体固定区14A的面积小, 但是如图61及图64所示,

在本体固定区14A上及源极区12上用硅化膜SS共同覆盖并电气连接，因此，若其一部分与布线层M1电气连接，则可固定本体固定区14A的电位。

5 另外，该结构在NMOS晶体管N6的本体固定区24A及源极区22中也相同。

F-2. 效果

10 如上所述，半导体装置600中，通过沿栅极宽度方向分割MOS晶体管的源极/漏极区，与图1～图5说明的半导体装置100同样，PMOS晶体管P6及NMOS晶体管N6中，可以可靠地进行本体区11及21的电位固定，抑制缺陷的发生并提高工作耐压。

15 另外，通过将源极/漏极区用部分槽隔离绝缘膜PT及全槽隔离绝缘膜FT分割，实质上将栅极G1沿栅极宽度方向分割，但是槽隔离绝缘膜形成时，由于使用加工精度高的掩模，因此可按照设计值高精度分割栅极G1，防止在栅极宽度上产生偏差，可获得工作特性没有产生偏差的半导体装置。

另外，漏极区13及23由部分槽隔离绝缘膜PT包围，因此在漏极区13及23的周围存在阱区15，可在漏极区13及23的周围的任意部位设置本体固定区，可经由该本体固定区固定本体区的电位。

20 从而，本体区从源极区12及22侧或漏极区13及23侧都可进行电位固定，能够可靠地防止本体区成为浮置状态，并防止本体区成为浮置状态导致的电容分量的发生。

25 另外，PMOS晶体管P6的源极区12的侧面仅一部分与本体固定区14A连接，另外，NMOS晶体管N6的源极区22的侧面仅一部分与本体固定区24A连接，因此，源极区12及22中的PN结的结面积变窄，寄生结电容小，因此在不希望源极区侧中的结电容变大的场合是有效的。

F-3. 变形例1

接着，说明以上说明的实施例6的变形例1的结构。

图65是半导体装置601的结构平面图，图65所示A-A线、B-B线、

D-D线及E-E线的截面分别如图66、图67、图68及图69所示。另外，与图60~64所示的半导体装置600相同的结构附上相同的符号，省略重复的说明。

5 图65所示半导体装置601中，为了与PMOS晶体管P61的自体固定区14A的与栅极G1成相反侧的侧面连接(参照图66)，设置部分槽隔离绝缘膜PT。该部分槽隔离绝缘膜PT设置成也与源极区12的与栅极G1成相反侧的侧面连接(参照图69)，源极区12由部分槽隔离绝缘膜PT包围。

10 另外，PMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(N^-)含有N型杂质的阱区15，如图66所示，形成自体固定区14A和阱区15接触的结构。

15 NMOS晶体管N61中，设置部分槽隔离绝缘膜PT，以为了与自体固定区24A的与栅极G1成相反侧的侧面连接。该部分槽隔离绝缘膜PT设置成也与源极区22的与栅极G1成相反侧的侧面连接，源极区22由部分槽隔离绝缘膜PT包围。

另外，NMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(P^-)含有P型杂质的阱区25，虽然未图示，形成自体固定区24A和阱区25接触的结构。

20 通过采用这样的结构，PMOS晶体管P61的源极区12的侧面与部分槽隔离绝缘膜PT及自体固定区14A连接，另外，NMOS晶体管N61的源极区22的侧面与部分槽隔离绝缘膜PT及自体固定区24A连接，因此源极区12及22中的PN结的结面积扩大，寄生结电容变大，可稳定电源供给。

25 另外，源极区12及22由部分槽隔离绝缘膜PT包围，因此，在部分槽隔离绝缘膜PT上配置布线层M1的场合，可进一步增大该布线层M1寄生的寄生电容，可稳定电源供给。

F-4. 变形例2

接着，说明实施例6的变形例2的结构。

图70是半导体装置602的结构平面图，图70所示A-A线、B-B线、D-D线及E-E线的截面分别如图71、图72、图73及图74所示。另外，与图60～64所示的半导体装置600相同的结构附上相同的符号，省略重复的说明。

5 图70所示半导体装置602的PMOS晶体管P62中，源极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列的结构。

即，在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

10 另一方面，漏极区13A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

NMOS晶体管N62中，源极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列的结构。

15 即，在2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

20 另一方面，漏极区23A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

通过采用这样的结构，漏极区13A及23A形成连续的结构，只要至少一处连接到电位固定用的接触孔即可，可简化接触孔形成的工序。

F-5. 变形例3

25 接着，说明实施例6的变形例3的结构。

图75是半导体装置603的结构平面图，图75所示A-A线、B-B线、D-D线及E-E线的截面分别如图76、图77、图78及图79所示。另外，与图60～64所示的半导体装置600相同的结构附上相同的符号，省略

重复的说明。

图75所示半导体装置603的PMOS晶体管P63中，源极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列的结构。

5 即，在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

另一方面，漏极区13A中设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

10 NMOS晶体管N63中，源极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列的结构。

即，在2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

15 另一方面，漏极区23A中设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

20 通过采用这样的结构，漏极区13A及23A形成连续的结构，只要至少一处连接到电位固定用的接触孔即可，可简化接触孔形成的工序。

另外，设置部分槽隔离绝缘膜PT，以与本体固定区14A的与栅极G1成相反侧的侧面连接(参照图76)。该部分槽隔离绝缘膜PT设置成也与源极区12的与栅极G1成相反侧的侧面连接(参照图79)，源极区12由部分槽隔离绝缘膜PT包围。

25 另外，PMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(N-)含有N型杂质的阱区15，如图76所示，形成本体固定区14A和阱区15接触的结构。

NMOS晶体管N63中，设置部分槽隔离绝缘膜PT，以与本体固定

区24A的与栅极G1成相反侧的侧面连接。该部分槽隔离绝缘膜PT设置成也与源极区22的与栅极G1成相反侧的侧面连接，源极区22由部分槽隔离绝缘膜PT包围。

5 另外，NMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(P⁻)含有P型杂质的阱区25，虽然未图示，但是形成本体固定区24和阱区25接触的结构。

通过采用这样的结构，PMOS晶体管P63的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14A连接，另外，NMOS晶体管N63的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24A连接，因此，源极区12及22中的PN结的结面积扩大，寄生结电容变大，可稳定电源供给。

另外，源极区12及22由部分槽隔离绝缘膜PT包围，因此，在部分槽隔离绝缘膜PT上配置布线层M1的场合，可进一步增大该布线层M1寄生的寄生电容，可稳定电源供给。

15 G. 实施例7

G-1. 装置结构

图80~图84说明本发明的实施例7的半导体装置700的结构。

图80是半导体装置700的结构平面图，图80所示A-A线、B-B线、D-D线及E-E线的截面分别如图81、图82、图83及图84所示。另外，与图1~5所示的半导体装置100相同的结构附上相同的符号，省略重复的说明。

如图80所示，半导体装置700中，具有PMOS晶体管P7和NMOS晶体管N7，两晶体管的栅极G1共同连接。

PMOS晶体管P7中，形成源极/漏极区沿栅极宽度方向具有4个独立漏极区13的排列的结构。

在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整体侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。设置以较高浓度(N⁺)含有N型杂质的本体固定区

14A, 以与该部分槽隔离绝缘膜PT的与栅极G1成相反侧的侧面连接(参照图81)。另外, 本体固定区14A配置成也与源极区12的排列方向的侧面连接。

5 另外, 在4个漏极区13间也设置部分槽隔离绝缘膜PT, 但是不与漏极区13的相对的整个侧面连接, 设置从栅极G1以规定长度突出的部分槽隔离绝缘膜PT。这在位于排列的两端的漏极区13的外侧中也同样。

NMOS晶体管N7中, 源极/漏极区沿栅极宽度方向分割成2份, 形成具有2个独立源极区22的排列和2个独立漏极区23的排列的结构。

10 在2个源极区22之间设置部分槽隔离绝缘膜PT, 以与相对的整个侧面连接, 另外, 在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

设置以较高浓度(P^+)含有P型杂质的本体固定区24A, 以与源极区22的与栅极G1成相反侧的侧面连接。另外, 本体固定区24A配置成也

15 也与源极区22的排列方向的侧面连接。

另外, 在2个漏极区23间也设置部分槽隔离绝缘膜PT, 但是不与漏极区23的相对的整个侧面连接, 设置从栅极G1以规定长度突出的部分槽隔离绝缘膜PT。这在位于排列的两端的漏极区23的外侧中也同样。

20 如图81所示, PMOS晶体管P7的本体固定区14A设置成从SOI层3的表面达到埋入氧化膜2, 形成与在部分槽隔离绝缘膜PT的下层存在的以较低浓度(N^-)含有N型杂质的阱区15接触的结构。

另外, 本体固定区14A的面积小, 但是如图81及图84所示, 在本体固定区14A上及源极区12上用硅化膜SS共同覆盖并电气连接, 因此, 若其一部分与布线层M1电气连接, 则可固定本体固定区14A的电位。

25

另外, 该结构在NMOS晶体管N7的本体固定区24A及源极区22中也相同。

G-2. 效果

如上所述，半导体装置700中，通过将MOS晶体管的源极/漏极区沿栅极宽度方向分割，与图1～图5说明的半导体装置100同样，在PMOS晶体管P7及NMOS晶体管N7中，可以可靠地进行本体区11及21的电位固定，抑制缺陷的发生并提高工作耐压。

另外，通过将源极/漏极区用部分槽隔离绝缘膜PT及全槽隔离绝缘膜FT分割，实质上栅极G1沿栅极宽度方向分割，但是槽隔离绝缘膜形成时，由于使用加工精度高的掩模，因此可按照设计值高精度分割栅极G1，可防止在栅极宽度上产生偏差，可获得工作特性不产生偏差的半导体装置。

另外，PMOS晶体管P7的源极区12的侧面仅一部分与本体固定区14A连接，另外，NMOS晶体管N7的源极区22的侧面仅一部分与本体固定区24A连接，因此，源极区12及22中的PN结的结面积变窄，寄生结电容小，从而，在不希望增大源极区侧中的结电容的场合是有效的。

另外，PMOS晶体管P7的漏极区13及NMOS晶体管N7的漏极区23的侧面的大部分与全槽隔离绝缘膜FT连接，与部分槽隔离绝缘膜PT连接的部分只是一部分。

通过采用这样的结构，漏极区13及23的大部分由全槽隔离绝缘膜FT包围，相应地减小PN结的结面积，因此，漏极区13及23中的寄生结电容变小，充放电花费的时间变少，从而可防止MOS晶体管的工作速度降低。

G-3. 变形例1

接着，说明以上说明的实施例7的变形例1的结构。

图85是半导体装置701的结构平面图，图85所示A-A线、B-B线、D-D线及E-E线的截面分别如图86、图87、图88及图89所示。另外，与图80～84所示的半导体装置700相同的结构附上相同的符号，省略重复的说明。

图85所示半导体装置801中，设置部分槽隔离绝缘膜PT，以与

PMOS晶体管P71的本体固定区14A的与栅极G1成相反侧的侧面连接(参照图86)。该部分槽隔离绝缘膜PT设置成也与源极区12的与栅极G1成相反侧的侧面连接(参照图89)，源极区12由部分槽隔离绝缘膜PT包围。

5 另外，PMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(N^-)含有N型杂质的阱区15，如图86所示，形成本体固定区14和阱区15接触的结构。

10 NMOS晶体管N71中，设置部分槽隔离绝缘膜PT，以与本体固定区24的与栅极G1成相反侧的侧面连接。该部分槽隔离绝缘膜PT设置成也与源极区22的与栅极G1成相反侧的侧面连接，源极区22由部分槽隔离绝缘膜PT包围。

 另外，NMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(P^-)含有P型杂质的阱区25，虽然未图示，形成本体固定区24和阱区25接触的结构。

15 通过采用这样的结构，PMOS晶体管P71的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14A连接，另外，NMOS晶体管N61的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24A连接，因此，源极区12及22中的PN结的结面积扩大，寄生结电容变大，可稳定电源供给。

20 另外，源极区12及22由部分槽隔离绝缘膜PT包围，因此，在部分槽隔离绝缘膜PT上配置布线层M1的场合，可进一步增大该布线层M1寄生的寄生电容，可稳定电源供给。

G-4. 变形例2

 接着，说明实施例7的变形例2的结构。

25 图90是半导体装置702的结构平面图，图90所示A-A线、B-B线、D-D线及E-E线的截面分别如图91、图92、图93及图94所示。另外，与图80~84所示的半导体装置700相同的结构附上相同的符号，省略重复的说明。

图90所示半导体装置702的PMOS晶体管P72中，源极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列的结构。

即，在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

另一方面，在漏极区13A中设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

NMOS晶体管N72中，源极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列的结构。

即，在2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

另一方面，漏极区23A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

通过采用这样的结构，漏极区13A及23A形成连续的结构，只要至少一处连接到电位固定用的接触孔即可，可简化接触孔形成的工序。

20 G-5. 变形例3

接着，说明实施例7的变形例3的结构。

图95是半导体装置703的结构平面图，图95所示A-A线、B-B线、D-D线及E-E线的截面分别如图96、图97、图98及图99所示。另外，与图80～84所示的半导体装置700相同的结构附上相同符号，省略重复的说明。

图95所示半导体装置703的PMOS晶体管P73中，源极区沿栅极宽度方向分割成4份，形成具有4个独立源极区12的排列的结构。

即，在4个源极区12之间设置部分槽隔离绝缘膜PT，以与相对

的整个侧面连接，另外，在位于排列的两端的源极区12的外侧也设置部分槽隔离绝缘膜PT。

5 另一方面，漏极区13A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

NMOS晶体管N73中，源极区沿栅极宽度方向分割成2份，形成具有2个独立源极区22的排列的结构。

10 即，在2个源极区22之间设置部分槽隔离绝缘膜PT，以与相对的整个侧面连接，另外，在位于排列的两端的源极区22的外侧也设置部分槽隔离绝缘膜PT。

另一方面，漏极区23A中，设置部分槽隔离绝缘膜PT，其从栅极G1以规定长度突出，但是与栅极G1成相反侧的部分形成连续的结构，并不分割。

15 通过采用这样的结构，漏极区13A及23A形成连续的结构，只要至少一处连接到电位固定用的接触孔即可，可简化接触孔形成的工序。

20 另外，设置部分槽隔离绝缘膜PT，以与本体固定区14A的与栅极G1成相反侧的侧面连接(参照图96)。该部分槽隔离绝缘膜PT设置成也与源极区12的与栅极G1成相反侧的侧面连接(参照图99)，源极区12由部分槽隔离绝缘膜PT包围。

另外，PMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以较低浓度(N^-)含有N型杂质的阱区15，如图96所示，形成本体固定区14A和阱区15接触的结构。

25 NMOS晶体管N73中，设置部分槽隔离绝缘膜PT，以与本体固定区24A的与栅极G1成相反侧的侧面连接。该部分槽隔离绝缘膜PT设置成也与源极区22的与栅极G1成相反侧的侧面连接，源极区22由部分槽隔离绝缘膜PT包围。

另外，NMOS晶体管区中，在部分槽隔离绝缘膜PT的下层存在以

较低浓度(P⁻)含有P型杂质的阱区25, 虽然未图示, 但是形成本体固定区24和阱区25接触的结构。

5 通过采用这样的结构, PMOS晶体管P73的源极区12的侧面与部分槽隔离绝缘膜PT及本体固定区14A连接, 另外, NMOS晶体管N73的源极区22的侧面与部分槽隔离绝缘膜PT及本体固定区24A连接, 因此, 源极区12及22中的PN结的结面积扩大, 寄生结电容变大, 可稳定电源供给。

10 另外, 源极区12及22由部分槽隔离绝缘膜PT包围, 因此, 在部分槽隔离绝缘膜PT上配置布线层M1的场合, 可进一步增大该布线层M1寄生的寄生电容, 可稳定电源供给。

H. 沟道宽

以上说明的实施例1~7中, 说明了PMOS晶体管中沿栅极宽度方向分割成4份沟道区, NMOS晶体管中沿栅极宽度方向分割成2份沟道区的结构。

15 这样, PMOS晶体管的沟道宽具有NMOS晶体管的沟道宽的2倍左右的长度, 分割后的各个沟道宽在PMOS晶体管和NMOS晶体管中大致相同, 从而, 通过这样的分割, 有容易布局设计的优点。但是, 不局限于这样的分割。

20 另外, 如上所述, MOS晶体管的工作耐压由沟道宽限制, 沟道宽若变长, 则工作耐压降低。这可以用图100进一步说明。

图100是相对于沟道宽的MOS晶体管的工作耐压特性的示图, 横轴表示沟道宽, 纵轴表示工作耐压。另外, 横轴、纵轴的单位都任意。

25 从图100可判断, PMOS晶体管及NMOS晶体管的任一个中工作耐压都由沟道宽限制, 沟道宽若变长, 则工作耐压降低。因而, 通过沿栅极宽度方向将沟道区分割成多个, 可对各个沟道区施加的电压变高, 提高晶体管整体的工作耐压, 这是本发明的技术思想之一。

另外, 图100中, 表示了NMOS晶体管的工作耐压特性C_n和PMOS

晶体管的工作耐压特性 C_p ，将达到特性 C_n 及 C_p 中的耐压规格值的最大沟道宽分别用 $W_{\max-n}$ 及 $W_{\max-p}$ 表示。

从图100可判断NMOS晶体管的 $W_{\max-n}$ 小。这意味着：为了使耐压规格值相同，NMOS晶体管的沟道宽必须比PMOS晶体管短。

5 另外，NMOS晶体管的电流驱动能力比PMOS晶体管大2倍~2.5倍左右，因此，若令电流驱动能力相同，则必须令NMOS晶体管的沟道宽比PMOS晶体管短。

根据这些理由，PMOS晶体管的沟道宽往往设定成比NMOS晶体管的沟道宽更长，但是并不局限于此。

10 以下，说明PMOS晶体管及NMOS晶体管中沟道宽及沟道区的分割的变形例。

H-1. 变形例1

图101表示2输入NOR电路NR1的平面布局的一例，这里用图26~图30说明的实施例4的半导体装置400来实现2输入NOR电路。与半导体装置400相同的结构附上相同的符号，省略重复的说明。

图101中，说明了具备栅极G21共同连接的PMOS晶体管P45及NMOS晶体管N45的排列(第1组)、栅极G22共同连接的PMOS晶体管P46及NMOS晶体管N46的排列(第2组)这2组晶体管的排列的2输入NOR电路NR1。

20 如图101所示，2输入NOR电路NR1中，PMOS晶体管P45及P46的沟道宽设定成NMOS晶体管N45及N46的大致4倍，PMOS晶体管P45及P46的沟道区沿栅极宽度方向分割成4份，而NMOS晶体管N45及N46不分割。因而，分割的PMOS晶体管P45及P46的沟道宽与NMOS晶体管N45及N46的沟道宽大致相同。

25 PMOS晶体管P45的漏极区和PMOS晶体管P46的源极区共用，作为源极漏极共用层17使用。

另外，NMOS晶体管N45及N46中，共同使用漏极区23A。

另外，PMOS晶体管P45的多个源极区12及本体固定区14，经由接触孔CH与布线层M1连接，该布线层M1与电源电位VDD连接。

另外，NMOS晶体管N45及N46的源极区22及本体固定区24分别经由接触孔CH与布线层M1连接，该布线层M1与接地电位GND连接。

PMOS晶体管P46的漏极区13A及NMOS晶体管N45、N46的共同的漏极区23A，经由接触孔CH与布线层M1连接，该布线层M1与输出端子OUT连接。

另外，栅极G21经由接触孔CH与布线层M1连接，该布线层M1与输入端子A连接，栅极G22经由接触孔CH与布线层M1连接，该布线层M1与输入端子B连接。

通过这样的布线，可获得2输入NOR电路NR1。另外，图101中，还一并用电路符号表示了上述2输入NOR电路NR1。

2输入NOR电路NR1中，为了使上升沿、下降沿的驱动力大致相等，PMOS晶体管P45及P46的沟道宽设定成NMOS晶体管N45及N46的大致4倍。

H-2. 变形例2

图102表示了2输入NOR电路NR2的平面布局的其他例，基本上具有与图101所示的2输入NOR电路NR1相同的平面布局，因此与图101相同的结构附上相同的符号，省略重复的说明。

图102所示的2输入NOR电路NR2中，取代PMOS晶体管P45及P46而具有PMOS晶体管P451及P461。

PMOS晶体管P451及P461由部分槽隔离绝缘膜PT沿栅极宽度方向将沟道区分割成3份，分割后的各个沟道区的沟道宽设定成比图101所示PMOS晶体管P45及P46长。

沟道区的分割数可考虑缺陷的抑制和工作耐压进行任意设定，另外，不限于等间隔地分割，即使是存在沟道宽不同的沟道区的场合也不会有问题。

H-3. 变形例3

图103表示2输入NAND电路ND的平面布局的一例，这里用图26～图30说明的实施例4的半导体装置400来实现2输入NAND电路。从而，

与半导体装置400相同的结构附上相同的符号，省略重复的说明。

图103中，说明了具有栅极G31共同连接的PMOS晶体管P47及NMOS晶体管N47的排列(第1组)、栅极G32共同连接的PMOS晶体管P48及NMOS晶体管N48的排列(第2组)这2组晶体管的排列的2输入NAND电路ND。

5 如图103所示，2输入NAND电路ND中，PMOS晶体管P47及P48的沟道宽和NMOS晶体管N47及N48的沟道宽设定成大致相同，PMOS晶体管P47及P48的沟道区、NMOS晶体管N47及N48的沟道区都沿宽度方向分割成3份。因而，分割后的PMOS晶体管P47及P48的沟道宽和NMOS晶体管N45及N46的沟道宽总之大致相同。

10 而且，NMOS晶体管N47的漏极区和NMOS晶体管N48的源极区共用，作为源极漏极共用层18使用。

另外，PMOS晶体管P47及P48中，共同使用漏极区13A。

另外，PMOS晶体管P47及P48的多个源极区12及本体固定区14，经由接触孔CH与布线层M1连接，该布线层M1与电源电位VDD连接。

15 另外，NMOS晶体管N47的多个源极区22及本体固定区24，经由接触孔CH与布线层M1连接，该布线层M1与接地电位GND连接。

PMOS晶体管P47及P48的漏极区13A、NMOS晶体管N48的漏极区23A，经由接触孔CH与布线层M1连接，该布线层M1与输出端子OUT连接。

20 另外，栅极G31经由接触孔CH与布线层M1连接，该布线层M1与输入端子A连接，栅极G32经由接触孔CH与布线层M1连接，该布线层M1与输入端子B连接。

通过这样的布线，可获得2输入NAND电路ND。另外，图103中，还一并用电路符号表示了上述2输入NAND电路ND。

25 2输入NAND电路ND中，为了使上升沿、下降沿的驱动力大致相等，PMOS晶体管P47及P48的沟道宽和NMOS晶体管N47及N48的沟道宽设定成大致相同长度。

另外，以上说明中示例了PMOS晶体管的沟道宽与NMOS晶体管的

沟道宽相同或比NMOS晶体管的沟道宽更长的情况，但是不限于该关系，例如，在进行不同电压电平之间的信号收发的一部分中使用的电平变换电路中，NMOS晶体管的沟道宽也可以设置成比PMOS晶体管的沟道宽更长，这样的电平变换电路当然也可以用本发明的半导体装置实现。

5

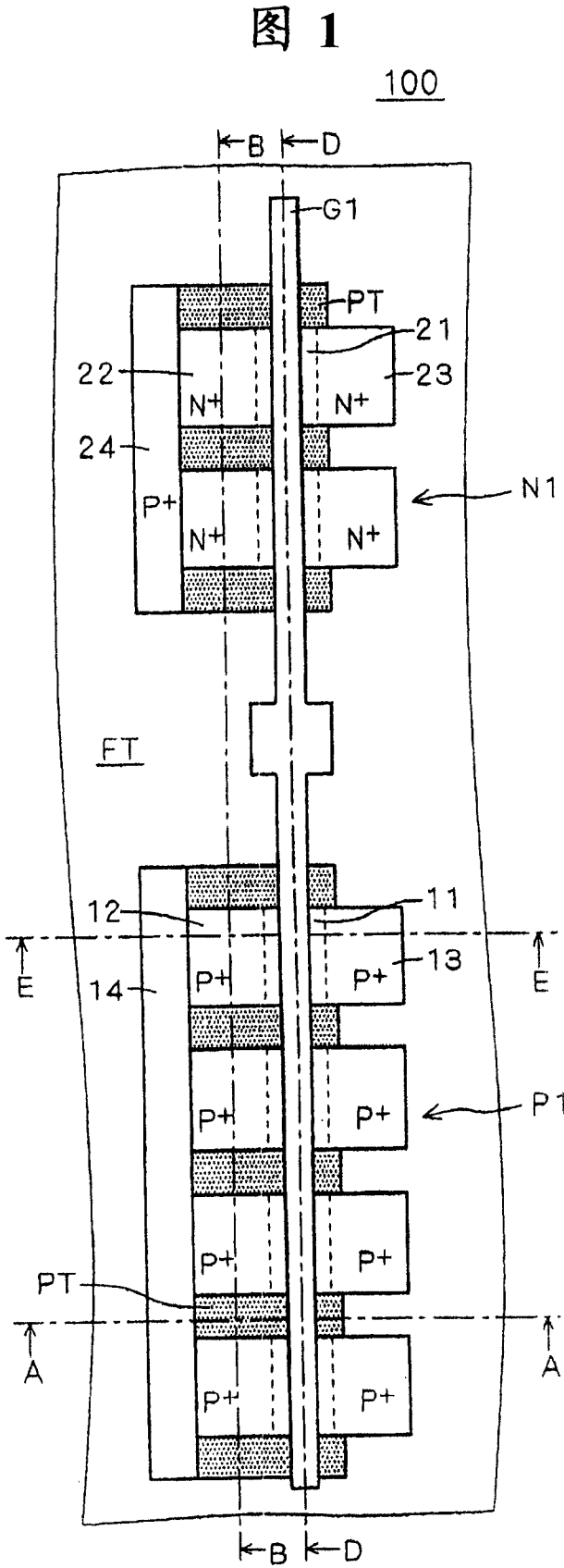


图 2

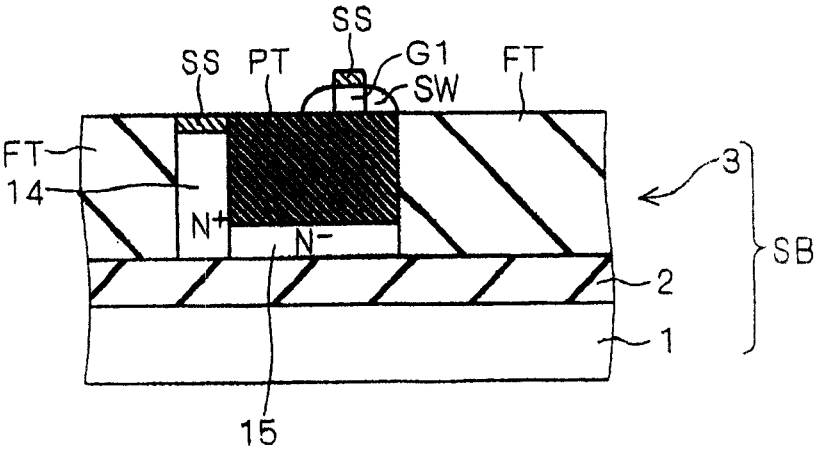


图 4

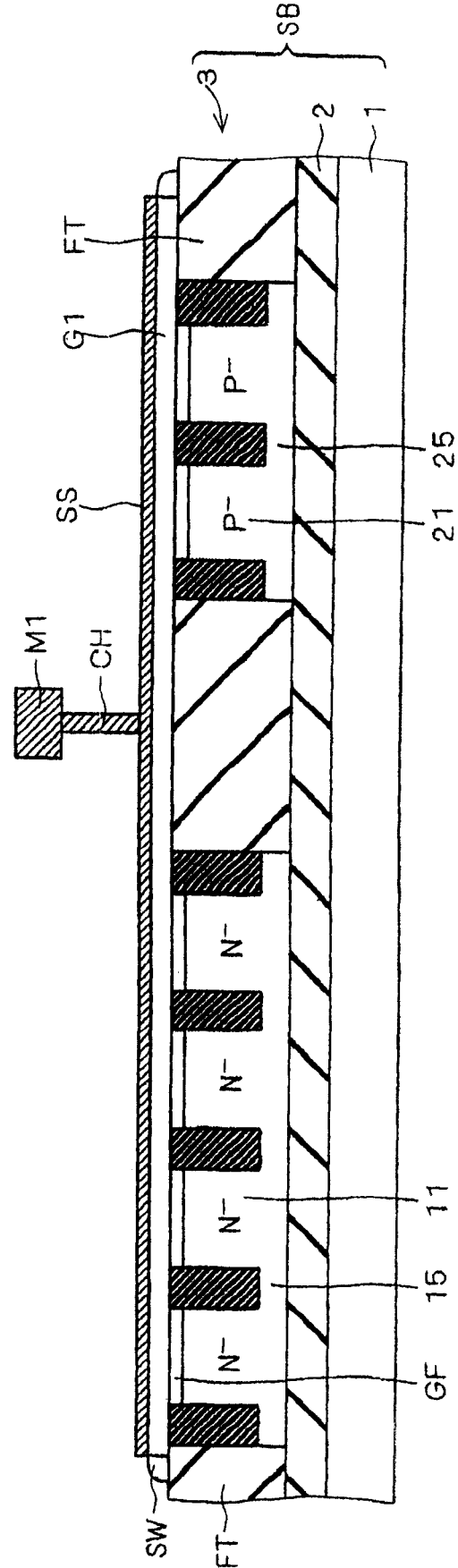


图 6

100A

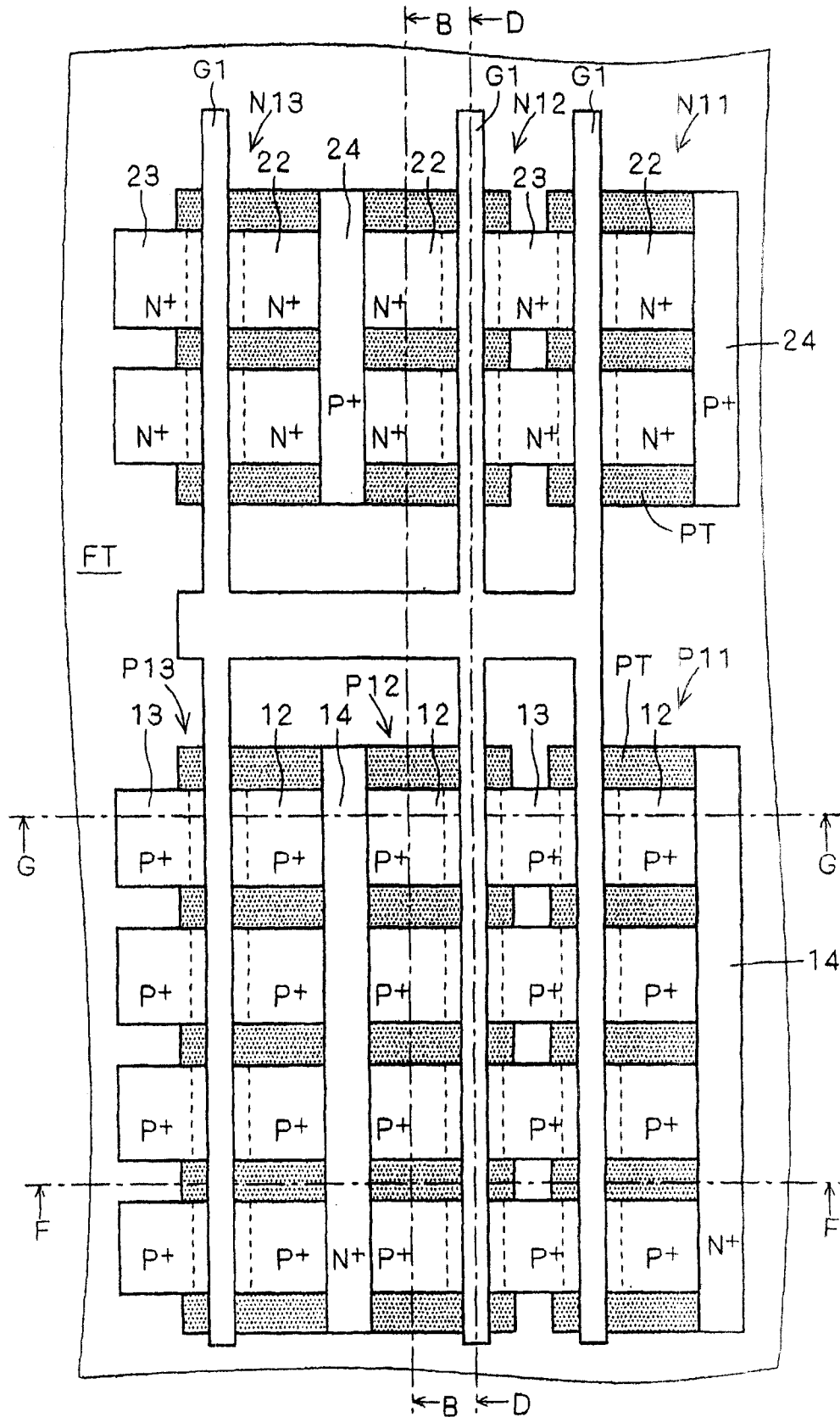


图 7

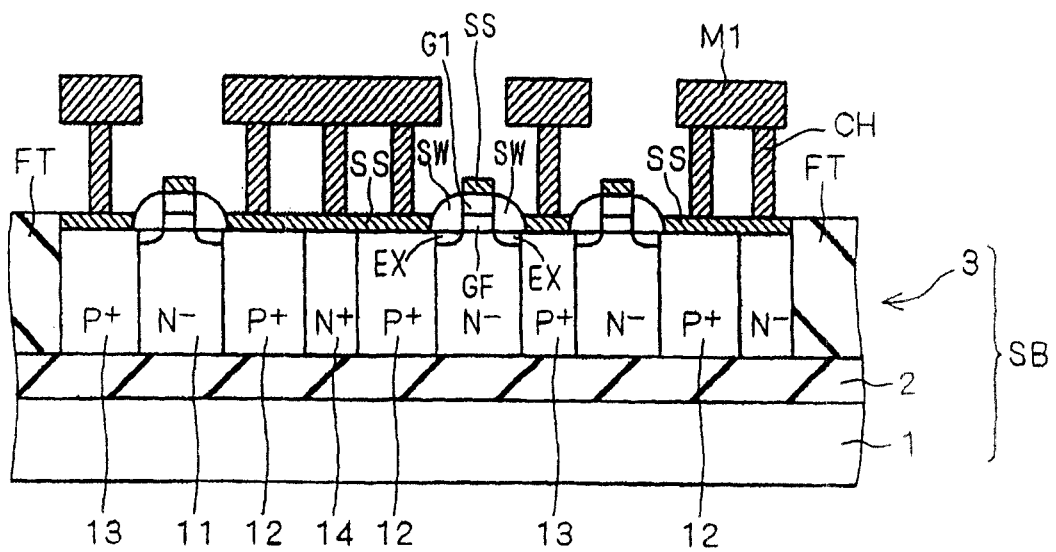
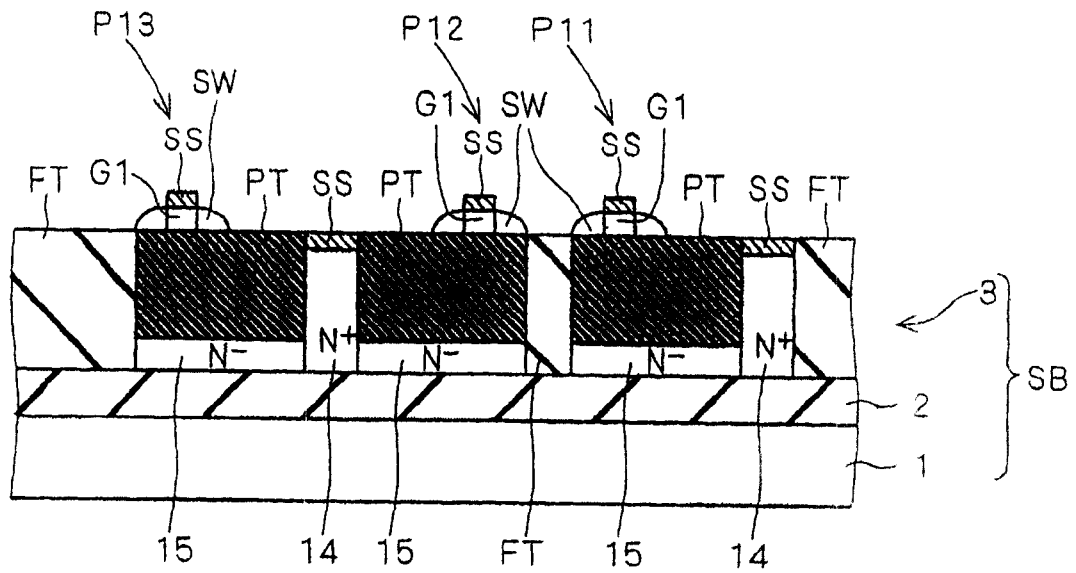


图 8

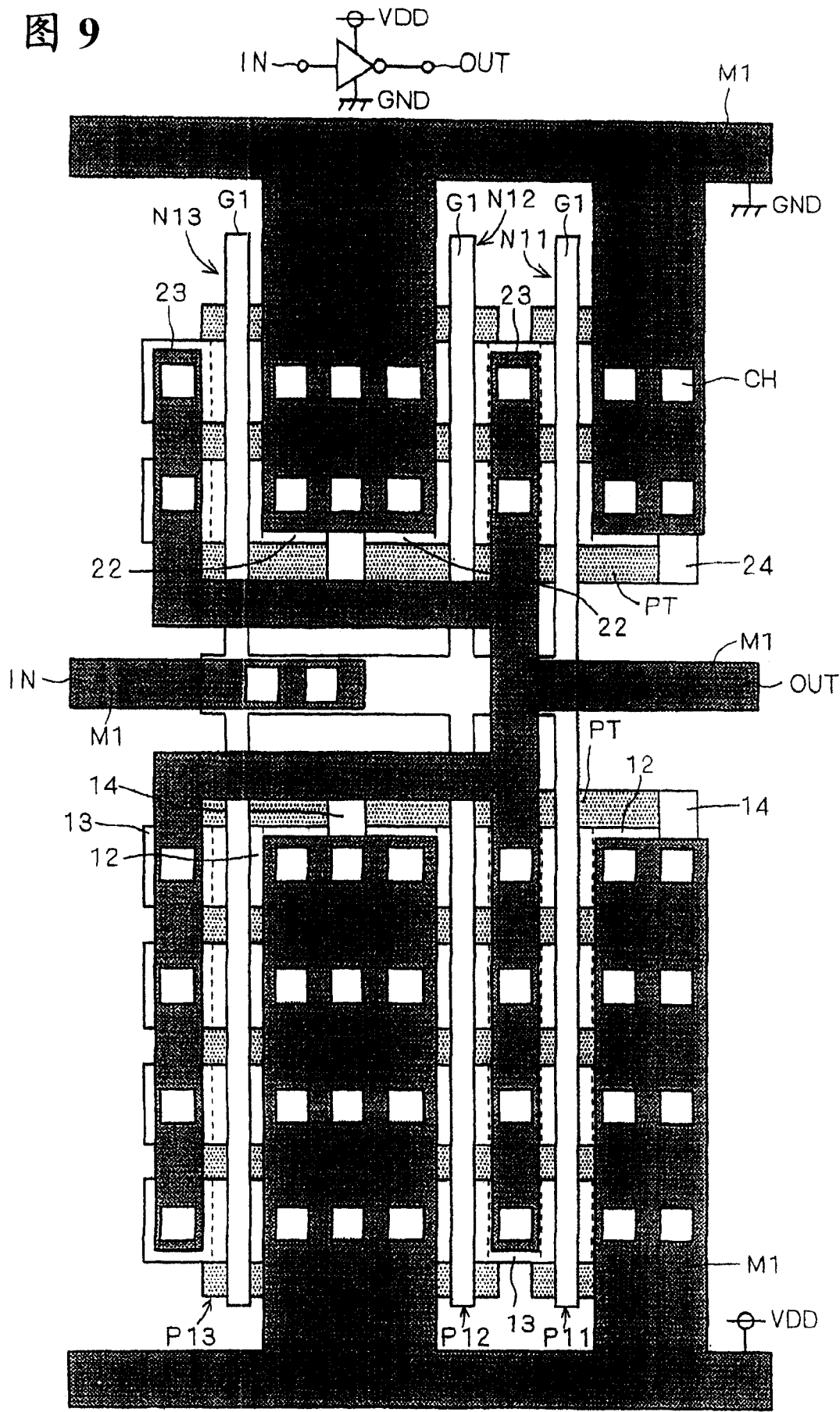


图 10

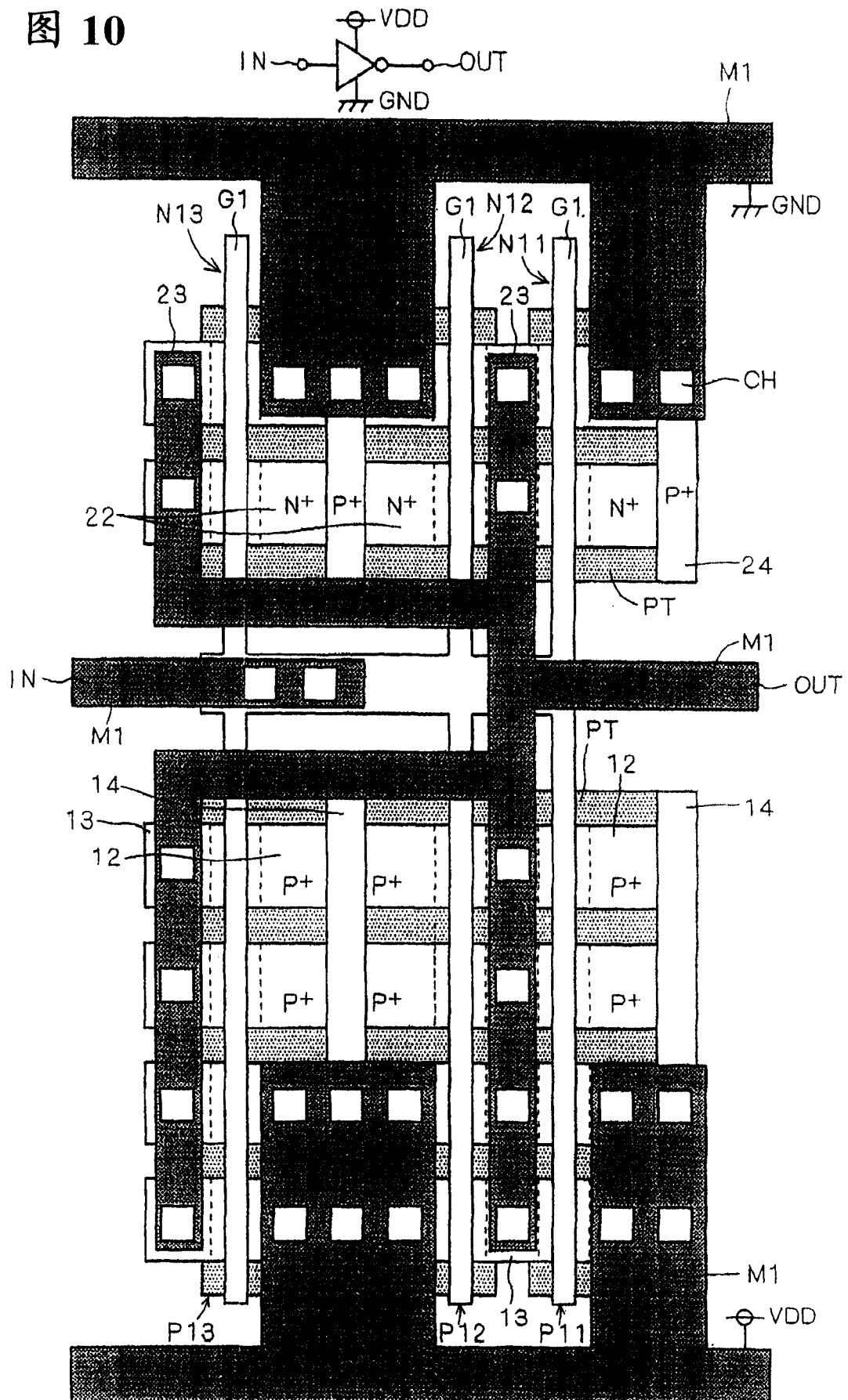


图 11

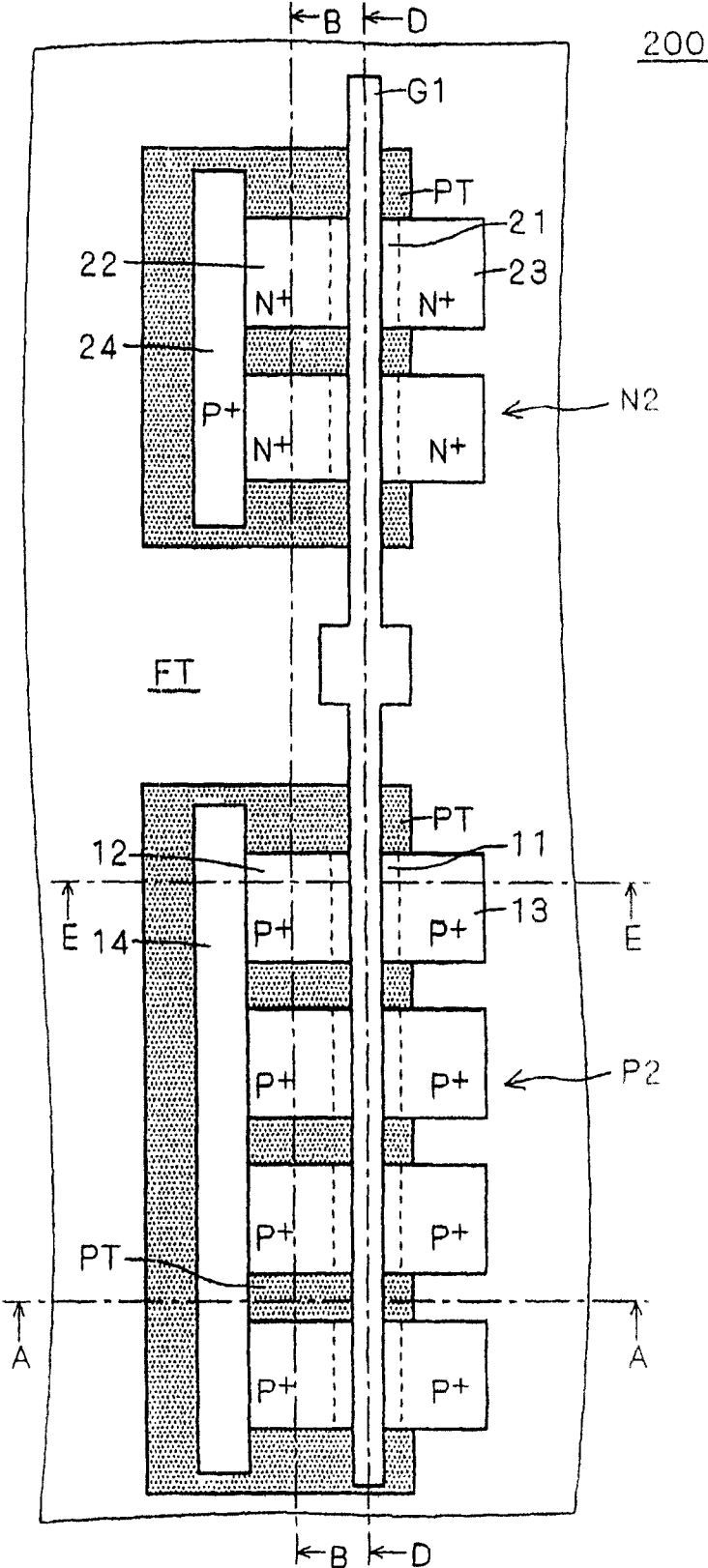
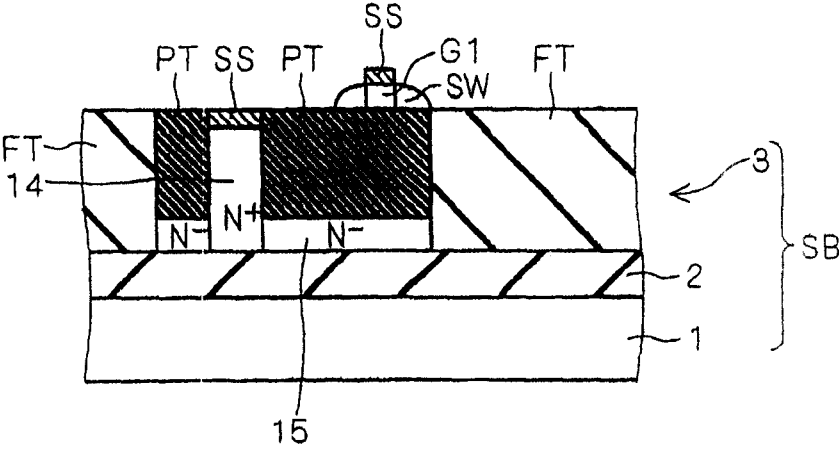


图 12



13

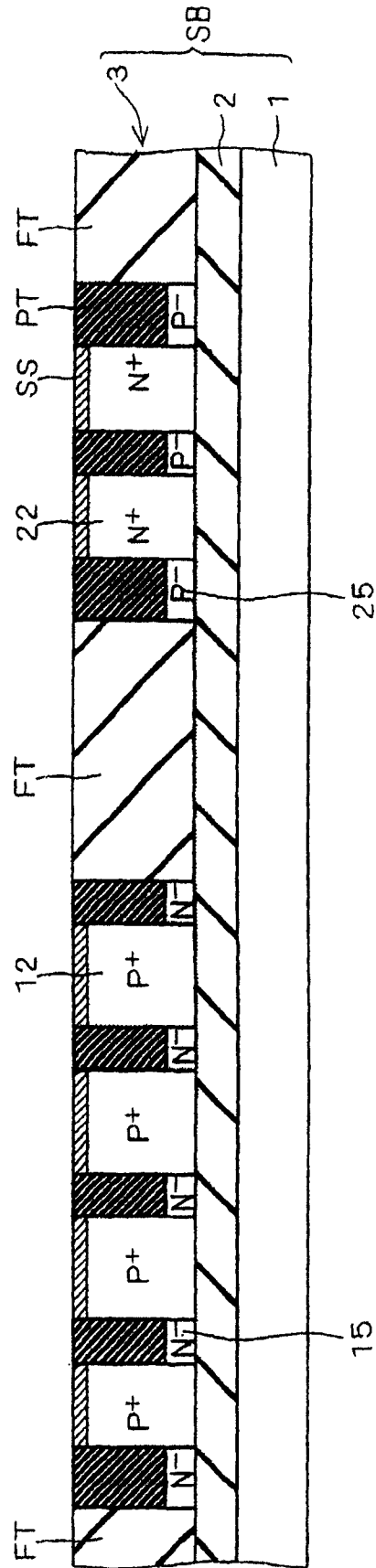


图 15

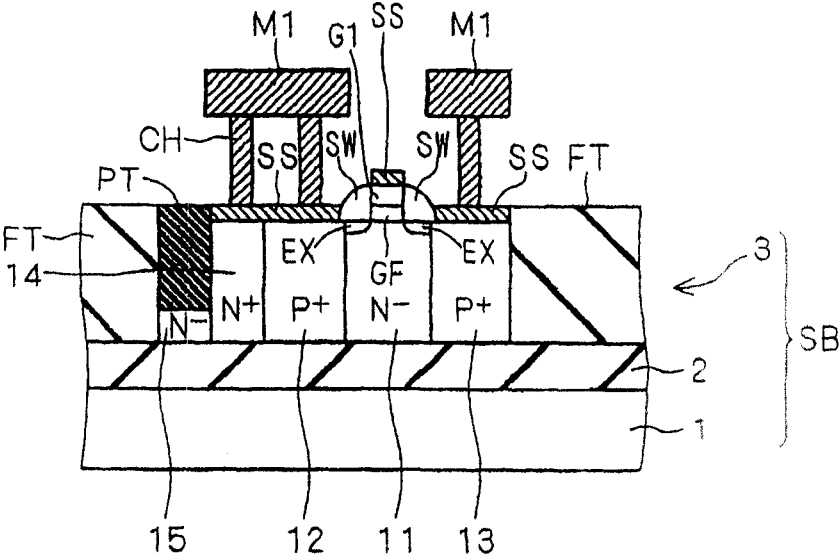


图 16

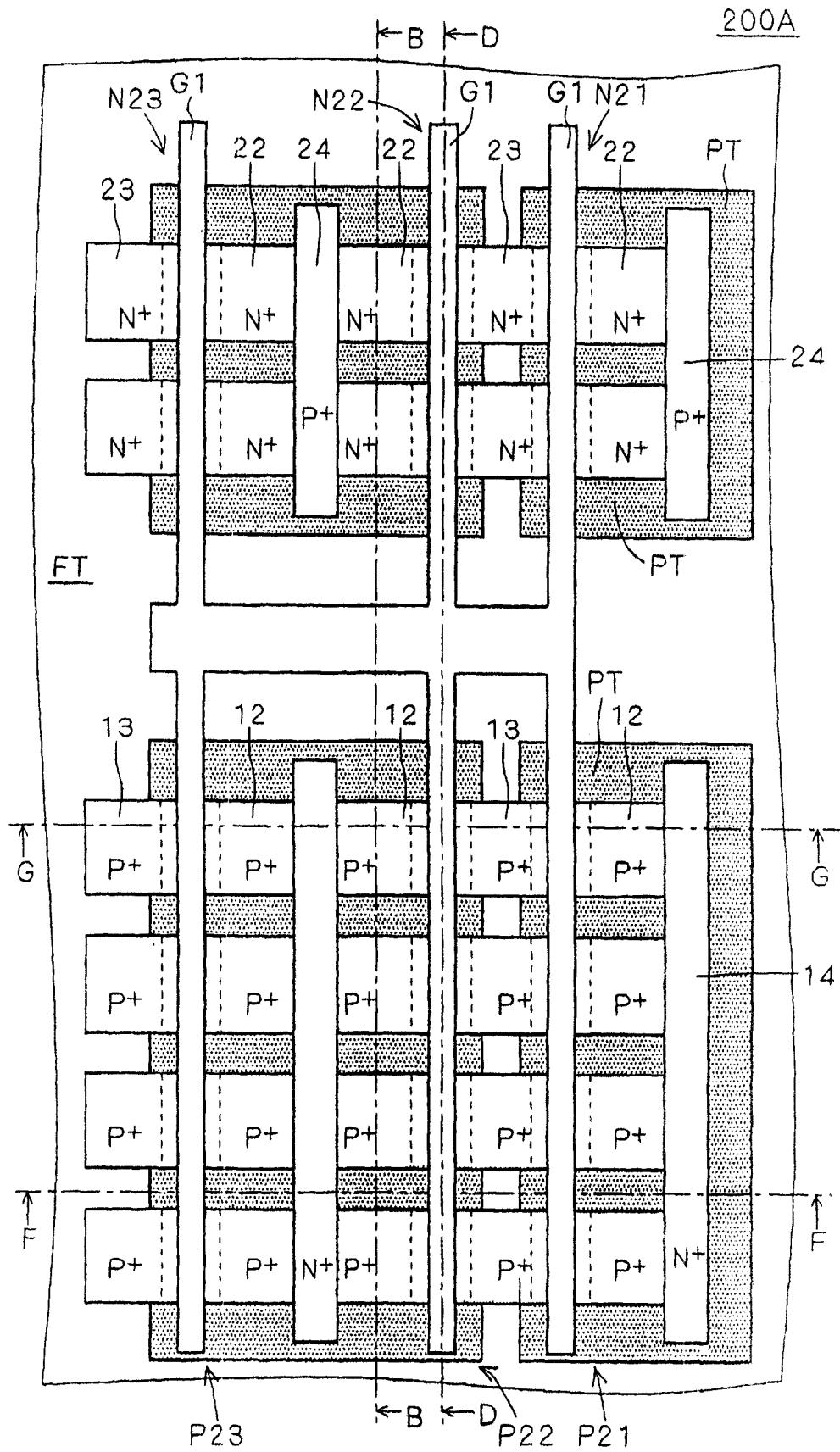


图 17

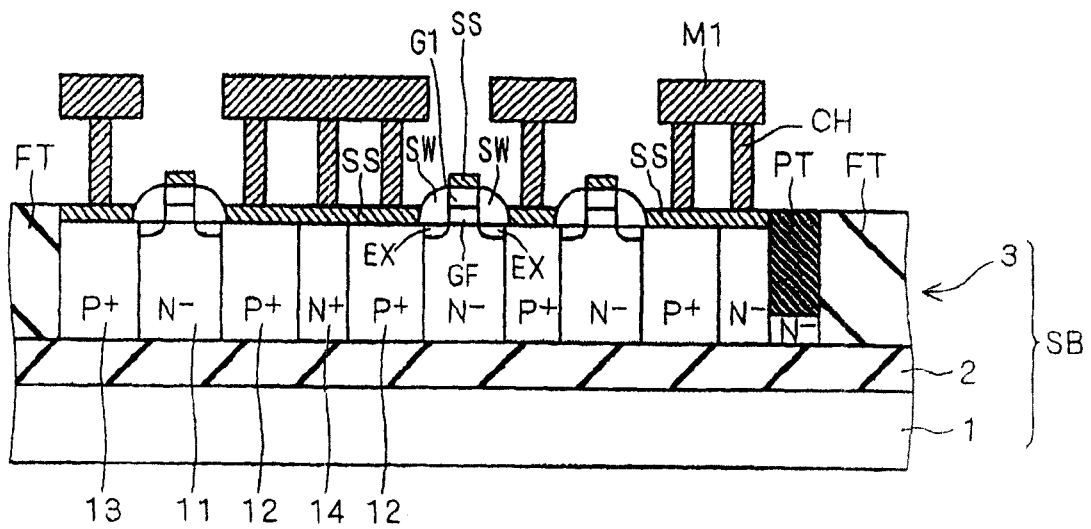
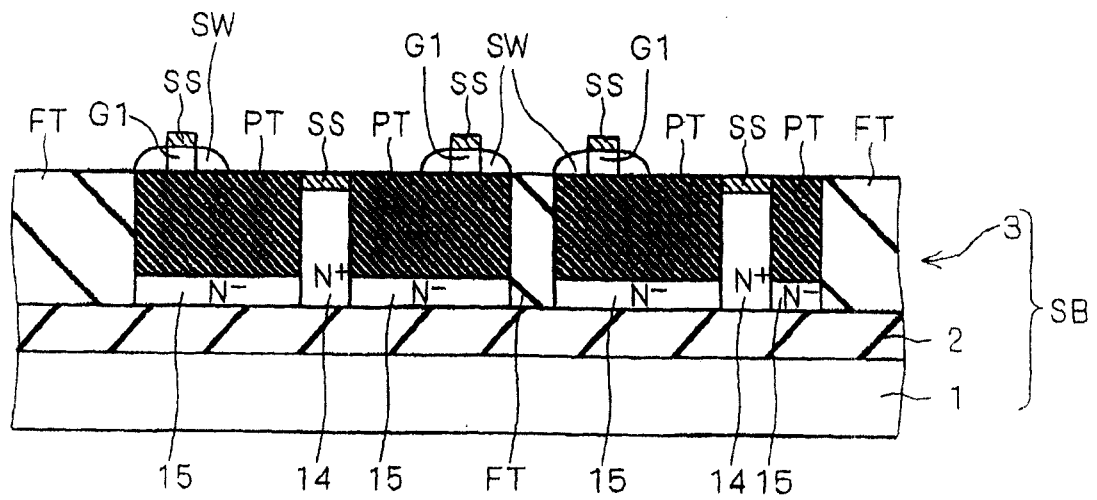


图 18

图 19

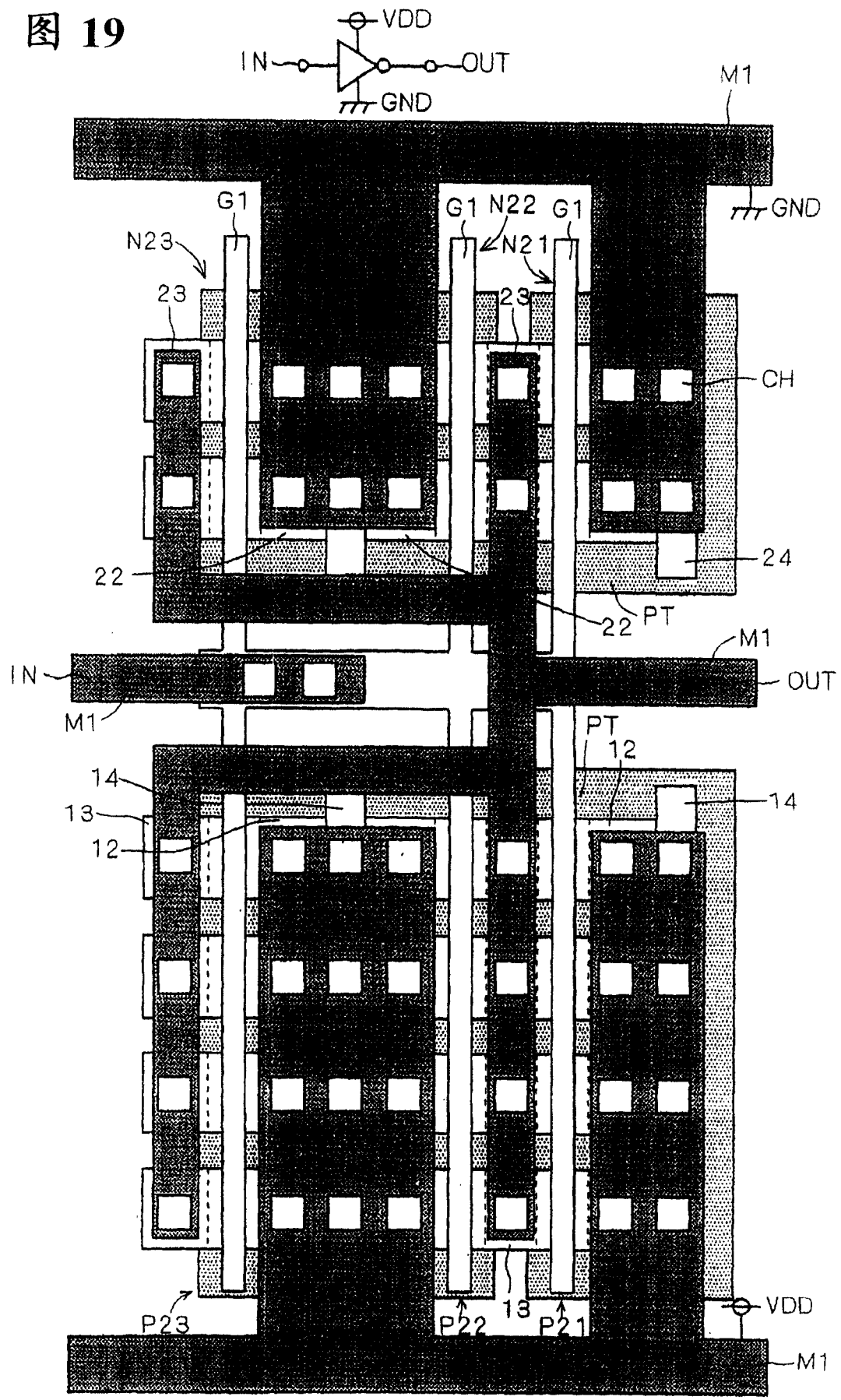


图 20

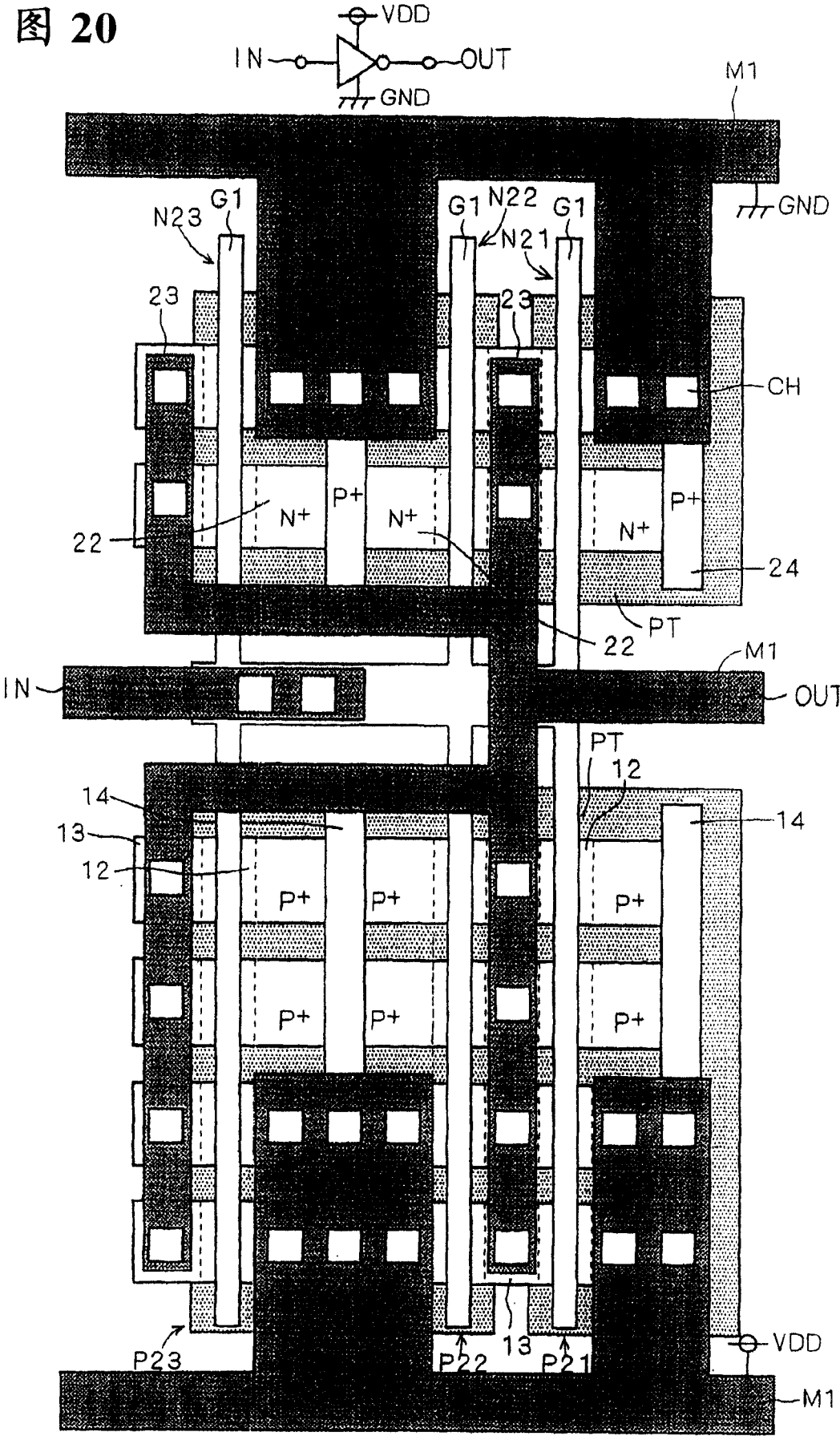


图 21

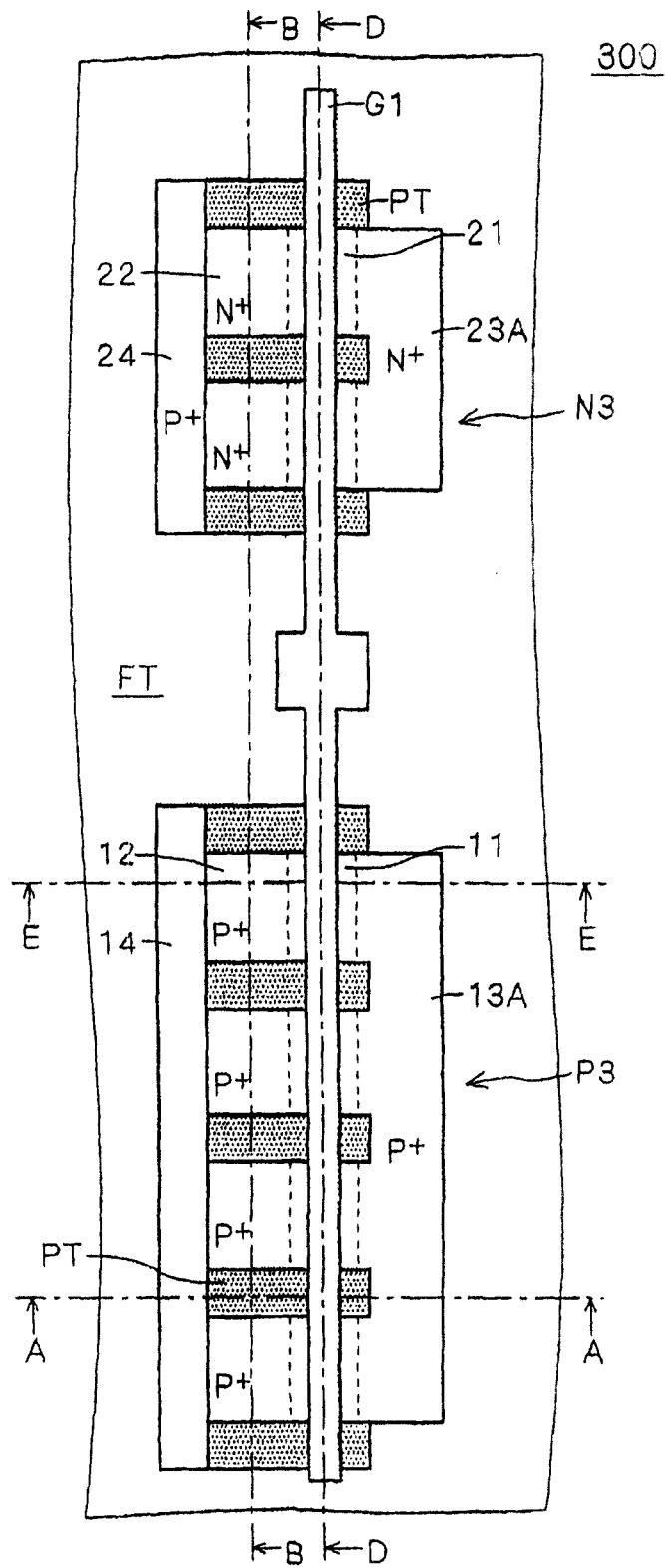


图 22

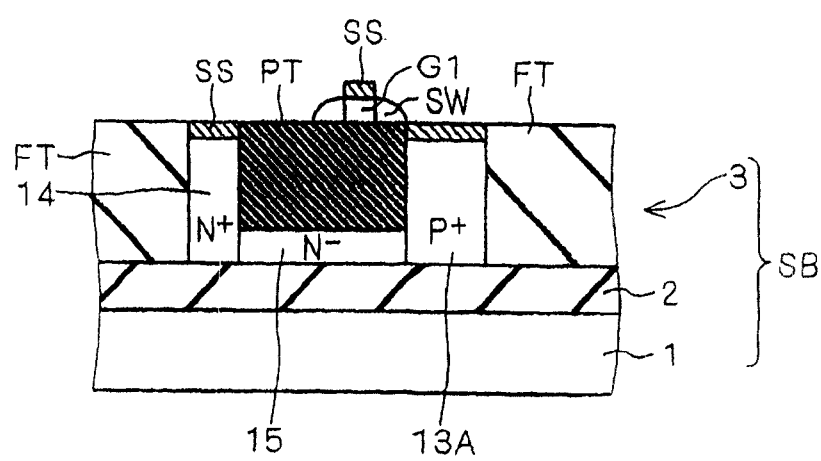


图 23

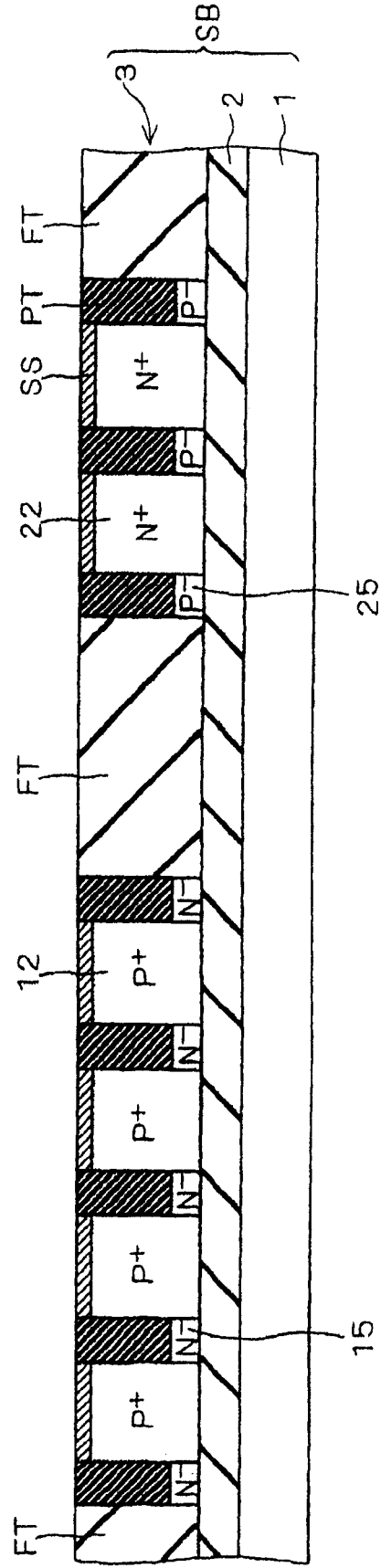


图 25

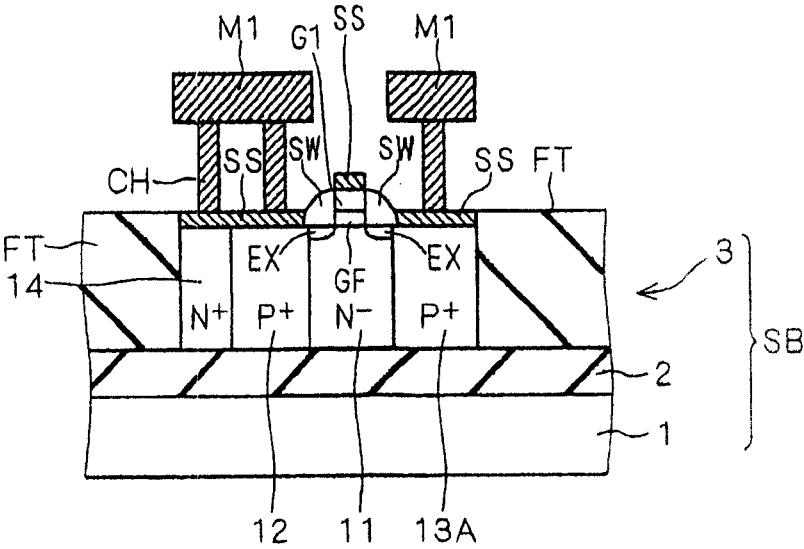


图 26

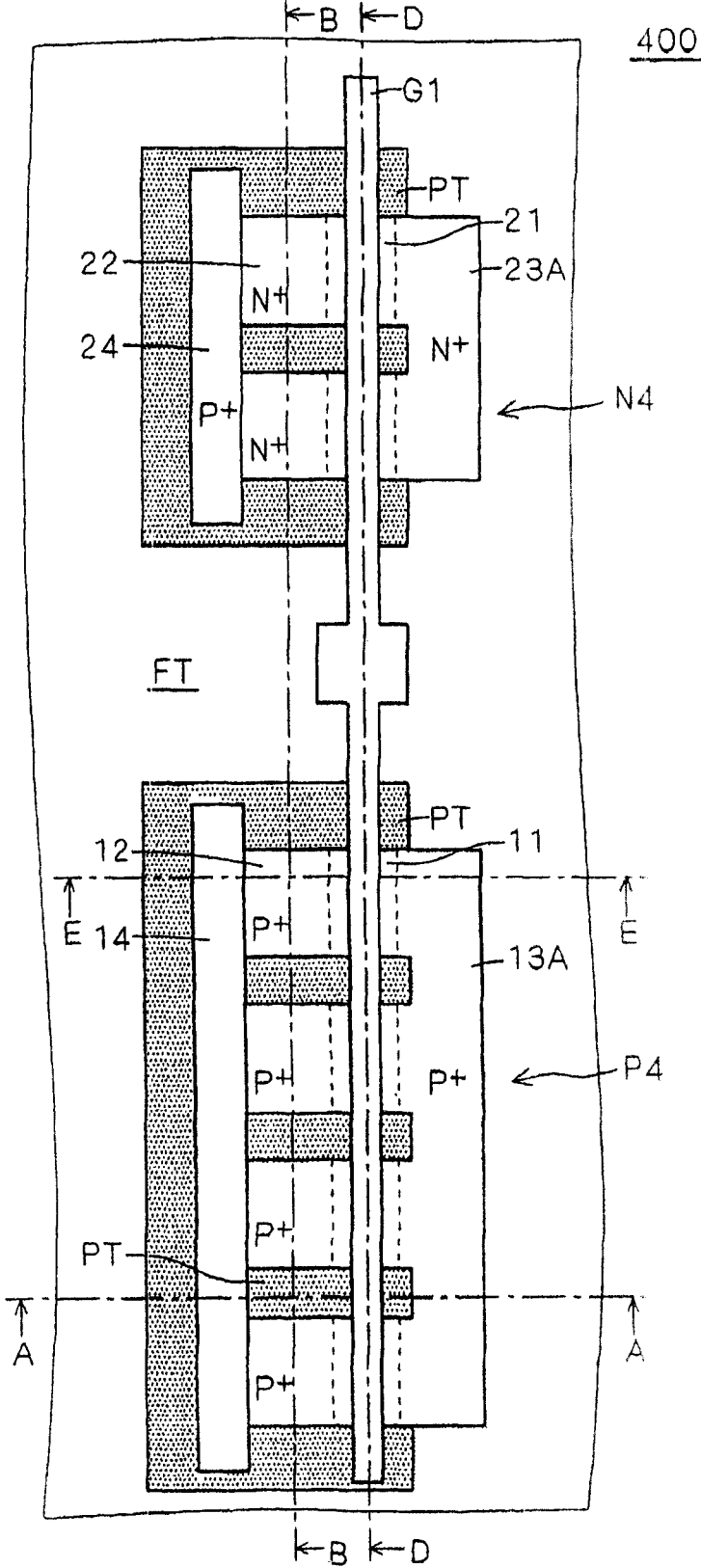


图 27

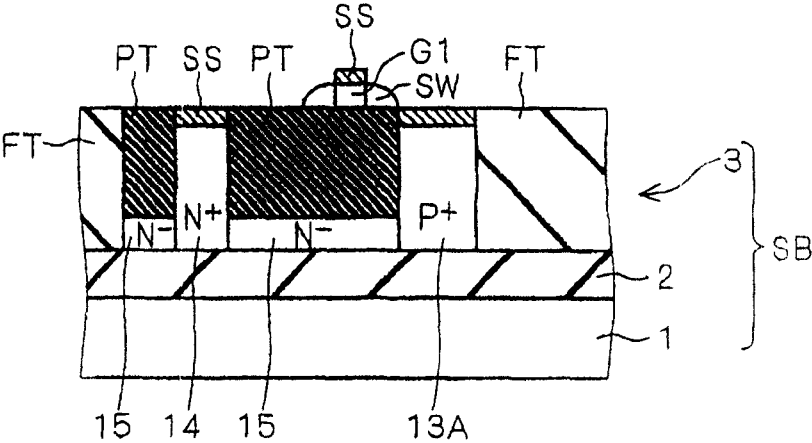


图 28

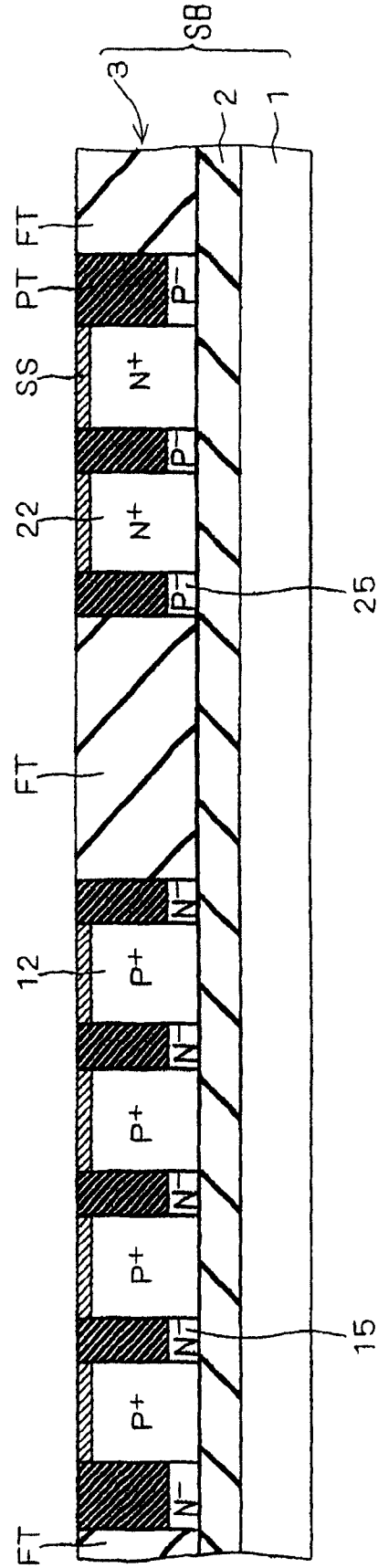


图 29

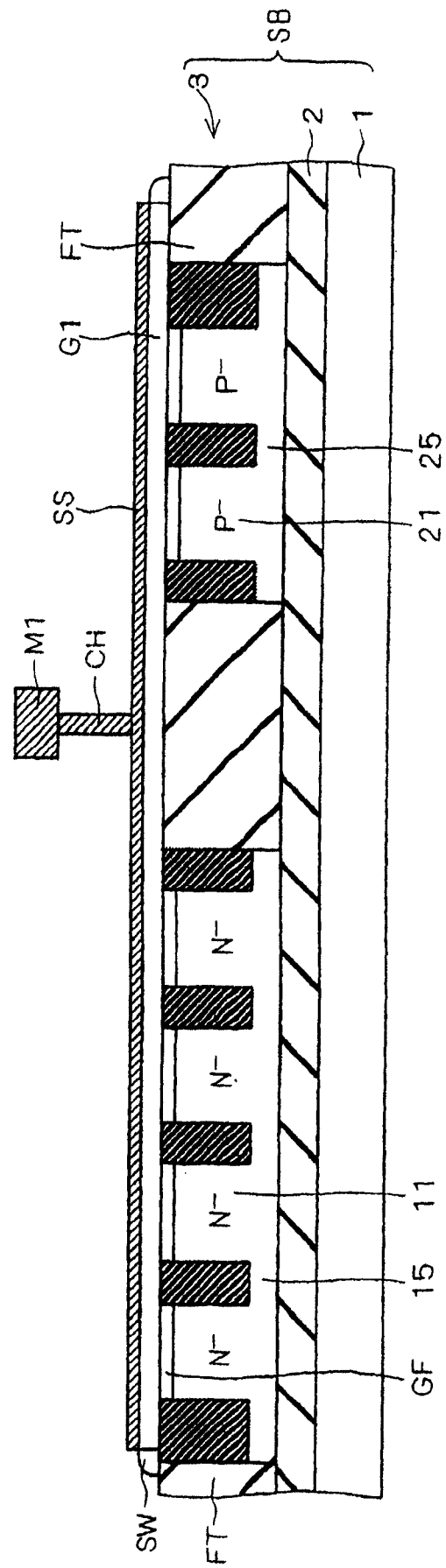


图 30

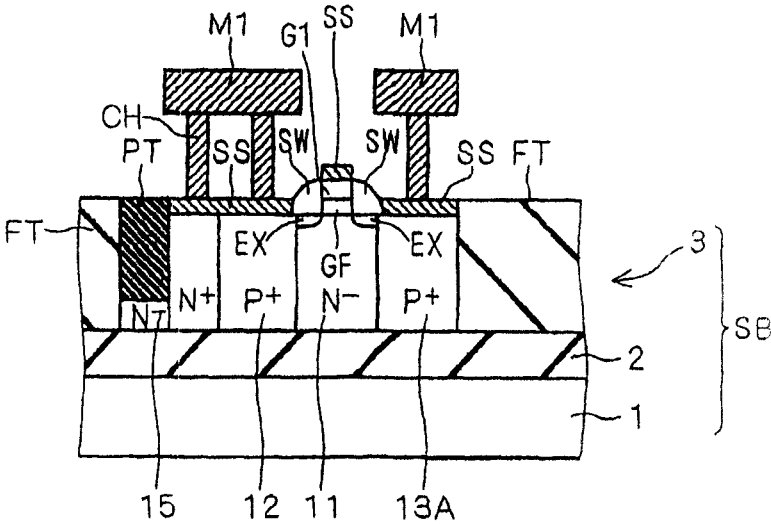


图 31

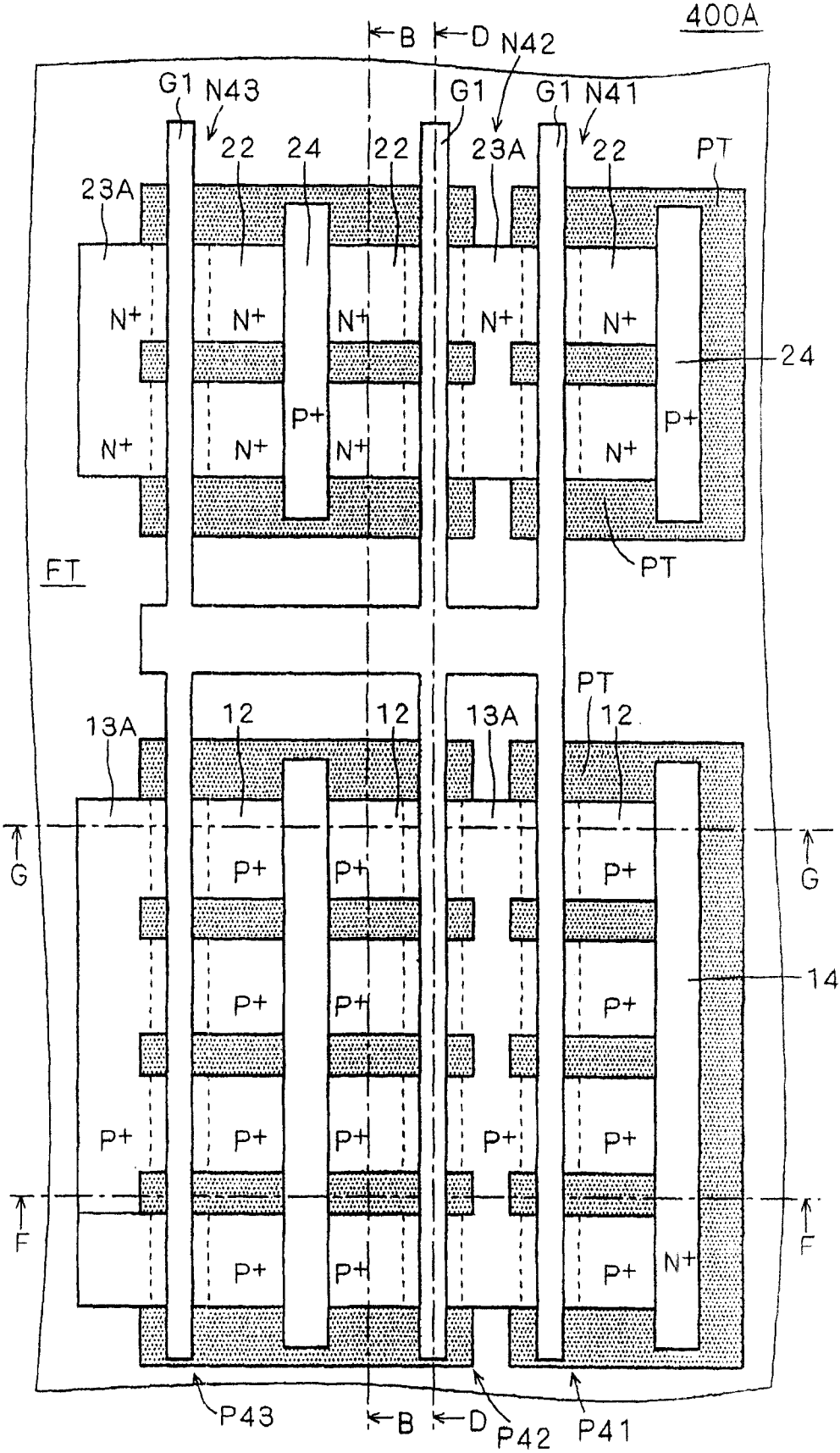


图 32

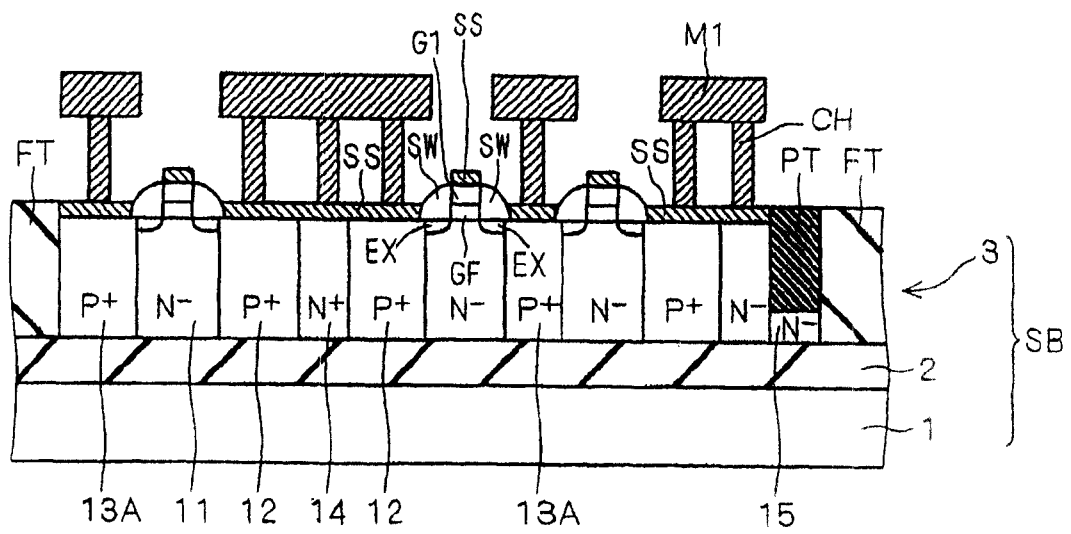
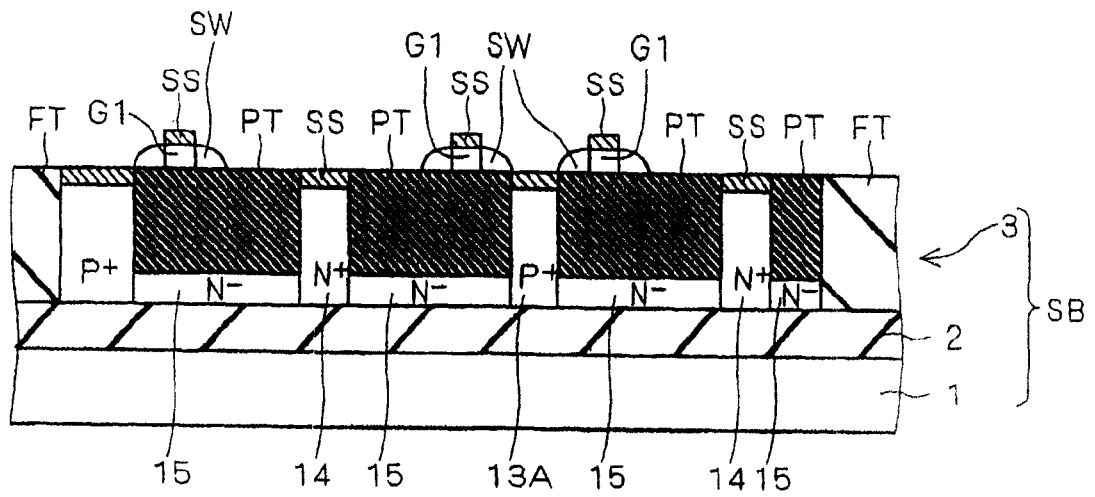


图 33

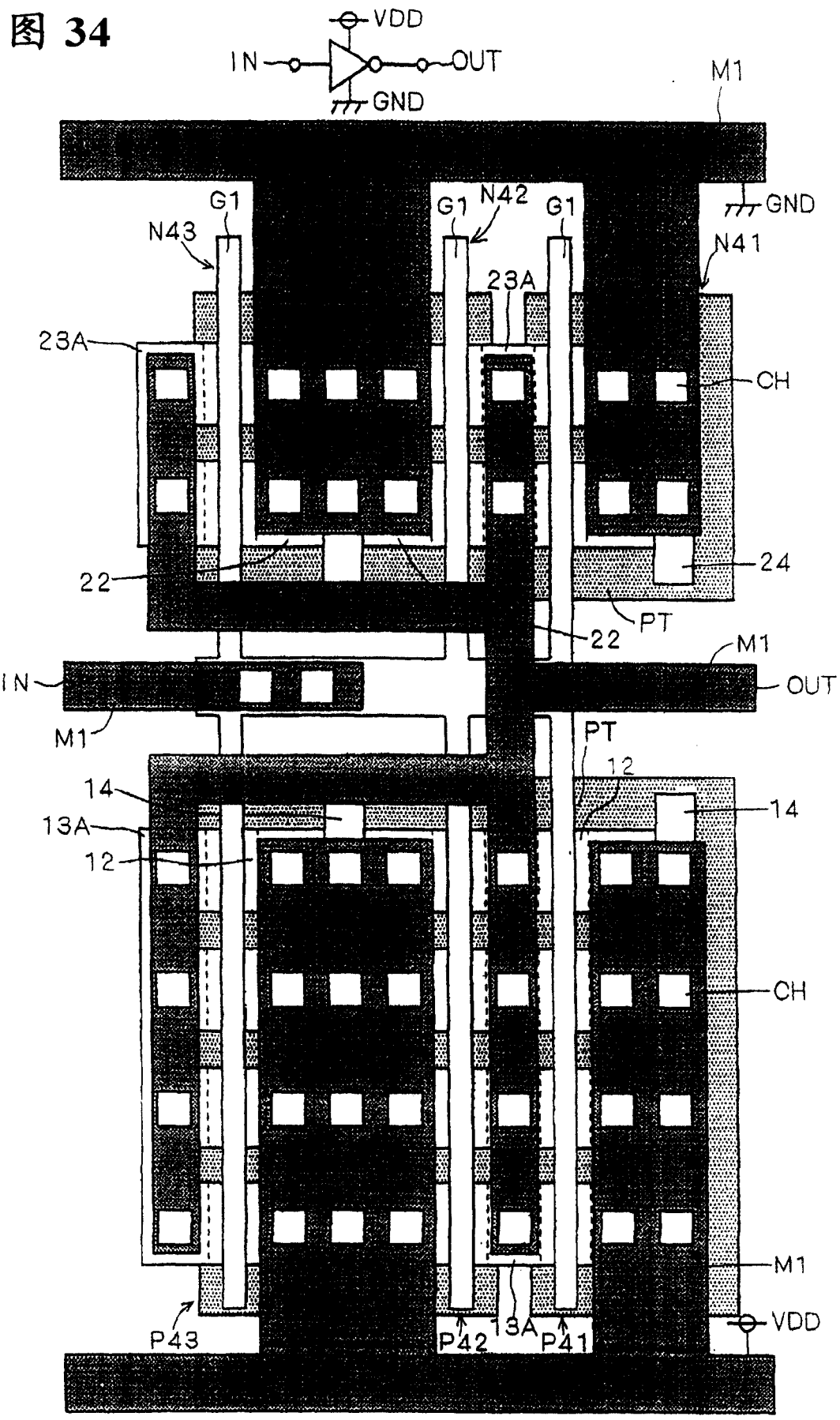


图 35

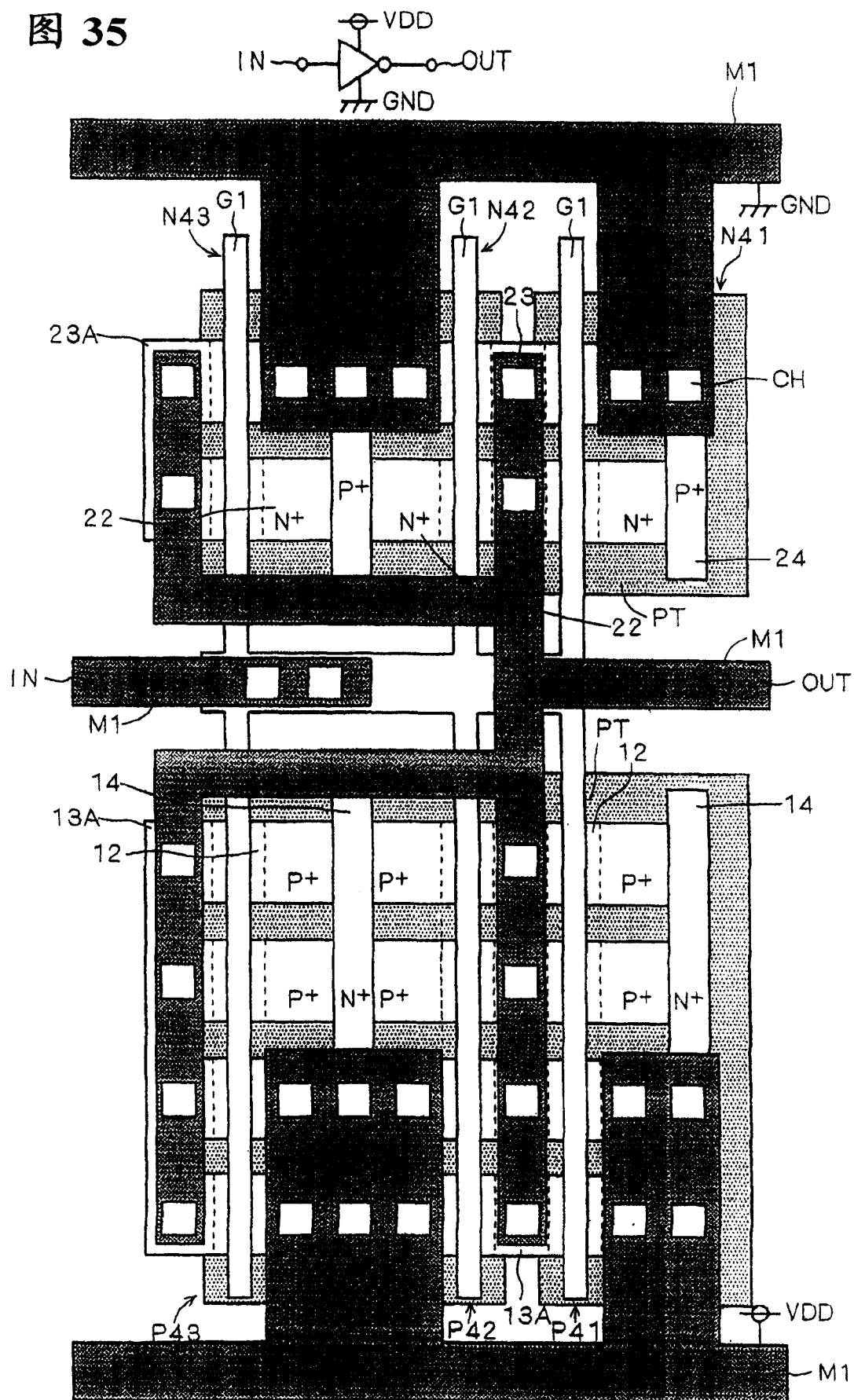


图 36

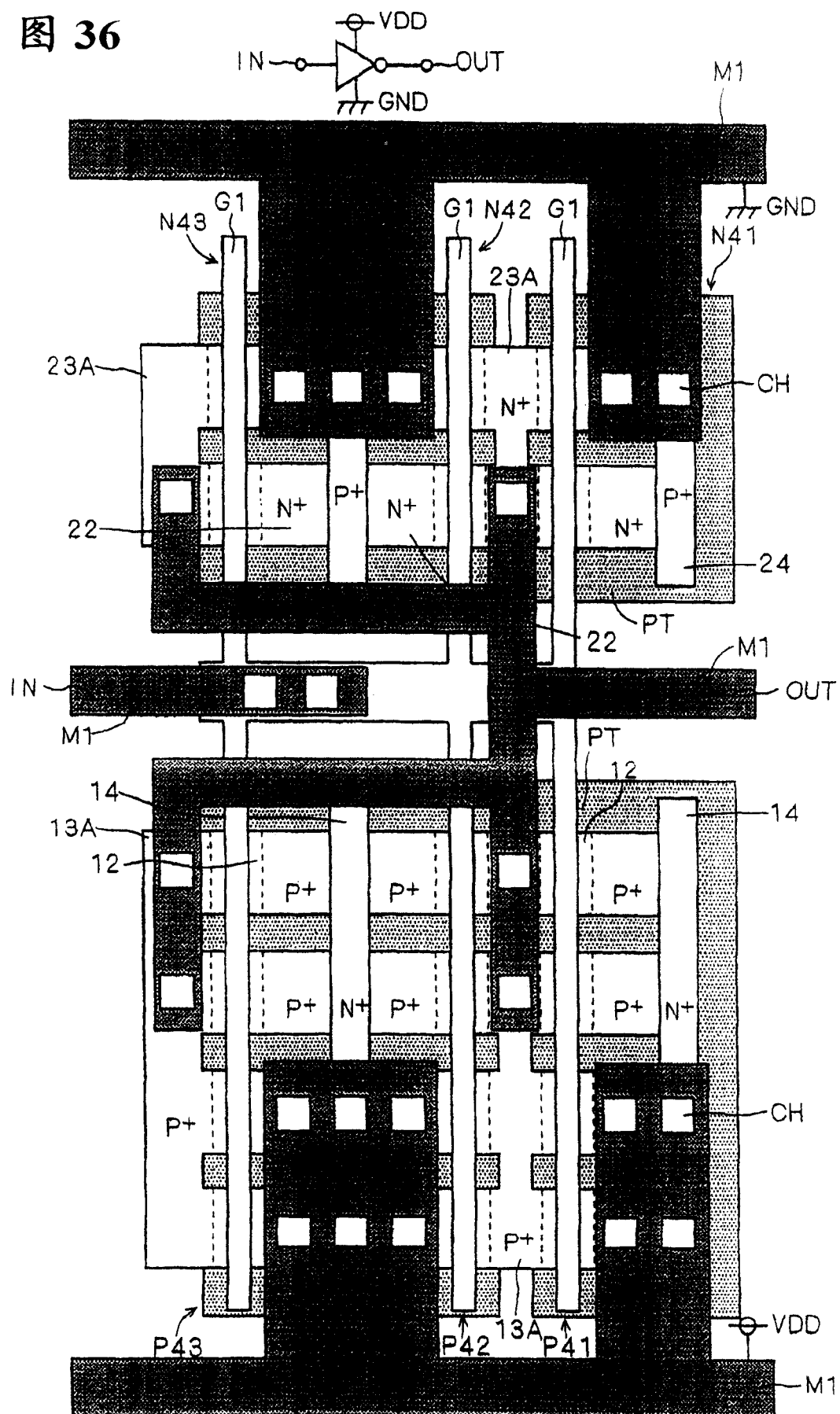


图 37

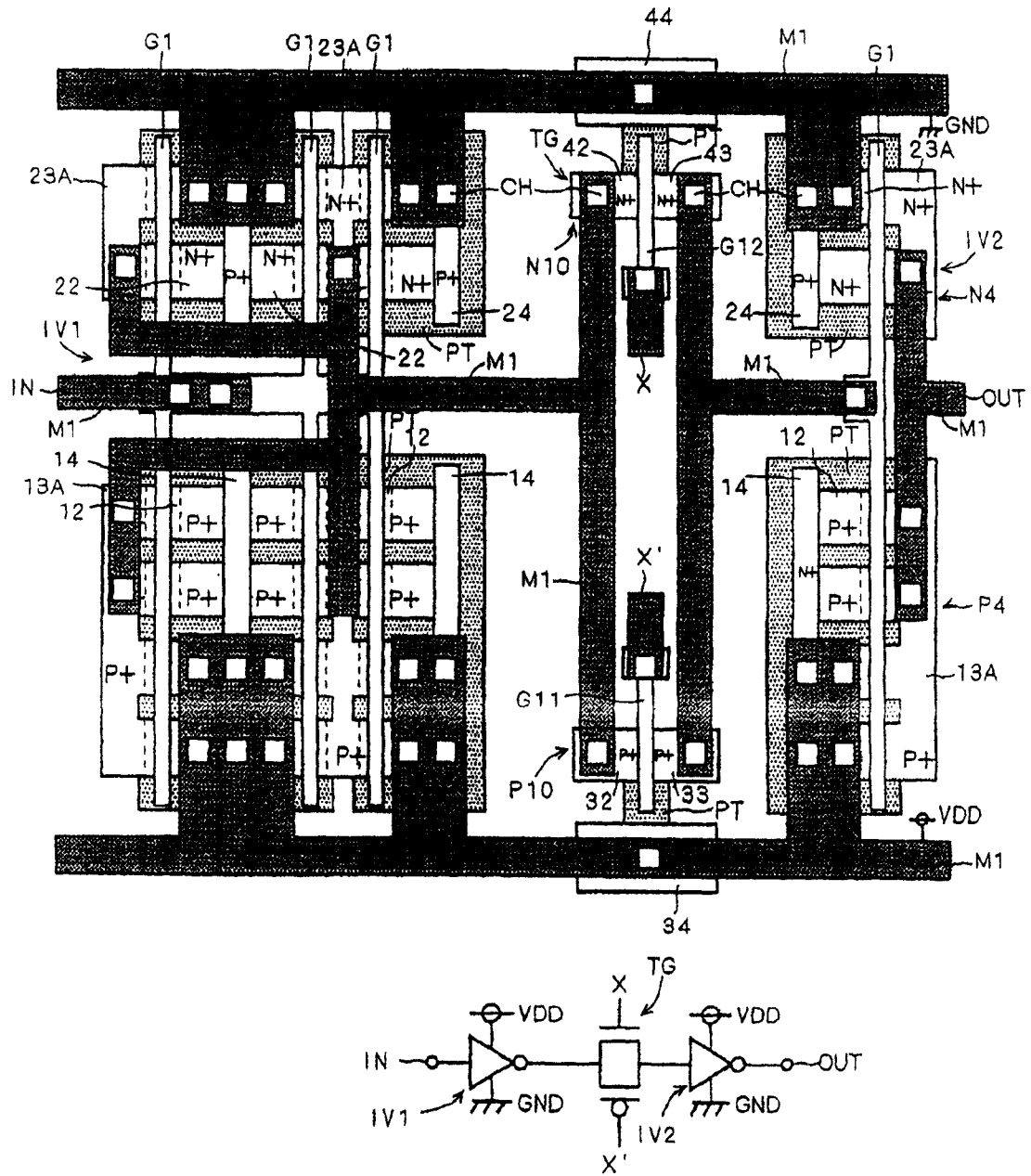


图 38

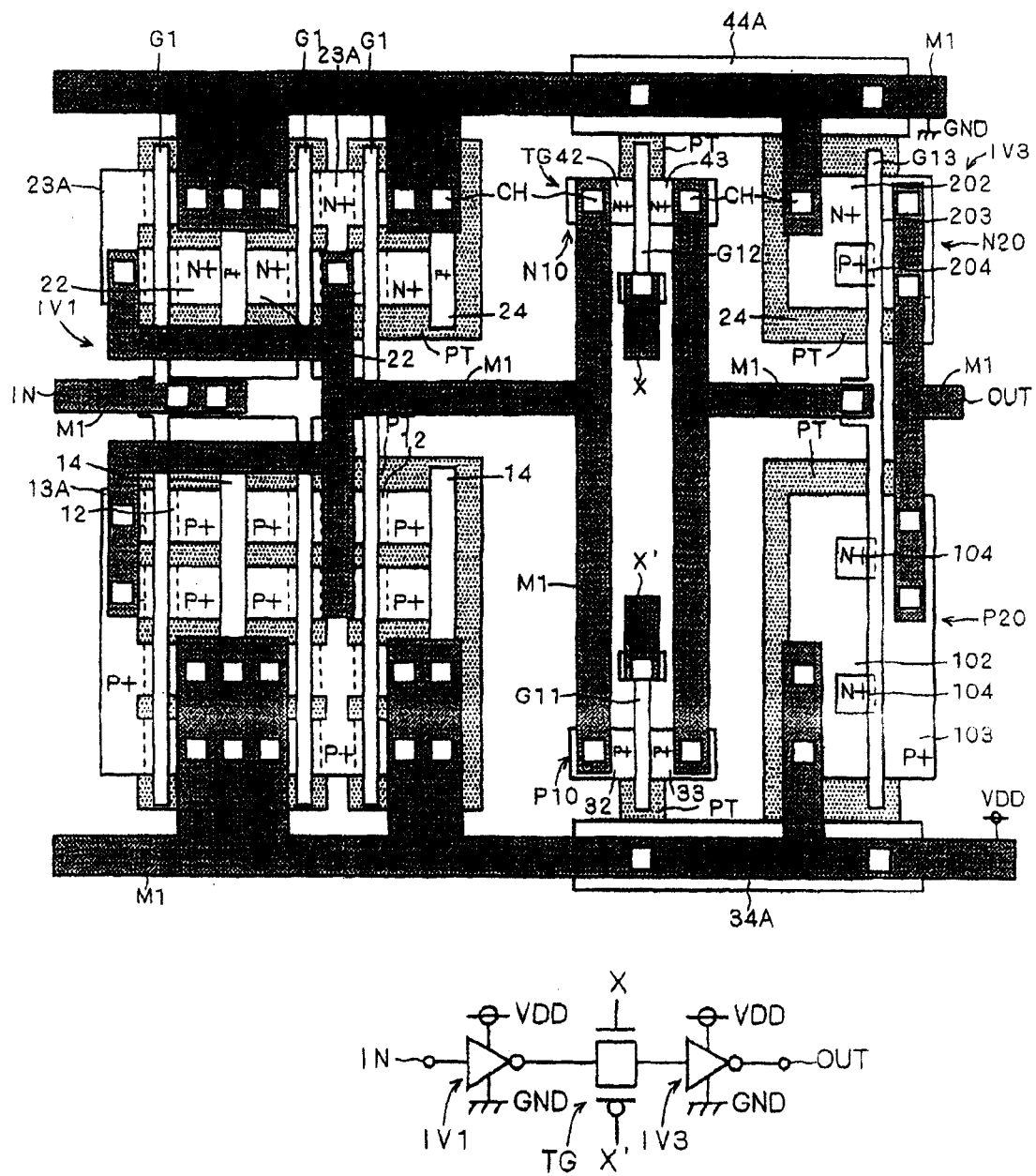


图 39

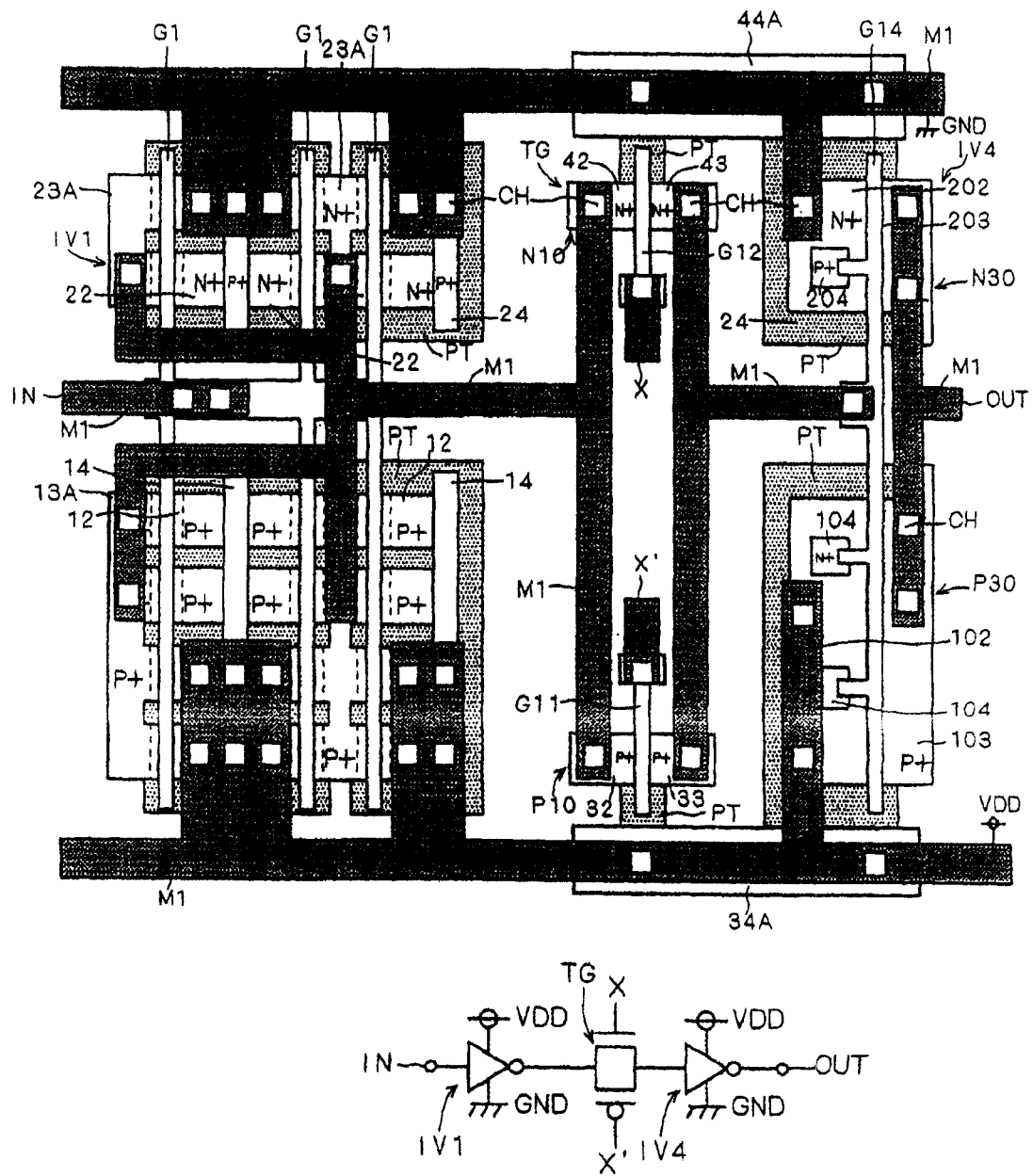


图 41

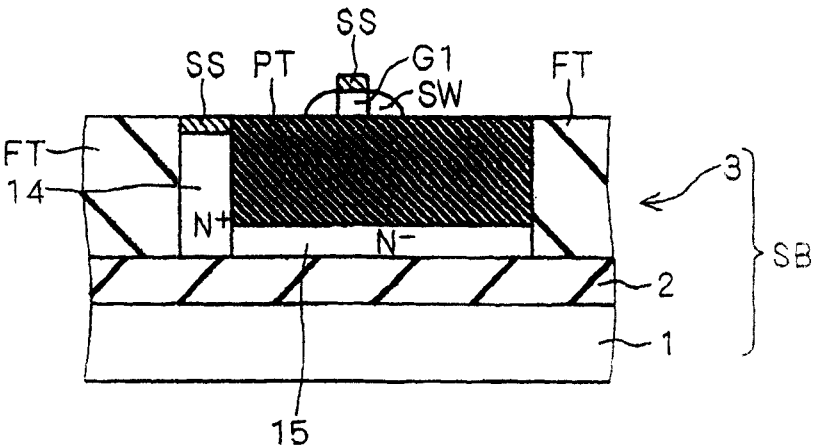


图 44

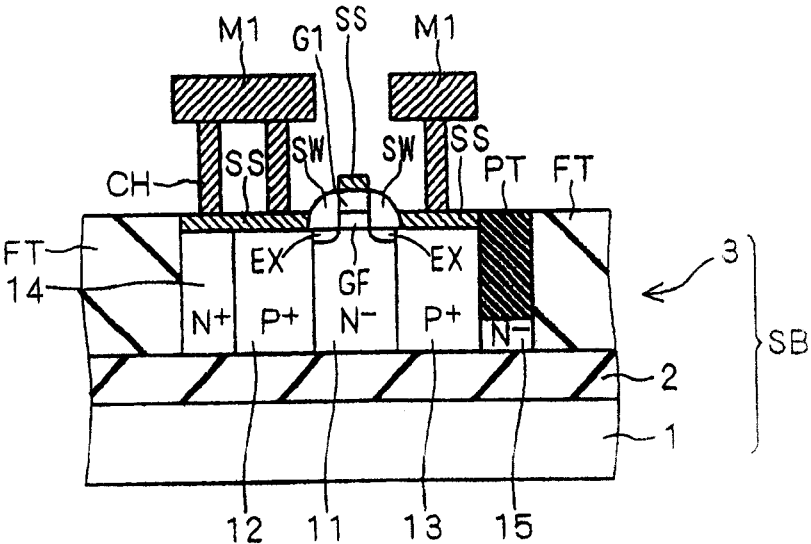


图 45

501

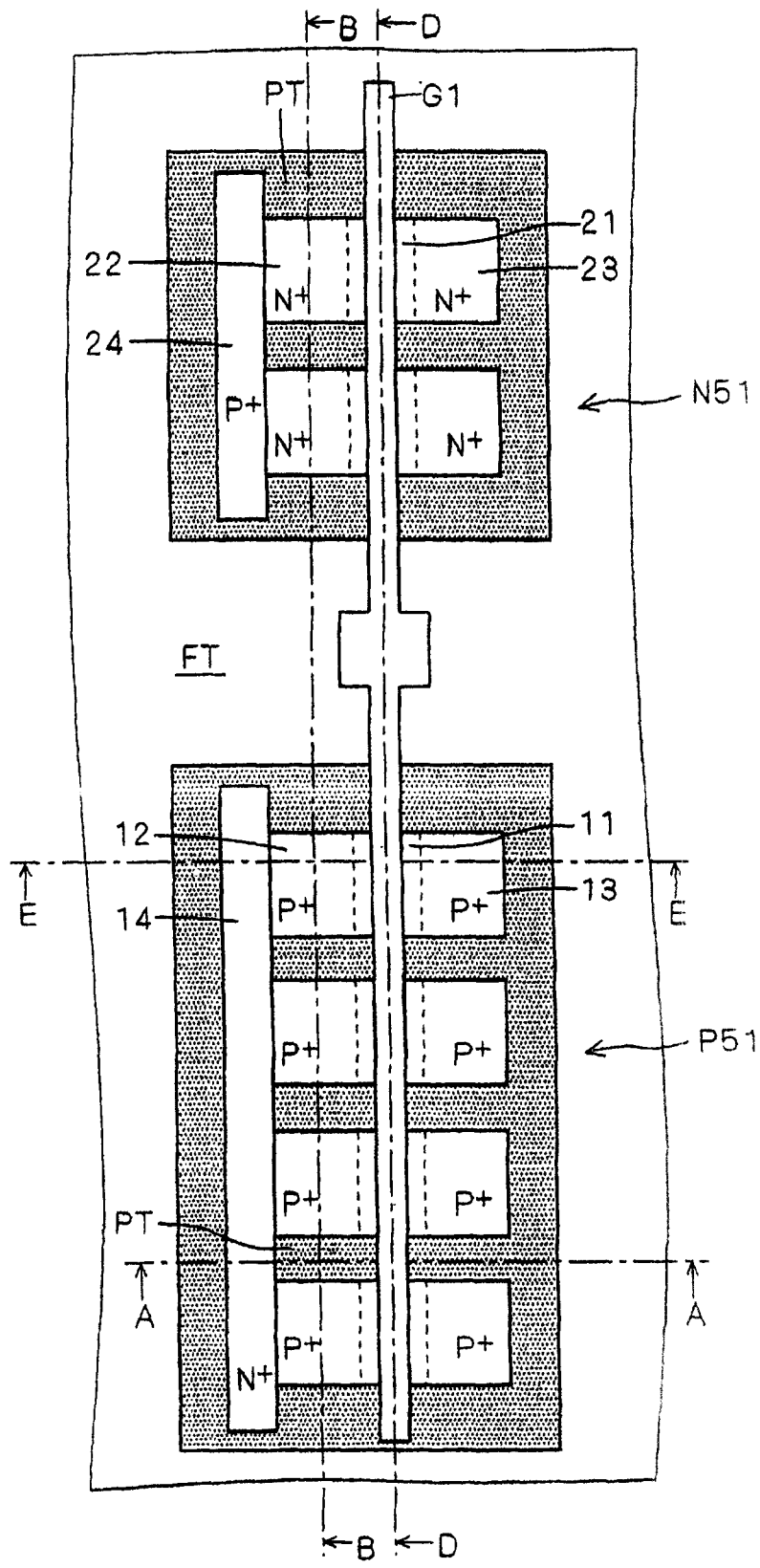


图 46

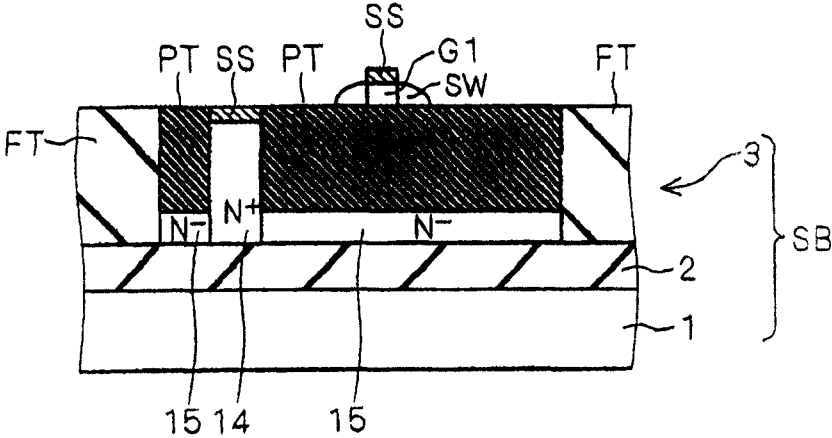


图 49

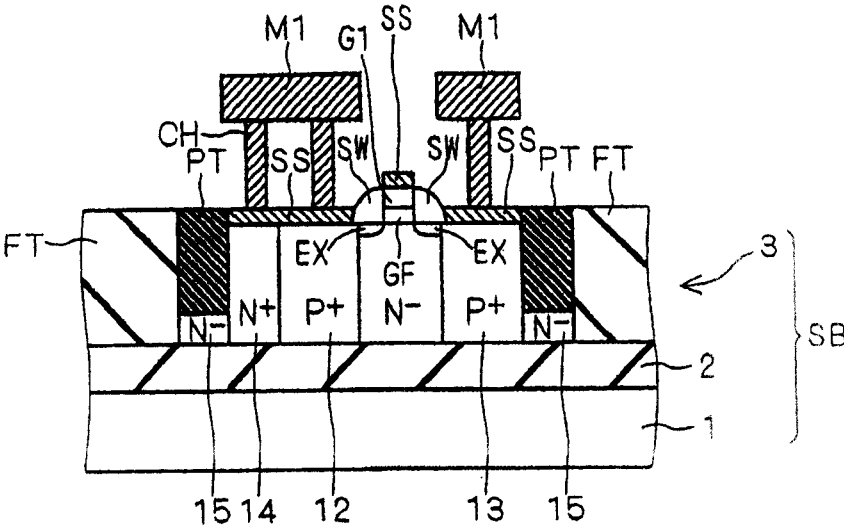


图 50

502

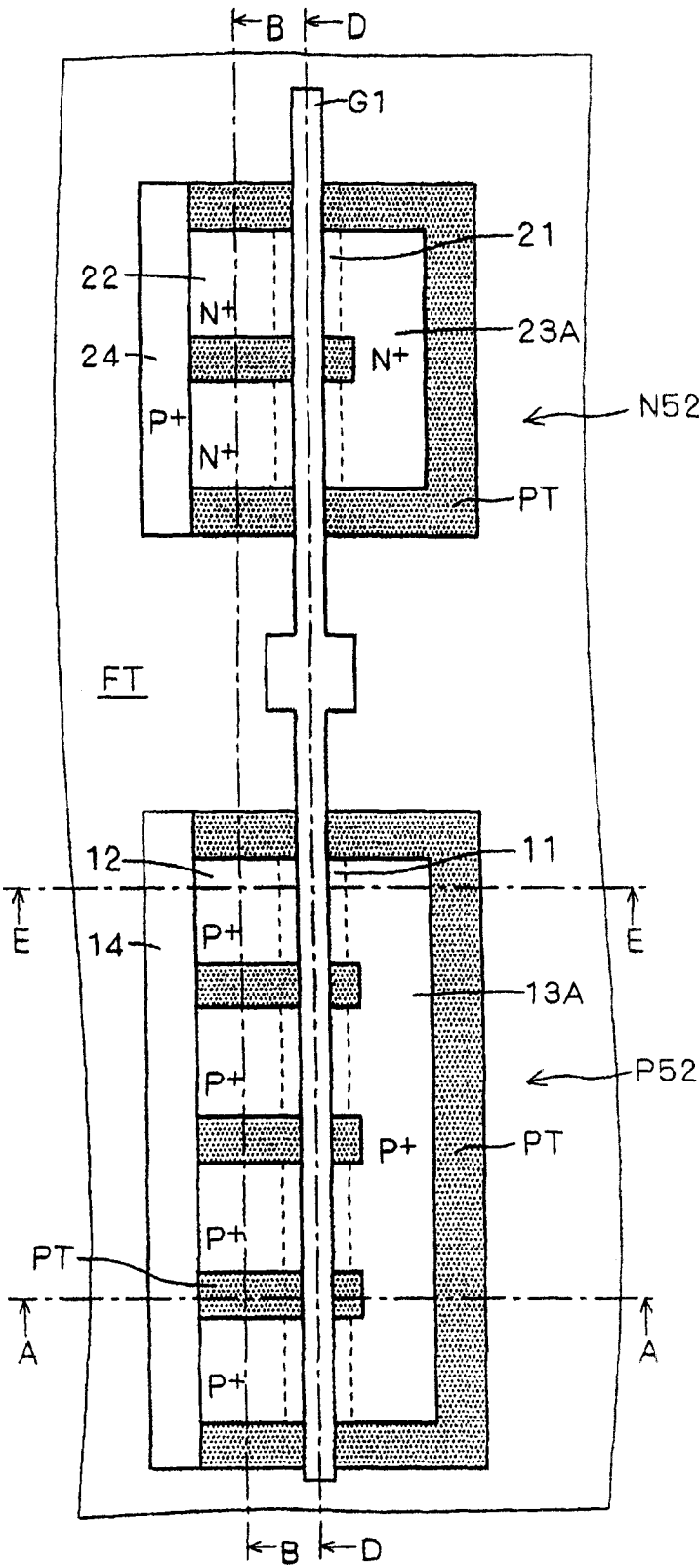


图 51

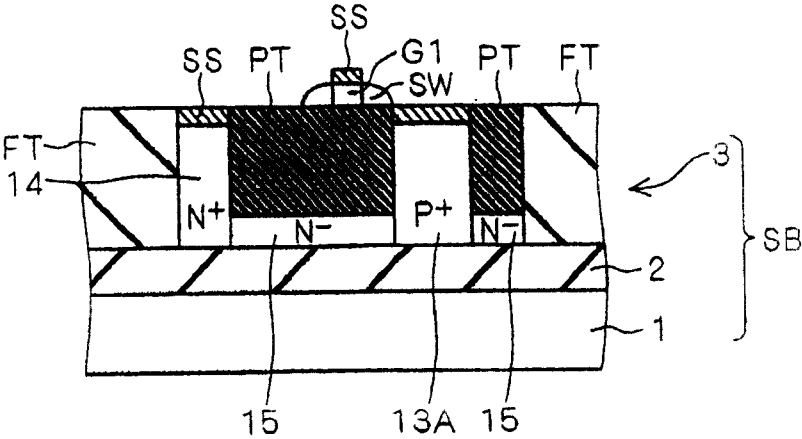


图 53

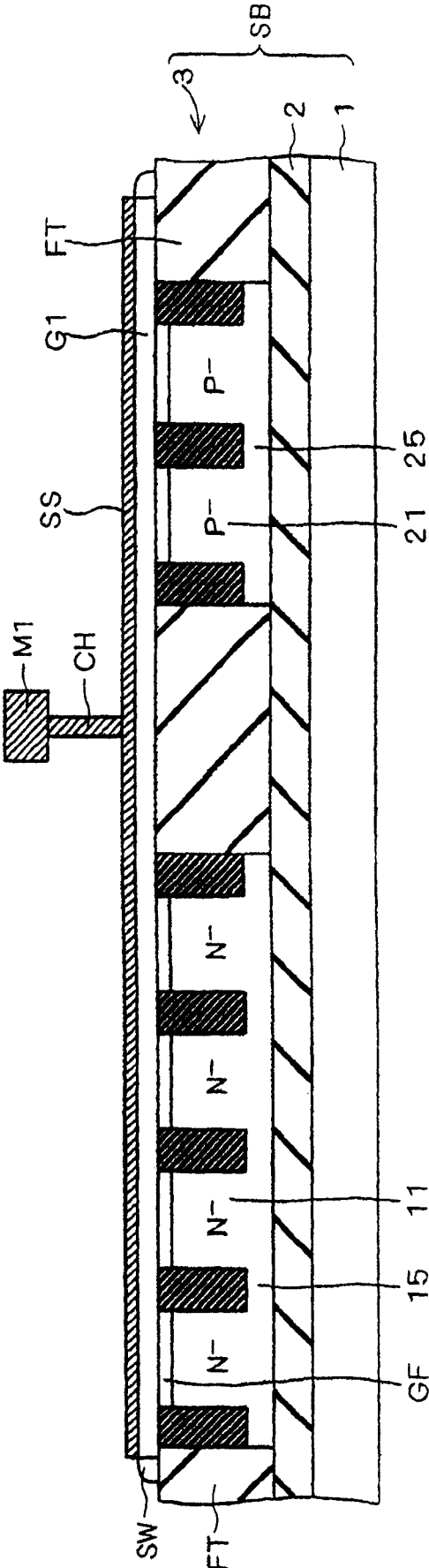


图 54

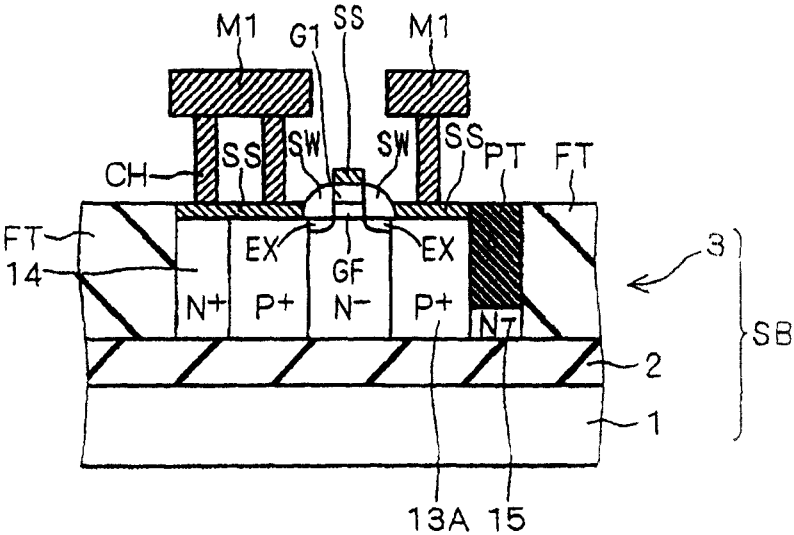


图 55

503

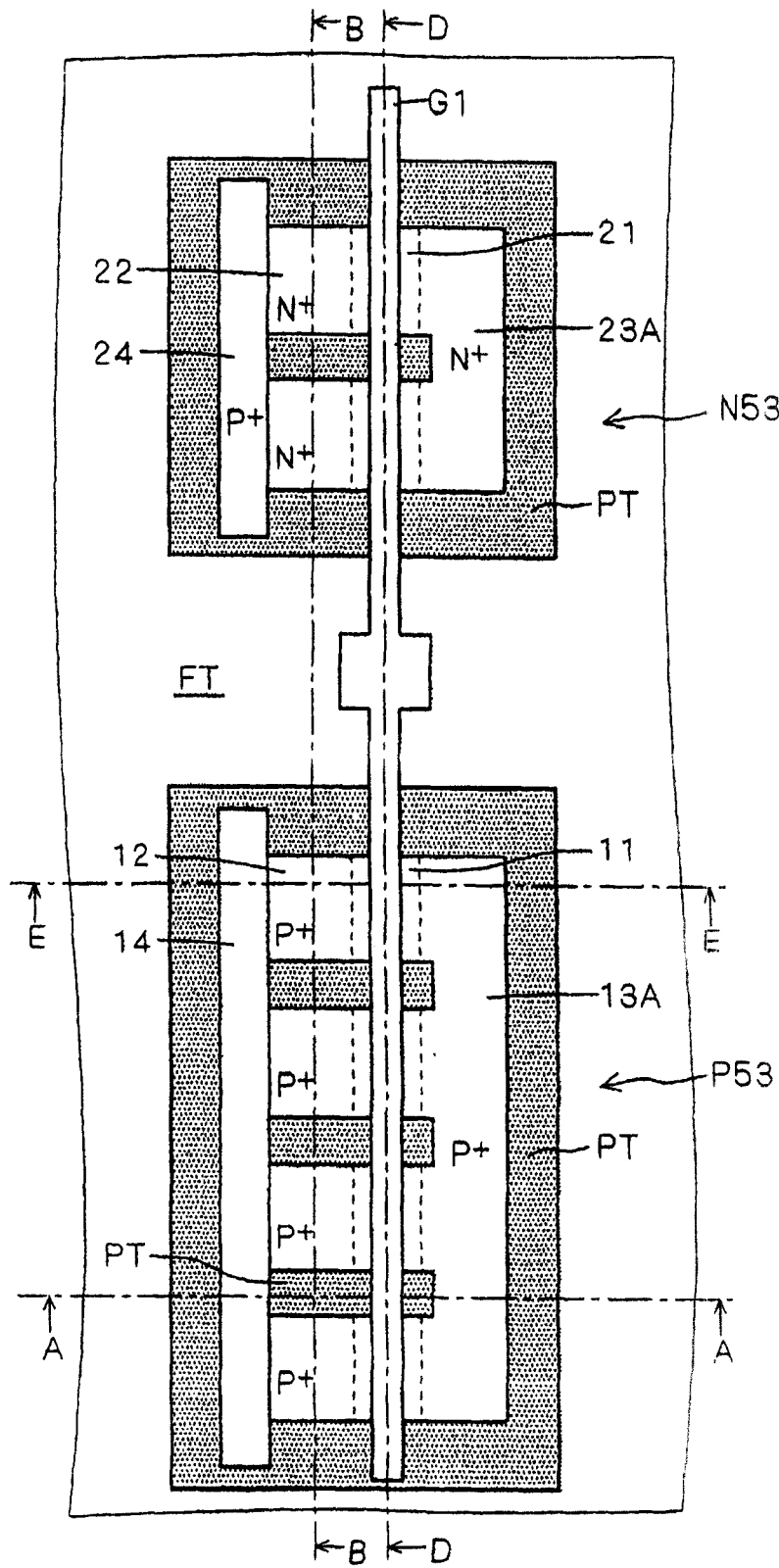


图 56

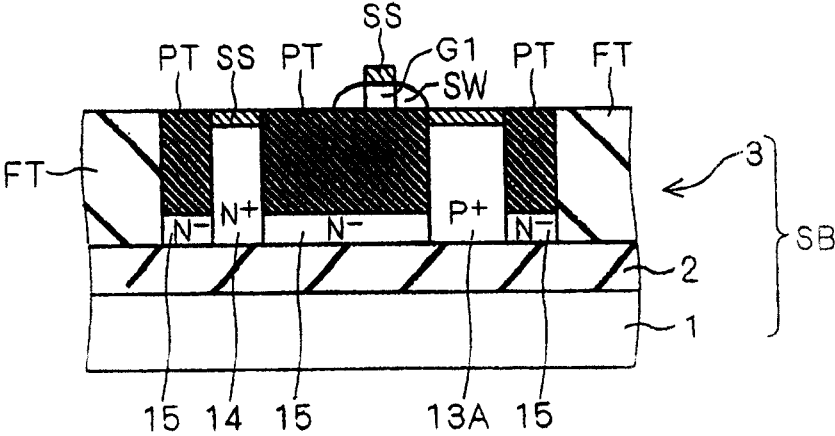


图 58

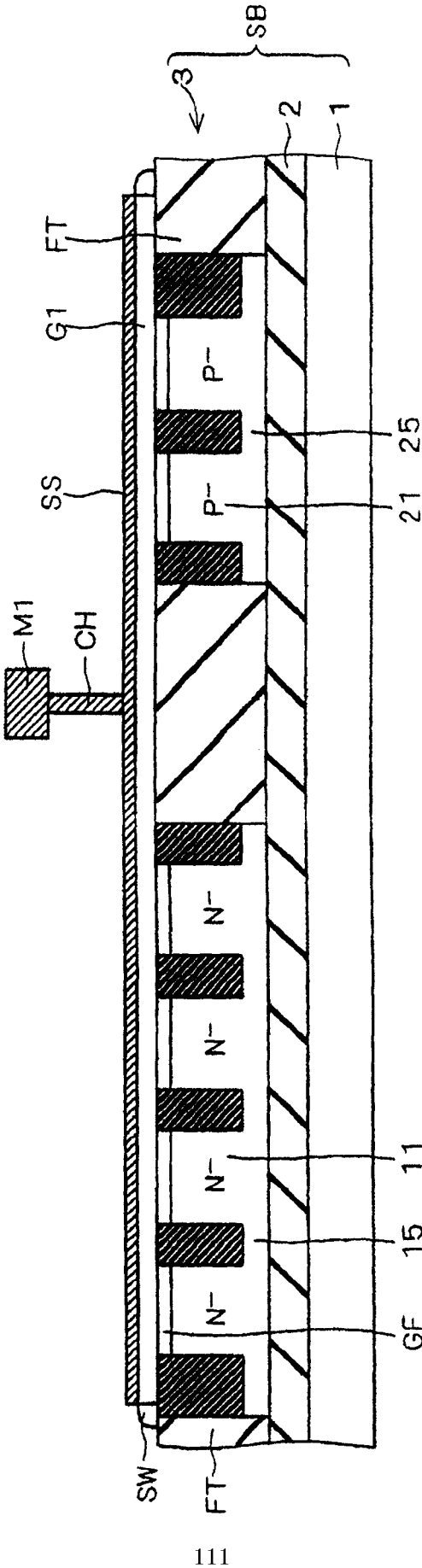


图 60

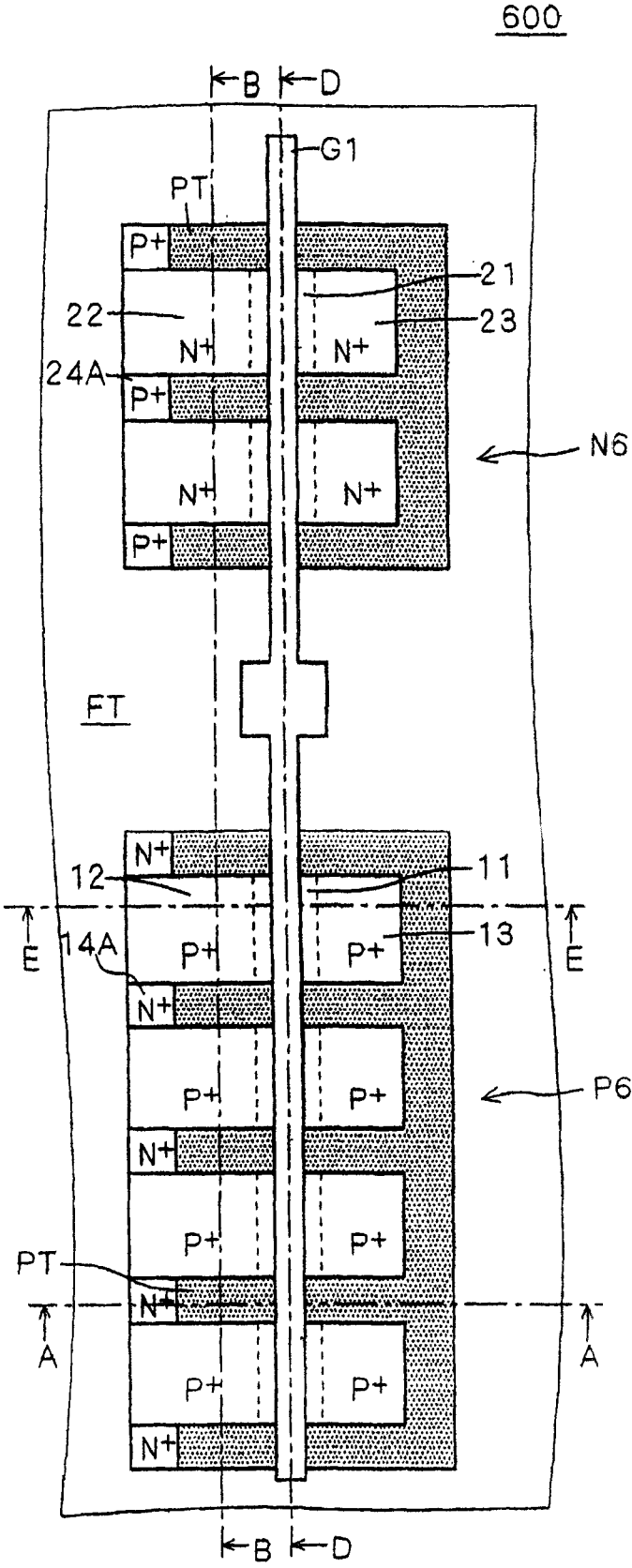


图 65

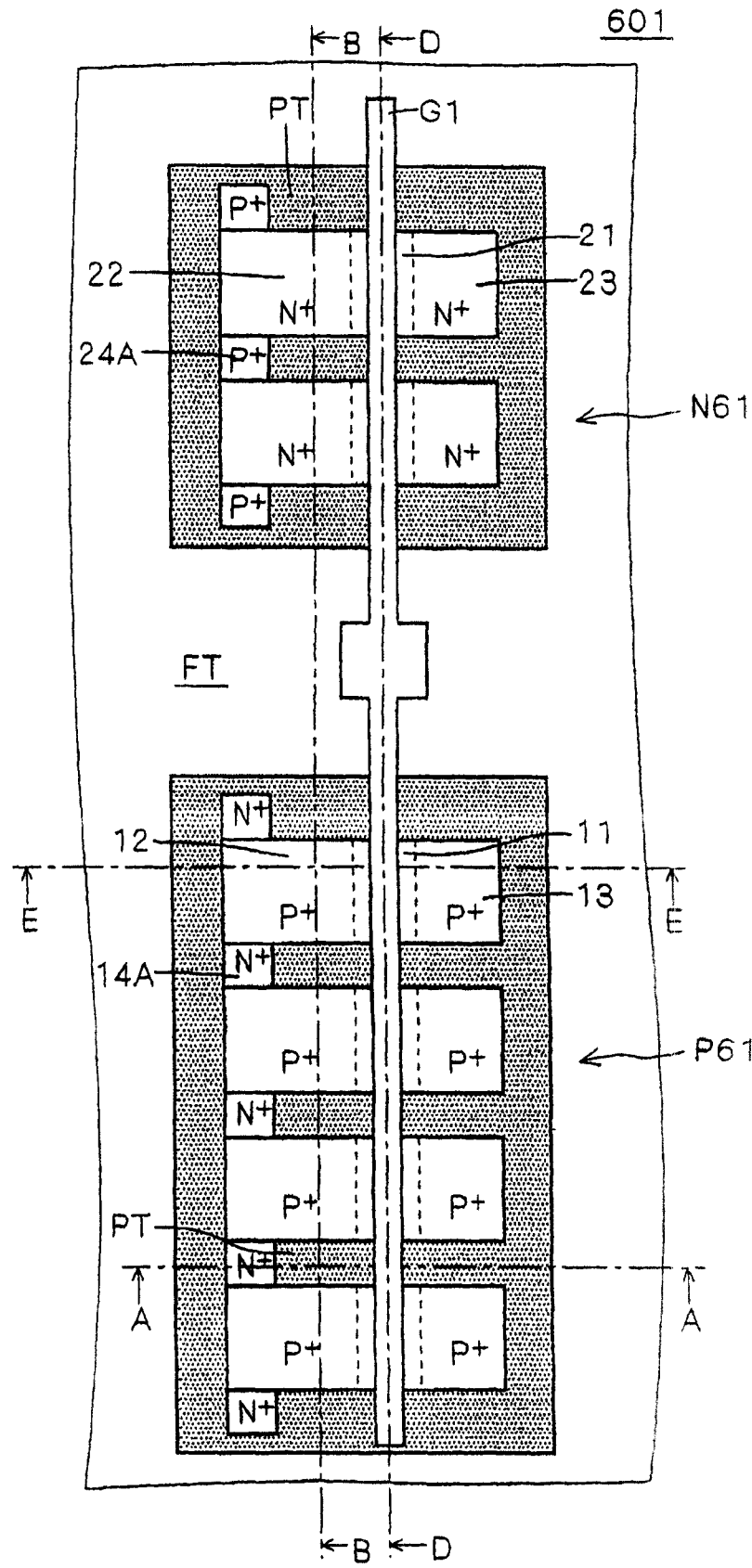


图 67

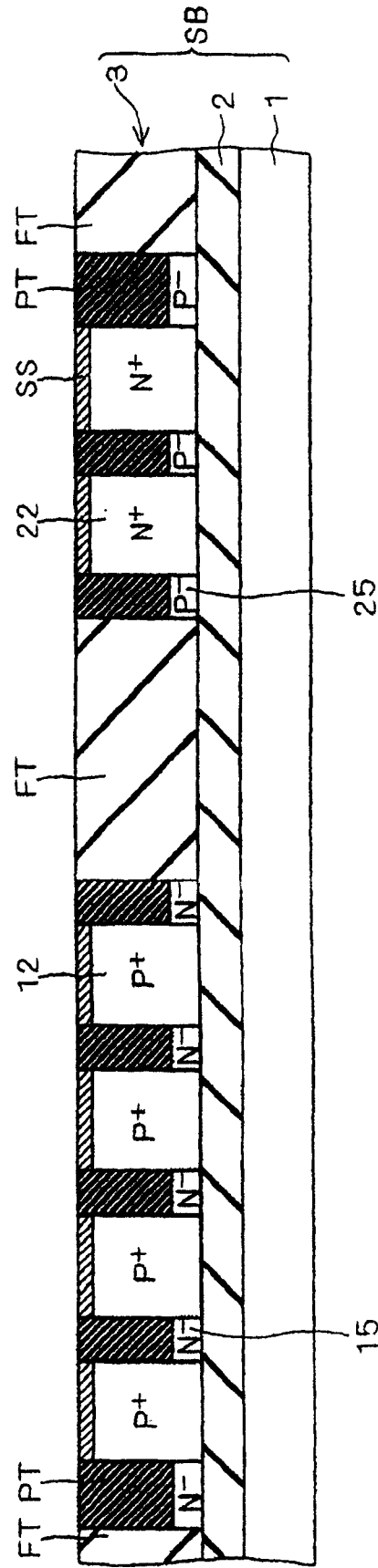


图 68

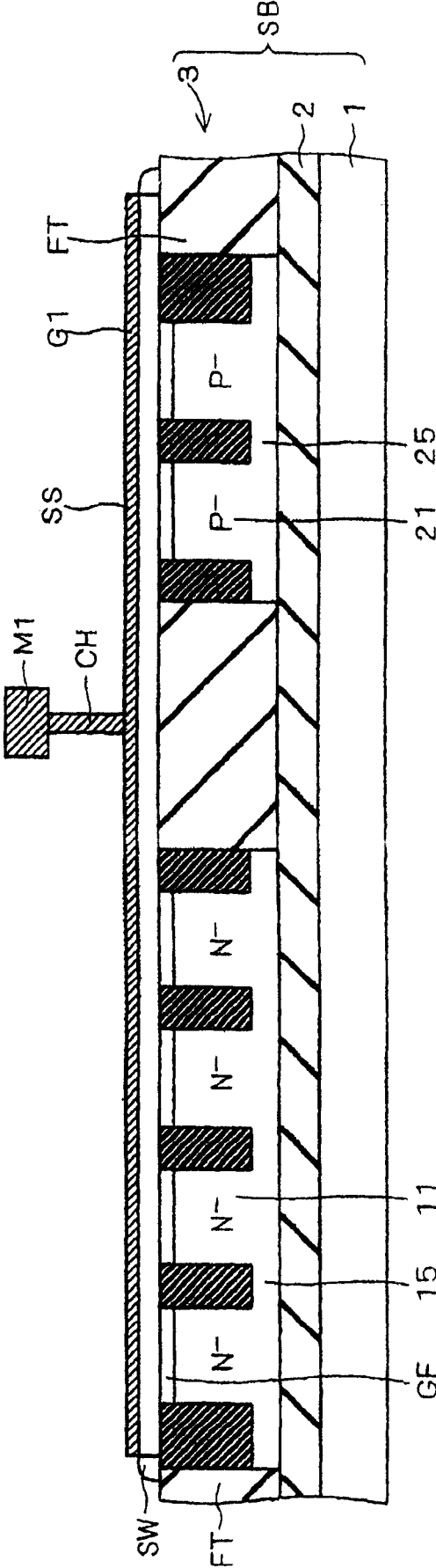


图 69

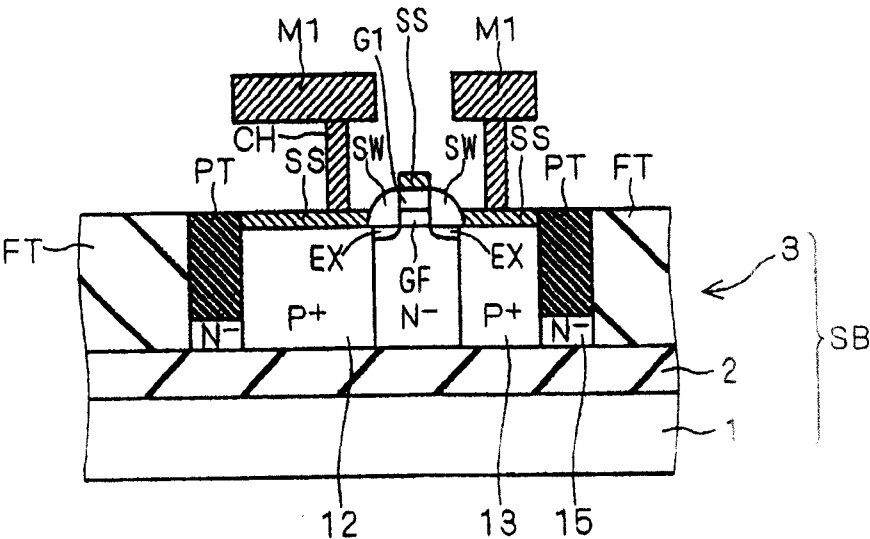


图 70

602

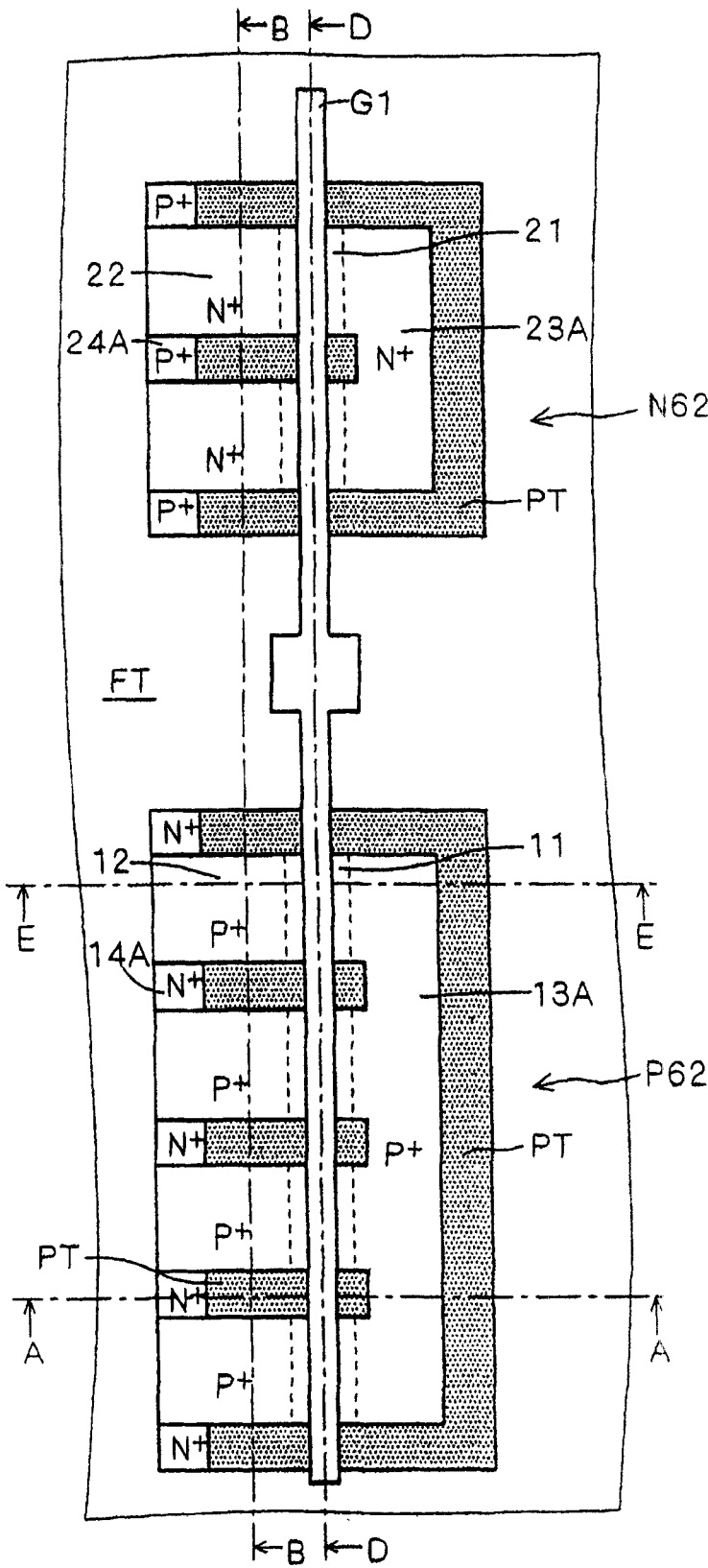


图 71

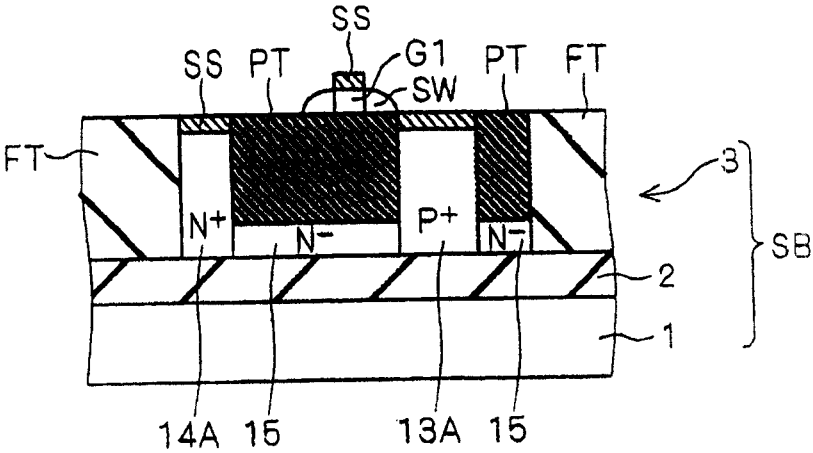


图 72

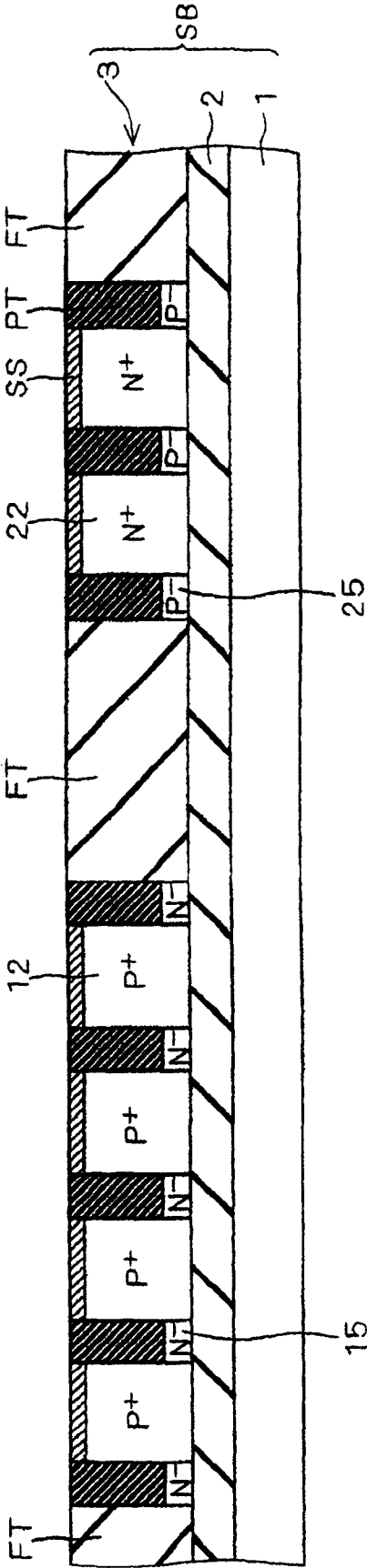


图 73

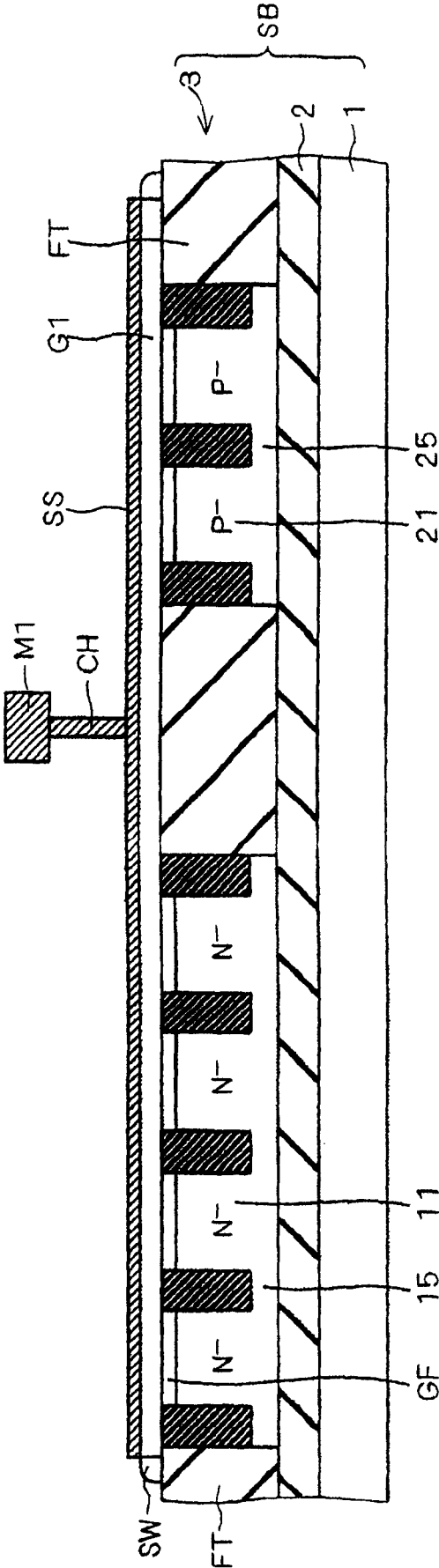


图 74

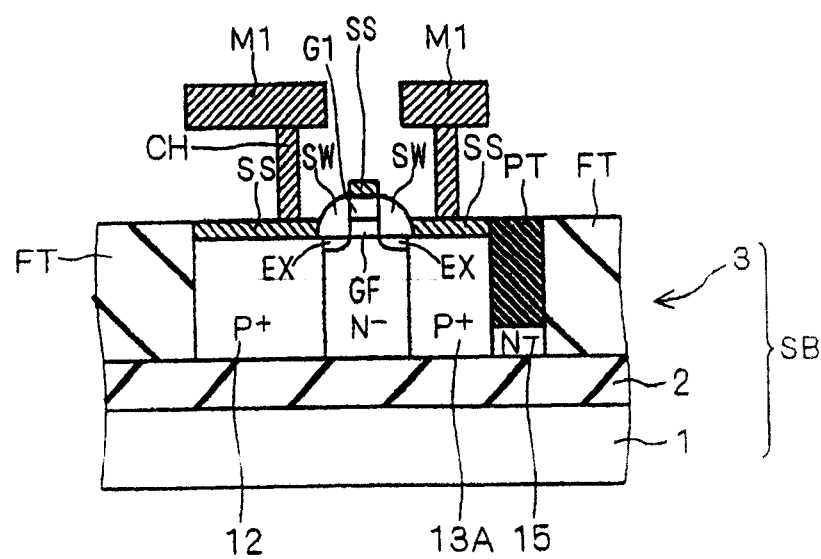


图 75

603

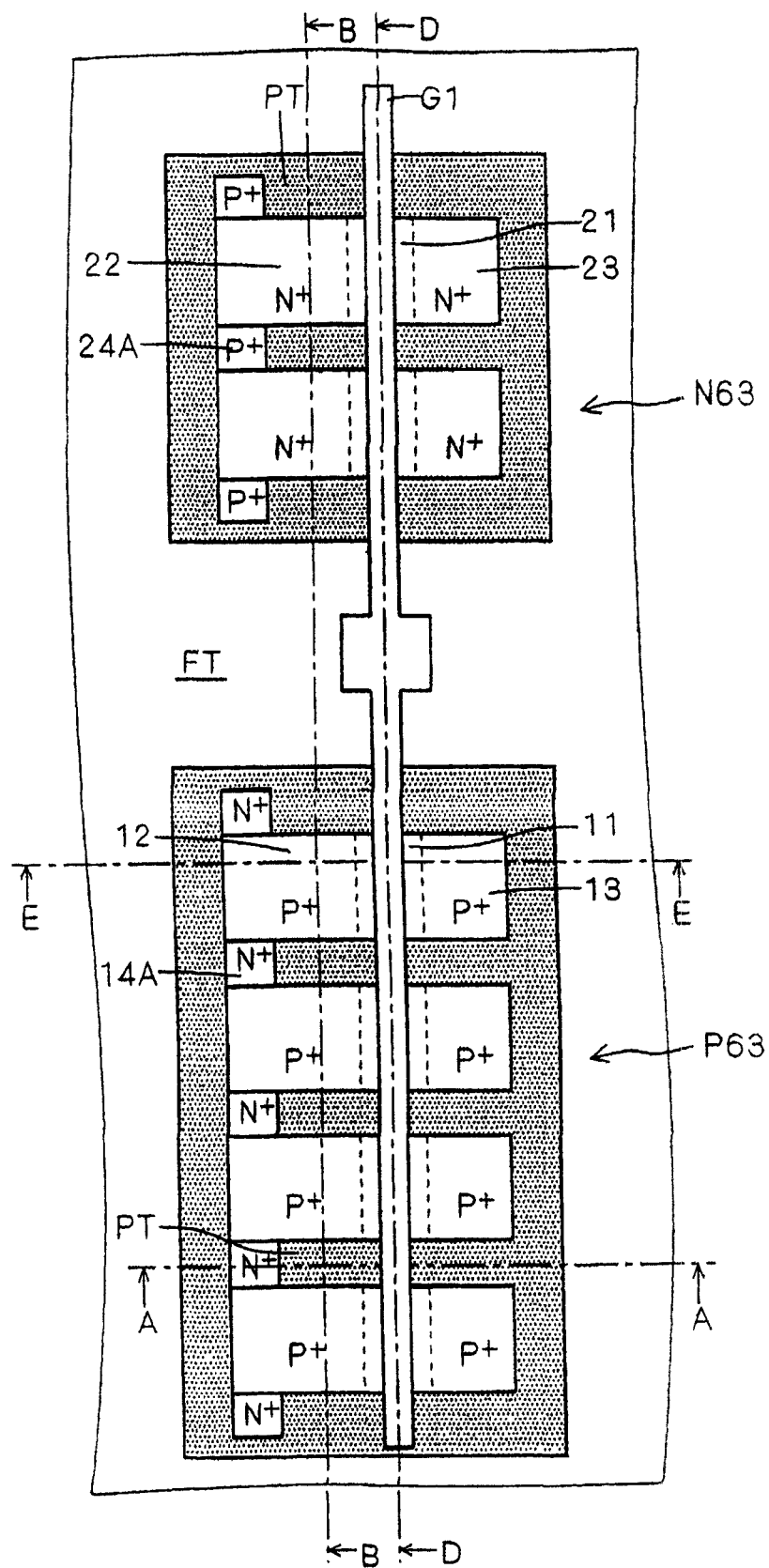


图 78

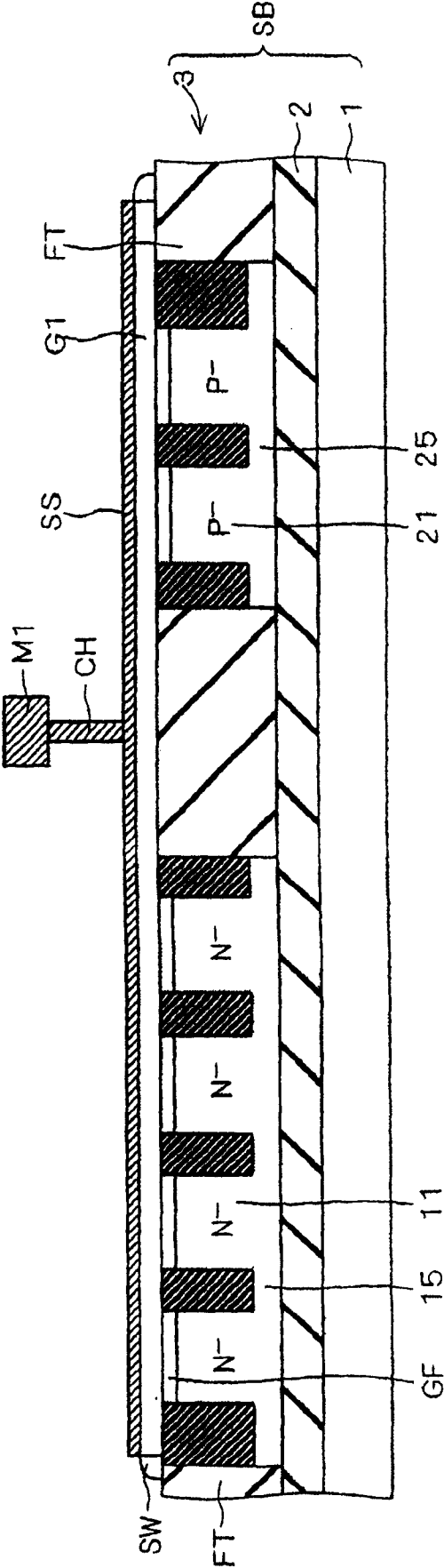


图 79

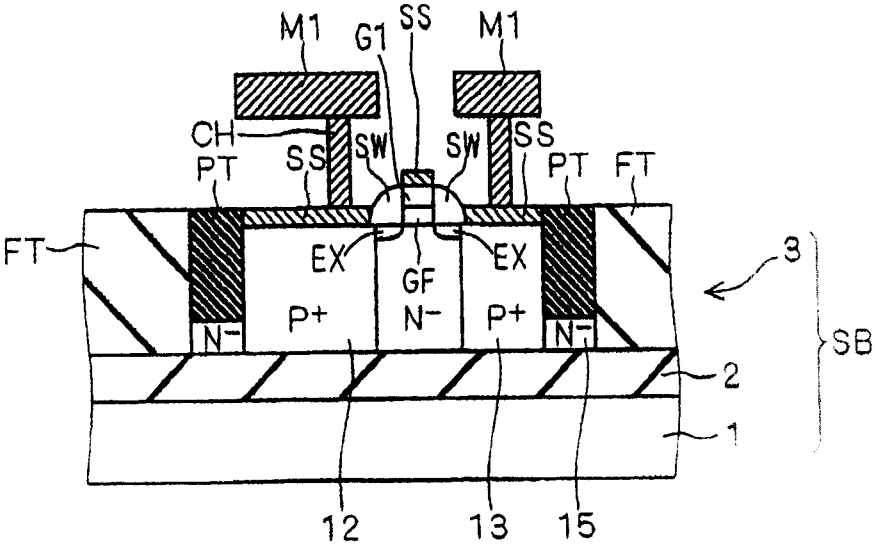


图 80

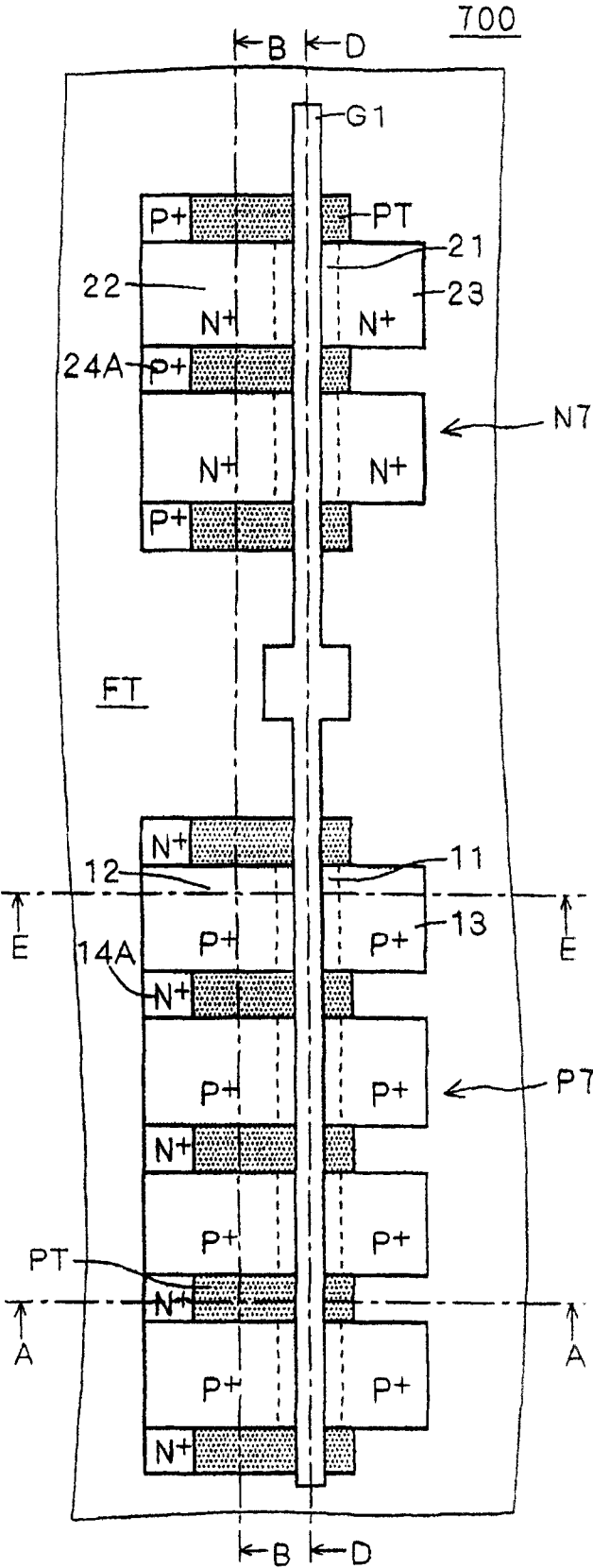


图 82

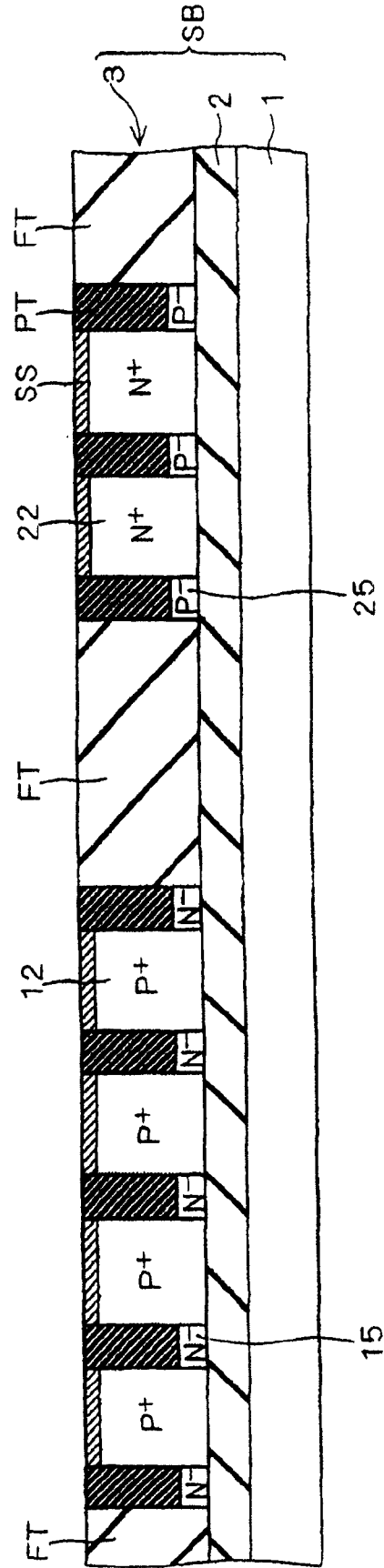


图 83

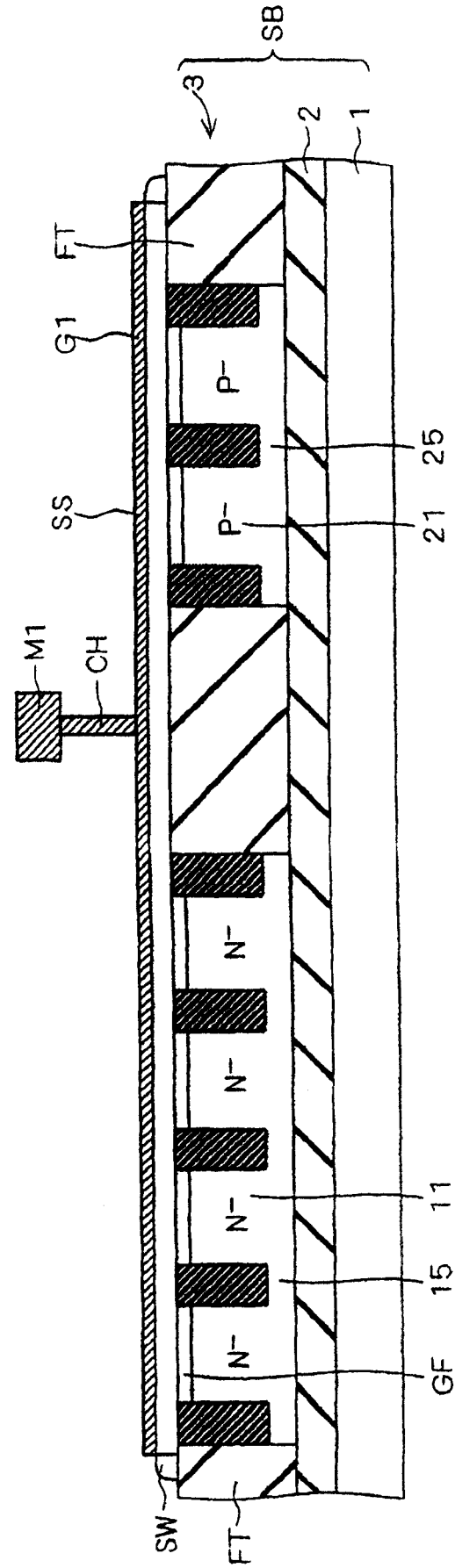


图 84

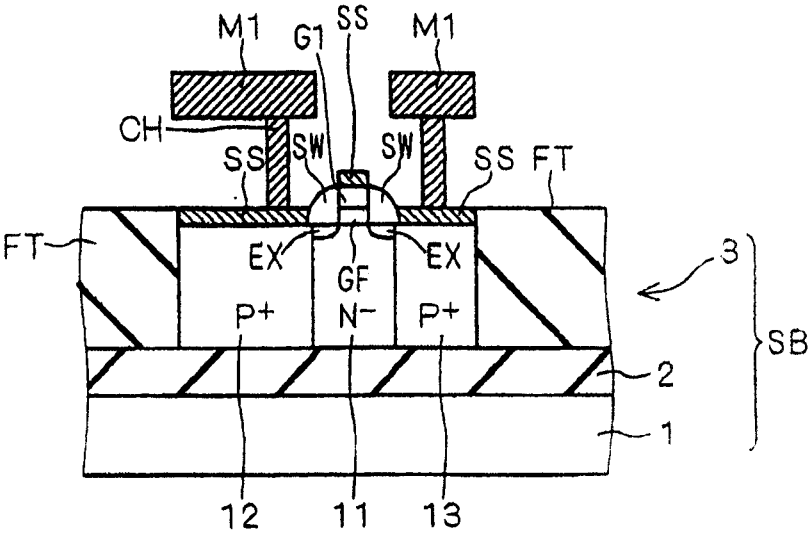


图 85

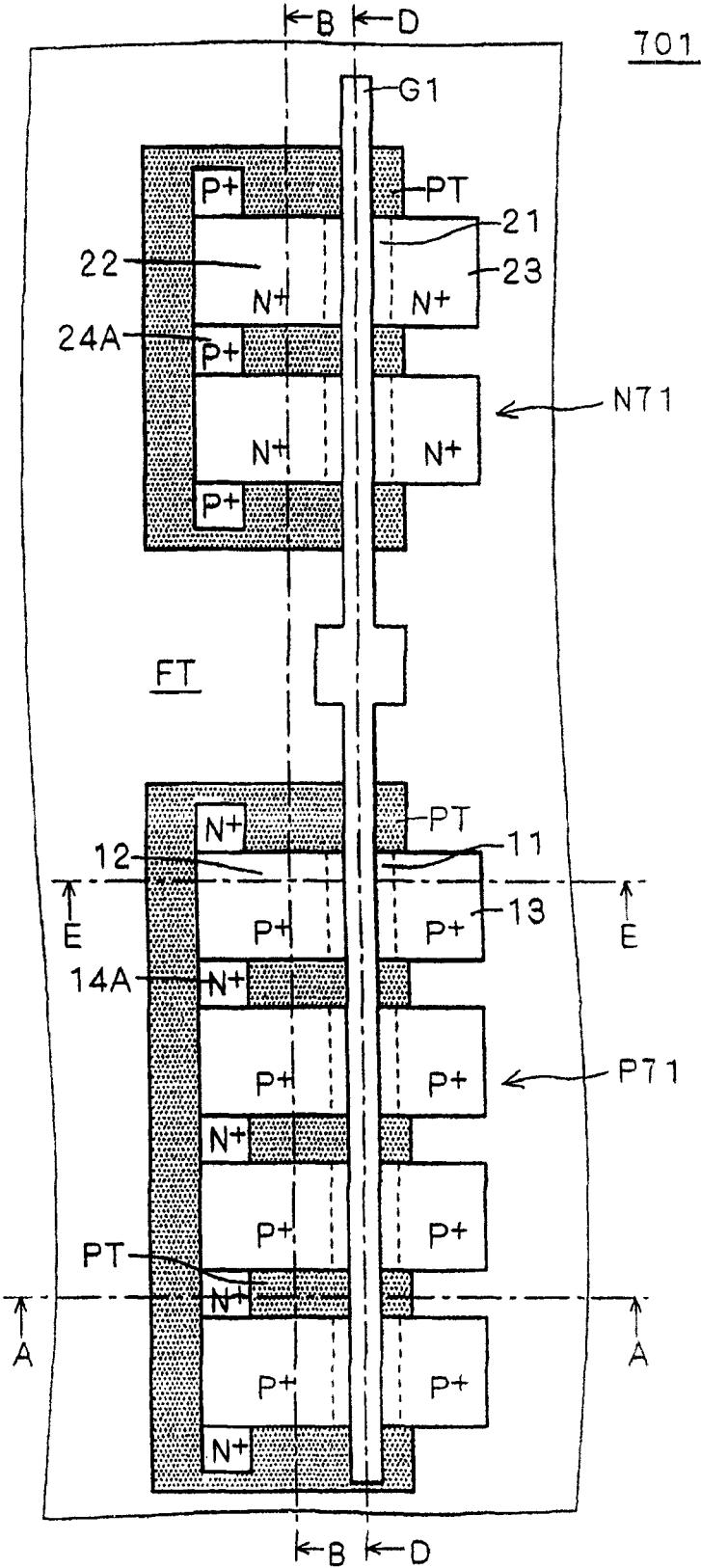


图 86

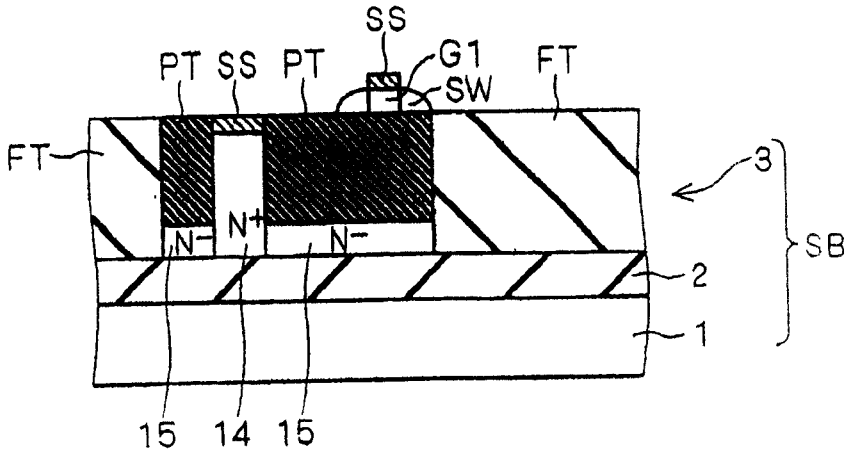


图 88

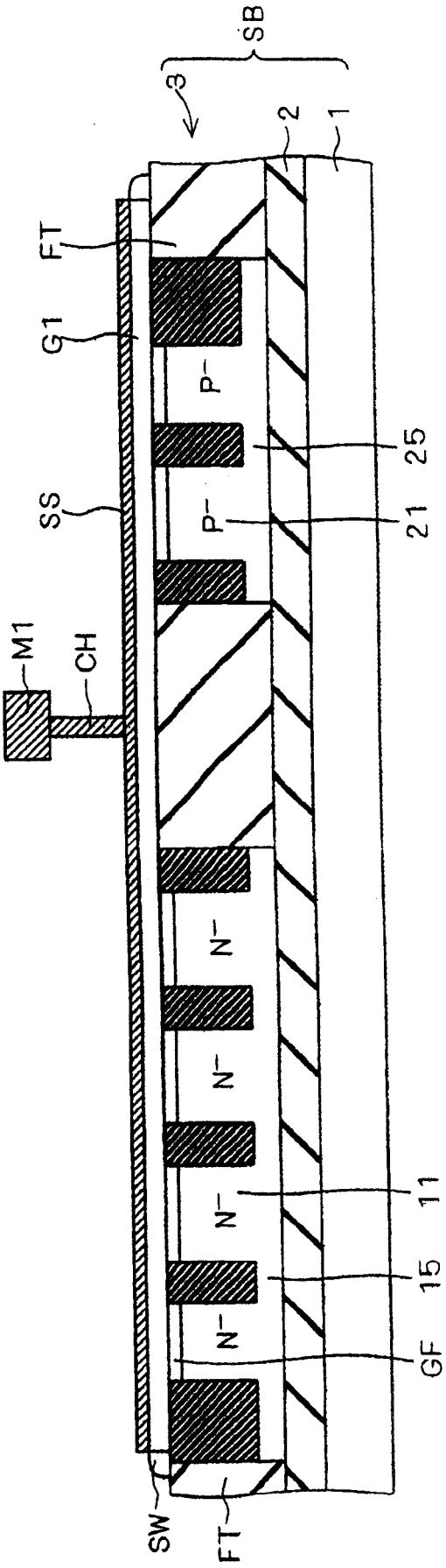


图 89

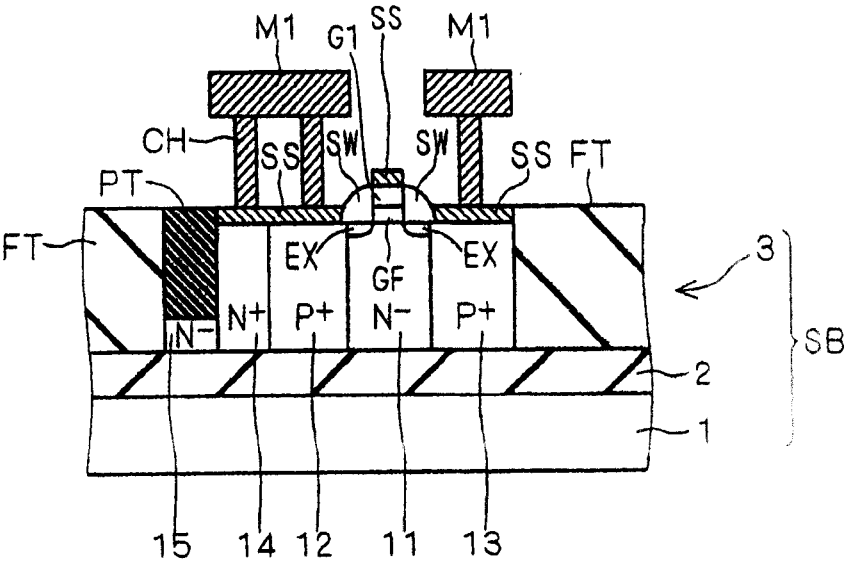


图 90

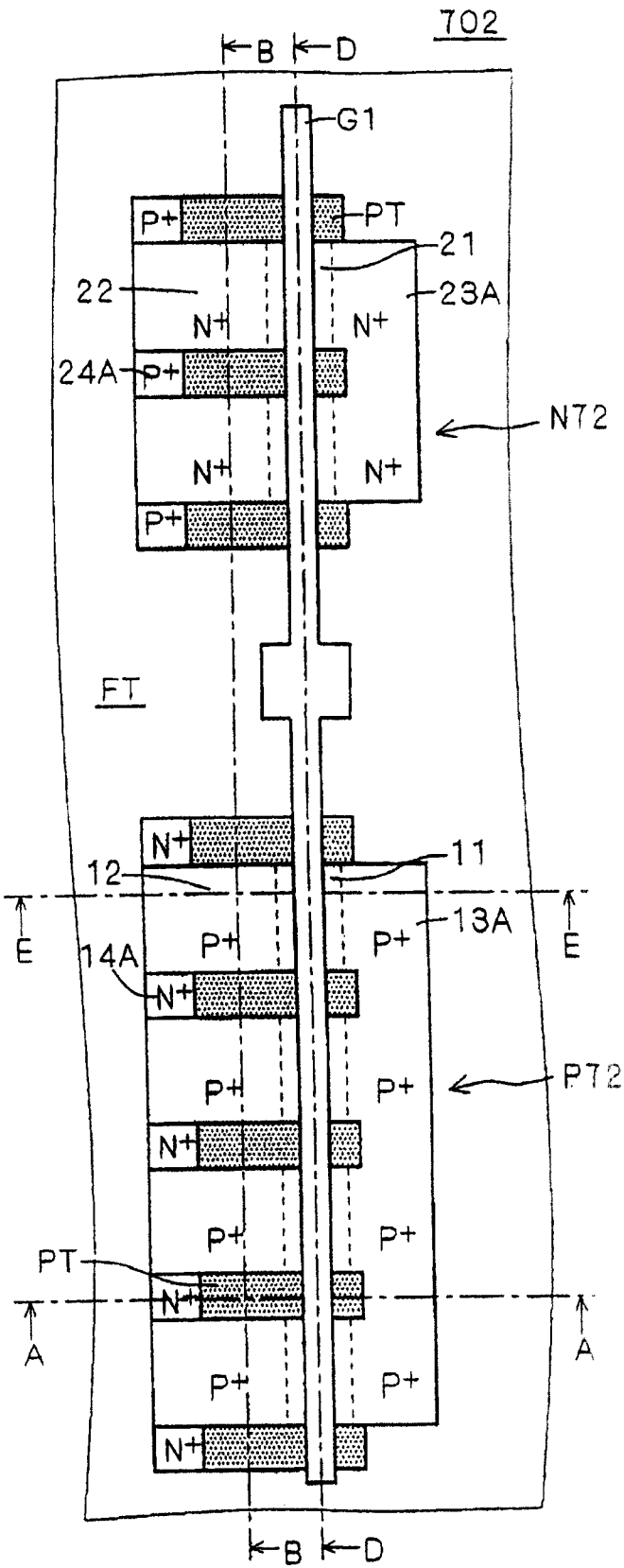
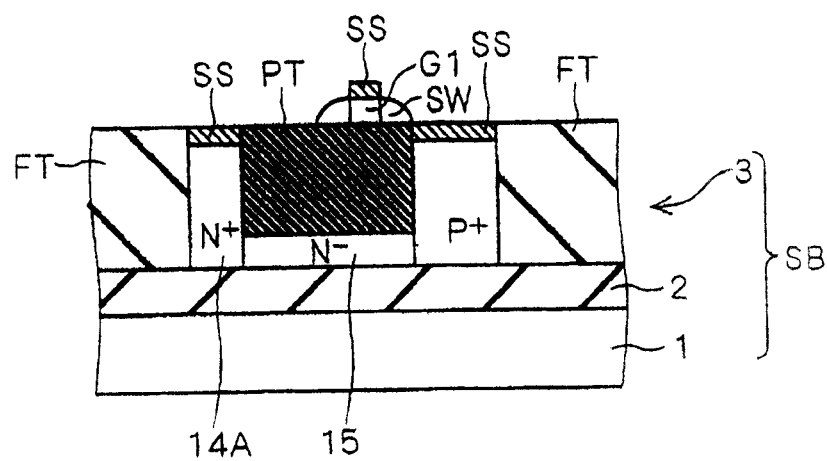


图 91



93

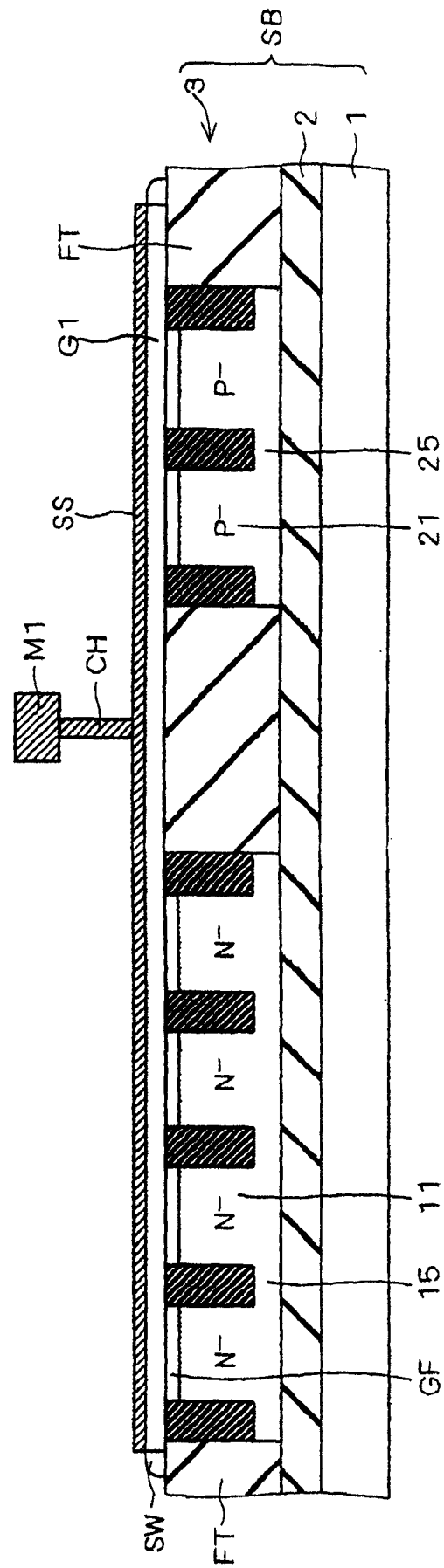


图 94

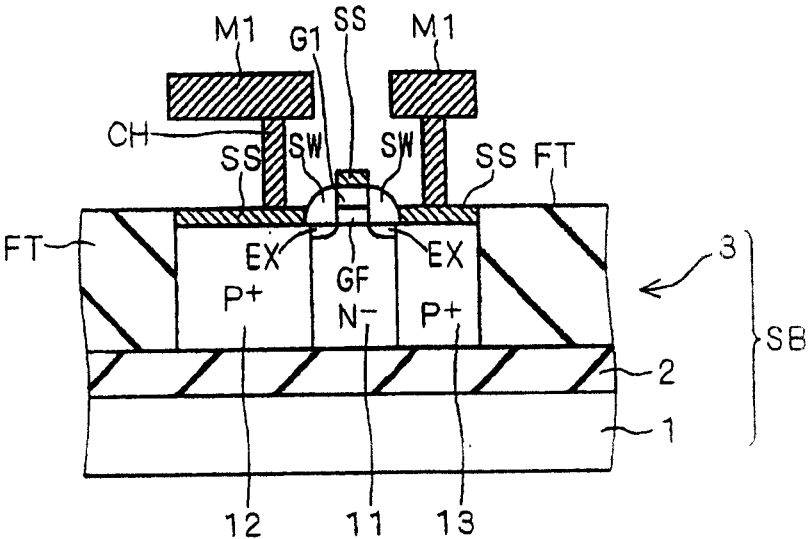


图 95

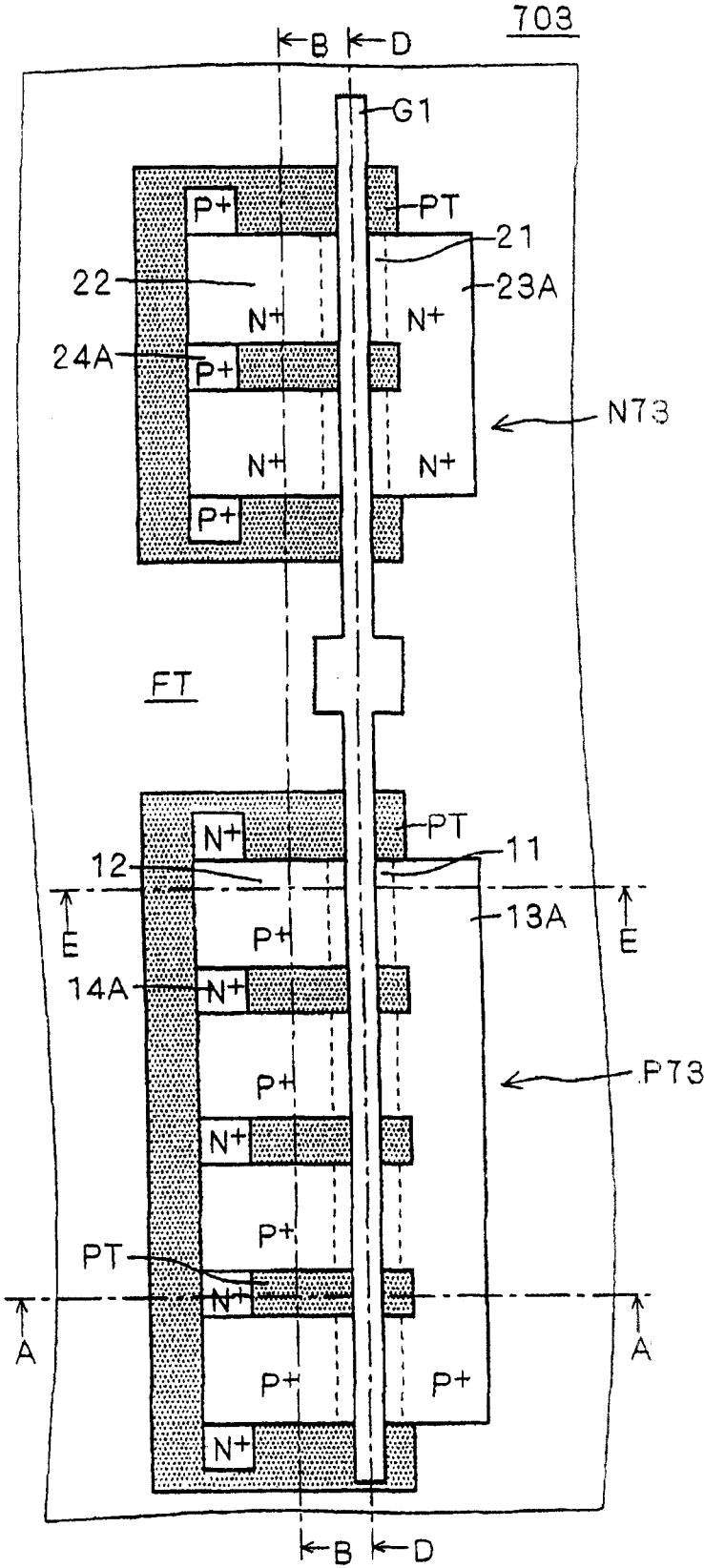


图 97

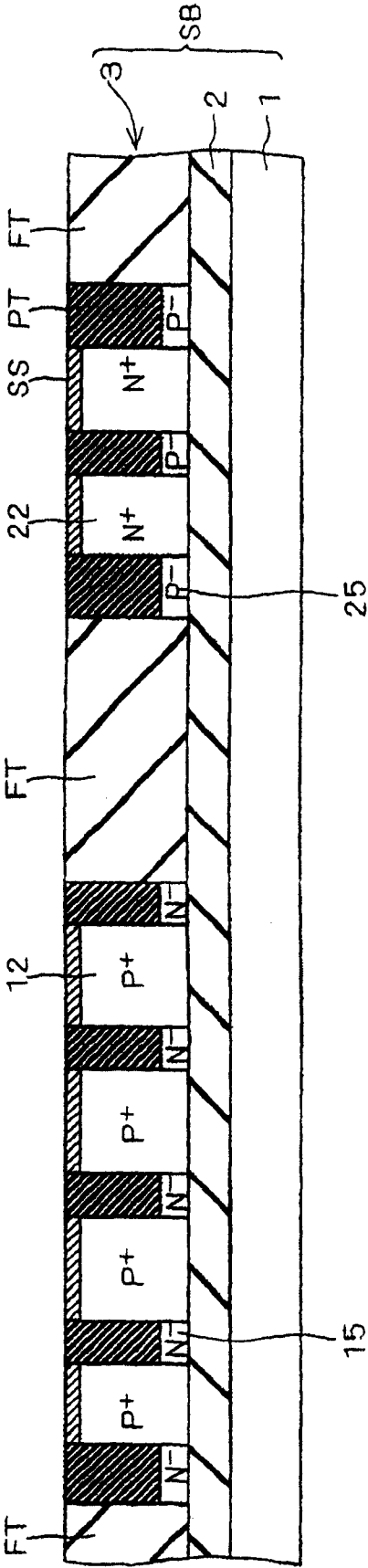


图 98

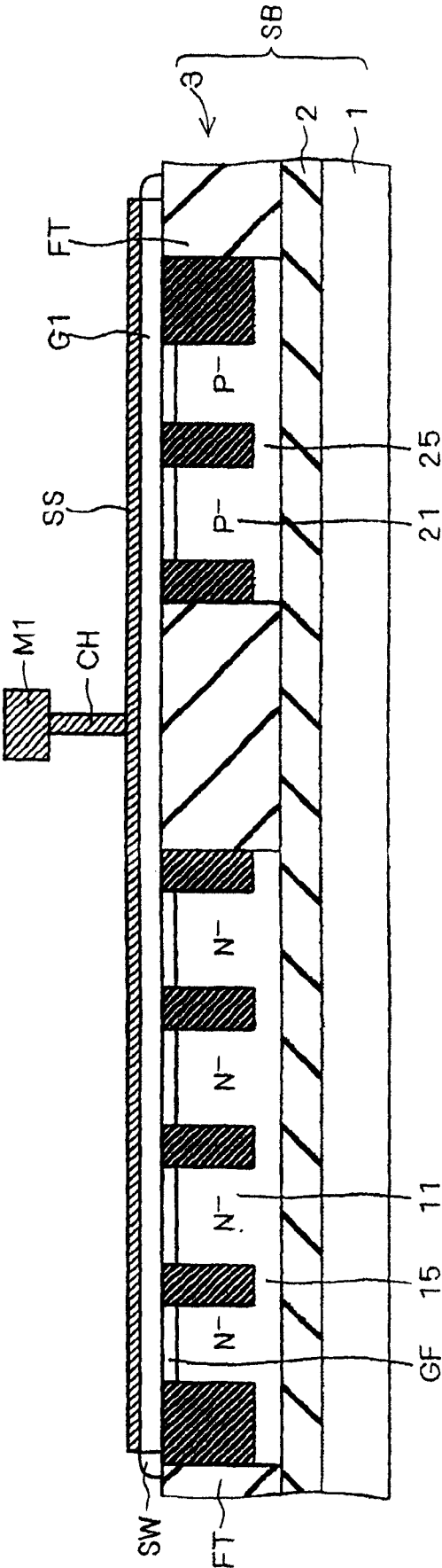


图 99

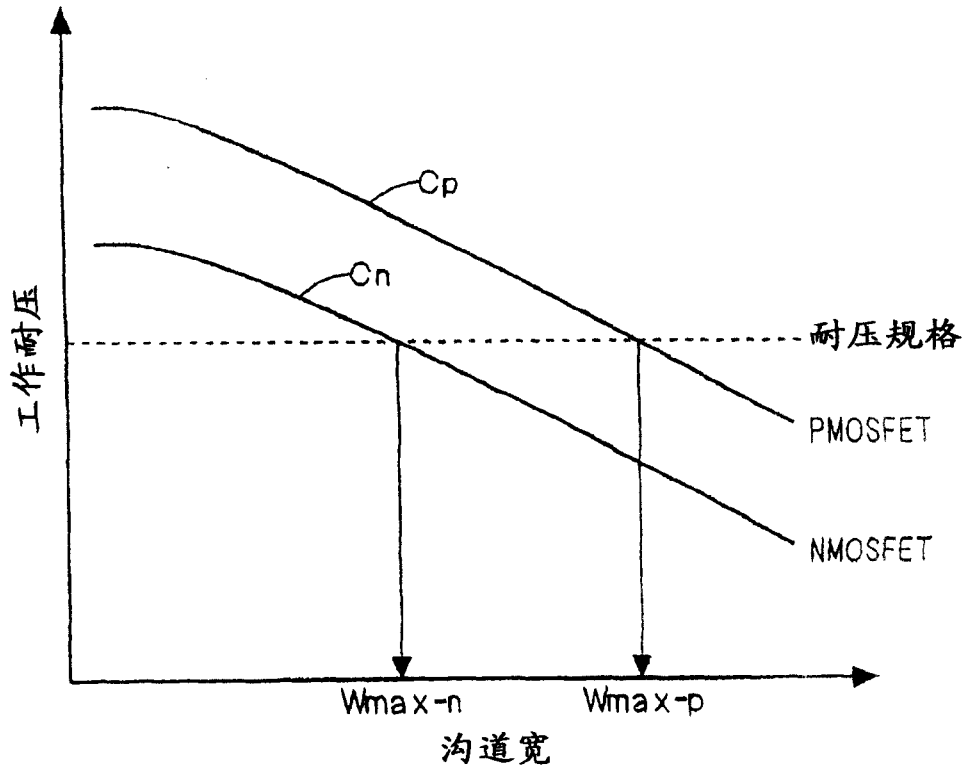
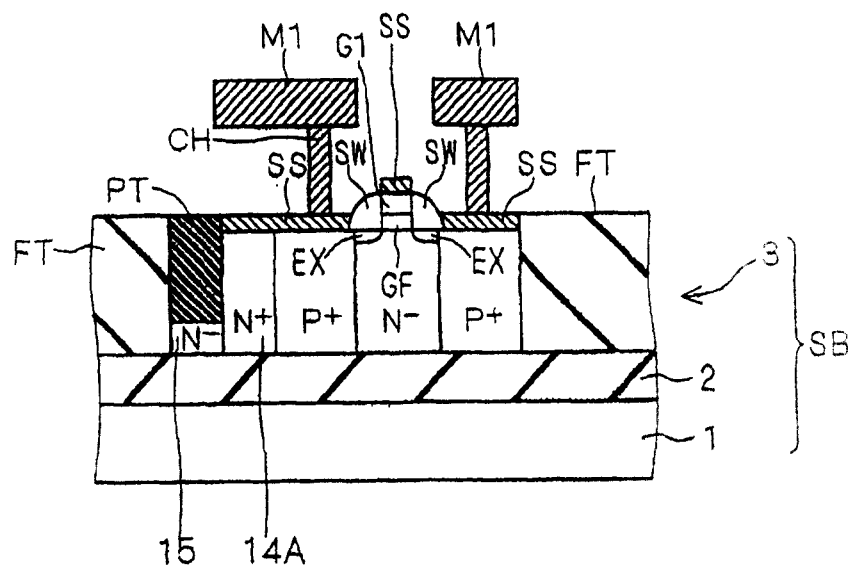


图 100

图 101

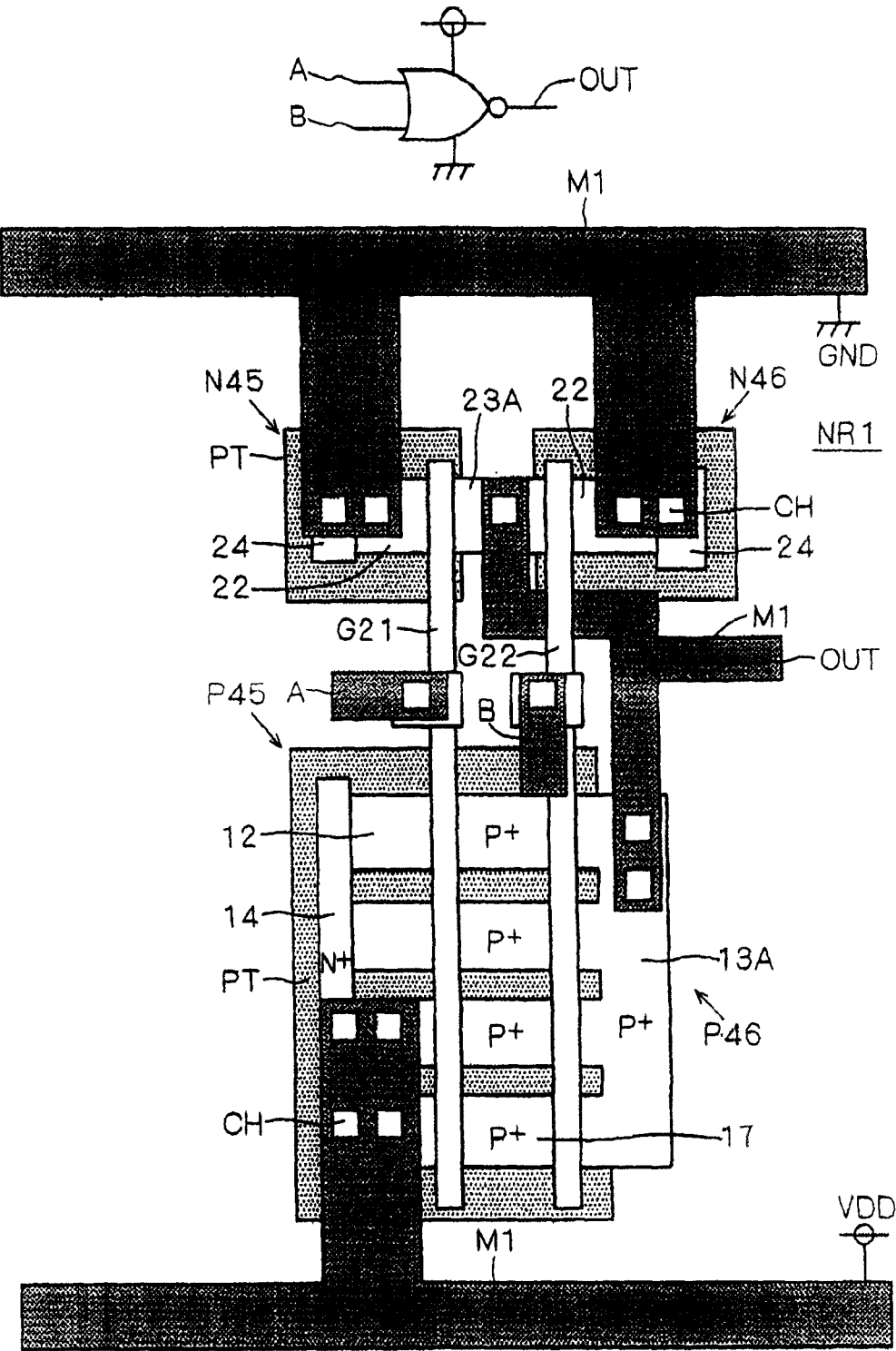


图 102

