



(12) 发明专利

(10) 授权公告号 CN 112463070 B

(45) 授权公告日 2025. 02. 11

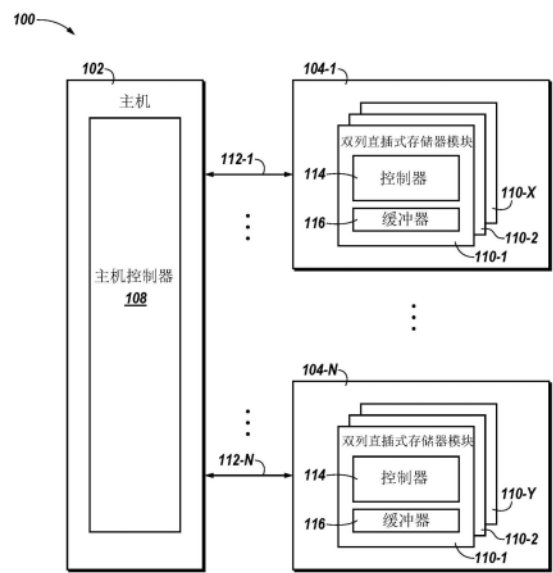
(21) 申请号 202011457227.0
(22) 申请日 2017.04.27
(65) 同一申请的已公布的文献号
 申请公布号 CN 112463070 A
(43) 申请公布日 2021.03.09
(30) 优先权数据
 62/332,370 2016.05.05 US
 15/157,213 2016.05.17 US
(62) 分案原申请数据
 201780026941.4 2017.04.27
(73) 专利权人 美光科技公司
 地址 美国爱达荷州
(72) 发明人 R·M·沃克 J·A·小哈尔
 F·F·罗斯

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287
 专利代理师 王龙
(51) Int.Cl.
 G06F 3/06 (2006.01)
 G06F 12/02 (2006.01)
 G06F 13/16 (2006.01)
(56) 对比文件
 CN 104981872 A, 2015.10.14
 US 2014157053 A1, 2014.06.05
 审查员 王瑾香

权利要求书3页 说明书10页 附图5页

(54) 发明名称
 非确定性存储器协议

(57) 摘要
 本发明包含与非确定性存储器协议有关的设备及方法。实例性设备可根据协议基于从主机接收的命令而对存储器装置执行操作,其中所述协议包含所述操作的非确定性时序。所述存储器装置可为非易失性双列直插式存储器模块 NVDIMM 装置。



1. 一种方法,其包括:

经由非易失性双列直插式存储器模块NVDIMM(110-1)的命令/地址总线从主机(102)接收至少一个读取命令(244)和至少一个写入命令(362);

经由所述NVDIMM的数据总线从所述主机接收即将被写入到所述NVDIMM的数据;

至少部分基于写入从所述主机接收的所述数据,将写入信用信号(332)从所述NVDIMM的指定用于写入信用信号的一组引脚传输到所述主机;

将读取就绪指示符(428)发送到所述主机,以指示与所述至少一个读取命令相关联的数据已准备好被发送到所述主机;

响应于发送所述读取就绪指示符,在由所述主机确定的时间从所述主机接收读取发送指示符(430),以指示所述主机已准备好接收与所述至少一个读取命令相关联的所述数据;以及

将响应于所述至少一个读取命令的数据,经由与所述写入信用信号相同的数据包中的所述NVDIMM的所述数据总线传输到所述主机。

2. 根据权利要求1所述的方法,其中所述写入信用信号包括写入信用反馈,所述写入信用反馈提供到所述主机以递增在所述主机处的写入信用计数的指示。

3. 根据权利要求1所述的方法,其中所述写入信用信号包括执行所述至少一个写入命令的指示。

4. 根据权利要求1所述的方法,其还包括:

在所述NVDIMM的写入缓冲器处接收所述至少一个写入命令,其中所述写入信用信号包括在所述写入缓冲器中的可用空间的指示。

5. 根据权利要求4所述的方法,其还包括:

响应于来自所述主机的另一命令传输所述写入信用信号。

6. 一种设备,其包括:

命令/地址总线,其经配置以将读取命令和写入命令从主机(102)传输到易失性存储器或非易失性存储器,或者传输到所述易失性存储器和所述非易失性存储器两者;

数据总线,其经配置以在所述主机与所述易失性存储器或所述非易失性存储器(110-1, . . . , 110-Y)之间,或者在所述主机与所述易失性存储器和所述非易失性存储器两者之间将与读取命令(244)或写入命令(362)相关联的数据进行通信;以及

一组引脚,其独立于所述命令/地址总线,所述一组引脚耦合到所述易失性存储器或所述非易失性存储器,或者耦合到所述易失性存储器和所述非易失性存储器两者,所述一组引脚经配置以至少部分基于来自所述主机的被写入到所述易失性存储器或所述非易失性存储器的数据,或者被写入到所述易失性存储器和所述非易失性存储器两者的数据,将写入信用信号传输到所述主机以提供写入信用反馈,

其中所述命令/地址总线经配置以将读取就绪指示符(428)发送到所述主机,以指示与读取命令相关联的数据已准备好被发送到所述主机,

其中响应于接收到所述读取就绪指示符,所述主机经配置以在由所述主机确定的时间将读取发送指示符(430)发送到所述易失性存储器或所述非易失性存储器,或者发送到所述易失性存储器或所述非易失性存储器两者,以指示所述主机已准备好接收与所述读取命令相关联的数据,且

其中所述一组引脚经配置以响应于所述读取命令在与所述数据总线上通信的数据相同的数据包中传输所述写入信用反馈。

7. 根据权利要求6所述的设备, 其中所述一组引脚经配置以传输写入信用反馈, 所述写入信用反馈包括到所述主机以递增在所述主机处的写入信用计数的指示。

8. 根据权利要求6所述的设备, 其中所述一组引脚经配置以传输写入信用反馈, 所述写入信用反馈包括在接收到经由所述命令/地址总线从所述主机接收的至少一个写命令之后, 经由所述数据总线通信的来自所述主机的数据已被写入的指示。

9. 根据权利要求6所述的设备, 其还包括:

写入缓冲器, 其耦合到所述易失性存储器或所述非易失性存储器, 或者耦合到所述易失性存储器和所述非易失性存储器两者, 其中所述一组引脚经配置以传输包括指示在所述写入缓冲器中的可用空间的写入信用反馈。

10. 根据权利要求9所述的设备, 其中所述一组引脚经配置以响应于经由所述命令/地址总线从所述主机接收的另一命令传输写入信用反馈。

11. 一种设备, 其包括:

易失性存储器, 其被配置为双列直插式存储器模块DIMM的元件 (110-1, . . . , 110-Y);

非易失性存储器, 其被配置为所述DIMM的元件 (110-1, . . . , 110-Y);

第一总线, 其耦合到所述易失性存储器或所述非易失性存储器, 或者耦合到所述易失性存储器和所述非易失性存储器两者, 且所述第一总线经配置以从主机 (102) 接收命令或地址, 或者接收命令和地址两者;

第二总线, 其耦合到所述易失性存储器或所述非易失性存储器, 或者耦合到所述易失性存储器和所述非易失性存储器两者, 且所述第二总线经配置以在所述易失性存储器或所述非易失性存储器与所述主机, 或者在所述易失性存储器和所述非易失性存储器两者与所述主机之间通信数据; 以及

一组引脚, 所述一组引脚不同于所述第一总线, 且所述一组引脚经配置以至少部分基于来自所述主机的被写入到所述易失性存储器或所述非易失性存储器的数据, 或者基于来自所述主机的被写入到所述易失性存储器和所述非易失性存储器两者的数据, 经由写入信用信号将写入信用反馈从所述DIMM传输到所述主机,

其中所述第一总线经配置以将读取就绪指示符 (428) 发送到所述主机, 以指示与所述命令中的读取命令相关联的数据已准备好被发送到所述主机,

其中响应于接收到所述读取就绪指示符, 所述主机经配置以在由所述主机确定的时间将读取发送指示符 (430) 发送到所述易失性存储器或所述非易失性存储器, 或者发送到所述易失性存储器或所述非易失性存储器两者, 以指示所述主机已准备好接收与所述读取命令相关联的数据, 且

其中所述第二总线和所述一组引脚经配置以从所述DIMM传输包括写入信用反馈和响应于经由所述第一总线接收的所述读取命令的数据的数据包。

12. 根据权利要求11所述的设备, 其还包括:

写入缓冲器, 其被配置为所述DIMM的元件, 且所述写入缓冲器耦合到所述易失性存储器或所述非易失性存储器, 或者耦合到所述易失性存储器和所述非易失性存储器两者, 其

中所述一组引脚经配置以传输包括指示在所述写入缓冲器中的可用空间的写入信用反馈。

13. 一种方法,其包括:

经由命令/地址总线将至少一个读取命令(244)和至少一个写入命令(362)从主机(102)传输到非易失性双列直插式存储器模块NVDIMM;

经由数据总线将即将被写入到所述NVDIMM的数据从所述主机传输到所述NVDIMM;

至少部分基于传输即将被写入到所述NVDIMM的所述数据,在所述主机处从所述NVDIMM的指定用于写入信用信号的一组引脚接收写入信用反馈;

在所述主机处接收读取就绪指示符(428),以指示与所述至少一个读取命令相关联的数据已准备好被发送到所述主机;

响应于接收到所述读取就绪指示符,在由所述主机确定的时间将读取发送指示符从所述主机发送到所述NVDIMM,以指示所述主机已准备好接收与所述至少一个读取命令相关联的所述数据;以及

在所述主机处从所述NVDIMM接收包括所述写入信用反馈和响应于所述至少一个读取命令的数据包。

14. 根据权利要求13所述的方法,其还包括:

至少部分基于接收所述写入信用反馈,在所述主机处递增写入信用计数。

15. 根据权利要求13所述的方法,其中所述写入信用反馈包括在所述NVDIMM处执行所述至少一个写入命令的指示。

16. 根据权利要求13所述的方法,其还包括:

将所述至少一个写入命令传输到所述NVDIMM的写入缓冲器,其中所述写入信用反馈包括在所述写入缓冲器中的可用空间的指示。

非确定性存储器协议

[0001] 分案申请信息

[0002] 本发明专利申请是申请日为2017年4月27日、申请号为201780026941.4、发明名称为“非确定性存储器协议”的发明专利申请案的分案申请。

技术领域

[0003] 本发明一般来说涉及存储器装置,且更特定来说,涉及用于非确定性存储器协议的设备及方法。

背景技术

[0004] 存储器装置通常经提供作为计算机或其它电子装置中的内部半导体集成电路。存在包含易失性及非易失性存储器的许多不同类型的存储器。易失性存储器可能需要电力来维持其数据,且包含随机存取存储器(RAM)、动态随机存取存储器(DRAM)及同步动态随机存取存储器(SDRAM)以及其它。非易失性存储器可通过在不被供电时存留所存储数据而提供持久性数据,且可包含NAND快闪存储器、NOR快闪存储器、只读存储器(ROM)、电可擦除可编程ROM(EEPROM)、可擦除可编程ROM(EPROM)及电阻可变存储器,例如相变随机存取存储器(PCRAM)、电阻式随机存取存储器(RRAM)及磁阻式随机存取存储器(MRAM)以及其它。

[0005] 存储器也作为易失性及非易失性数据存储装置用于宽广范围的电子应用。举例来说,非易失性存储器可用于个人计算机、便携式存储器条、数码相机、蜂窝式电话、例如MP3播放器等便携式音乐播放器、电影播放器及其它电子装置中。存储器单元可布置成阵列,其中所述阵列用于存储器装置中。

[0006] 存储器可为用于计算装置中的存储器模块(例如,双列直插式存储器模块(DIMM))的一部分。存储器模块可包含易失性存储器(例如DRAM)及/或非易失性存储器(例如快闪存储器或RRAM)。DIMM可在计算系统中使用主要存储器。

发明内容

[0007] 根据本申请的一方面,提供了一种方法,其包括:经由非易失性双列直插式存储器模块(NVDIMM)(110-1)的命令/地址总线从主机(102)接收至少一个读取命令(244)和至少一个写入命令(362);经由所述NVDIMM的数据总线从所述主机接收即将被写入到所述NVDIMM的数据;以及至少部分基于写入从所述主机接收的所述数据,将写入信用信号(332)从所述NVDIMM的指定用于写入信用信号的一组引脚传输到所述主机。

[0008] 根据本申请的另一方面,提供了一种设备,其包括:命令/地址总线,其经配置以将读取命令和写入命令从主机(102)传输到易失性存储器或非易失性存储器,或者传输到所述易失性存储器和所述非易失性存储器两者;数据总线,其经配置以在所述主机与所述易失性存储器或所述非易失性存储器(110-1,...,110-Y)之间,或者在所述主机与所述易失性存储器和所述非易失性存储器两者之间将与读取命令(244)或写入命令(362)相关联的数据进行通信;以及一组引脚,其独立于所述命令/地址总线,所述一组引脚耦合到所述易

失性存储器或所述非易失性存储器,或者耦合到所述易失性存储器和所述非易失性存储器两者,所述一组引脚经配置以至少部分基于来自所述主机的被写入到所述易失性存储器或所述非易失性存储器的数据,或者被写入到所述易失性存储器和所述非易失性存储器两者的数据,将写入信用信号传输到所述主机以提供写入信用反馈。

[0009] 根据本申请的又一方面,提供了一种设备,其包括:易失性存储器,其被配置为双列直插式存储器模块(DIMM)的元件(110-1,...,110-Y);非易失性存储器,其被配置为所述DIMM的元件(110-1,...,110-Y);第一总线,其耦合到所述易失性存储器或所述非易失性存储器,或者耦合到所述易失性存储器和所述非易失性存储器两者,且所述第一总线经配置以从主机(102)接收命令或地址,或者接收命令和地址两者;第二总线,其耦合到所述易失性存储器或所述非易失性存储器,或者耦合到所述易失性存储器和所述非易失性存储器两者,且所述第二总线经配置以在所述易失性存储器或所述非易失性存储器与所述主机,或者在所述易失性存储器和所述非易失性存储器两者与所述主机之间通信数据;以及一组引脚,所述一组引脚不同于所述第一总线,且所述一组引脚经配置以至少部分基于来自所述主机的被写入到所述易失性存储器或所述非易失性存储器的数据,或者基于来自所述主机的被写入到所述易失性存储器和所述非易失性存储器两者的数据,经由写入信用信号将写入信用反馈从所述DIMM传输到所述主机。

[0010] 根据本发明的又一方面,提供了一种方法,其包括:经由命令/地址总线将至少一个读取命令(244)和至少一个写入命令(362)从主机(102)传输到非易失性双列直插式存储器模块(NVDIMM);经由数据总线将即将被写入到所述NVDIMM的数据从所述主机传输到所述NVDIMM;以及至少部分基于传输即将被写入到所述NVDIMM的所述数据,在所述主机处从所述NVDIMM的指定用于写入信用信号的一组引脚接收写入信用反馈。

附图说明

[0011] 图1是根据本发明的若干个实施例的呈包含存储器系统的计算系统的形式的设备的框图。

[0012] 图2A到2B是根据本发明的若干个实施例的若干个读取操作的图式。

[0013] 图3是根据本发明的若干个实施例的若干个写入操作的图式。

[0014] 图4是根据本发明的若干个实施例的若干个读取及写入操作的图式。

具体实施方式

[0015] 本发明包含与非确定性存储器协议有关的设备及方法。实例性设备可根据协议基于从主机接收的命令而对存储器装置执行操作,其中协议包含操作的非确定性时序。举例来说,存储器装置可为非易失性双列直插式存储器模块(NVDIMM)装置。

[0016] 在本发明的一或多个实施例中,协议可用于对NVDIMM装置执行操作。协议可允许主机具有对NVDIMM装置的直接存取,因此主机可将命令发送到NVDIMM装置以供NVDIMM装置执行。NVDIMM装置的非易失性性质可允许NVDIMM装置以非确定性时序执行来从主机的命令。协议可由主机及NVDIMM用以发送、接收及执行命令。协议可包含达成以下各项的信号:对命令的非确定性时序的执行;以与发布读取命令的次序不同的次序来传回与读取命令相关联的数据;及在执行写入命令时使用写入缓冲器、高速缓冲存储器或类似实体。而且,根

据本发明的实施例的协议可与先前协议一起使用(例如,兼容),使得主机可在相同信道上使用本发明的协议及其它先前协议来将命令发送到DIMM装置。举例来说,主机可使用根据本发明的实施例的协议来将命令发送到NVDIMM装置且也在相同信道上使用先前协议来将命令发送到DDR4 SDRAM装置。

[0017] 包含于本发明的协议中的信号可为读取就绪(R_RDY)信号、读取发送(R_SEND)信号、写入信用递增(WC_INC)信号及读取识别(RID)信号。读取就绪信号可从NVDIMM装置被发送到主机以指示NVDIMM装置将与读取命令相关联的数据准备好发送到主机。读取发送命令可响应于接收到读取就绪命令而从主机被发送到NVDIMM装置以指示主机准备好接收与读取命令相关联的数据。读取识别(RID)信号可在与读取命令相关联的数据被传送到主机时从NVDIMM装置被发送到主机。RID信号可由主机用以识别哪一读取命令与从NVDIMM装置被传送到主机的数据相关联。写入信用递增信号可响应于完成执行写入命令或写入缓冲器中的写入已被消耗(此指示与请求相关联的写入缓冲器空间为可用的)而从NVDIMM装置被发送到主机。写入递增信号可由主机用以递增可被发送到NVDIMM装置的可用写入命令的数目。举例来说,每当主机将写入命令发送到NVDIMM装置时,主机会递减可被发送到NVDIMM装置的可用写入命令的数目,且当主机从NVDIMM装置接收到写入计数递增信号时,主机可递增可被发送到NVDIMM装置的可用写入命令的数目。

[0018] 在本发明的以下详细描述中,参考形成本发明的一部分且其中以图解说明方式展示可如何实践本发明的若干个实施例的所附图式。充分详细地描述这些实施例旨在使所属领域的技术人员能够实践本发明的实施例,且应理解,可利用其它实施例且可做出过程、电及/或结构改变,而不背离本发明的范围。如本文中所使用,指定符“N”指示,如此指定的特定特征中的若干个特征可与本发明的若干个实施例包含在一起。

[0019] 如本文中所使用,“若干个”某物可是指此些事物中的一或多者。举例来说,若干个存储器装置可是指存储器装置中的一或多者。另外,如本文中所使用,例如“N”等指定符(特定来说关于图式中的参考编号)指示,如此指定的特定特征中的若干个特征可与本发明的若干个实施例包含在一起。

[0020] 本文中的各图遵循其中第一个数字或前几个数字对应于图式的图编号且剩余数字识别图式中的元件或组件的编号惯例。不同图之间的类似元件或组件可通过使用类似数字而识别。如将了解,可添加、交换及/或消除本文中的各种实施例中所展示的元件以便提供本发明的若干个额外实施例。另外,各图中所提供的元件的比例及相对尺度打算图解说明本发明的各种实施例且并不在限制意义上使用。

[0021] 图1是根据本发明的一或多个实施例的包含呈若干个存储器系统104-1...104-N的形式的设备的计算系统100的功能框图。如本文中所使用,举例来说,“设备”可是指但不限于多种结构或结构组合(例如一或若干电路、一或若干裸片、一或若干模块、一或若干装置或者一或若干系统)中的任一者。在图1中所图解说明的实施例中,存储器系统104-1...104-N可包含一或多个双列直插式存储器模块(DIMM)110-1、...、110-X、110-Y。DIMM 110-1、...、110-X、110-Y可包含易失性存储器及/或非易失性存储器。在若干个实施例中,存储器系统104-1、...、104-N可包含多芯片装置。多芯片装置可包含若干个不同存储器类型及/或存储器模块。举例来说,存储器系统可在任何类型的模块上包含非易失性或易失性存储器。下文与图1到4相关联地描述的实例使用DIMM作为存储器模块,但本发明的协议可用于其中存储

器可执行非确定性命令的任何存储器系统上。在图1中,经由信道112-1耦合到主机的存储器系统104-1可包含DIMM 110-1、...、110-X,其中DIMM 110-1是NVDIMM且110-X是DRAM DIMM。在此实例中,每一DIMM 110-1、...、110-X、110-Y包含控制器114。控制器114可从主机102接收命令且控制命令在DIMM上的执行。而且,在若干个实施例中,本发明的协议可由不具有控制器的存储器装置(例如,DIMM)实施,且使用本发明的协议对命令的执行可被构建到存储器装置中。主机102可使用本发明的协议及/或先前协议将命令发送到DIMM 110-1、...、110-X、110-Y,这取决于DIMM中的存储器的类型。举例来说,主机可使用本发明的协议来在相同信道(例如,信道112-1)上与NVDIMM进行通信且使用先前协议来与DRAM DIMM进行通信,所述NVDIMM与所述DRAM DIMM两者在相同存储器系统上。主机及NVDIMM可根据本发明的协议而经由读取就绪(R_RDY)信号、读取发送(R_SEND)信号、写入信用递增(WC_INC)信号及读取识别(RID)信号进行通信。读取就绪(R_RDY)信号、读取发送(R_SEND)信号、写入信用递增(WC_INC)信号及读取识别(RID)信号可经由先前协议(例如,DDR4)中未使用的引脚或来自先前协议(例如,DDR4)的经重新目的化(例如,以不同方式使用)使得本协议与先前协议兼容的引脚被发送。而且,引脚可在正被开发的协议(例如,DDR5)中被指派到读取就绪(R_RDY)信号、读取发送(R_SEND)信号、写入信用递增(WC_INC)信号及读取识别(RID)信号。

[0022] 如图1中所图解说明,主机102可耦合到存储器系统104-1...104-N。在若干个实施例中,每一存储器系统104-1...104-N可经由信道耦合到主机102。在图1中,存储器系统104-1经由信道112-1耦合到主机102且存储器系统104-N经由信道112-N耦合到主机102。主机102可为膝上型计算机、个人计算机、数码相机、数字记录及回放装置、移动电话、PDA、存储器卡读取器、接口集线器以及其它主机系统,且可包含存储器存取装置(例如,处理器)。所属领域的一般技术人员将了解,“一处理器”可意指一或多个处理器,例如并行处理系统、若干个共处理器等。

[0023] 主机102包含主机控制器108以与存储器系统104-1...104-N通信。主机控制器108经由信道112-1...112-N将命令发送到DIMM 110-1、...、110-X、110-Y。主机控制器108可与DIMM 110-1、...、110-X、110-Y及/或DIMM 110-1、...、110-X、110-Y中的每一者上的控制器114通信以读取、写入及擦除数据以及进行其它操作。物理主机接口可提供用于在存储器系统104-1...104-N与具有用于物理主机接口的兼容接受器的主机102之间传递控制、地址、数据及其它信号的接口。信号可经由信道112-1...112-N在若干个总线上(例如,数据总线及/或地址总线)于102与DIMM 110-1、...、110-X、110-Y之间传递。

[0024] 主机控制器108及/或DIMM上的控制器114可包含控制电路,例如硬件、固件及/或软件。在一或多个实施例中,主机控制器108及/或控制器114可为耦合到包含物理接口的印刷电路板的专用集成电路(ASIC)。同样,每一DIMM 110-1、...、110-X、110-Y可包含易失性及/或非易失性存储器的缓冲器116。缓冲器116可用于缓冲在读取命令及/或写入命令的执行期间使用的数据。缓冲器116可被分裂成写入缓冲器及读取缓冲器。专用于写入缓冲器的空间量及专用于读取缓冲器的空间量可由主机控制器108控制。主机可基于被发送到特定DIMM的命令的类型而控制缓冲器116中专用于写入缓冲器及读取缓冲器的空间量。在若干个实施例中,DIMM可具有固定写入缓冲器大小及/或固定读取缓冲器大小。

[0025] DIMM 110-1、...、110-X、110-Y可对存储器系统提供主要存储器或者可用作整个存储器系统的额外存储器或存储装置。每一DIMM 110-1、...、110-X、110-Y可包含存储器单元

(例如,非易失性存储器单元)的一或多个阵列。举例来说,所述阵列可为具有NAND架构的快闪阵列。实施例不限于特定类型的存储器装置。举例来说,存储器装置可包含RAM、ROM、DRAM、SDRAM、PCRAM、RRAM及快闪存储器以及其它存储器。

[0026] 图1的实施例可包含为不使本发明的实施例模糊而未加以图解说明的额外电路。举例来说,存储器系统104-1...104-N可包含用以锁存通过I/O电路经由I/O连接提供的地址信号的地址电路。可由行解码器及列解码器来接收并解码地址信号以存取存储器装置110-1、...、110-N。所属领域的技术人员将了解,地址输入连接的数目可取决于DIMM 110-1、...、110-X、110-Y的密度及架构。

[0027] 图2A到2B是根据本发明的若干个实施例的若干个读取操作的图式。主机与NVDIMM可经由命令222、DQ+ECC引脚224、读取就绪(R_RDY)信号228、读取发送(R_SEND)信号230、写入信用递增(WC_INC)信号232及读取识别(RID)信号226通信。图2A图解说明执行两个读取操作的实例。命令信号222可从主机被发送到NVDIMM。命令信号可包含激活命令及读取命令。在图2A中,第一激活命令242-1、第一读取命令244-1、第二激活命令242-2及第二读取命令244-2从主机被发送到NVDIMM。在本发明的协议中,可在不考虑时序参数的情况下一个接一个地发送读取命令。这允许命令比由于时钟时序参数而必须使命令间隔开快地被发送,因此NVDIMM可较快地开始处理命令,此可减小命令的延时。

[0028] 在若干个实施例中,当发送由读取命令或写入命令链接及/或紧接的激活命令时,可在激活命令与读取或写入命令之间存在额外冗余位,所述额外冗余位可经重新目的化以用于对命令的额外寻址。由于非易失性存储器通常具有比DRAM多的容量,因此可期望具有对命令的额外寻址。读取或写入命令中的对于激活命令中的位是冗余的位可用于对读取或写入命令提供额外行(页)寻址及/或额外列寻址。

[0029] 在图2A中,一旦NVDIMM已接收到读取命令244-1及244-2,NVDIMM便可检查NVDIMM的缓冲器及/或高速缓冲存储器以及NVDIMM的非易失性存储器以定位与读取命令244-1及244-2相关联的数据。一旦控制器定位数据且将数据准备好发送回到主机,NVDIMM控制器便可将读取就绪命令发送到主机。当NVDIMM接收到若干个读取命令时,NVDIMM控制器不必以NVDIMM接收读取命令的次序来对读取命令做出响应。举例来说,如果NVDIMM控制器在其定位与在命令之前被接收的另一命令相关联的数据之前,定位与所述命令相关联的数据,那么NVDIMM可发送指示与所述命令相关联的数据准备好被发送到主机的读取就绪命令而不必等待NVDIMM控制器定位与所述另一命令相关联的数据。当与读取命令相关联的数据定位于缓冲器中时,可针对读取命令中的一些但非所有读取命令而发生对读取命令的无序响应。

[0030] 在图2A中,可通过将读取就绪信号从低双态切换(例如,转变)到高或从高双态切换(例如,转变)到低而将读取就绪指示符228发送到主机以指示与读取命令244-1相关联的数据准备好被发送到主机。主机可通过检测读取就绪信号的转变而检测读取就绪指示符228。响应于接收到读取就绪指示符228,主机可将读取发送指示符230发送到NVDIMM控制器以指示主机准备好接收与读取命令244-1相关联的数据。读取发送指示符230可由主机在任何时间且在不考虑时序参数的情况下发送到NVDIMM控制器。主机可通过对读取发送命令何时被发送到NVDIMM控制器进行定时而控制数据总线上的业务。读取发送指示符230可包含将读取发送信号从低双态切换到高,此由NVDIMM控制器检测。NVDIMM控制器可响应于接收

到读取发送指示符230而在DQ+ECC引脚224上发送与写入命令相关联的数据(V) 246-1。在读取数据传送时间周期(t_{send}) 250-1之后发送数据(V) 246-1。而且,当数据(V) 246-1被发送到主机时,在RID引脚226上将读取识别(RID)信号248-1发送到主机。RID信号248-1用于识别与被发送到主机的数据(V) 246-1相关联的读取命令。由于NVDIMM命令能够以与读取命令被接收的次序不同的次序对读取命令做出响应,因此在不具有RID信号的情况下主机将不知晓特定数据传输与哪一读取命令相关联。RID信号可包含n个位,其中n是1或多个位。举例来说,RID信号可在2位RID总线上进行传输。主机可发布的未处理(outstanding)读取的数目可取决于RID信号中的位的数目、数据包中的差拍(beat)的数目及NVDIMM控制器可支持的读取的数目。举例来说,如果数据突发是8个差拍且RID信号是2个位,那么主机可发布的未处理读取的数目是 $2^{2*8}=65,536$ 。而且,NVDIMM可具有可由主机读取以进一步限制主机可发布的未处理读取命令的数目的寄存器且主机可跟踪主机已发布的未处理读取的数目。

[0031] 在若干个实施例中,可从低到高到低对读取发送信号施加脉冲以指示主机准备好接收数据。经施加脉冲读取发送信号可由主机定时以与在共同信道上被发送到DIMM的其它信号协调,所述其它信号通常以时钟边缘捕获,其中DIMM中的一些DIMM可或不使用本发明的协议。

[0032] 响应于接收到读取命令244-2,可通过将读取就绪信号从高双态切换到低而将读取就绪指示符228发送到主机以指示与读取命令244-2相关联的数据准备好被发送到主机。主机可通过检测读取就绪信号从高到低的改变而检测读取就绪指示符228。响应于接收到读取就绪指示符228,主机可将读取发送指示符230发送到NVDIMM控制器以指示主机准备好接收与读取命令244-2相关联的数据。读取发送指示符230可包含将读取发送信号从高双态切换到低,此由NVDIMM控制器检测。NVDIMM控制器可响应于接收到读取发送指示符230而在DQ+ECC引脚224上发送与写入命令相关联的数据(V) 246-2。在读取数据传送时间周期(t_{send}) 250-2之后发送数据(V) 246-2。而且,当数据(V) 246-2被发送到主机时,在RID引脚226上将读取识别(RID)信号248-2发送到主机。RID信号248-2用于识别与被发送到主机的数据(V) 246-2相关联的读取命令。在若干个实施例中,由于NVDIMM可以任何次序执行读取命令,因此数据(V) 246-2及RID信号248-2可首先响应于读取就绪命令从低到高的双态切换而被发送到主机,且数据(V) 246-1及RID信号248-1可稍后响应于读取就绪命令从高到低的双态切换而从主机被发送。

[0033] 图2B图解说明执行两个读取操作的实例,其中读取操作中的一者包含读取命中且另一读取操作包含读取未命中。读取未命中可指示NVDIMM控制器不能够在NVDIMM的缓冲器中找到与读取命令相关联的数据,且读取命中可指示NVDIMM控制器能够在缓冲器中找到与读取命令相关联的数据。在图2B中,第一激活命令242-1、第一读取命令244-1、第二激活命令242-2及第二读取命令244-2从主机被发送到NVDIMM。

[0034] 在图2B中,一旦NVDIMM已接收到读取命令244-1及244-2,NVDIMM便可检查NVDIMM的缓冲器及/或高速缓冲存储器以及NVDIMM的非易失性存储器以定位与读取命令244-1及244-2相关联的数据。与读取命令244-1相关联的数据是“读取命中”且定位于NVDIMM的缓冲器中。可通过将读取就绪信号从低双态切换到高而将读取就绪指示符228发送到主机以指示与读取命令244-1相关联的数据准备好被发送到主机。主机可通过检测读取就绪信号从低到高的改变而检测读取就绪指示符228。响应于接收到读取就绪指示符228,主机可将读

取发送指示符230发送到NVDIMM控制器以指示主机准备好接收与读取命令224-1相关联的数据。读取发送指示符230可包含将读取发送信号从低双态切换到高,此由NVDIMM控制器检测。NVDIMM控制器可响应于接收到读取发送指示符230而在DQ+ECC引脚224上发送与读取命令相关联的数据(V) 246-1。在读取数据传送时间周期(t_{send}) 250-1之后发送数据(V) 246-1。而且,当数据(V) 246-1被发送到主机时,在RID引脚226上将读取识别(RID)信号248-1发送到主机。RID信号248-1用于识别与被发送到主机的数据(V) 246-1相关联的读取命令。

[0035] 响应于接收到读取命令244-2,NVDIMM可检查NVDIMM的缓冲器及/或高速缓冲存储器以及NVDIMM的非易失性存储器以定位与读取命令244-1及244-2相关联的数据。与读取命令244-2相关联的数据是“读取未命中”且定位于NVDIMM的非易失性存储器中。由于读取命令244-2是“读取未命中”,因此NVDIMM控制器不能够如“读取命中”命令一般快地发送读取就绪命令。在因定位与读取命令244-2相关联的数据所产生的时间周期之后,可通过将读取就绪信号从高双态切换到低而将读取就绪指示符228发送到主机以指示与读取命令244-2相关联的数据准备好被发送到主机。NVDIMM可等待发送读取就绪命令直到与读取命令相关联的数据准备好被发送到主机为止,因为可在不考虑时序参数的情况下发送读取就绪命令。主机可通过检测读取就绪信号从高到低的改变而检测读取就绪指示符228。响应于接收到读取就绪指示符228,主机可将读取发送指示符230发送到NVDIMM控制器以指示主机准备好接收与读取命令224-2相关联的数据。读取发送指示符230可包含将读取发送信号从高双态切换到低,此由NVDIMM控制器检测。NVDIMM控制器可响应于接收到读取发送指示符230而在DQ+ECC引脚224上发送与写入命令相关联的数据(V) 246-2。在读取数据传送时间周期(t_{send}) 250-2之后发送数据(V) 246-2。而且,当数据(V) 246-2被发送到主机时,在RID引脚226上将读取识别(RID)信号248-2发送到主机。RID信号248-2用于识别与被发送到主机的数据(V) 246-2相关联的读取命令。在若干个实施例中,可在读取命令中包含优先级(例如,可启用优先级位),这向NVDIMM指示应以优先级执行所述读取命令。NVDIMM可在发送与其它读取命令相关联的数据之前发送与其中被启用优先级位的读取命令相关联的数据。在若干个实施例中,由于NVDIMM可以任何次序执行读取命令,因此数据(V) 246-2及RID信号248-2可首先响应于读取就绪命令从低到高的双态切换而被发送到主机且数据(V) 246-1及RID信号248-1可稍后响应于读取就绪命令从高到低的双态切换而从主机被发送。

[0036] 图3是根据本发明的若干个实施例的若干个写入操作的图式。主机与NVDIMM可经由命令322、DQ+ECC引脚324、读取就绪(R_RDY)信号328、读取发送(R_SEND)信号330、写入信用递增(WC_INC)信号332及读取识别(RID)信号326通信。图3图解说明执行两个写入操作的实例。命令信号322可从主机被发送到NVDIMM。命令信号可包含激活命令及写入命令。在图3中,第一激活命令342-1及第一写入命令362-1从主机被发送到NVDIMM。激活命令及写入命令可在其间不具有时序延迟的情况下被发送。

[0037] 在图3中,一旦主机已发送写入命令362-1,主机便可在写入数据传送时间周期(t_{send}) 352-2之后将与写入命令相关联的数据346-1发送到NVDIMM,其中与写入命令相关联的数据被传送到NVDIMM。在本发明的协议中,可在写入数据传送时间周期之后且在与写入命令相关联的数据正被传送到NVDIMM的同时发送后续写入命令。在图3中,第二激活命令342-2及第二写入命令362-2在写入数据传送时间周期(t_{send}) 350-1之后从主机被发送到NVDIMM。一旦主机已发送写入命令362-2,主机便可在写入数据传送时间周期(t_{send}) 352-2

之后将与写入命令362-2相关联的数据346-2发送到NVDIMM。

[0038] 写入信用递增(WC_INC)指示符332可用于指示与写入命令相关联的写入数据已被写入到NVDIMM。可响应于NVDIMM从写入缓冲器引退写入命令且将与写入命令相关联的数据写入到NVDIMM的高速缓冲存储器及/或非易失性存储器而将写入信用递增指示符332从NVDIMM发送到主机。在其中响应于NVDIMM将与写入命令相关联的数据写入到NVDIMM的非易失性存储器而将写入信用递增信号从NVDIMM发送到主机的实施例中,写入信用递增信号可用于向主机指示数据的持久性(例如,数据被存储于非易失性存储器中)。在其中写入信用递增命令指示数据的持久性的实施例中,写入命令由NVDIMM以写入命令被NVDIMM接收的次序而执行。而且,写入信用递增信号可用作写入缓冲器释放信号。

[0039] 在其中响应于NVDIMM从写入缓冲器引退写入命令而将写入信用递增命令从NVDIMM发送到主机的实施例中,写入信用递增命令不向主机指示数据的持久性(例如,数据被存储于非易失性存储器中),同时写入命令可由NVDIMM以与写入命令被NVDIMM接收的次序不同的次序而执行。举例来说,与写入命令相关联的数据被存储于缓冲器中且然后以如由NVDIMM控制器确定的次序及时间被写入到NVDIMM的非易失性存储器。

[0040] 在若干个实施例中,当写入信用递增信号被发送到主机时,写入识别(WID)信号可从NVDIMM被发送到主机。WID信号可用于识别哪些写入命令具有完整执行且可在若干个WID引脚上被发送。WID信号可与指示数据的持久性的写入信用递增信号一起使用以允许NVDIMM以与写入命令被接收的次序不同的次序执行写入命令。

[0041] 主机可发布的未处理写入命令的数目可取决于NVDIMM上的写入缓冲器的大小。NVDIMM上的写入缓冲器的大小可由主机控制。主机及NVDIMM控制器可跟踪主机可发布的未处理写入命令的数目。当不存在由主机发布的未处理写入命令时,写入计数处于其最大值处。每当写入命令由主机发送到NVDIMM时,主机递减所述主机上的写入计数器,且每当写入命令由NVDIMM从主机接收时,NVDIMM递减所述NVDIMM上的写入计数器。

[0042] 在若干个实施例中,可使用两个写入信用递增信号来跟踪主机可发布的未处理写入命令的数目。举例来说,WC_INCv信号可响应于写入命令从写入缓冲器被引退(例如,被释放)而进行双态切换且WC_INCNv信号可响应于在非易失性存储器中完成持久性写入而进行双态切换。WC_INCv及WC_INCNv信号可在不同引脚上被发送。与从写入缓冲器被引退(例如,写入缓冲器中用于与写入命令相关联的数据的空间是空余的)的写入命令相关联的WC_INCv信号可以与主机发送写入命令的次序不同的次序被发送到主机。与在非易失性存储器中完成的持久性写入相关联的WC_INCNv信号可以主机发送写入命令的次序被发送到主机。

[0043] 在图3中,在发送写入命令之前,写入计数处于最大值(WC=Max) 360-M处。响应于发送写入命令362-1,主机中的写入计数器递减1(WC=Max-1) 360-M-1。响应于发送写入命令362-2,主机中的写入计数器再次递减1(WC=Max-2) 360-M-2。NVDIMM也可包含在接收到写入命令后即刻递减的写入计数器。一旦NVDIMM已将与写入命令362-1相关联的数据346-1写入到NVDIMM的缓冲器及/或非易失性存储器,便可将写入计数递增指示符332发送到主机。写入信用递增指示符332可将写入信用递增信号从低双态切换到高以指示与写入命令362-1相关联的数据已被写入到NVDIMM。主机可通过检测写入信用递增信号从低到高的改变而检测写入计数递增指示符332。响应于接收到写入信用递增指示符332,主机可将所述主机中的写入计数器递增1(WC=Max-1) 360-M-1。一旦NVDIMM已将与写入命令362-2相关联

的数据346-2写入到NVDIMM的缓冲器及/或非易失性存储器,便可将写入计数递增指示符332发送到主机。写入信用递增指示符332可将读取就绪信号从高双态切换到低以指示与写入命令362-2相关联的数据已被写入到NVDIMM。主机可通过检测写入信用递增信号从高到低的改变而检测写入计数递增指示符332。响应于接收到写入信用递增指示符332,主机可将所述主机中的写入计数器递增1($WC=Max$) 360-M。NVDIMM也可包含在发送写入信用递增命令后即刻递增的写入计数器。

[0044] 图4是根据本发明的若干个实施例的若干个读取及写入操作的图式。图4图解说明执行两个读取操作及一写入操作的实例。在图4中,第一激活命令442-1、第一读取命令444-1、第二激活命令442-2及第二读取命令444-2、第三激活命令442-3以及第一写入命令462-1从主机被发送到NVDIMM。在本发明的协议中,可在不考虑时序参数的情况下一个接一个地发送读取命令且写入命令可跟随所述读取命令。这允许命令比由于时钟时序参数而必须使命令间隔开快地被发送,因此NVDIMM可较快地开始处理命令,此可减小命令的延时。

[0045] 在图4中,一旦主机已发送写入命令462-1,主机便可在写入数据传送时间周期(t_{send}) 452-1之后将与写入命令相关联的数据446-1发送到NVDIMM。响应于发送写入命令462-1,主机中的写入计数器递减1($WC=Max-1$) 460-M-1。在主机正发送与写入命令462-1相关联的数据446-1的时间期间,NVDIMM可检查NVDIMM的缓冲器及/或高速缓冲存储器以及NVDIMM的非易失性存储器以定位与读取命令444-1及444-2相关联的数据。一旦控制器将与读取命令相关联的数据准备好发送回到主机,NVDIMM控制器便可将读取就绪命令发送到主机。在图4中,可通过将读取就绪信号从低双态切换到高而将读取就绪指示符428发送到主机以指示与读取命令444-1相关联的数据准备好被发送到主机。主机可通过检测读取就绪信号从低到高的改变而检测读取就绪指示符428。响应于接收到读取就绪指示符428,主机可将读取发送指示符430发送到NVDIMM控制器以指示主机准备好接收与读取命令444-1相关联的数据。读取发送指示符430可由主机在由所述主机确定的时间发送到NVDIMM控制器。主机可对读取发送指示符进行定时以避免在数据总线上与写入数据的数据碰撞。读取发送指示符430可包含将读取发送信号从低双态切换到高,此由NVDIMM控制器检测。NVDIMM控制器可响应于接收到读取发送指示符430而在DQ+ECC引脚424上发送与读取命令相关联的数据(V) 446-2。在读取数据传送时间周期(t_{send}) 450-1之后发送数据(V) 446-2。而且,当数据(V) 446-2被发送到主机时,在RID引脚426上将读取识别(RID)信号448-1发送到主机。RID信号448-1用于识别与被发送到主机的数据(V) 446-2相关联的读取命令。

[0046] 而且,一旦控制器将与读取命令444-2相关联的数据准备好发送回到主机,NVDIMM控制器便可将读取就绪命令发送到主机。可通过将读取就绪信号从高双态切换到低而将读取就绪指示符428发送到主机以指示与读取命令444-2相关联的数据446-3准备好被发送到主机。主机可通过检测读取就绪信号从高到低的改变而检测读取就绪指示符428。响应于接收到读取就绪指示符428,主机可将读取发送指示符430发送到NVDIMM控制器以指示主机准备好接收与读取命令444-2相关联的数据446-3。读取发送指示符430可包含将读取发送信号从高双态切换到低,此由NVDIMM控制器检测。NVDIMM控制器可响应于接收到读取发送指示符430而在DQ+ECC引脚424上发送与读取命令444-2相关联的数据446-3。在读取数据传送时间周期(t_{send}) 450-2之后发送数据446-3。而且,当数据(V) 446-3被发送到主机时,在RID引脚426上将读取识别(RID)信号448-2发送到主机。RID信号448-2用于识别与被发送到主

机的数据(V) 446-3相关联的读取命令。

[0047] 在图4中,NVDIMM可通过执行读取命令444-1及444-2而继续,同时通过将数据446-1写入到NVDIMM上的写入缓冲器及/或NVDIMM的非易失性存储器而完成对写入命令462-1的执行。一旦NVDIMM已将与写入命令462-1相关联的数据446-1写入到NVDIMM的缓冲器、高速缓冲存储器及/或非易失性存储器,便可将写入计数递增指示符432发送到主机。写入信用递增指示符432可将写入信用递增信号从低双态切换到高以指示与写入命令462-1相关联的数据已被写入到NVDIMM。主机可通过检测写入信用递增信号从低到高的改变而检测写入计数递增指示符432。响应于接收到写入信用递增指示符432,主机可将所述主机中的写入计数器递增1($WC=Max$) 460-M。

[0048] 在若干个实施例中,可将若干个读取及写入命令发送到NVDIMM。可以由NVDIMM及主机控制的次序及时序执行所述若干个读取及写入命令。

[0049] 尽管本文中已图解说明及描述了特定实施例,但所属领域的技术人员将了解,经计算以实现相同结果的布置可替代所展示的特定实施例。本发明打算涵盖本揭示内容的各种实施例的更改或变化形式。应理解,以上描述是以说明性方式而非限制性方式做出的。在审阅以上描述后,所属领域的技术人员将明了以上实施例的组合及本文中未具体描述的其它实施例。本发明的各种实施例的范围包含其中使用以上结构及方法的其它应用。因此,本发明的各种实施例的范围应参考所附权利要求书连同此权利要求书被授权的等效物的全部范围来确定。

[0050] 在前述实施方式中,出于简化本发明的目的,将各种特征一起集合于单个实施例中。本发明的此方法不应解释为反映本发明的所揭示实施例必须使用比明确陈述于每一权利要求中更多的特征的意图。而是,如所附权利要求书反映:发明性标的物在于少于单个所揭示实施例的所有特征。因此,特此将所附权利要求书并入到实施方式中,其中每一权利要求独立地作为单独实施例。

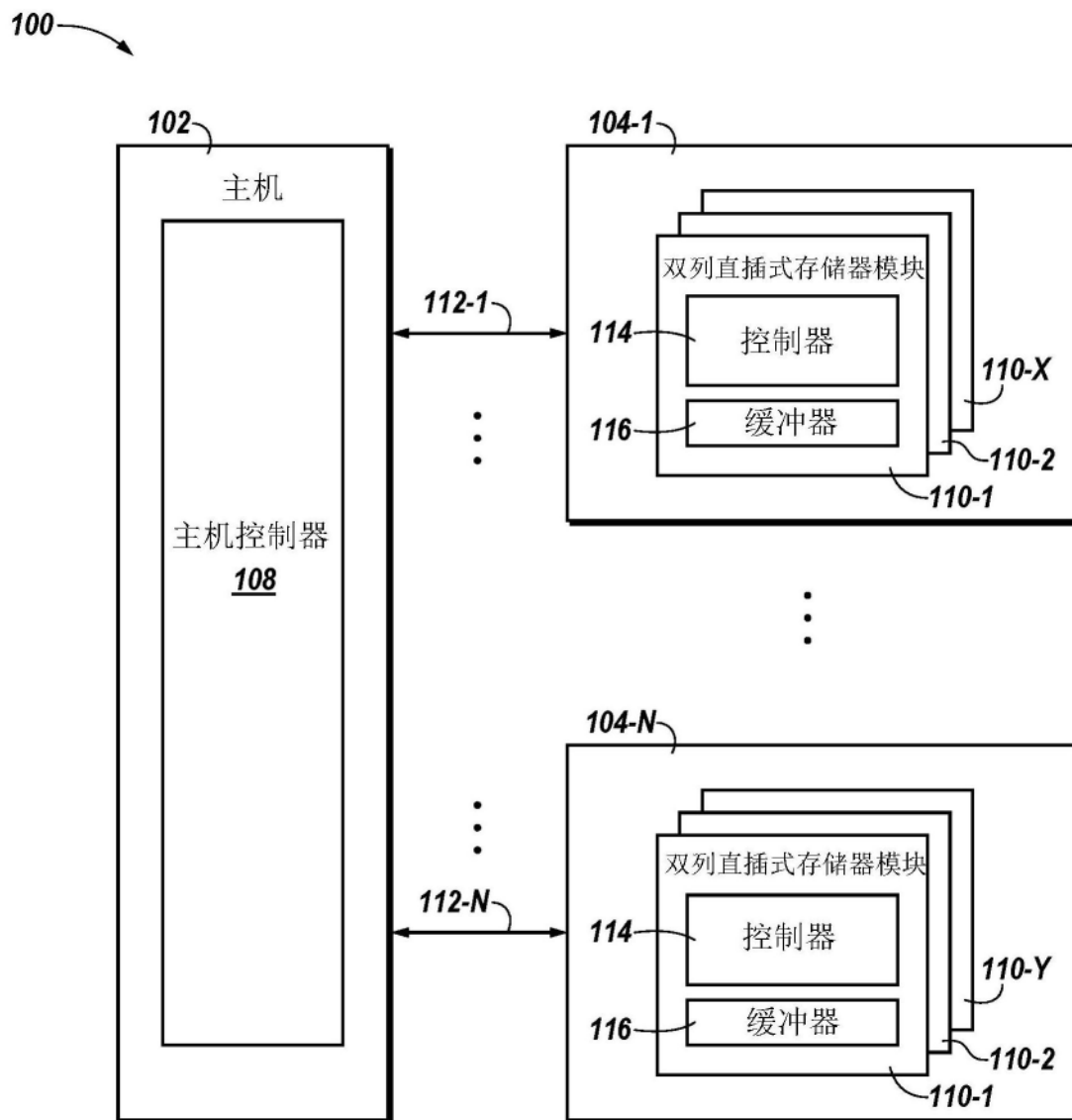


图1

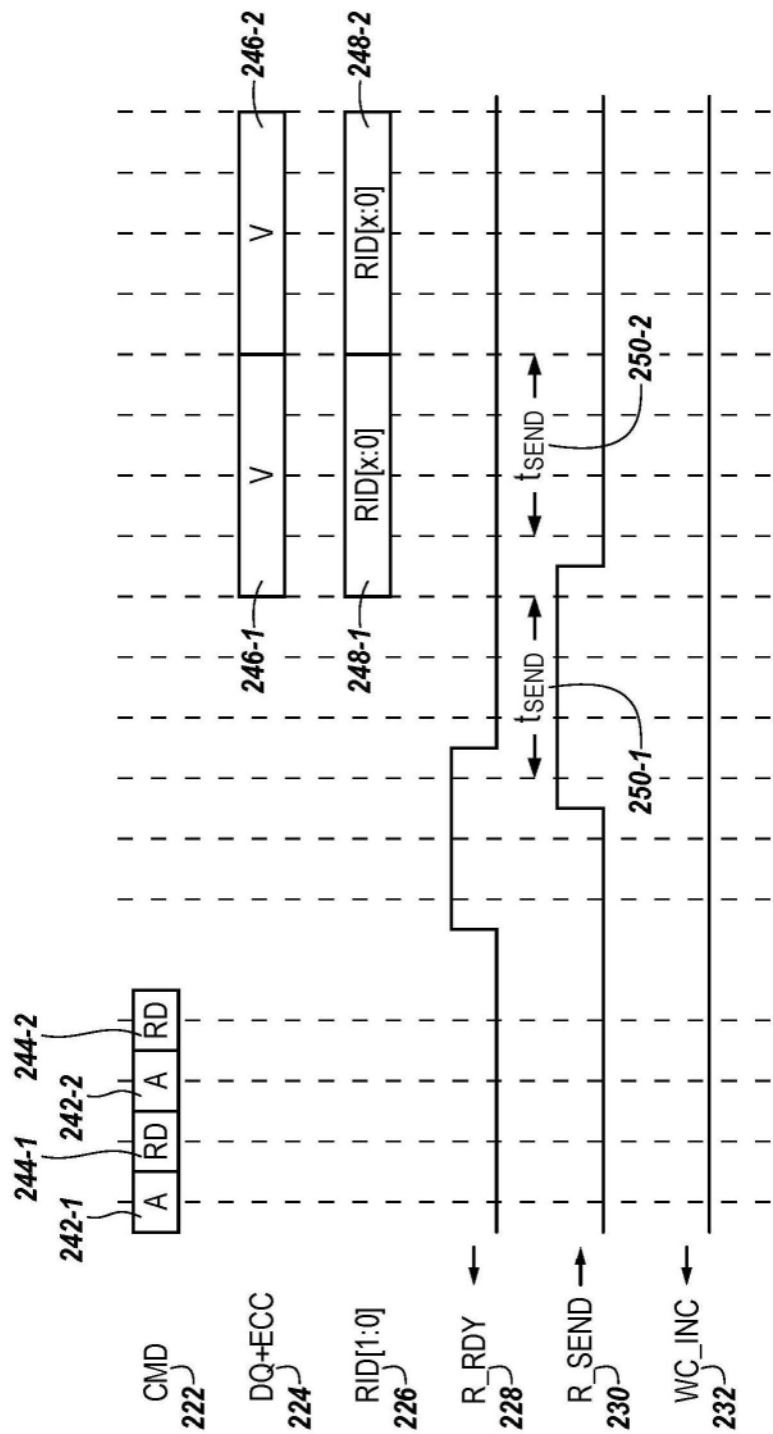


图2A

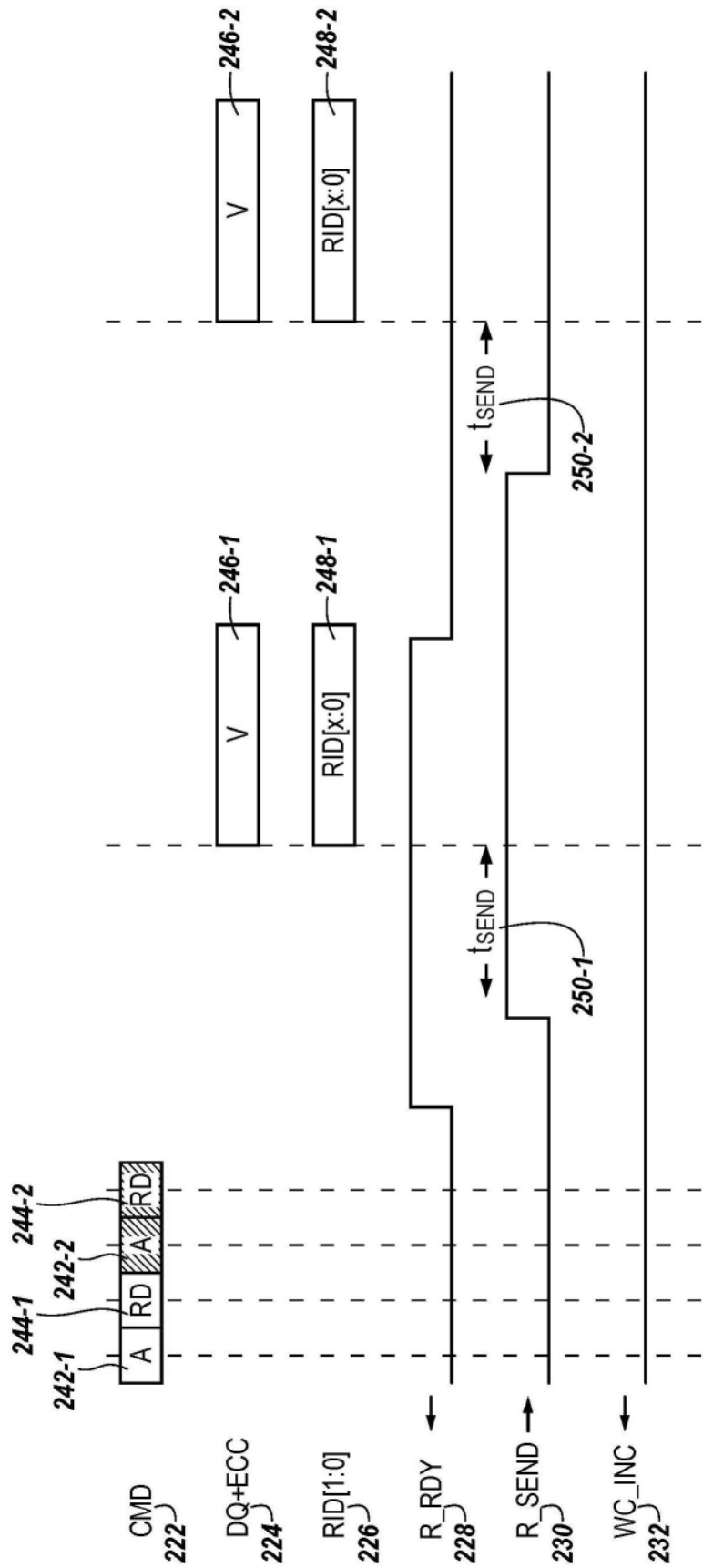


图2B

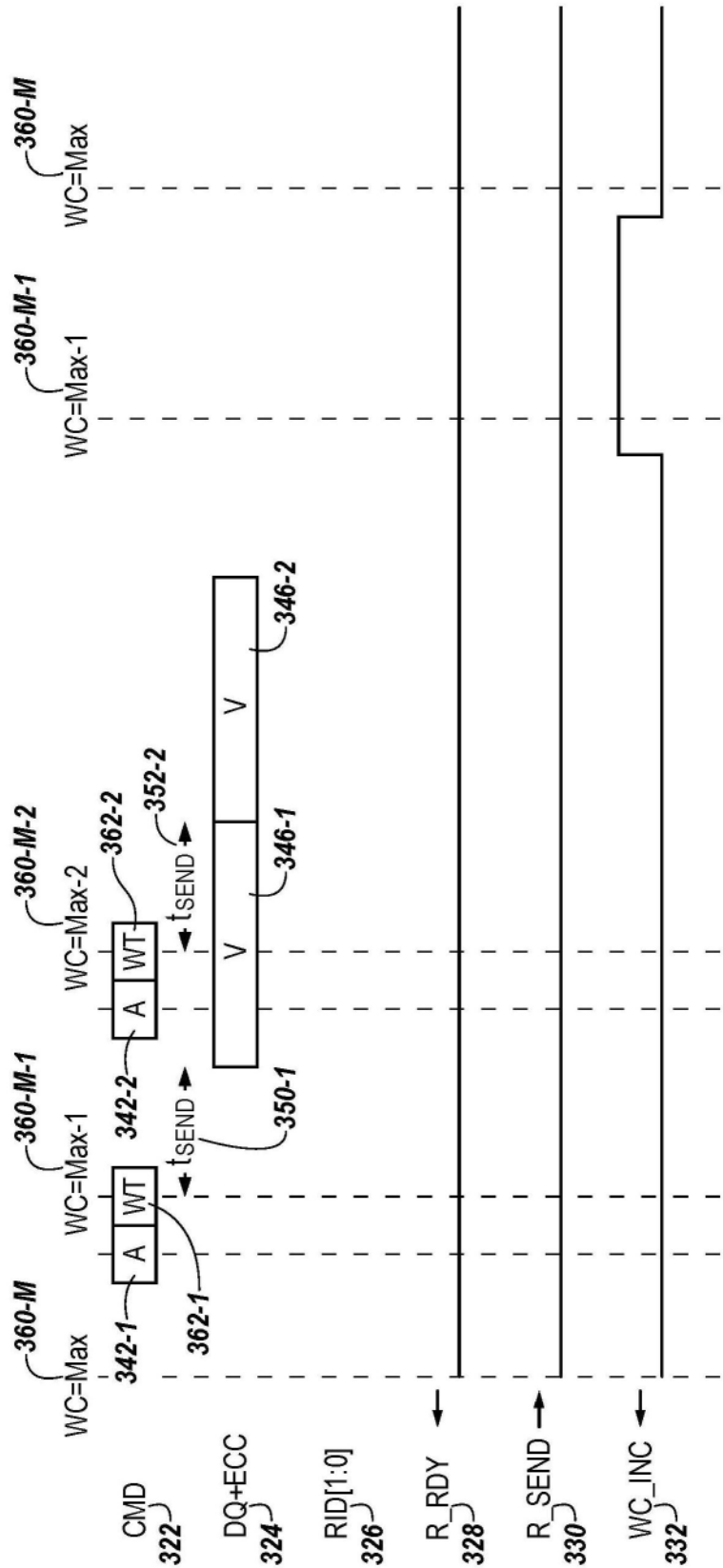


图3

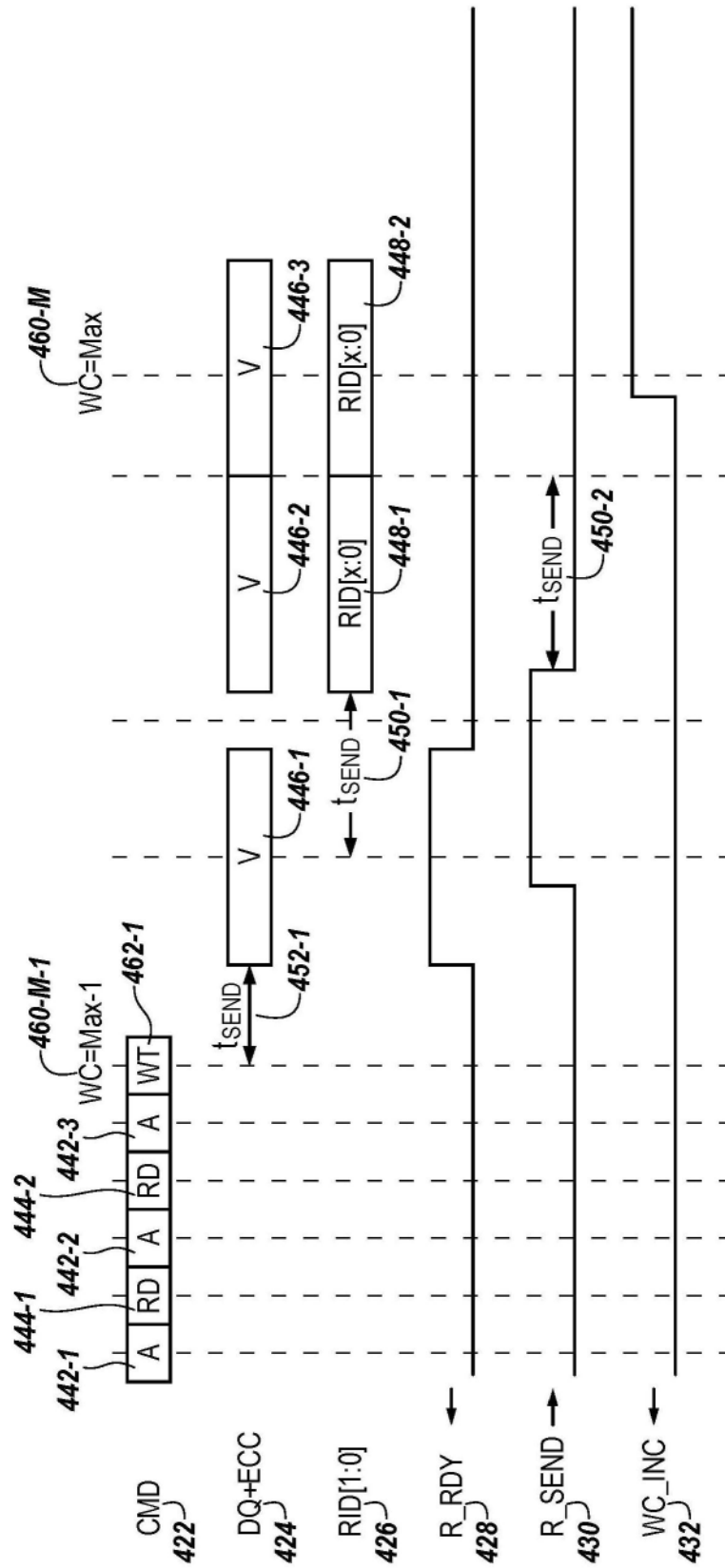


图4