

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/202657 A1

(51) 国際特許分類:
G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)
G02F 1/13 (2006.01)

(21) 国際出願番号: PCT/JP2024/005339

(22) 国際出願日: 2024年2月15日(15.02.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-054168 2023年3月29日(29.03.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

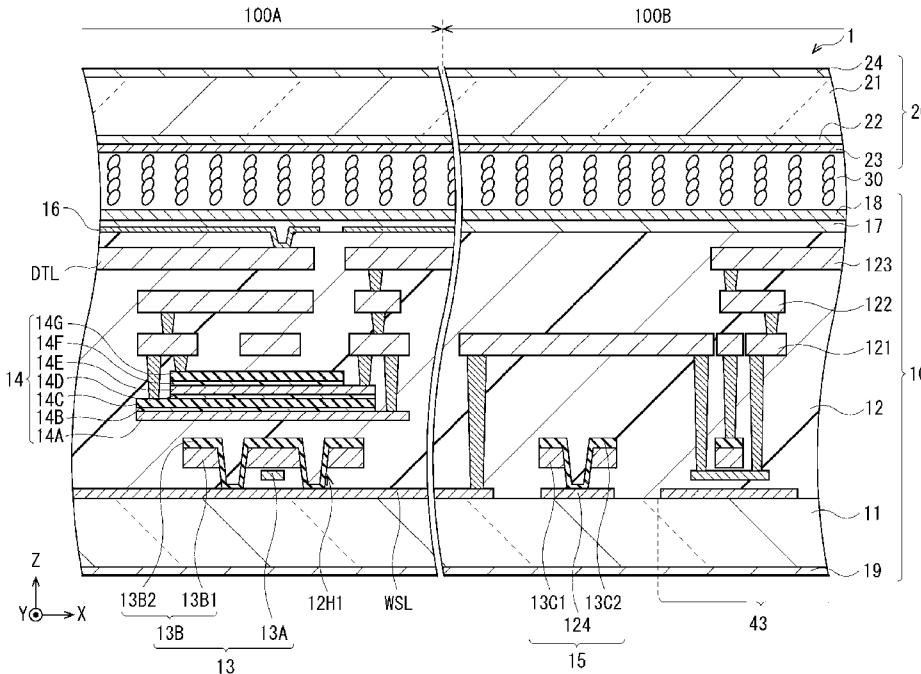
(72) 発明者: 岡崎 剛史 (OKAZAKI, Tsuyoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 羽生 有一郎(HANYU, Yuichiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1]



(57) Abstract: A display device according to one embodiment of the present disclosure is provided with: a liquid crystal layer; a first board having a pixel region including a pixel circuit, and a peripheral region provided around the pixel region and including a peripheral circuit unit, a light shielding structure being provided between the pixel region and the peripheral circuit unit; and a second board disposed so as to face the first board with the liquid crystal layer interposed therebetween.

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の一実施形態の表示装置は、液晶層と、画素回路を含む画素領域および画素領域の周囲に設けられ、周辺回路部を含む周辺領域を有し、画素領域と周辺回路部との間に遮光構造が設けられた第1の基板と、液晶層を間に第1の基板と対向配置された第2の基板とを備える。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、例えば、プロジェクタのライトバルブとして用いられる表示装置に関する。

背景技術

[0002] 例えば、特許文献1では、液晶層を挟持する一対の基板のうち、マトリクス状に画素電極が設けられた基板において、画素電極をスイッチング制御する薄膜トランジスタ（TFT）やプリチャージ回路およびサンプリング回路のTFTの下側に遮光層を設けた液晶装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開平11-194360号公報

発明の概要

[0004] ところで、表示装置では、表示品位の向上が求められている。

[0005] 表示品位を向上させることが可能な表示装置を提供することが望ましい。

[0006] 本開示の一実施形態の表示装置は、液晶層と、画素回路を含む画素領域および画素領域の周囲に設けられ、周辺回路部を含む周辺領域を有し、画素領域と周辺回路部との間に遮光構造が設けられた第1の基板と、液晶層を間に第1の基板と対向配置された第2の基板とを備えたものである。

[0007] 本開示の一実施形態の表示装置では、液晶層を間に第2基板と対向配置された、画素回路を含む画素領域およびその周囲に設けられ、周辺回路部を含む周辺領域を有する第1基板において、画素領域と周辺回路部との間に遮光構造を設けるようにした。これにより、画素領域から周辺領域に伝搬する迷光を遮光する。

図面の簡単な説明

[0008] [図1]本開示の一実施の形態に係る液晶表示パネルの構成の一例を表す断面模

式図である。

[図2]図 1 に示した液晶表示パネルの構成の一例を表す平面模式図である。

[図3]図 1 に示した液晶表示パネルの構成の一例を表すブロック図である。

[図4]画素の回路構成の一例を表す図である。

[図5]図 1 に示した液晶表示パネルを備えた投射型表示装置の構成の一例を表す図である。

[図6]本開示の変形例 1 に係る液晶表示パネルの構成の一例を表す断面模式図である。

[図7]本開示の変形例 2 に係る液晶表示パネルの構成の一例を表す断面模式図である。

[図8]図 7 に示した液晶表示パネルの構成の一例を表す平面模式図である。

[図9]図 7 に示した液晶表示パネルの遮光構造の詳細な構成を説明する模式図である。

[図10]本開示の変形例 3 に係る液晶表示パネルの構成の一例を表す平面模式図である。

[図11]本開示の変形例 4 に係る液晶表示パネルの構成の一例を表す平面模式図である。

発明を実施するための形態

[0009] 以下、本開示における実施の形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 実施の形態

(駆動基板の画素領域と周辺領域との間に遮光構造を有する表示装置の例)

2. 変形例

2-1. 変形例 1 (液晶表示パネルの構成の他の例)

2-2. 変形例 2 (液晶表示パネルの構成の他の例)

2-3. 変形例3（液晶表示パネルの構成の他の例）

2-4. 変形例4（液晶表示パネルの構成の他の例）

[0010] <1. 実施の形態>

図1は、本開示の一実施の形態に係る表示装置（液晶表示パネル1）の断面構成の一例を模式的に表したものである。図2は、図1に示した液晶表示パネル1の平面構成の一例を模式的に表したものである。図1は、図2に示したI-I'線に対応している。液晶表示パネル1は、例えば、後述する投射型表示装置（プロジェクタ100、図5参照）の、例えば、ライトバルブ（例えば、光変調素子118A, 118B, 118C）として用いられるものである。

[0011] 本実施の形態の液晶表示パネル1は、互いに対向配置された駆動基板10と対向基板20との間に液晶層を有する。駆動基板10は、画素回路50を含む画素領域100Aと、画素領域100Aの周囲に設けられ、周辺回路部40を含む周辺領域100Bとを有する。画素領域100Aと周辺回路部40との間には遮光構造15が設けられている。

[0012] ここで、駆動基板10は、本開示の実施の形態における「第1の基板」の一具体例に相当するものである。対向基板20は、本開示の実施の形態における「第2の基板」の一具体例に相当するものである。液晶層30は、本開示の実施の形態における「液晶層」の一具体例に相当するものであり、遮光構造15は、本開示の実施の形態における「遮光構造」の一具体例に相当するものである。

[0013] [液晶表示パネルの全体構成]

図3は、図1に示した液晶表示パネル1の全体構成の一例を表したものである。液晶表示パネル1は、複数の画素Pがマトリクス状に配置された画素領域100Aと、画素領域100Aの周囲に設けられた周辺領域100Bとを有する。周辺領域100Bには、液晶表示パネル1を駆動する周辺回路部40が設けられている。周辺回路部40は、例えば、表示制御部41と、信号線駆動回路42と、走査線駆動回路43と、レベルシフタ44とを有して

いる。

- [0014] 液晶表示パネル 1 は、各画素 P を信号線駆動回路 4 2 および走査線駆動回路 4 3 によってアクティブ駆動することにより、外部から入力された映像信号 D_{in} に基づく画像を表示するものである。
- [0015] 液晶表示パネル 1 は、行方向に延在する複数の走査線 W_{SL} と、列方向に延在する複数の信号線 D_{TL} と、行方向に延在する複数の共通電位線 C_{OM} とを有している。信号線 D_{TL} と走査線 W_{SL} との交差部分に対応して、画素 P が設けられている。各信号線 D_{TL} は、信号線駆動回路 4 2 の出力端（図示せず）に接続されている。各走査線 W_{SL} は、走査線駆動回路 4 3 の出力端（図示せず）に接続されている。各共通電位線 C_{OM} は、例えば、固定の電位を出力する回路の出力端（図示せず）に接続されている。
- [0016] 表示制御部 4 1 は、例えば供給される映像信号 D_{in} を 1 画面毎（1 フレームの表示毎）にフレームメモリに格納して保持するものである。表示制御部 4 1 は、例えば、液晶表示パネル 1 を駆動する信号線駆動回路 4 2 および走査線駆動回路 4 3 が連動して動作するように制御する機能を有している。具体的には、表示制御部 4 1 は、例えば、信号線駆動回路 4 2 に、フレームメモリに保持されている画像信号に基づいた 1 水平ライン分の画像信号と表示タイミング制御信号を供給し、走査線駆動回路 4 3 に走査タイミング制御信号を供給するようになっている。
- [0017] 信号線駆動回路 4 2 は、例えば表示制御部 4 1 から供給される 1 水平ライン分の映像信号 D_{in} を、各画素 P に信号電圧として供給するものである。具体的には、信号線駆動回路 4 2 は、例えば、映像信号 D_{in} に対応する信号電圧を、走査線駆動回路 4 3 により選択された 1 水平ラインを構成する各画素 P に、信号線 D_{TL} を介してそれぞれ供給するものである。
- [0018] 走査線駆動回路 4 3 は、例えば表示制御部 4 1 から供給される走査タイミング制御信号に応じて、駆動対象の画素 P を選択する機能を有している。具体的には、走査線駆動回路 4 3 は、例えば、走査線 W_{SL} を介して、選択パルス画素 P のトランジスタ（画素トランジスタ 1 3）のゲート電極（ゲー

ト電極 13B) に印加することにより、画素領域 100A にマトリクス状に形成されている画素 P のうちの 1 行を駆動対象として選択するようになっている。そして、これらの画素 P では、信号線駆動回路 42 から供給される信号電圧に応じて、1 水平ラインの表示がなされる。このようにして、走査線駆動回路 43 は、例えば、時分割的に 1 水平ラインずつ順次走査を行い、画素領域 100A 全体に亘った表示を行うようになっている。

[0019] レベルシフタ 44 は、入力信号と同じ波形で異なる直流バイアス電圧値を出力する回路である。レベルシフタ 44 は、デジタル領域から入力された低レベルデジタル信号をアナログ領域の電圧に変換したり、アナログ電圧を動作点調整のためにシフトさせたりするものである。

[0020] 次に、画素 P の回路構成について説明する。図 4 は、画素 P の回路構成の一例を表わしたものである。各画素 P には、画素回路 50 が設けられている。各画素回路 50 は、走査線 WSL および信号線 DTL の交差部分に対応して設けられている。画素回路 50 は、画素 P に信号電圧を書き込む画素トランジスタ 13 と、画素 P に書き込んだ電圧を保持する蓄積容量 14 とを含んで構成されている。蓄積容量 14 の一方の電極は、半導体層 13A のドレイン領域に接続されており、他方の電極は、共通電位線 COM に接続されている。

[0021] [液晶表示パネルの断面構成]

液晶表示パネル 1 は、上記のように、対向配置された駆動基板 10 と対向基板 20 との間に液晶層 30 を有する。駆動基板 10 は、画素回路 50 を含む画素領域 100A と、画素領域 100A の周囲に設けられ、周辺回路部 40 を含む周辺領域 100B とを有する。画素領域 100A には、例えば X 軸方向および Y 軸方向にそれぞれ延伸し、互いに交差する複数の走査線 WSL および複数の信号線 DTL が設けられている。走査線 WSL と信号線 DTL との交差部には、画素回路 50 として画素トランジスタ 13 および蓄積容量 14 が設けられている。周辺領域 100B には、周辺回路部 40 として、例えば信号線駆動回路 42、走査線駆動回路 43 およびレベルシフタ 44 が画

素領域 100A の周囲に設けられている。周辺領域 100B には、さらに、画素領域 100A と信号線駆動回路 42、走査線駆動回路 43 およびレベルシフタ 44 との間に遮光構造 15 が設けられている。

[0022] 駆動基板 10 は、例えば、シリコン (Si) からなる支持基板 11 と、層間絶縁層 12 と、層間絶縁層 12 の層内に埋め込まれた走査線 WSL、信号線 DTL、画素トランジスタ 13、蓄積容量 14、遮光構造 15、信号線駆動回路 42、走査線駆動回路 43 およびレベルシフタ 44 と、画素電極 16 と、平坦化層 17 と、配向膜 18 と、偏光板 19 とを有する。

[0023] 走査線 WSL は、例えば X 軸方向に画素領域 100A から周辺領域にかけて延伸し、走査線駆動回路 43 と電氣的に接続されている。走査線 WSL は、例えば、ポリシリコン (Poly-Si) を用いて形成されている。また、走査線 WSL は、支持基板 11 側からの遮光膜を兼ねており、例えば、タングステン (W)、チタン (Ti)、モリブデン (Mo)、クロム (Cr) およびタンタル (Ta) 等の金属膜あるいはこれらの合金膜を用いて形成することができる。走査線 WSL は、この他、上記金属膜と Poly-Si 膜との積層膜として形成することができる。

[0024] 信号線 DTL は、例えば Y 軸方向に画素領域 100A から周辺領域にかけて延伸し信号線駆動回路 432 と電氣的に接続されている。走査線 WSL は、例えば、ポリシリコン (Poly-Si) を用いて形成されている。

[0025] 層間絶縁層 12 は、例えば、酸化シリコン (SiO₂)、窒化シリコン (Si₃N₄)、酸窒化シリコン (SiON) または SiCN 等により形成されている。

[0026] 画素トランジスタ 13 は、例えば、LDD (Lightly Doped Drain) 構造を有している。画素トランジスタ 13 は、半導体層 13A と、半導体層 13A のチャネル領域に電界を印加するゲート電極 13B とを有している。半導体層 13A とゲート電極 13B との間には、半導体層 13A とゲート電極 13B とを互いに絶縁分離するためのゲート絶縁膜として層間絶縁層 12 が形成されている。ゲート電極 13B は走査線 WSL に電氣的に接続され、半導体

層 1 3 A のソース・ドレイン領域の一方は信号線 D T L に電氣的に接続され、ソース・ドレイン領域の他方は画素電極 1 6 に電氣的に接続されている。

[0027] 半導体層 1 3 A は、ゲート電極 1 3 C と対向する位置にチャネル領域を有し、さらにチャネル領域の両側に設けられた L D D 領域と、L D D 領域のさらに外側にそれぞれ設けられたソース・ドレイン領域とを有している。

[0028] 半導体層 1 3 A は、例えば、P o l y - S i を用いて形成されている。P o l y - S i 膜からなる半導体層 1 3 A のソース・ドレイン領域には、例えば n 型不純物等の不純物がドーピングされ、低抵抗化されている。L D D 領域には、ソース・ドレイン領域よりも不純物濃度が低くなるように不純物がドーピングされている。

[0029] ゲート電極 1 3 B は、ゲート絶縁膜（層間絶縁層 1 2）を介して半導体層 1 3 A を X 軸方向に跨ぐように設けられている。半導体層 1 3 A では、ゲート電極 1 3 B との対向領域がチャネル領域となっている。ゲート電極 1 3 B は導電性を有する材料によって形成されている。具体的には、ゲート電極 1 3 B は、例えば、P o l y - S i 膜 1 3 B 1 と、遮光性を有する W, T i, M o, C r および T a 等の金属膜 1 3 B 2（あるいは、これらの合金膜）との積層膜として形成されている。積層膜のうち金属膜 1 3 B 2 は、Y 軸方向に延伸する半導体層 1 3 A の両側に設けられた開口 1 2 H 1 を介して走査線 W S L と電氣的に接続されている。

[0030] なお、本実施の形態の画素トランジスタ 1 3 は、半導体層 1 3 A が、Y 軸方向に延在する例を示したがこれに限らず、X 軸方向に延在するようにしてもよい。但し、本実施の形態のように、信号線 D T L が Y 軸方向に延伸する場合には、半導体層 1 3 A は Y 軸方向に延在させる方が、レイアウト効率に優れている。

[0031] 蓄積容量 1 4 は、例えば画素トランジスタ 1 3 の上方に設けられている。具体的には、蓄積容量 1 4 は、半導体層 1 3 A およびゲート電極 1 3 B と平面視で重なる位置に設けられ、少なくとも、半導体層 1 3 A のチャネル領域および L D D 領域とゲート電極 1 3 B とを覆っている。蓄積容量 1 4 は、例

例えば走査線WSLと同程度の幅を有しており、走査線WSLの一部と平面視で重なる位置に配置されている。半導体層13Aのチャネル領域およびLD領域とゲート電極13Bとは、例えば、その下面が走査線WSLに覆われ、その上面が蓄積容量14に覆われている。

[0032] 蓄積容量14は、例えば、第1電極14A、誘電体膜14B、第2電極14C、誘電体膜14D、第3電極14E、誘電体膜14Fおよび第4電極14Gがこの順に積層されている。第1電極14Aと第3電極14Eとは電氣的に接続されている。第2電極14Cと第4電極14Gとは電氣的に接続されている。即ち、蓄積容量14は、積層型の容量素子であり、占有面積を抑えつつ、大きな保持容量を確保することができる。第1電極14Aおよび第3電極14Eは、蓄積容量14のさらに上層に設けられた配線層121, 122を介して信号線DTLに電氣的に接続されている。第2電極14Cおよび第4電極14Gは、蓄積容量14のさらに上層に設けられた配線層121, 122を介して共通電位線COMに電氣的に接続されている。

[0033] 遮光構造15は、画素領域100Aから周辺領域100Bに伝搬する迷光を遮光するものである。遮光構造15は、上記のように、画素領域100Aと、信号線駆動回路42、走査線駆動回路43およびレベルシフタ44との間にそれぞれ設けられている。具体的には、図2に示したように、平面視において、例えば矩形状の画素領域100Aのそれぞれの辺に沿って、画素領域100Aと信号線駆動回路42との間、画素領域100Aと走査線駆動回路43との間に設けられている。

[0034] 遮光構造15は、半導体層13Aと同じ層に設けられている。具体的には、遮光構造15は、例えば、走査線WSLと同層に設けられた配線124と、画素トランジスタ13の半導体層13Aを跨ぐ配線（ゲート電極13B）と同じ層に設けられたPoly-Si膜13C1および遮光性を有するW, Ti, Mo, CrおよびTa等の金属膜13C2（あるいは、これらの合金膜）との積層膜とから構成されている。積層膜のうち金属膜13C2は、ゲート電極13Bの金属膜13B2と同様に、開口12H1を介して配線12

4と電氣的に接続されている。このように、遮光構造15は、画素領域100Aに形成される配線層（走査線WSL、ゲート電極13B）を用いて形成されている。このため、遮光構造15は、走査線WSLおよびゲート電極13Bを形成する際のマスクパターンを修正するのみで、工程数を増やすことなく形成することができる。

[0035] 画素電極16は、画素P毎に設けられ、例えば、画素トランジスタ13に電氣的に接続されている。画素電極16は、例えば透明導電膜により構成されている。透明導電膜としては、例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）またはインジウムガリウム亜鉛含有酸化物（IGZO）等が挙げられる。画素電極16は、例えば略矩形形状を有し、表示領域1Aにおいてマトリクス状に配置されている。

[0036] なお、反射型の液晶表示パネルを構成する場合には、画素電極16は、例えば光反射性を有すると共に低抵抗金属を主体とする金属材料を用いて形成される。このような金属材料としては、例えばアルミニウム（Al）、チタン（Ti）、銅（Cu）、シリコン（Si）、銀（Ag）あるいはそれらの合金（例えば、Al-Cu系合金やAl-Si合金）等が挙げられる。

[0037] 平坦化層17は、駆動基板10の液晶層30との対向面を平坦化するためのものである。平坦化層17は、例えば、酸化シリコン（SiO₂）、窒化シリコン（Si₃N₄）、酸窒化シリコン（SiON）またはSiCN等により形成されている。

[0038] 配向膜18は、液晶層30の配向制御を行うものであり、例えば、酸化シリコン（SiO₂）、ダイヤモンドライクカーボンまたは酸化アルミニウム（Al₂O₃）等の無機材料によって構成されている。配向膜18は、例えば蒸着法を用いて形成することができる。

[0039] 偏光板19は、支持基板11の液晶層30と対向する面とは反対側の面に設けられている。偏光板19は、例えばクロスニコル配置されており、所定の振動方向の光（偏光）のみが偏光板を通過できるようになっている。各偏

光板は、例えば、ヨウ素（I）化合物分子が吸着配向したポリビニルアルコール（PVA）によって構成されている。

[0040] 対向基板20は、例えば、光透過性を有する支持基板21と、対向電極22と、配向膜23と、偏光板24とを有している。対向電極22および配向膜23は、支持基板21の液晶層30との対向面側に設けられており、偏光板24は、支持基板21の液晶層30との対向面とは反対側の面に設けられている。

[0041] 対向電極22は、例えば全画素Pに対する共通電極として、表示領域1Aの全面に亘って設けられている。対向電極22は、例えば光透過性を有する導電材料によって形成されている。光透過性を有する導電材料としては、例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）またはインジウムガリウム亜鉛含有酸化物（IGZO）等が挙げられる。

[0042] 配向膜23は、液晶層30の配向制御を行うものであり、例えば、酸化シリコン（SiO₂）、ダイヤモンドライクカーボンまたは酸化アルミニウム（Al₂O₃）等の無機材料によって構成されている。配向膜23の厚みは、例えば50nm以上500nm以下である。配向膜18は、例えば蒸着法を用いて形成することができる。

[0043] 偏光板24は、例えばクロスニコル配置されており、所定の振動方向の光（偏光）のみが偏光板を通過できるようになっている。各偏光板は、例えば、ヨウ素（I）化合物分子が吸着配向したポリビニルアルコール（PVA）によって構成されている。

[0044] 液晶層30は、例えばVA（Vertical Alignment）モード、TN（Twisted Nematic）モード、ECB（Electrically controlled birefringence）モード、FFS（Fringe Field Switching）モードあるいはIPS（In Plane Switching）モード等により駆動される液晶により構成されている。液晶層30は、駆動基板10と対向基板20とを貼り合わせる、例えば液晶ディスプレイ用に市販されている熱硬化性あるいはUV硬化性のシール材によって封止

されている。液晶層 30 は、シール材によって駆動基板 10 と対向基板 20 とを貼り合わせたのち、液晶を注入し、例えば UV 硬化性のシール材によって封止される。その他、液晶層 30 は、例えば ODF (One Drop Fill) プロセスを用いて作製するようにしてもよい。液晶層 30 には、複数の画素電極 16 および対向電極 22 により映像電圧が供給されるようになっている。

[0045] [プロジェクタの構成]

図 5 は、上述した液晶表示パネル 1 を備えた投射型表示装置（プロジェクタ 100）の全体構成の一例を表したものである。プロジェクタ 100 は、例えば、透過型の液晶表示パネル（Liquid Crystal Display: LCD）により光変調を行う反射型 3LCD 方式の投射型表示装置である。プロジェクタ 100 は、例えばスクリーンに画像を投射する表示装置である。プロジェクタ 100 は、例えば PC 等のコンピュータや各種画像プレーヤ等の外部の画像供給装置に I/F（インターフェイス）を介して接続されており、この I/F に入力される画像信号に基づいて、スクリーン等への投影を行うものである。なお、以下に説明するプロジェクタ 100 の構成は一例であり、上述した液晶表示パネル 1 が適用させるプロジェクタは、このような構成に限定されるものではない。

[0046] プロジェクタ 100 は、光源 111、マルチレンズアレイ 112A, 112B、PBS アレイ 113、フォーカスレンズ 114、ミラー 115、ダイクロイックミラー 116、117、光変調素子 118A~118C、ダイクロイックプリズム 119 および投写レンズ 120 を備える。光変調素子 118A~118C に本実施の形態の液晶表示パネル 1 が用いられている。

[0047] 光源 111 は、発光部 111a によって発光された光を、リフレクタ 111b によって一対のマルチレンズアレイ 112A, 112B に対して出射する。一対のマルチレンズアレイ 112A, 112B は、それぞれ、複数のレンズ素子がアレイ状に設けられた構造であり、光源 111 から出射された光を集光する。PBS アレイ 113 は、一対のマルチレンズアレイ 112A, 112B によって集光された光を、所定の偏光方向の光、例えば P 偏光波に

偏光する。フォーカスレンズ114は、PbSアレイ113によって所定の偏光方向の光に変換された光を集光する。

[0048] ダイクロイックミラー116は、フォーカスレンズ114、ミラー115を介して入射してきた光のうちの赤色光Rを透過し、緑色光Gおよび青色光Bを反射する。ダイクロイックミラー116によって透過された赤色光Rは、ミラー115を介して光変調素子118Aに導かれる。

[0049] ダイクロイックミラー117は、ダイクロイックミラー116によって反射された光のうちの青色光Bを透過し、緑色光Gを反射する。ダイクロイックミラー117によって反射された緑色光Gは、光変調素子118Bに導かれる。一方、ダイクロイックミラー117によって透過された青色光Bは、ミラー115を介して光変調素子118Cに導かれる。

[0050] 光変調素子118A～118Cは、それぞれ、入射した各色光を光変調し、光変調された各色光をダイクロイックプリズム1199に入射する。ダイクロイックプリズム1199は、光変調されて入射してきた各色光を1つの光軸に合成する。合成された各色光は、投写レンズ120を介してスクリーン等に投影される。

[0051] プロジェクタ100では、色の3原色である赤、緑、青の3色に対応した3つの光変調素子118A～118Cが組み合わせられ、あらゆる色が表示される。

[0052] 液晶表示パネル1は、上記投射型表示装置（プロジェクタ100）の他、テレビジョン装置、デスクトップ型のパーソナルコンピュータのモニタ、ノート型パーソナルコンピュータ、ビデオカメラおよびデジタルスチルカメラなどの撮像装置、PDA(Personal Digital Assistant)およびスマートフォン等の電子機器にも適用可能である。

[0053] [作用・効果]

本実施の形態の液晶表示パネル1は、液晶層30を間に対向基板20と対向配置された駆動基板10において、画素回路50を含む画素領域100Aと、その周囲の周辺領域100Bに設けられた周辺回路部40との間に遮光

構造 15 を設けるようにした。これにより、画素領域 100A から周辺領域 100B に伝搬する迷光を遮光する。以下、これについて説明する。

[0054] 投射型表示装置の光変調装置（ライトバルブ）として用いられる液晶表示パネルでは、光源からの強い光によるリーク電流の発生や、フリッカ等の画質の劣化を防ぐために、画素トランジスタに対する遮光性能（耐光性）の向上が求められている。

[0055] 一般的な液晶表示パネルでは、画素領域に設けられるトランジスタの上層や下層、あるいは横方向に遮光構造を設けることで、画素領域の耐光性の向上が図られている。また、画素領域の周囲の周辺領域では、前述したように、周辺回路部の上層や下層に遮光構造を設けることにより、周辺回路部の耐光性の向上が図られている。しかしながら、前述した液晶装置では、横方向に伝搬する光による影響は考慮されておらず、周辺回路部におけるリーク電流の発生と共に、周辺回路の駆動異常による画質の低下が課題となっている。

[0056] これに対して本実施の形態は、駆動基板 10 の画素領域 100A と周辺回路部 40 との間に遮光構造 15 を設けるようにした。これにより、画素領域 100A から周辺領域 100B に伝搬する迷光が遮光される。

[0057] 以上により、本実施の形態の液晶表示パネル 1 では、画素領域 100A から周辺領域 100B に伝搬する迷光による周辺回路部 40 における光リーク電流の発生を低減することが可能となる。よって、例えば信号線駆動回路 42、走査線駆動回路 43 およびレベルシフト 44 の駆動異常を回避することができ、画質を向上させることが可能となる。具体的には、例えばレベルシフト 44 の出力波形異常による線欠陥や、帯状ムラの発生を低減することができる。

[0058] また、本実施の形態の液晶表示パネル 1 では、走査線 WSL と同層に設けられた配線 124 および、画素トランジスタ 13 のゲート電極 13B と同層に設けられた Poly-Si 膜 13C1 と金属膜 13C2 との積層膜を用いて遮光構造 15 を形成するようにした。これにより、走査線 WSL およびゲ

ート電極 13B を形成する際のマスクパターンを修正するのみで、工程数を増やすことなく遮光構造 15 を形成することができる。

[0059] 次に、本開示の変形例 1 ～ 4 について説明する。なお、上記実施の形態における液晶表示パネル 1 の構成要素と同様の構成要素については同一の符号を付し、適宜説明を省略する。

[0060] < 2. 変形例 >

(2 - 1. 変形例 1)

図 6 は、本開示の変形例 1 に係る表示装置（液晶表示パネル 2）の断面構成の一例を模式的に表したものである。

[0061] 上記実施の形態では、走査線 WSL と同層に設けられた配線 124 と、画素トランジスタ 13 のゲート電極 13B と同層に設けられた Poly-Si 膜 13C1 および金属膜 13C2 の積層膜とを用いて遮光構造 15 を形成する例を示したが、これに限定されるものではない。本変形例の液晶表示パネル 2 は、走査線 WSL と同層に設けられた配線 124 と、画素トランジスタ 13 のゲート電極 13B と同層に設けられた Poly-Si 膜 13C1 および金属膜 13C2 の積層膜と、さらに、蓄積容量 14 を構成する第 1 電極 14A と同層に設けられた Poly-Si 膜 141 とを用いて遮光構造 65 を形成したものである。Poly-Si 膜 141 からなる遮光構造は、例えば、Poly-Si 膜 13C1 と金属膜 13C2 との積層膜との積層膜からなる遮光構造よりも画素領域 100A 側に設けられ、例えば Poly-Si 膜 13C1 の下面まで達する開口 12H2 の側面および底面に亘って形成されている。

[0062] このように、本変形例の液晶表示パネル 2 では、遮光構造 65 として、走査線 WSL と同層に設けられた配線 124 と、画素トランジスタ 13 のゲート電極 13B と同層に設けられた Poly-Si 膜 13C1 および金属膜 13C2 の積層膜とからなる遮光構造と、蓄積容量 14 を構成する第 1 電極 14A と同層に設けられた Poly-Si 膜 141 からなる遮光構造を形成するようにした。Poly-Si 膜 141 は、例えば Poly-Si 膜 13C

1の下面まで達する開口12H2の側面および底面に亘って形成されている。これにより、上記実施の形態と比較して、画素領域100Aから周辺領域100Bに伝搬する迷光を高さ方向（Z軸方向）により遮光することができる。よって、画質をさらに向上させることが可能となる。

[0063] （2－2．変形例2）

図7は、本開示の変形例2に係る表示装置（液晶表示パネル3）の断面構成の一例を模式的に表したものである。図8は、図7に示した液晶表示パネル3の平面構成の一例を模式的に表したものである。

[0064] 上記実施の形態では、遮光構造15を、平面視において、例えば矩形状の画素領域100Aのそれぞれの辺に沿って、画素領域100Aと信号線駆動回路42との間、画素領域100Aと走査線駆動回路43との間に設ける例を示したが、これに限定されるものではない。本変形例の液晶表示パネル3は、複数の遮光部75a、75b（図9参照）が、それぞれ、例えば矩形状の画素領域100Aのそれぞれの辺に沿って離散的、且つ、二重に設けられてなる遮光構造75（第1遮光構造75Aおよび第2遮光構造75B）を画素領域100Aと周辺回路部40との間に設けたものである。

[0065] 遮光構造75は、上記のように、複数の遮光部75a、75bが画素領域100Aのそれぞれの辺に沿って離散的、且つ、二重に設けられてなる第1遮光構造75Aと第2遮光構造75Bとからなる。具体的には、画素領域100Aのそれぞれの辺に沿って複数の遮光部75aが離散的に形成されることにより第1遮光構造75Aを構成している。第1遮光構造75Aの外側には、第1遮光構造75Aと同様に、画素領域100Aのそれぞれの辺に沿って複数の遮光部75bが離散的に形成されることにより第2遮光構造75Bを構成している。本実施の形態では、例えば走査線WSLは周辺領域100Bまで延伸しており、複数の遮光部75aおよび複数の遮光部75bは、それぞれ、開口12H1を介して走査線WSLに電氣的に接続されている。即ち、複数の遮光部75aおよび複数の遮光部75bには、それぞれ、走査線WSLと同電位が印加されている。これにより、走査線WSLと遮光構造7

5との寄生容量によるカップリングノイズを防ぐことができる。

[0066] 図9は、複数の遮光部75aと複数の遮光部75bとの位置関係を表したものである。複数の遮光部75aおよび複数の遮光部75bは、互いに1つおきに走査線WSLと接続されている。Y軸方向に並ぶ複数の走査線WSLのピッチは、画素ピッチに相当する。即ち、複数の遮光部75aおよび複数の遮光部75bは、Y軸方向に、互いに1画素ピッチ分ずれて形成されている。

[0067] また、複数の遮光部75aおよび複数の遮光部75bのそれぞれの並列方向（Y軸方向）の幅は、画素ピッチ以上となっており、例えば図9に示したように、複数の遮光部75aと複数の遮光部75bとは、X軸方向に重複領域Xを有している。これにより、画素領域100Aから周辺領域100Bに伝搬する迷光を、隣り合う遮光部75a間および隣り合う遮光部75b間の隙間を通すことなく遮光することができる。

[0068] このように、本変形例の液晶表示パネル3では、複数の遮光部75a、75bが、それぞれ、例えば矩形状の画素領域100Aのそれぞれの辺に沿って離散的、且つ、二重に設けられてなる遮光構造75（第1遮光構造75Aおよび第2遮光構造75B）を、画素領域100Aと周辺回路部40との間に設けるようにした。各複数の遮光部75aおよび複数の遮光部75bには、それぞれ、例えば走査線WSLと同電位が印加されている。更に、複数の遮光部75aおよび複数の遮光部75bのそれぞれの並列方向（Y軸方向）の幅は、画素ピッチ以上となっており、複数の遮光部75aと複数の遮光部75bとは、X軸方向に重複領域Xを有している。これにより、走査線WSLと遮光構造75との寄生容量によるカップリングノイズを防ぎつつ、画素領域100Aから周辺領域100Bに伝搬する迷光を遮光することができる。よって、画質をさらに向上させることが可能となる。

[0069] （2-3. 変形例3）

図10は、本開示の変形例3に係る表示装置（液晶表示パネル4）の平面構成の一例を模式的に表したものである。

[0070] 上記実施の形態では、平面視において、例えば矩形状の画素領域 100A のそれぞれの辺に沿って、画素領域 100A と信号線駆動回路 42 との間、画素領域 100A と走査線駆動回路 43 との間に遮光構造 15 を設ける例を示したが、これに限定されるものではない。本変形例の液晶表示パネル 3 は、画素領域 100A を囲むように連続する遮光構造 85 を設けたものである。

[0071] このような構成においても、上記実施の形態と同様の効果を得ることができる。

[0072] (2-4. 変形例 4)

図 11 は、本開示の変形例 4 に係る表示装置（液晶表示パネル 5）の平面構成の一例を模式的に表したものである。

[0073] 上記実施の形態では、平面視において、例えば矩形状の画素領域 100A のそれぞれの辺に沿って、画素領域 100A と信号線駆動回路 42 との間、画素領域 100A と走査線駆動回路 43 との間に遮光構造 15 を設ける例を示したが、これに限定されるものではない。本変形例の液晶表示パネル 4 は、周辺領域 100B に設けられた信号線駆動回路 42、走査線駆動回路 43 およびレベルシフト 44 の周囲を囲むように連続する遮光構造 95 を設けたものである。

[0074] このような構成においても、上記実施の形態と同様の効果を得ることができる。

[0075] 以上、実施の形態および変形例 1～4 を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されず、種々の変形が可能である。例えば、本開示のプロジェクタ 100 は、上記実施の形態等において説明した構成のものに限定されない。

[0076] 例えば、上記実施の形態では 3 つの液晶表示パネル（光変調素子 118A～118B）を有する所謂 3 板式のプロジェクタ 100 を示したがこれに限定されず、例えば 2 つの液晶パネルを有する所謂 2 板式の投射型表示装置や単板式の投射型表示装置にも適用することができる。

[0077] また、上記実施の形態では、透過型のプロジェクタ 100 を示したがこれに限定されない。本技術は、例えば、反射型の投射型表示装置にも適用することができ、同様の効果を得ることができる。

[0078] 更に、本開示の表示装置は、液晶表示パネル（例えば、液晶表示パネル 1（光変調素子 118A～118B））を介して光源からの光を変調し、投射レンズを用いて映像表示するタイプの様々な表示装置にも適用することができる。例えば、本開示の表示装置は、上述したプロジェクタ 100 の他に、ヘッドアップディスプレイや Augmented Reality (AR) グラス等に適用することができる。

[0079] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。

[0080] 本技術は以下のような構成を取ることも可能である。以下の構成の本技術によれば、液晶層を間に第 2 基板と対向配置された、画素回路を含む画素領域およびその周囲に設けられ、周辺回路部を含む周辺領域を有する第 1 基板において、画素領域と周辺領域との間に遮光構造を設けるようにした。これにより、画素領域から周辺回路部に伝搬する迷光が遮光されるため、表示品位を向上させることが可能となる。

(1)

液晶層と、

画素回路を含む画素領域および前記画素領域の周囲に設けられ、周辺回路部を含む周辺領域を有し、前記画素領域と前記周辺回路部との間に遮光構造が設けられた第 1 の基板と、

前記液晶層を間に前記第 1 の基板と対向配置された第 2 の基板とを備えた表示装置。

(2)

前記画素領域は、互いに交差する複数の走査線および複数の信号線と、前記画素回路として前記複数の走査線と前記複数の信号線との交差部にそれぞれ設けられた複数の画素トランジスタとを有し、

前記遮光構造は、前記画素トランジスタの半導体層と同じ層に形成されている、前記（１）に記載の表示装置。

（３）

前記遮光構造は、前記画素トランジスタの半導体層を跨ぐ配線と同じ層の第１の配線を用いて形成されている、前記（１）または（２）に記載の表示装置。

（４）

前記遮光構造は、前記画素領域を囲むように連続して設けられている、前記（１）乃至（３）のうちのいずれか１つに記載の表示装置。

（５）

前記遮光構造は、前記周辺回路部を囲むように連続して設けられている、前記（１）乃至（３）のうちのいずれか１つに記載の表示装置。

（６）

前記遮光構造は、前記画素領域を囲むように離散的に設けられた複数の遮光部からなる、前記（１）乃至（３）のうちのいずれか１つに記載の表示装置。

（７）

前記複数の遮光部の並列方向の幅は画素ピッチ以上である、前記（６）に記載の表示装置。

（８）

前記複数の遮光部からなる前記遮光構造は、前記画素領域を囲むように二重に設けられている、前記（６）または（７）に記載の表示装置。

（９）

二重に設けられた前記遮光構造として前記画素領域側から第１の遮光構造および第２の遮光構造を有し、

前記第１の遮光構造を構成する複数の第１の遮光部と、前記第２の遮光構造を構成する複数の第２の遮光部とは、互いに１画素ピッチ分ずれて形成されている、前記（８）に記載の表示装置。

(10)

前記第1の配線は、前記複数の画素トランジスタの下方に設けられた前記複数の走査線または前記複数の信号線と同じ層の第2の配線と開口を介して接続されている、前記(3)乃至(9)のうちのいずれか1つに記載の表示装置。

(11)

前記第1の配線は、前記複数の走査線または前記複数の信号線と開口を介して電氣的に接続されている、前記(3)乃至(9)のうちのいずれか1つに記載の表示装置。

(12)

前記第1の配線には、前記複数の走査線または前記複数の信号線と同じ電位が印加されている、前記(11)に記載の表示装置。

(13)

前記画素トランジスタの上方に蓄積容量をさらに有し、

前記遮光構造は、前記蓄積容量と同じ層の第3の配線を含む、前記(3)乃至(12)のうちのいずれか1つに記載の表示装置。

[0081] 本出願は、日本国特許庁において2023年3月29日に出願された日本特許出願番号2023-054168号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0082] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 液晶層と、
画素回路を含む画素領域および前記画素領域の周囲に設けられ、周辺回路部を含む周辺領域を有し、前記画素領域と前記周辺回路部との間に遮光構造が設けられた第1の基板と、
前記液晶層を間に前記第1の基板と対向配置された第2の基板とを備えた表示装置。
- [請求項2] 前記画素領域は、互いに交差する複数の走査線および複数の信号線と、前記画素回路として前記複数の走査線と前記複数の信号線との交差部にそれぞれ設けられた複数の画素トランジスタとを有し、
前記遮光構造は、前記画素トランジスタの半導体層と同じ層に形成されている、請求項1に記載の表示装置。
- [請求項3] 前記遮光構造は、前記画素トランジスタの半導体層を跨ぐ配線と同じ層の第1の配線を用いて形成されている、請求項2に記載の表示装置。
- [請求項4] 前記遮光構造は、前記画素領域を囲むように連続して設けられている、請求項1に記載の表示装置。
- [請求項5] 前記遮光構造は、前記周辺回路部を囲むように連続して設けられている、請求項1に記載の表示装置。
- [請求項6] 前記遮光構造は、前記画素領域を囲むように離散的に設けられた複数の遮光部からなる、請求項1に記載の表示装置。
- [請求項7] 前記複数の遮光部の並列方向の幅は画素ピッチ以上である、請求項6に記載の表示装置。
- [請求項8] 前記複数の遮光部からなる前記遮光構造は、前記画素領域を囲むように二重に設けられている、請求項6に記載の表示装置。
- [請求項9] 二重に設けられた前記遮光構造として前記画素領域側から第1の遮光構造および第2の遮光構造を有し、
前記第1の遮光構造を構成する複数の第1の遮光部と、前記第2の

遮光構造を構成する複数の第2の遮光部とは、互いに1画素ピッチ分ずれて形成されている、請求項8に記載の表示装置。

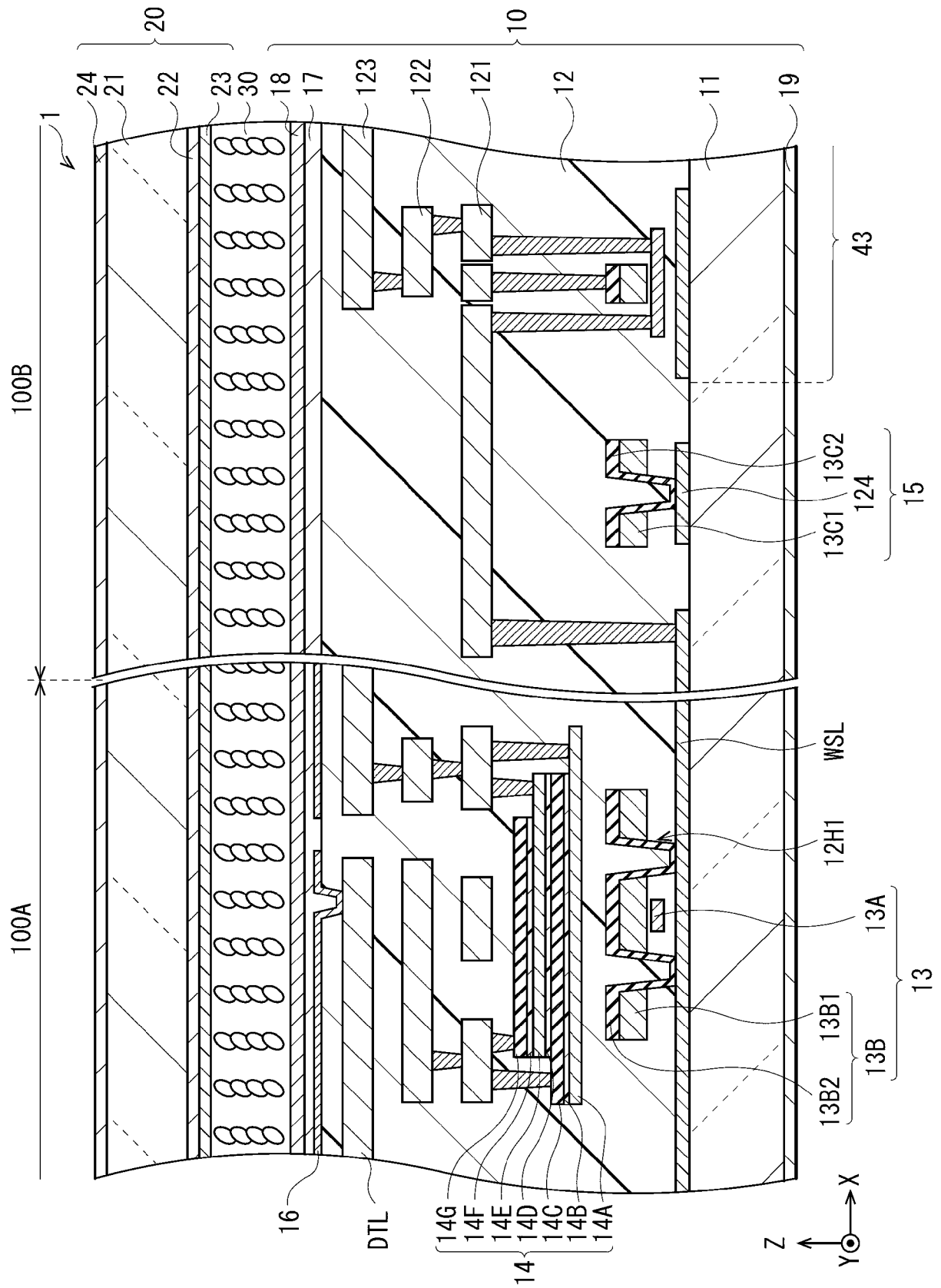
[請求項10] 前記第1の配線は、前記複数の画素トランジスタの下方に設けられた前記複数の走査線または前記複数の信号線と同じ層の第2の配線と開口を介して接続されている、請求項3に記載の表示装置。

[請求項11] 前記第1の配線は、前記複数の走査線または前記複数の信号線と開口を介して電氣的に接続されている、請求項3に記載の表示装置。

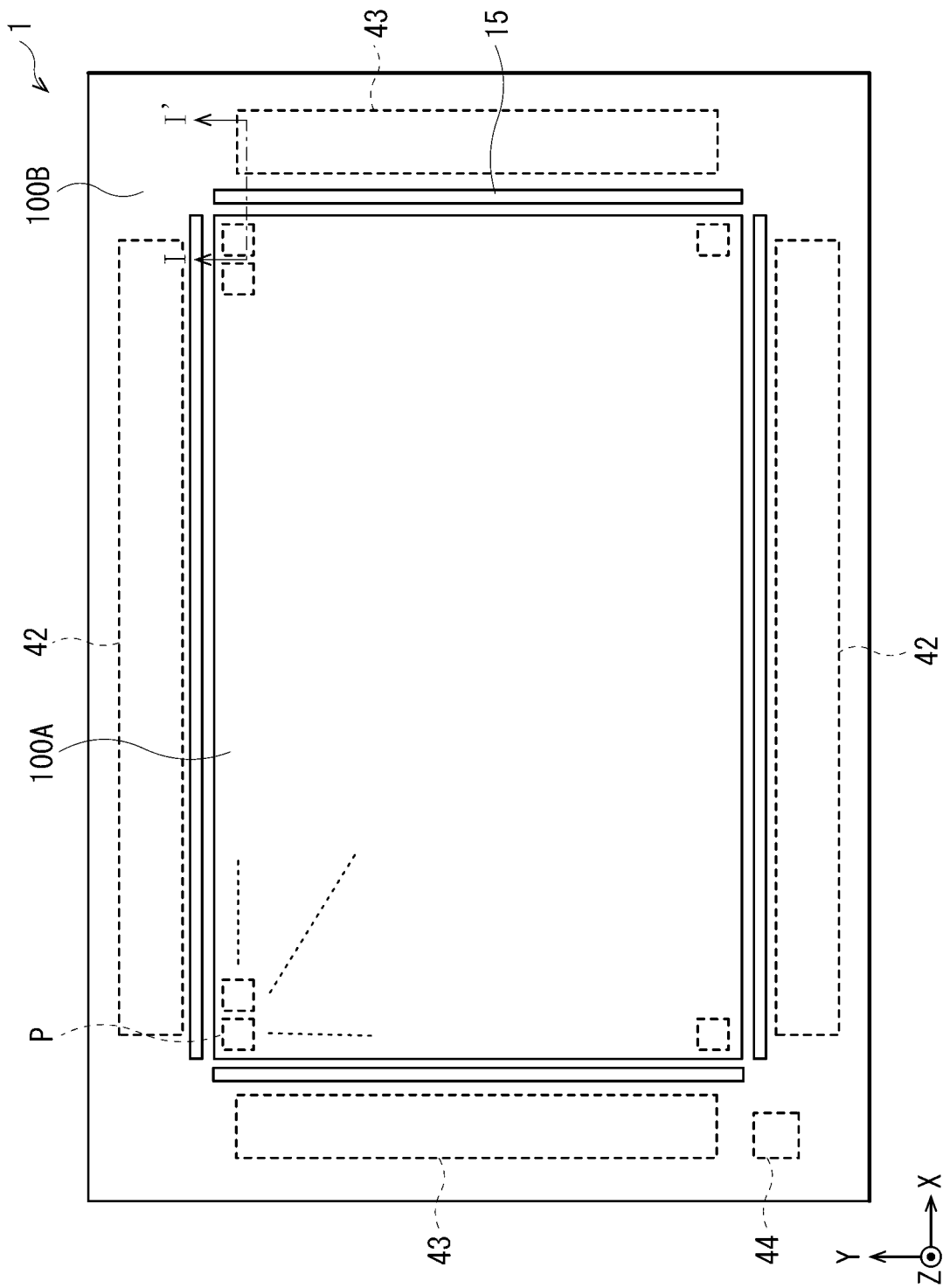
[請求項12] 前記第1の配線には、前記複数の走査線または前記複数の信号線と同じ電位が印加されている、請求項11に記載の表示装置。

[請求項13] 前記画素トランジスタの上方に蓄積容量をさらに有し、
前記遮光構造は、前記蓄積容量と同じ層の第3の配線を含む、請求項3に記載の表示装置。

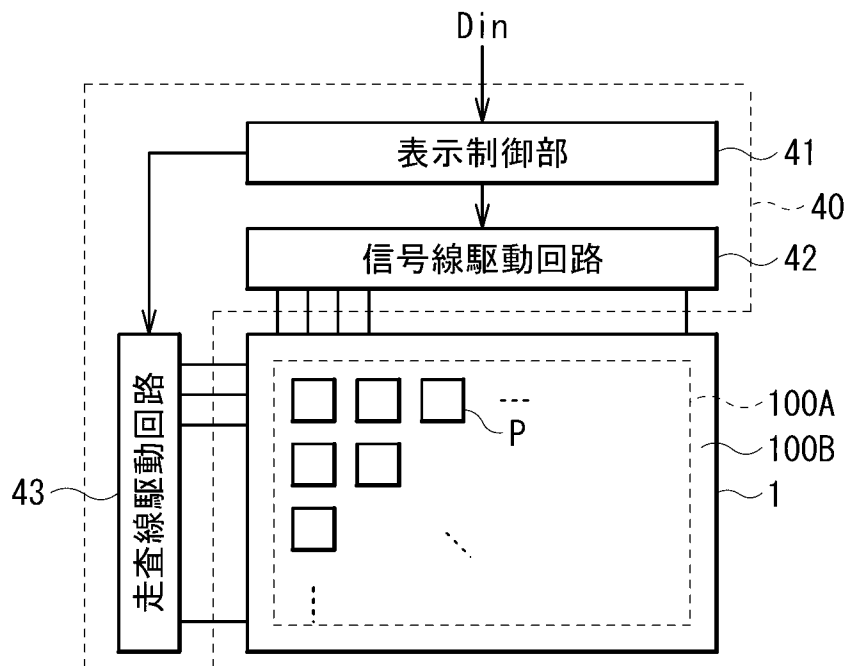
[図1]



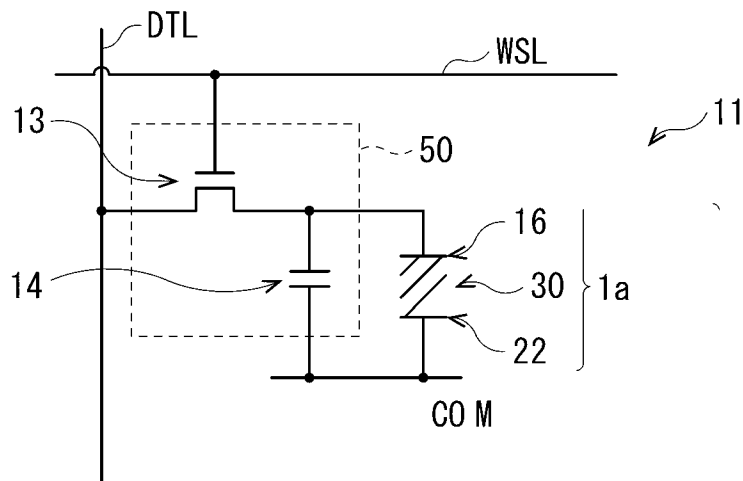
[図2]



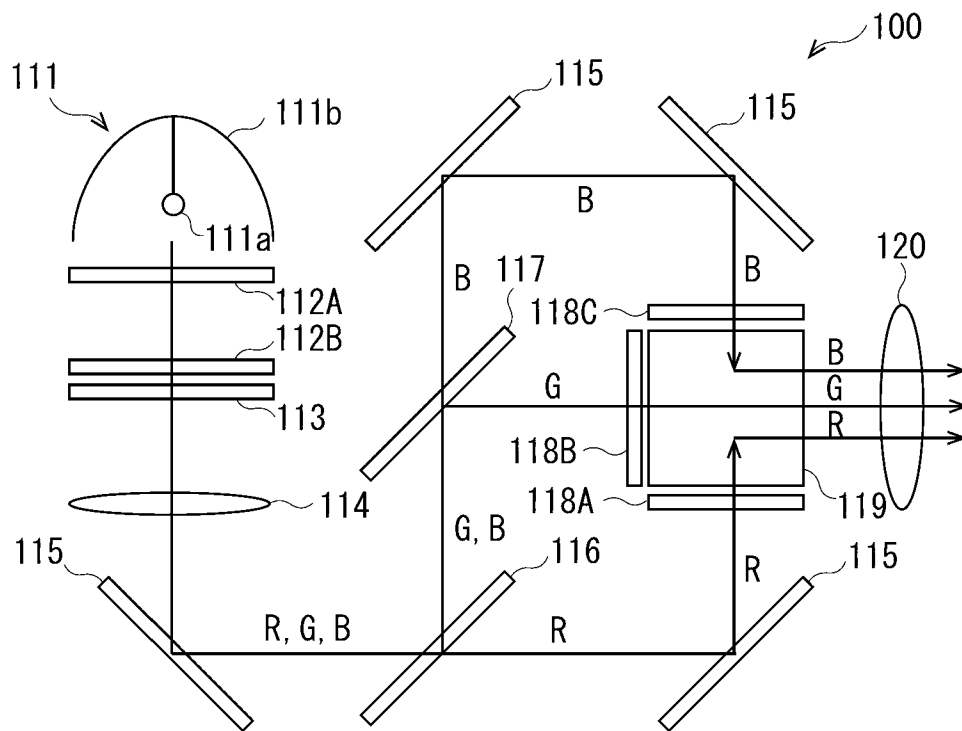
[図3]



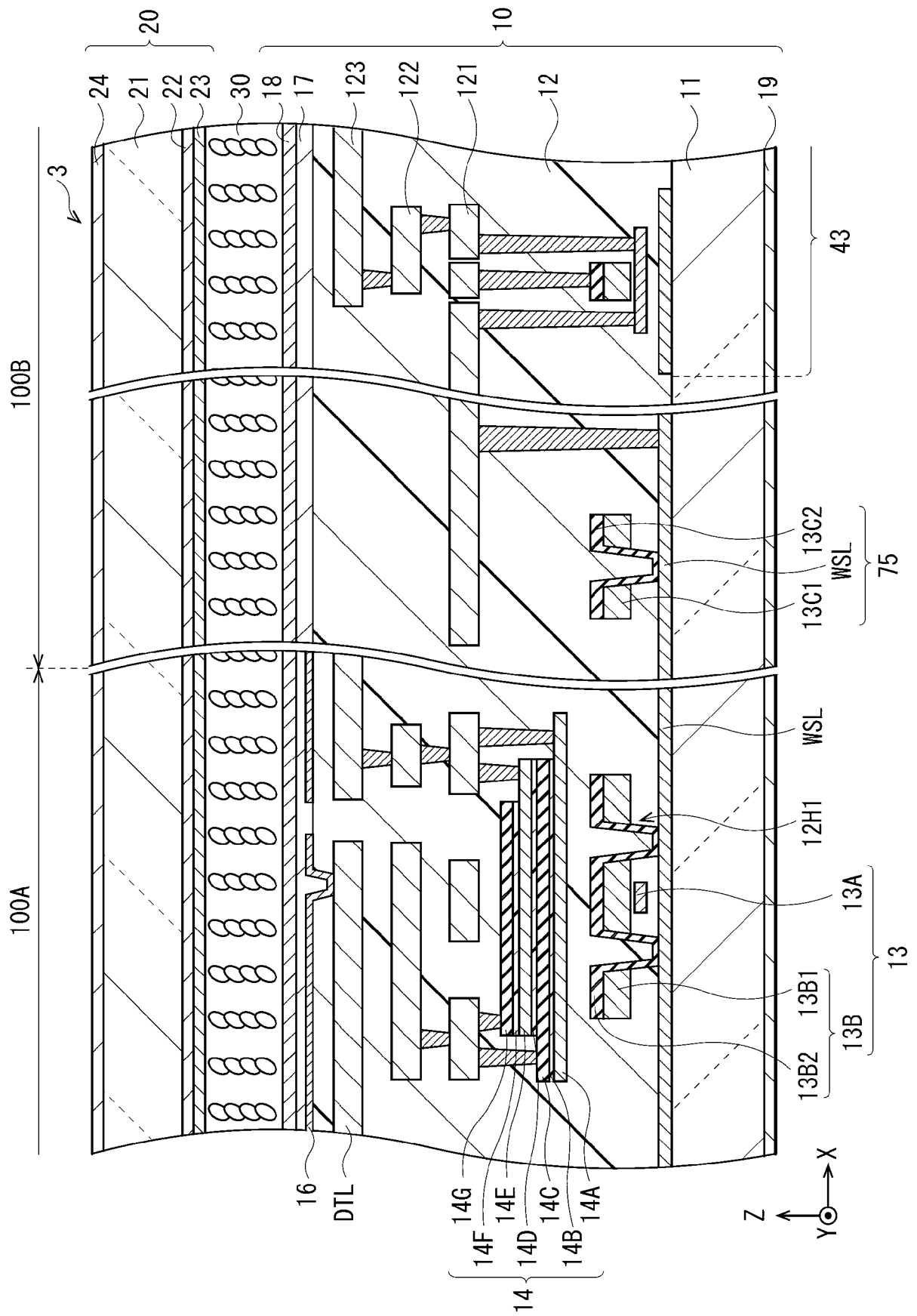
[図4]



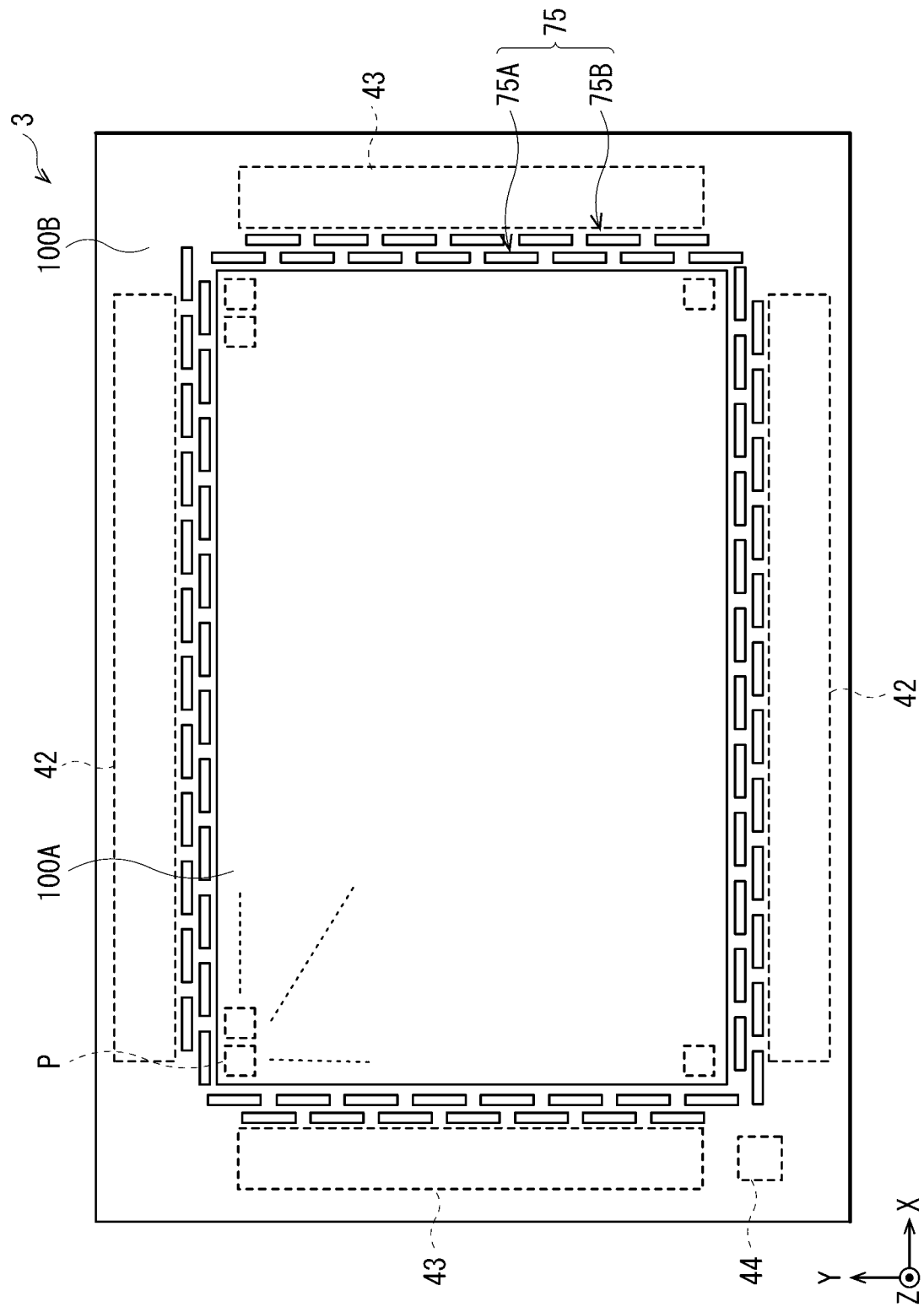
[図5]



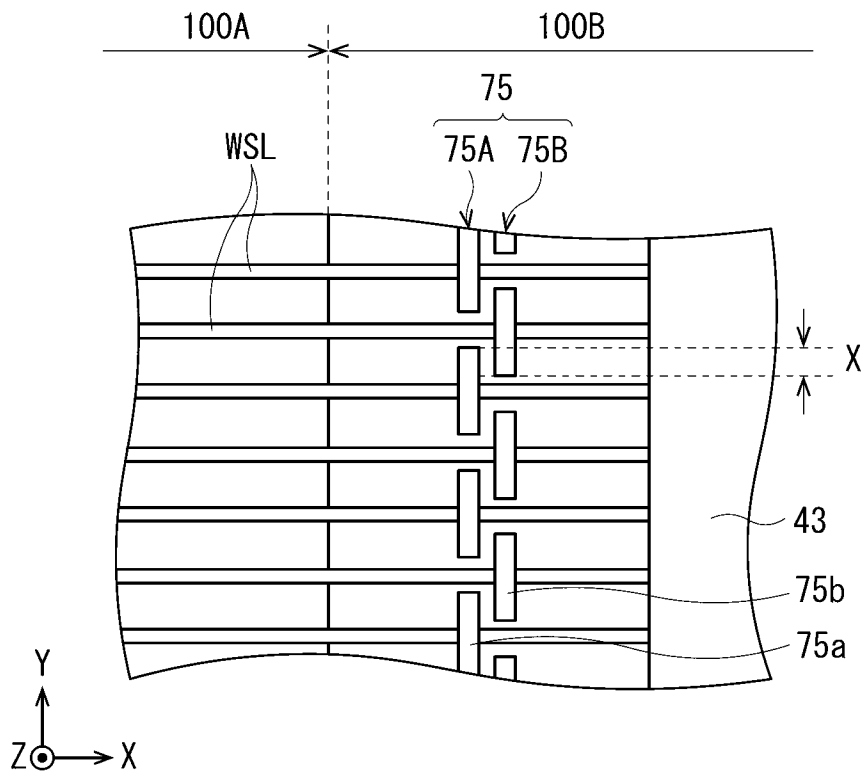
[図7]



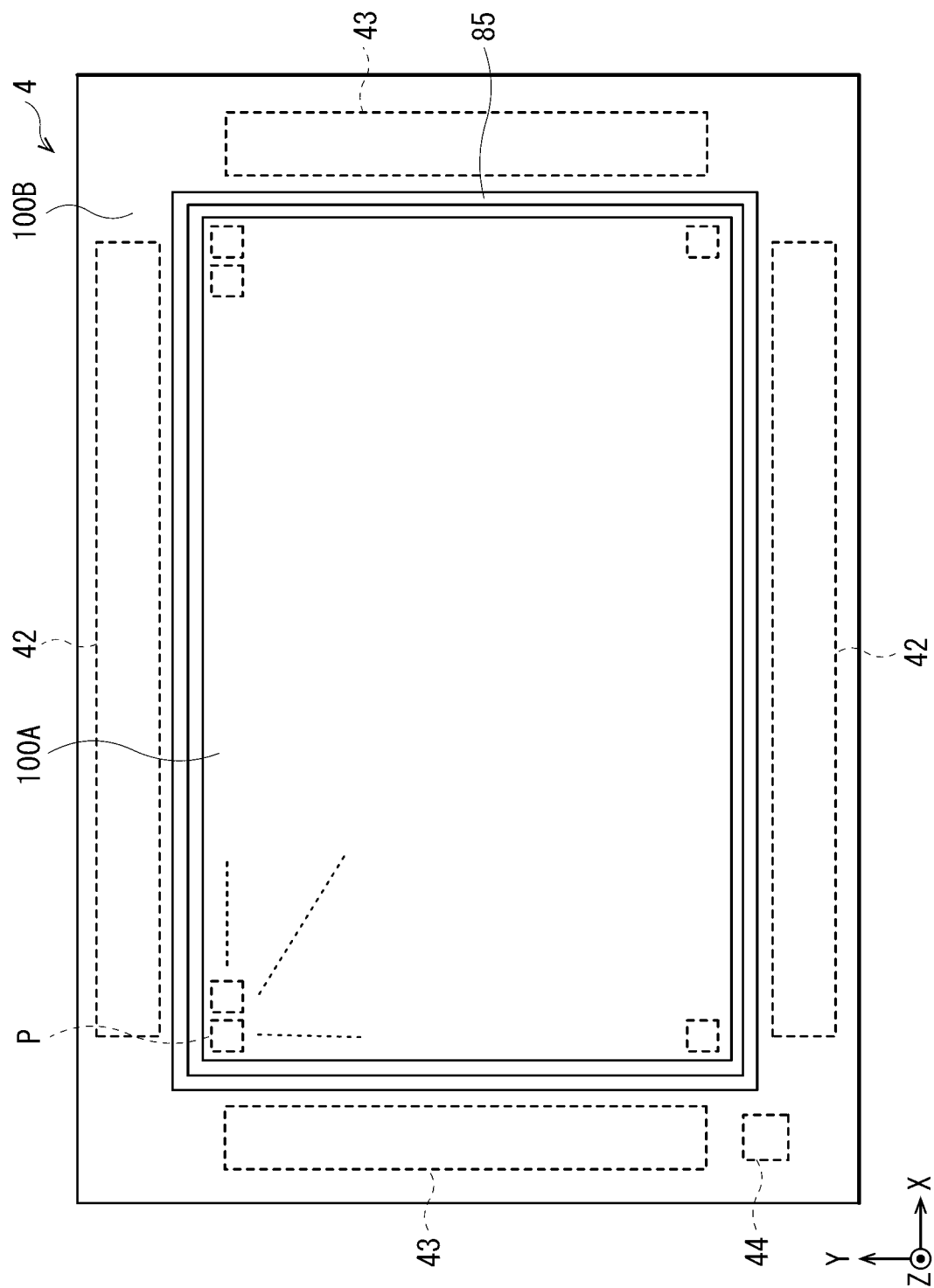
[図8]



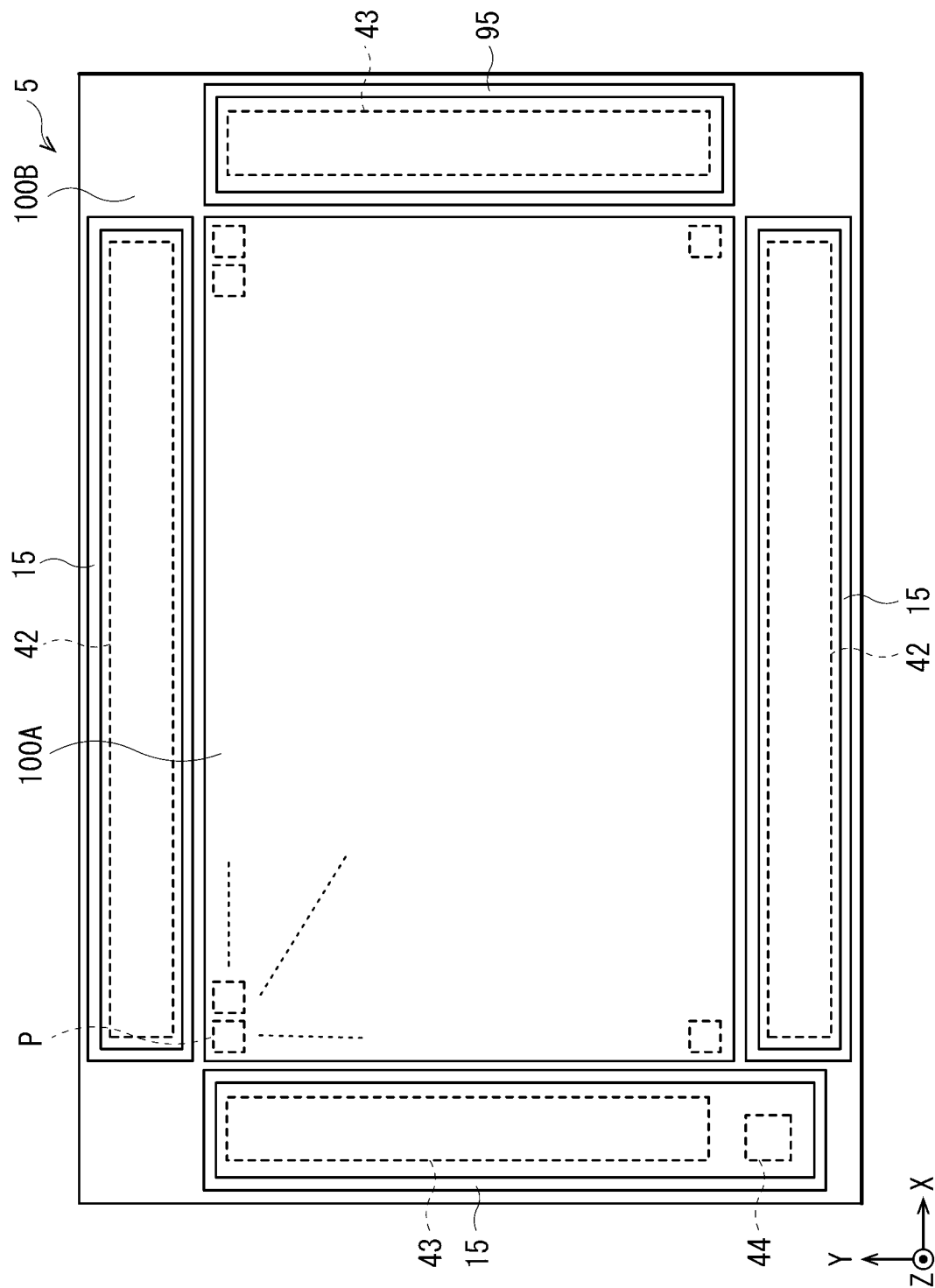
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/005339

A. CLASSIFICATION OF SUBJECT MATTER G02F 1/1343 (2006.01)i; G02F 1/13 (2006.01)i; G02F 1/1368 (2006.01)i FI: G02F1/1343; G02F1/1368; G02F1/13 505 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02F1/1343; G02F1/13; G02F1/1368 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-161827 A (JAPAN DISPLAY INC.) 21 October 2022 (2022-10-21) paragraphs [0016]-[0066], fig. 1-8	1-3, 6-12
A		4-5, 13
A	US 2018/0108649 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 19 April 2018 (2018-04-19) entire text, all drawings	1-13
A	JP 2009-265622 A (SEIKO EPSON CORPORATION) 12 November 2009 (2009-11-12) entire text, all drawings	1-13
A	JP 10-73839 A (SHARP KABUSHIKI KAISHA) 17 March 1998 (1998-03-17) entire text, all drawings	1-13
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 19 March 2024		Date of mailing of the international search report 02 April 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/005339

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2022-161827	A	21 October 2022	US	2022/0328532	A1	
				paragraphs [0024]-[0074], fig. 1-8			
				CN	115206995	A	
US	2018/0108649	A1	19 April 2018	CN	206301112	U	
JP	2009-265622	A	12 November 2009	US	2009/0244465	A1	
				entire text, all drawings			
JP	10-73839	A	17 March 1998	US	5822027	A	
				entire text, all drawings			
				KR	10-1998-0010571	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

G02F 1/1343(2006.01)i; G02F 1/13(2006.01)i; G02F 1/1368(2006.01)i

F1: G02F1/1343; G02F1/1368; G02F1/13 505

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G02F1/1343; G02F1/13; G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2022-161827 A（株式会社ジャパンディスプレイ）21.10.2022（2022-10-21） 段落[0016]－[0066]、[図1]－[図8]	1-3, 6-12
A		4-5, 13
A	US 2018/0108649 A1（BOE TECHNOLOGY GROUP CO., LTD.）19.04.2018（2018-04-19） 全文、全図	1-13
A	JP 2009-265622 A（セイコーエプソン株式会社）12.11.2009（2009-11-12） 全文、全図	1-13
A	JP 10-73839 A（シャープ株式会社）17.03.1998（1998-03-17） 全文、全図	1-13

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

19. 03. 2024

国際調査報告の発送日

02. 04. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

磯崎 忠昭 2L 5709

電話番号 03-3581-1101 内線 3295

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/005339

引用文献			公表日	パテントファミリー文献			公表日
JP	2022-161827	A	21.10.2022	US	2022/0328532	A1	
				段落 [0 0 2 4] - [0 0 7 4] 、 図 1 - 図 8			
				CN	115206995	A	

US	2018/0108649	A1	19.04.2018	CN	206301112	U	

JP	2009-265622	A	12.11.2009	US	2009/0244465	A1	
				全文、全図			

JP	10-73839	A	17.03.1998	US	5822027	A	
				全文、全図			
				KR	10-1998-0010571	A	
