



(10) **DE 10 2012 104 713 A1** 2013.01.17

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2012 104 713.8**

(22) Anmeldetag: **31.05.2012**

(43) Offenlegungstag: **17.01.2013**

(51) Int Cl.: **G11C 16/14 (2012.01)**

(30) Unionspriorität:
10-2011-0068825 12.07.2011 KR

(74) Vertreter:
**Kuhnen & Wacker Patent- und
Rechtsanwaltsbüro, 85354, Freising, DE**

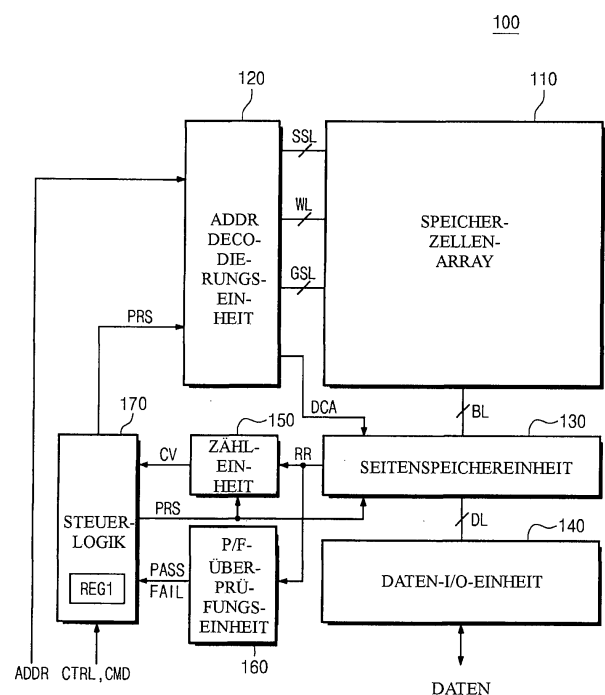
(71) Anmelder:
**Samsung Electronics Co., Ltd., Suwon, Kyonggi,
KR**

(72) Erfinder:
Nam, Sang-Wan, Hwaseong, Kyonggi, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Nichtflüchtige Speichervorrichtung und Lösungsverfahren**

(57) Zusammenfassung: Ein Löschesystem und -verfahren für eine nicht-flüchtige Speichervorrichtung beinhaltet das Anlegen einer Löschespannung an eine Mehrzahl von Speicherzellen eines nicht-flüchtigen Speichers, die Durchführung einer Leseoperation mit einer Lesespannung an Wortleitungen der Mehrzahl von Speicherzellen und die Durchführung einer Leseverifizierungsoperation mit einer Leseverifizierungsspannung an mindestens einer der Wortleitungen von der Mehrzahl von Speicherzellen, wobei die Lösungsverifizierungsspannung niedriger ist als die Lesespannung.



Beschreibung**KURZFASSUNG****QUERVERWEIS AUF
VERWANDTE ANMELDUNGEN**

[0001] Die Anmeldung beansprucht die Priorität der koreanischen Patentanmeldung Nr. 10-2011-0068825, eingereicht am 12. Juli 2011, die in ihrer Gesamtheit durch Bezugnahme hierin aufgenommen ist.

HINTERGRUND**1. Gebiet**

[0002] Ausführungsbeispiele betreffen eine Halbleiter-Speichervorrichtung, und insbesondere betreffen sie eine nicht-flüchtige Speichervorrichtung und ein Löschverfahren dafür, ein Betriebsverfahren dafür, ein Speichersystem, das die nicht-flüchtige Speichervorrichtung enthält, und ein Betriebsverfahren für das Speichersystem.

2. Beschreibung der verwandten Technik

[0003] Eine Halbleitervorrichtung ist eine Speichervorrichtung, die unter Verwendung von Halbleitern, wie Silicium (Si), Germanium (Ge), Galliumarsenid (GaAs), Indiumphosphid (InP) und dergleichen, hergestellt wird. Halbleiter-Speichervorrichtungen werden nach flüchtigen Speichervorrichtungen und nicht-flüchtigen Speichervorrichtungen unterschieden.

[0004] Die flüchtigen Speichervorrichtungen können gespeicherte Inhalte verlieren, wenn ihre Leistungszufuhr unterbrochen wird. Zu den flüchtigen Speichervorrichtungen gehört beispielsweise ein statisches RAM (SRAM), ein dynamisches RAM (DRAM), ein synchrones DRAM (SDRAM) und dergleichen. Die nicht-flüchtigen Speichervorrichtungen können gespeicherte Inhalte auch bei einer Unterbrechung der Leistungsversorgung behalten. Zu den nicht-flüchtigen Speichervorrichtungen gehört beispielsweise ein Nur-Lese-Speicher (ROM), ein programmierbares ROM (PROM), ein elektrisch programmierbares ROM (EPROM), ein elektrisch löschbares und programmierbares ROM (EEPROM), eine Flash-Speichervorrichtung, ein Phasenänderungs-RAM (PRAM), ein magnetisches RAM (MRAM), einen resistives RAM (RRAM), ein ferroelektrisches RAM (FRAM) und dergleichen. Die Flash-Speichervorrichtung wird grob nach einem NOR-Typ und einen NAND-Typ unterschieden.

[0005] Vor Kurzem wurde eine Halbleiter-Speichervorrichtung mit einer dreidimensionalen Array-Struktur entwickelt, um die Integrität der Halbleiter-Speichervorrichtung zu verbessern.

[0006] Die vorliegende allgemeine erfinderische Idee schafft eine nicht-flüchtige Speichervorrichtung, ein Löschverfahren dafür, ein Speichersystem, das die nicht-flüchtige Speichervorrichtung aufweist, ein elektronisches Gerät, das die nicht-flüchtige Speichervorrichtung aufweist, und ein Betriebsverfahren für das Speichersystem und die elektronische Vorrichtung, die die nicht-flüchtige Speichervorrichtung aufweist.

[0007] Weitere Aspekte und Vorteile der vorliegenden allgemeinen erfinderischen Idee werden zum Teil in der folgenden Beschreibung dargelegt und gehen zum Teil aus der Beschreibung hervor oder können durch Ausführen der allgemeinen erfinderischen Idee erkannt werden.

[0008] Die genannten und/oder weitere Merkmale und Anwendungsmöglichkeiten der vorliegenden allgemeinen erfinderischen Idee können durch Schaffung eines Löschverfahrens für eine nicht-flüchtige Speichervorrichtung verwirklicht werden, wobei das Löschverfahren die Zufuhr einer Löschspannung zu einer Mehrzahl von Speicherzellen, die Durchführung einer Leseoperation mit einer Lesespannung an Wortleitungen der Mehrzahl von Speicherzellen und die Durchführung einer Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an mindestens einer von den Wortleitungen der Mehrzahl von Speicherzellen beinhaltet, wobei die Lösungsverifizierungsspannung niedriger ist als die Lesespannung.

[0009] Die Lesespannung kann einen oder mehrere Spannungspegel beinhalten, die an die jeweiligen Wortleitungen angelegt werden.

[0010] Die Lesespannung kann einen einzigen Spannungspegel beinhalten, der an die Wortleitungen angelegt wird.

[0011] Die Lösungsverifizierungsspannung kann in Bezug auf eine entsprechende von den Wortleitungen der Mehrzahl von Speicherzellen variabel sein, und die variable Lösungsverifizierungsspannung kann niedriger sein als die Lesespannung.

[0012] Die Lesespannung kann höher sein als eine Spannung einer Schwellenspannung eines Programmierungszustands der Mehrzahl von Speicherzellen.

[0013] Die Mehrzahl von Speicherzellen kann mindestens eine Leerzelle und eine oder mehrere reguläre Speicherzellen beinhalten. Die mindestens eine Leerzelle kann bei der Leseoperation und der Lösungsverifizierungsoperation mit einer Spannung beliefert werden, die sich von einer Betriebsspan-

nung unterscheidet, die zu den regulären Speicherzellen geliefert wird.

[0014] Die genannten und/oder andere Merkmale und Anwendungsmöglichkeiten der vorliegenden allgemeinen erfinderischen Idee können auch durch Schaffung eines Löschmodens für eine nicht-flüchtige Speichervorrichtung verwirklicht werden, wobei das Löschmoden Folgendes beinhaltet: die Zufuhr einer Löschespannung zu einer Mehrzahl von Folgen bzw. Strings, die jeweils eine Mehrzahl von Speicherzellen beinhalten, die Durchführung einer Leseoperation mit einer Lesespannung an Wortleitungen der Mehrzahl von Speicherzellen, die Bestimmung gemäß der durchgeführten Leseoperation, dass eine oder mehrere Folgen Off-Strings sind, die Verarbeitung eines Lösungsverifizierungsschritts an dem Off-String und die Durchführung einer Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an den Wortleitungen der Mehrzahl von Folgen.

[0015] Das Löschmoden kann ferner die Zufuhr einer modifizierten Löschespannung zu der Mehrzahl von Folgen gemäß der durchgeführten Lösungsverifizierungsoperation beinhalten.

[0016] Gemäß der Leseoperation kann bestimmt werden, ob die Mehrzahl von Speicherzellen ein Off-String oder ein Non-Off-String ist, und die Lösungsverifizierungsoperation kann beinhalten, dass die Durchführung einer Bitleitungs-Vorladungsoperation an dem Off-String verhindert wird.

[0017] Das Löschmoden kann ferner die Zufuhr verschiedener Spannungen zu Bitleitungen des Off-Strings und des Non-Off-Strings als Vorladespannung und die Zufuhr der Lösungsverifizierungsspannung an die jeweiligen Wortleitungen der Mehrzahl von Speicherzellen in der Lösungsverifizierungsoperation beinhalten.

[0018] Die Mehrzahl von Speicherzellen kann mindestens eine Leerzelle und eine oder mehrere reguläre Speicherzellen beinhalten, und die mindestens eine Leerzelle kann bei der Leseoperation und der Lösungsverifizierungsoperation mit einer Spannung beliefert werden, die sich von einer Betriebsspannung unterscheidet, die zu den regulären Speicherzellen geliefert wird.

[0019] Die genannten und/oder weitere Merkmale und Anwendungsmöglichkeiten der vorliegenden allgemeinen erfinderischen Idee können auch durch Schaffung einer nichtflüchtigen Speichervorrichtung verwirklicht werden, die aufweist: ein Speicherzellen-Array mit einem Substrat und einer Mehrzahl von Blöcken, die jeweils eine Mehrzahl von Folgen mit jeweils einer Mehrzahl von Speicherzellen beinhalten, wobei die Mehrzahl von Folgen in senkrechter Rich-

tung zum Substrat ausgebildet ist; eine Steuereinheit, um eine Leseoperation mit einer Spannung an Wortleitungen der Mehrzahl von Folgen durchzuführen, und eine Seitenpuffer- bzw. Seitenspeichereinheit, um Informationen über eine oder mehrere Off-Strings von der Mehrzahl von Folgen, die durch die Leseoperation bestimmt werden, zu speichern. Die Steuereinheit kann eine Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an mindestens einer der Wortleitungen von der Mehrzahl von Speicherzellen durchführen, und die Lösungsverifizierungsspannung kann niedriger sein als die Lesespannung

[0020] Jede von der Mehrzahl von Folgen weist die Mehrzahl von Speicherzellen mit jeweils unterschiedlichen Dimensionen auf, und benachbarte Folgen können durch eine Lücke voneinander beabstandet sein.

[0021] Die Steuereinheit kann unter den Folgen gemäß der Leseoperation einen ersten Off-String bestimmen und bestimmt einen zweiten Off-String gemäß der Lösungsverifizierungsoperation, und die Steuereinheit führt eine Löschoption mit einer modifizierten Löschespannung an den ersten und zweiten Off-Strings durch.

[0022] Die Steuereinheit kann die Lösungsverifizierungsoperation an einem Non-Off-String durchführen, nachdem sie eine Löschoption mit einer ersten Löschespannung an den Folgen durchgeführt hat, die den Off-String und den Non-Off-String beinhalten.

[0023] Die Steuereinheit kann gemäß der Lösungsverifizierungsoperation eine weitere Löschoption mit einer modifizierten Löschespannung an dem Off-String durchführen.

[0024] Die Steuereinheit kann veranlassen, dass gemäß der durchgeführten Lösungsverifizierung eine weitere Löschoption an der ausgewählten Folge durchgeführt wird, wenn bestimmt wird, dass die ausgewählte Folge eine abgeschaltete Folge ist, die eine Folge darstellt, bei der das Löschen fehlgeschlagen ist.

[0025] Die oben genannten und/oder weitere Merkmale und Anwendungsmöglichkeiten der vorliegenden allgemeinen erfinderischen Idee können auch dadurch verwirklicht werden, dass ein Betriebsverfahren für ein Speichersystem geschaffen wird, wobei das Verfahren beinhaltet: Erzeugen eines Controller-Befehls zur Durchführung einer Löschoption an einer nicht-flüchtigen Speichervorrichtung, die ein Speicherzellen-Array aufweist, das ein Substrat und eine Mehrzahl von Folgen aufweist, die jeweils eine Mehrzahl von Speicherzellen beinhalten, wobei die Mehrzahl von Folgen in senkrechter Richtung zum Substrat ausgebildet ist, und Durchfüh-

ren der Löschoption in der nicht-flüchtigen Speichervorrichtung gemäß dem erzeugten Befehl, wobei die Löschoption beinhaltet: die Durchführung einer Löschoption an der Mehrzahl von Folgen, die Durchführung einer Leseoption mit einer Leseoption an Wortleitungen der Mehrzahl von Speicherzellen, die Bestimmung gemäß der durchgeführten Leseoption, dass eine oder mehrere Folgen Off-Strings sind, die Verarbeitung eines Löschoptionsverifizierungs-Arbeitsgangs an dem Off-String und die Durchführung einer Löschoptionsverifizierungsoperation mit einer Löschoptionsverifizierungsspannung an den Wortleitungen der Mehrzahl von Folgen, wobei die Löschoptionsverifizierungsspannung niedriger ist als die Leseoption.

[0026] Die Verarbeitung der Löschoptionsverifizierungsoperation kann beinhalten, dass die Durchführung der Löschoptionsverifizierungsoperation an dem Off-String der ersten Bestimmung verhindert wird.

[0027] Das Betriebsverfahren kann ferner die Durchführung einer zweiten Löschoption mit einer zweiten Löschoptionspannung an den Off-Strings der ersten Bestimmung und der zweiten Bestimmung beinhalten.

[0028] Die Leseoption kann zwischen der Löschoption und der Löschoptionsverifizierungsoperation ausgelassen werden.

[0029] Die Löschoptionsverifizierungsoperation an dem bestimmten Off-String kann weggelassen werden.

[0030] Das Betriebsverfahren kann ferner beinhalten, dass ein erstes Antwortsignal auf die Löschoption von der nicht-flüchtigen Speichervorrichtung zum Controller gesendet wird, dass vom Controller ein zweiter Befehl erzeugt wird, um die nicht-flüchtige Speichervorrichtung so zu steuern, dass diese eine zweite Löschoption durchführt, und dass von der nicht-flüchtigen Speichervorrichtung ein zweites Antwortsignal auf die zweite Löschoption gesendet wird, damit der Controller eine Fehlerverarbeitung durchführt, um gemäß dem ersten Antwortsignal und dem zweiten Antwortsignal einen schädlichen Block zu bestimmen.

[0031] Das Betriebsverfahren kann ferner beinhalten, dass nach Abschluss der Löschoption Off-String-Informationen an den Controller gesendet werden, damit der Controller die gesendeten Informationen verwendet, um vorhandene Informationen zu aktualisieren.

[0032] Das Betriebsverfahren kann ferner beinhalten, dass Off-String-Informationen an den Controller gesendet werden; dass an die nicht-flüchtige Speichervorrichtung ein Lesebefehl zur Durchführung einer zweiten Leseoption gesendet wird, um Daten

aus den Strings bzw. Folgen zu lesen, und dass ein Fehler gemäß den ausgelesenen Daten und den Off-String-Informationen korrigiert wird.

[0033] Das Betriebsverfahren kann ferner beinhalten, dass ein Befehl an die nicht-flüchtige Speichervorrichtung zur Durchführung einer Vorab-Leseoption erzeugt wird, dass von der nicht-flüchtigen Speichervorrichtung gemäß der Vorab-Leseoption Informationen über einen zweiten Off-String empfangen werden und dass die nicht-flüchtige Speichervorrichtung so gesteuert wird, dass sie die Informationen über den zweiten Off-String in einem Pufferspeicherbereich der nicht-flüchtigen Speichervorrichtung speichert.

[0034] Das Betriebsverfahren kann ferner beinhalten, dass ein zweiter Befehl an die nicht-flüchtige Speichervorrichtung zur Ausgabe der gespeicherten Off-String-Informationen an den Controller erzeugt wird, dass gemäß der Löschoption zweite Off-String-Informationen empfangen werden und dass Informationen gemäß den zweiten Off-String-Informationen und den Off-String-Informationen aktualisiert werden.

[0035] Das Betriebsverfahren kann ferner beinhalten, dass eine Folgenansteuerungsleitung ausgewählt wird, die mit einer vorgegebenen Anzahl von Strings bzw. Folgen verbunden ist, um die Leseoption an der vorgegebenen Anzahl der Folgen der ausgewählten Folgenansteuerungsleitung durchzuführen, bis bestimmt wird, dass die ausgewählte Folgenansteuerungsleitung eine letzte Folgenansteuerungsleitung der Folgen ist.

[0036] Die Mehrzahl von Folgen kann in eine Mehrzahl von Gruppen unterteilt sein, die mit einer Mehrzahl von Folgenansteuerungsleitungen verbunden sind, die Löschoption kann das Ansteuern einer Ersten von der Mehrzahl von Folgenansteuerungsleitungen beinhalten, und die Leseoption und die Löschoptionsverifizierungsoperation werden in Bezug auf die Folgen durchgeführt, die mit der ausgewählten Folgenansteuerungsleitungen verbunden sind.

[0037] Das Betriebsverfahren kann ferner das Iterieren bzw. Wiederholen der Durchführung der Leseoption und der Erfassung der Off-Strings beinhalten, bis eine letzte Folgenansteuerungsleitungen unter einer Mehrzahl von Folgenansteuerungsleitungen ausgewählt worden ist, wobei die in Mehrzahl vorhandenen Folgenansteuerungsleitungen jeweils mit den entsprechenden Folgen verbunden sind und nacheinander ausgewählt werden.

[0038] Das Wiederholen kann beinhalten, dass eine zweite Folgenansteuerungsleitung aus einer Mehrzahl von Folgenansteuerungsleitungen ausgewählt wird; dass die Leseoption durch Anlegen einer

hohen Spannung an Wortleitungen der Folgen, die mit der zweiten Ansteuerungsleitung verbunden sind, durchgeführt wird, und dass gemäß der durchgeführten Leseoperation bestimmt wird, dass eine oder mehrere zweite Folgen Off-Strings sind.

[0039] Die oben genannten und/oder weitere Merkmale und Anwendungsmöglichkeiten der vorliegenden allgemeinen erfinderischen Idee können auch durch die Schaffung eines Speichersystems verwirklicht werden, das aufweist: eine nicht-flüchtige Speichervorrichtung, die ein Speicherzellen-Array mit einem Substrat und einer Mehrzahl von Folgen aufweist, die jeweils eine Mehrzahl von Speicherzellen beinhalten, wobei die Mehrzahl von Folgen in senkrechter Richtung zum Substrat ausgebildet ist, und einen Controller, der einen Befehl zur Durchführung einer Löschoperation an der nicht-flüchtigen Speichervorrichtung erzeugt, damit die nicht-flüchtige Speichervorrichtung die Mehrzahl von Folgen löscht bzw. leert, eine Leseoperation mit einer Lesespannung an Wortleitungen der Mehrzahl von Folgen durchführt, gemäß der durchgeführten Leseoperation bestimmt, dass es sich bei einer oder mehreren Folgen um Off-Strings handelt, einen Löschungsverifizierungs-Arbeitsschritt verarbeitet und eine Löschungsverifizierungsoperation mit einer Löschungsverifizierungsspannung an Wortleitungen von der Mehrzahl von Folgen durchführt, wobei die Löschungsverifizierungsspannung niedriger ist als die Lesespannung.

[0040] Die Folgen können durch eine Lücke voneinander beabstandet sein, in der eine Kanalschichteinheit ausgebildet ist, um die Speicherzellen der Folge miteinander zu verbinden, und die Kanalschichteinheit einen Defekt aufweist, der den Off-String bewirkt.

[0041] Die nicht-flüchtige Speichervorrichtung kann eine Kanalschichteinheit aufweisen, die mit den angrenzenden bzw. benachbarten Folgen verbunden ist, und der Off-String ist mit der Kanalschichteinheit ausgebildet, die keinen elektrischen Kontakt mit dem Substrat aufweist.

[0042] Die nicht-flüchtige Speichervorrichtung kann einen Drain und eine Kanalschichteinheit aufweisen, die mit der Folge verbunden ist, und der Off-String ist mit der Kanalschichteinheit ausgebildet, die keinen elektrischen Kontakt mit dem Substrat aufweist.

[0043] Die nicht-flüchtige Speichervorrichtung kann verhindern, dass die Löschungsverifizierungsoperation an dem Off-String der ersten Bestimmung durchführt.

[0044] Die genannten und/oder weitere Merkmale und Anwendungsmöglichkeiten der vorliegenden allgemeinen erfinderischen Idee können auch durch Schaffung eines Speichersystems erreicht werden, das eine nicht-flüchtige Speichervorrichtung und ei-

nen Controller, der die nicht-flüchtige Speichervorrichtung steuert, aufweist. Die nichtflüchtige Speichervorrichtung kann Folgendes aufweisen: ein Speicherzellen-Array mit einer Mehrzahl von Folgen, wobei jede Folge eine Mehrzahl von Speicherzellen aufweist, eine Schreib-/Leseinheit, die so gestaltet ist, dass sie als Antwort auf einen Befehl, der vom Controller gesendet wird, eine Leseoperation durchführt und ein Leseergebnis ausgibt, wobei die Leseoperation durch Anlegen einer hohen Spannung an Wortleitungen, die mit der Mehrzahl von Folgen verbunden sind, erfolgt, eine Zählereinheit, die so gestaltet ist, dass sie das ausgegebene Leseergebnis empfängt und die Anzahl der Off-Strings zählt, die während der Leseoperation als abgeschaltet gelesen werden, und eine Daten-Eingabe-/Ausgabeschaltung, die so gestaltet ist, dass sie das Leseergebnis oder das Zählergebnis als Informationen ausgibt, die mit den Off-Strings assoziiert sind. Der Controller kann so ausgelegt sein, dass er die nicht-flüchtige Speichervorrichtung auf Basis von Informationen steuert, die mit den Off-Strings assoziiert sind.

[0045] Die nicht-flüchtige Speichervorrichtung kann ein Substrat aufweisen, und die Mehrzahl von Folgen kann in senkrechter Richtung zum Substrat angeordnet und in eine Mehrzahl von Folgegruppen unterteilt sein, wobei die Gruppen mit einer Mehrzahl von Folgenansteuerungsleitungen verbunden sind, wobei der Controller die nichtflüchtige Speichervorrichtung so steuert, dass diese eine Löschoperation an den Folgen der Gruppen der Mehrzahl von Folgenansteuerungsleitungen durchführt. Der Controller kann die nicht-flüchtige Speichervorrichtung so steuern, dass diese eine oder mehrere Off-Strings als erfolgreich gelöscht verarbeitet und eine Löschungsverifizierungsoperation an anderen Folgen in der Einheit jeder Gruppe durchführt.

[0046] Aneinander angrenzende bzw. benachbarte Folgen können durch eine Säule voneinander beabstandet sein, die eine Kanalschicht aufweist, die elektrisch mit den Speicherzellen jeder Folge verbunden ist.

[0047] Die Säule kann eine Breite aufweisen, die gemäß dem Abstand zum Substrat breiter ist.

[0048] Die Säule kann eine Breite aufweisen, die gemäß dem Abstand zum Substrat breiter ist.

[0049] Die Speicherzellen jeder Folge können eine Länge aufweisen, die gemäß einem Abstand zum Substrat kürzer ist.

[0050] Die oben genannten und/oder weitere Merkmale und Anwendungsmöglichkeiten der vorliegenden allgemeinen erfinderischen Idee können auch dadurch verwirklicht werden, dass ein Betriebsverfahren für ein Speichersystem geschaffen wird, das

eine nicht-flüchtige Speichervorrichtung mit einer Mehrzahl von Folgen und einen Controller aufweist, der so gestaltet ist, dass er die nicht-flüchtige Speichervorrichtung steuert, wobei jede Folge eine Mehrzahl von Speicherzellen aufweist, wobei das Betriebsverfahren beinhaltet, dass ein Befehl vom Controller zur nicht-flüchtigen Speichervorrichtung gesendet wird, dass die nicht-flüchtige Speichervorrichtung als Antwort auf den Befehl eine Leseoperation durchführt, wobei die Leseoperation durch Anlegen einer hohen Spannung an sämtliche Wortleitungen, die mit der Mehrzahl von Folgen verbunden sind, durchgeführt wird, dass von der nicht-flüchtigen Speichervorrichtung Informationen, die mit den Off-Strings assoziiert sind, die während der Leseoperation als abgeschaltet gelesen werden, an den Controller gesendet werden, und dass die gesendeten Informationen im Controller gespeichert werden.

[0051] Das Betriebsverfahren kann ferner beinhalten, dass die gespeicherten Informationen, die mit den Off-Strings assoziiert sind, und ein Löschbefehl vom Controller an die nicht-flüchtige Speichervorrichtung gesendet werden und die nicht-flüchtige Speichervorrichtung als Antwort auf die gespeicherten Informationen, die mit den Off-Strings assoziiert sind, und den Lesebefehl eine Löschoperation durchführt.

[0052] Wenn ein Ergebnis der Löschoperation anzeigt, dass ein Löschen fehlgeschlagen ist, können das Senden eines Befehls, die Durchführung einer Leseoperation, das Senden von Informationen und das Speichern der gesendeten Informationen erneut ausgeführt werden.

[0053] Das Betriebsverfahren kann ferner beinhalten, dass ein Lesebefehl vom Controller an die nicht-flüchtige Speichervorrichtung gesendet wird, dass von der nicht-flüchtigen Speichervorrichtung ein Leseergebnis gemäß dem Lesebefehl an den Controller gesendet wird und dass ein Fehler des gesendeten Leseergebnisses unter Verwendung der gespeicherten Informationen, die mit den Off-Strings assoziiert sind, korrigiert wird, wobei die Korrektur durch den Controller durchgeführt wird.

[0054] Das Betriebsverfahren kann ferner beinhalten, dass ein Code-Wort unter Verwendung von Schreibdaten und der gespeicherten Informationen, die mit den Off-Strings assoziiert sind, erzeugt wird, wobei die Erzeugung durch den Controller vorgenommen wird, dass der Controller das erzeugte Code-Wort und einen Schreibbefehl an den nichtflüchtigen Speicher sendet, und dass das gesendete Code-Wort als Antwort auf den Schreibbefehl in die nicht-flüchtige Speichervorrichtung geschrieben wird.

[0055] Das Betriebsverfahren kann ferner beinhalten, dass der Controller die gespeicherten Informationen, die mit den Off-Strings assoziiert sind, und einen

zweiten Befehl an die nicht-flüchtige Speichervorrichtung sendet, und dass die gesendeten Informationen, die mit den Off-Strings assoziiert sind, als Antwort auf den zweiten Befehl in die nichtflüchtige Speichervorrichtung geschrieben werden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0056] Diese und/oder weitere Aspekte und Vorteile der vorliegenden allgemeinen erfinderischen Idee werden aus der folgenden Beschreibung der Ausführungsformen in Zusammenschau mit den begleitenden Zeichnungen deutlicher und verständlicher, in denen:

[0057] [Fig. 1](#) ein Blockschema ist, das eine nicht-flüchtige Speichervorrichtung gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0058] [Fig. 2](#) ein Diagramm ist, das ein Speicherzellen-Array der nicht-flüchtigen Speichervorrichtung von [Fig. 1](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0059] [Fig. 3](#) ein Flächendiagramm eines Speicherblocks der nicht-flüchtigen Speichervorrichtung von [Fig. 1](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0060] [Fig. 4](#) eine perspektivische Darstellung entlang einer Linie IV-IV' von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee ist;

[0061] [Fig. 5](#) eine Querschnittsdarstellung entlang einer Linie IV-IV' von [Fig. 4](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee ist;

[0062] [Fig. 6](#) ein Diagramm ist, das einen von Zellentransistoren von [Fig. 5](#) darstellt;

[0063] [Fig. 7](#) ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0064] [Fig. 8](#) ein Flussdiagramm ist, das ein Lösungsverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0065] [Fig. 9](#) ein Diagramm ist, das eine Vorspannungsbedingung darstellt, die in dem Lösungsverfahren von [Fig. 8](#) verwendet werden kann;

[0066] [Fig. 10](#) ein Zeitdiagramm ist, das Spannungsänderungen eines Substrats, von Kanalschichten und von Wortleitungen darstellt;

[0067] [Fig. 11](#) ein Zeitdiagramm ist, das eine Spannungsänderung eines Speicherzellen-Array während Schritten S113 und S114 von [Fig. 8](#) darstellt;

[0068] [Fig. 12](#) ein Zeitdiagramm ist, das eine Spannungsänderung eines Speicherzellen-Array während Schritten S115 und S116 von [Fig. 8](#) darstellt;

[0069] [Fig. 13A](#) ein Flussdiagramm ist, das einen Off-String-Verarbeitungsschritt darstellt, der in dem Lösungsverfahren von [Fig. 8](#) durchgeführt wird;

[0070] [Fig. 13B](#) ein Flussdiagramm ist, das ein Lösungsverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0071] [Fig. 14](#) ein Blockschema ist, das eine Seitenspeichereinheit von [Fig. 1](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0072] [Fig. 15](#) ein Blockschema ist, das eine nicht-flüchtige Speichervorrichtung gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0073] [Fig. 16](#) ein Flussdiagramm ist, das ein Vorab-Leseverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0074] [Fig. 17](#) ein Flussdiagramm ist, das ein Vorab-Leseverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0075] [Fig. 18](#) ein Blockschema ist, das eine nicht-flüchtige Speichervorrichtung gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0076] [Fig. 19](#) ein Blockschema ist, das eine nicht-flüchtige Speichervorrichtung gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0077] [Fig. 20](#) ein Ablaufschema ist, das ein Lösungsverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0078] [Fig. 21](#) ein Diagramm ist, das eine Spannungsbedingung darstellt, die in dem Lösungsverfahren von [Fig. 20](#) verwendet werden kann;

[0079] [Fig. 22](#) ein Blockschema ist, das eine nicht-flüchtige Speichervorrichtung gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0080] [Fig. 23](#) ein Flussdiagramm ist, das ein Lösungsverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0081] [Fig. 24](#) ein Flussdiagramm ist, das ein Verfahren zur Erzeugung eines Summensignals und eines Übertragungssignals darstellt;

[0082] [Fig. 25](#) ein Blockschema eines Ripple-Carry-Kalkulators gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0083] [Fig. 26](#) ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0084] [Fig. 27](#) ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0085] [Fig. 28](#) ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0086] [Fig. 29](#) ein Diagramm ist, das Spannungen darstellt, die zu einem Speicherblock geliefert werden, wenn Speicherzellen gemäß einem Verfahren gelöscht werden, das mit Bezug auf [Fig. 8](#) bis [Fig. 13](#) beschrieben ist;

[0087] [Fig. 30](#) ein Diagramm ist, das Spannungen darstellt, die zu einem Speicherblock geliefert werden, wenn Speicherzellen gemäß einem Verfahren gelöscht werden, das mit Bezug auf [Fig. 20](#) und [Fig. 21](#) beschrieben ist;

[0088] [Fig. 31](#) ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0089] [Fig. 32](#) ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0090] [Fig. 33](#) ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0091] [Fig. 34](#) eine perspektivische Ansicht entlang einer Linie IV-IV' von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee ist;

[0092] [Fig. 35](#) eine Querschnittsansicht entlang einer Linie IV-IV' von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee ist;

[0093] [Fig. 36](#) eine Draufsicht ist, die einen Speicherblock von [Fig. 2](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0094] [Fig. 37](#) eine perspektivische Darstellung gemäß einer Linie XXXVII-XXXVII' von [Fig. 36](#) ist;

[0095] [Fig. 38](#) eine Querschnittsdarstellung entlang der Linie XXXVII-XXXVII' von [Fig. 36](#) ist;

[0096] **Fig. 39** eine Draufsicht ist, die einen der Speicherblöcke von **Fig. 2** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0097] **Fig. 40** eine perspektivische Darstellung entlang einer Linie XXXX-XXXX' von **Fig. 39** ist;

[0098] **Fig. 41** eine Querschnittsdarstellung gemäß einer Linie XXXX-XXXX' von **Fig. 39** ist;

[0099] **Fig. 42** eine Draufsicht ist, die einen der Speicherblöcke von **Fig. 2** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0100] **Fig. 43** eine perspektivische Ansicht entlang einer Linie XXXXIII-XXXXIII' von **Fig. 42** ist;

[0101] **Fig. 44** eine Draufsicht ist, die einen der Speicherblöcke von **Fig. 42** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0102] **Fig. 45** eine perspektivische Ansicht entlang einer Linie XXXXV-XXXXV' von **Fig. 44** ist;

[0103] **Fig. 46** eine Querschnittsansicht entlang einer Linie XXXXV-XXXXV' von **Fig. 44** ist;

[0104] **Fig. 47** eine Draufsicht ist, die einen Speicherblock von **Fig. 2** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0105] **Fig. 48** eine perspektivische Darstellung entlang einer Linie XXXXVIII-XXXXVIII' von **Fig. 47** ist;

[0106] **Fig. 49** eine Querschnittsansicht entlang einer Linie XXXXVIII-XXXXVIII' von **Fig. 47** ist;

[0107] **Fig. 50** ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von **Fig. 47** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0108] **Fig. 51** eine perspektivische Ansicht entlang einer Linie XXXXVIII-XXXXVIII' von **Fig. 47** ist;

[0109] **Fig. 52** eine Querschnittsdarstellung entlang einer Linie XXXXVIII-XXXXVIII' von **Fig. 47** ist;

[0110] **Fig. 53** ein Schaltplan ist, der eine Ersatzschaltung eines Abschnitts EC von **Fig. 47** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0111] **Fig. 54** ein Blockschema ist, das ein Speichersystem gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0112] **Fig. 55** ein Flussdiagramm ist, das ein Betriebsverfahren eines Speichersystems gemäß ei-

nem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0113] **Fig. 56** ein Flussdiagramm ist, das ein Betriebsverfahren eines Speichersystems gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0114] **Fig. 57** ein Flussdiagramm ist, das ein Betriebsverfahren eines Speichersystems gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0115] **Fig. 58** ein Flussdiagramm ist, das ein Betriebsverfahren eines Speichersystems gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0116] **Fig. 59** ein Flussdiagramm ist, das ein Betriebsverfahren eines Speichersystems gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0117] **Fig. 60** ein Flussdiagramm ist, das ein Betriebsverfahren eines Speichersystems gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0118] **Fig. 61** ein Flussdiagramm ist, das ein Betriebsverfahren eines Speichersystems gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0119] **Fig. 62** ein Blockschema ist, das ein Speichersystem gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0120] **Fig. 63** ein Diagramm ist, das eine Speicherkarte als elektronisches Gerät mit einer nicht-flüchtigen Speichervorrichtung und als Speichersystem gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0121] **Fig. 64** ein Diagramm ist, das ein Festzustands-Laufwerk als elektronisches Gerät mit einer nicht-flüchtigen Speichervorrichtung und als Speichersystem gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0122] **Fig. 65** ist ein Blockschema, das ein Rechensystem als elektronisches Gerät mit einer nicht-flüchtigen Speichervorrichtung und als Speichersystem gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0123] **Fig. 66** ist ein Blockschema, das ein Testsystem als elektronisches Gerät mit einer nicht-flüchtigen Speichervorrichtung und als Speichersystem gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

[0124] Fig. 67 ist ein Flussdiagramm, das ein Testverfahren eines Testsystems gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt;

AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0125] Nun wird ausführlich auf die Ausführungsformen der vorliegenden allgemeinen erfinderischen Idee Bezug genommen, für die Beispiele in den beigefügten Zeichnungen dargestellt sind, wobei gleiche Bezugszahlen durchgehend verwendet werden, um gleiche Elemente zu bezeichnen. Die Ausführungsformen werden nachstehend unter Bezugnahme auf die Figuren beschrieben, um die vorliegende allgemeine erfinderische Idee zu erklären. Diese erfinderische Idee kann jedoch in vielen verschiedenen Formen verwirklicht werden und sollte nicht als beschränkt auf die hierin aufgeführten Ausführungsformen aufgefasst werden. Diese Ausführungsformen sollen die Offenbarung vielmehr gründlich und vollständig darstellen und ferner einem Fachmann den Bereich der erfinderischen Idee vollständig darstellen. In den Zeichnungen können die Größen und relativen Größen der Schichten und Regionen um der Deutlichkeit willen übertrieben dargestellt sein. Gleiche Zahlen sind durchgehend auf gleiche Elemente bezogen.

[0126] Man beachte, dass hierin zwar die Begriffe erster/erste/erstes, zweiter/zweite/zweites, dritter/dritte/drittes usw. verwendet werden können, um verschiedene Elemente, Komponenten, Regionen, Schichten und/oder Abschnitte zu bezeichnen, diese Elemente, Komponenten, Regionen, Schichten und/oder Abschnitte jedoch nicht als beschränkt auf diese Begriffe aufgefasst werden sollten. Diese Begriffe werden nur verwendet, um ein Element, eine Komponente, eine Region, eine Schicht oder einen Abschnitt von einer anderen Region oder Schicht oder einem anderen Abschnitt zu unterscheiden. Somit könnte ein erstes Element, eine erste Komponente, Region oder Schicht oder ein erster Abschnitt auch als zweites Element, zweite Komponente, Region oder Schicht oder zweiter Abschnitt bezeichnet werden, ohne von den Lehren der erfinderischen Idee abzuweichen.

[0127] Begriffe, die eine räumliche Beziehung bezeichnen, wie „unterer/-e/-es“, „unten“, „darunter“, „unterhalb“, „über“, „oberer/-e/-es“ und dergleichen, können hierin verwendet werden, um die Beschreibung zu erleichtern, um ein Element oder eine räumliche Beziehung eines Merkmals zu einem oder mehreren anderen Element(en) oder Merkmal(en) zu beschreiben, die in den Figuren dargestellt sind. Man beachte, dass die Ausdrücke, die eine räumliche Beziehung bezeichnen, zusätzlich zu der Ausrichtung, die in den Figuren dargestellt ist, auch andere Ausrichtungen der Vorrichtung im Gebrauch oder im Be-

trieb umfassen sollen. Wenn die Vorrichtung in den Figuren zum Beispiel umgedreht wird, wären dann Elemente, die als „unter“ oder „darunter“ oder „unterer/-e/-es“ im Vergleich zu anderen Elementen oder Merkmalen beschrieben werden, bei dieser Ausrichtung „über“ den anderen Elementen oder Merkmalen angeordnet. Somit können z. B. die Ausdrücke „unter“ und „unterer/-e/-es“ sowohl eine Ausrichtung nach oben als auch eine Ausrichtung nach unten umfassen. Die Vorrichtung kann auf andere Weise ausgerichtet (um 90 Grad gedreht oder anders ausgerichtet) werden, und die hierin verwendeten Bezeichnungen für eine räumliche Beziehung können entsprechend interpretiert werden. Außerdem ist zu beachten, dass eine Schicht, von der gesagt wird, dass sie „zwischen“ zwei Schichten liegt, die einzige Schicht sein kann, die zwischen den beiden Schichten liegt, oder dass außerdem eine oder mehrere Zwischenschichten vorhanden sein können.

[0128] Die hierin verwendete Terminologie dient lediglich der Beschreibung bestimmter Ausführungsformen und soll die erfinderische Idee nicht beschränken. Wie hierin verwendet, sollen die Einzahlformen „ein/eine/ein“ und „der/die/das“ auch die Pluralformen umfassen, solange der Kontext nicht klar etwas anderes nahelegt. Ferner ist zu beachten, dass die Begriffe „aufweist“ und/oder „aufweisen“ bzw. „beinhalten“, wenn sie in dieser Schrift verwendet werden, das Vorhandensein der angegebenen Merkmale, ganzen Zahlen, Schritte, Operationen, Elemente und/oder Komponenten bezeichnen, aber das Vorhandensein oder die Hinzufügung von einem/einer oder mehreren anderen Merkmalen, ganzen Zahlen, Schritten, Operationen, Elementen, Komponenten und/oder Gruppen davon nicht ausschließen. Wie hierin verwendet, bezeichnet der Begriff „und/oder“ beliebige und alle Kombinationen aus einem oder mehreren der im Zusammenhang damit aufgelisteten Gegenstände.

[0129] Man beachte, dass eine Bezeichnung eines Elements oder einer Schicht als „auf oder „verbunden mit“ einem anderen Element oder einer anderen Schicht oder „angefügt an“ oder „angrenzend an“ ein anderes Element oder eine andere Schicht bedeutet, dass es direkt auf oder direkt verbunden mit dem anderen Element oder der anderen Schicht sein kann oder direkt an das andere Element oder die andere Schicht angefügt sein oder angrenzen kann oder dass Zwischenelemente oder -schichten vorhanden sein können. Wenn ein Element dagegen als „direkt auf“ oder „direkt verbunden mit“ einem anderen Element oder einer anderen Schicht oder als „direkt angefügt an“ oder „unmittelbar angrenzend an“ ein anderes Element oder eine andere Schicht bezeichnet wird, sind keine Zwischenelemente oder -schichten vorhanden.

[0130] Solange nichts anderes definiert ist, haben alle Begriffe (einschließlich von technischen und wis-

senschaftlichen Begriffen), die hierin verwendet werden, die gleiche Bedeutung, in der sie von einem Durchschnittsfachmann auf dem Gebiet, zu dem die erfinderische Idee gehört, verstanden werden. Man beachte ferner, dass Ausdrücke wie solche, die in herkömmlich verwendeten Wörterbüchern verwendet werden, in der Bedeutung verstanden werden sollen, die mit ihrer Bedeutung im Kontext der verwandten Technik und/oder der vorliegenden Schrift konsistent ist, und nicht in einem idealisierten oder übermäßig formalen Sinn interpretiert werden sollten, solange hierin nicht ausdrücklich etwas anderes angegeben ist.

[0131] Der Begriff „ausgewählte Bitleitung“ oder „ausgewählte Bitleitungen“ kann verwendet werden, um eine Bitleitung oder mehrere Bitleitungen zu bezeichnen, die mit einem Zellentransistor, der programmiert oder gelesen werden soll, verbunden ist bzw. sind. Der Begriff „nicht ausgewählte Bitleitung“ oder „nicht ausgewählte Bitleitungen“ kann verwendet werden, um unter einer Mehrzahl von Bitleitungen eine oder mehrere Bitleitungen zu bezeichnen, die mit einem Zellentransistor, dessen Programmierung oder Lesung gehemmt ist, verbunden ist bzw. sind.

[0132] Der Begriff „ausgewählte Folgensteuerungsleitung“ kann verwendet werden, um unter einer Mehrzahl von Folgensteuerungsleitungen eine Folgensteuerungsleitung zu bezeichnen, die mit einer Zellenfolge verbunden ist, die einen Zellentransistor aufweist, der programmiert oder gelesen werden soll. Der Begriff „nicht ausgewählte Folgensteuerungsleitung“ oder „nicht ausgewählte Folgensteuerungsleitungen“ kann verwendet werden, um unter einer Mehrzahl von Folgensteuerungsleitungen eine oder mehrere verbliebene Folgensteuerungsleitungen zu bezeichnen, bei der bzw. bei denen es sich nicht um die ausgewählte Folgensteuerungsleitung handelt. Der Begriff „ausgewählte Folgensteuerungstransistoren“ kann verwendet werden, um Folgensteuerungstransistoren zu bezeichnen, die mit einer ausgewählten Folgensteuerungsleitung verbunden sind. Der Begriff „nicht ausgewählte Folgensteuerungstransistoren“ kann verwendet werden, um Folgensteuerungstransistoren zu bezeichnen, die mit einer oder mehreren nicht ausgewählten Folgensteuerungsleitungen verbunden sind.

[0133] Der Begriff „ausgewählte Masseansteuerungsleitung“ kann verwendet werden, um unter einer Mehrzahl von Masseansteuerungsleitungen eine Masseansteuerungsleitung zu bezeichnen, die mit einer Zellenfolge verbunden ist, die einen Zellentransistor aufweist, der programmiert oder gelesen werden soll. Der Begriff „nicht ausgewählte Masseansteuerungsleitung“ kann verwendet werden, um unter einer Mehrzahl von Masseansteuerungsleitungen eine oder mehrere verbliebene Masseansteuerungs-

leitungen zu bezeichnen, bei der bzw. bei denen es sich nicht die ausgewählte Masseansteuerungsleitung handelt. Der Begriff „ausgewählte Masseansteuerungstransistoren“ kann verwendet werden, um Masseansteuerungstransistoren zu bezeichnen, die mit einer ausgewählten Masseansteuerungsleitung verbunden sind. Der Begriff „nicht ausgewählte Masseansteuerungstransistoren“ kann verwendet werden, um Masseansteuerungstransistoren zu bezeichnen, die mit einer oder mehreren nicht ausgewählten Masseansteuerungsleitungen verbunden sind.

[0134] Der Begriff „nicht ausgewählte Wortleitung“ kann verwendet werden, um unter einer Mehrzahl von Wortleitungen eine Wortleitung zu bezeichnen, die programmiert oder gelesen werden soll. Der Begriff „nicht ausgewählte Wortleitung“ oder „nicht ausgewählte Wortleitungen“ kann verwendet werden, um unter einer Mehrzahl von Wortleitungen eine oder mehrere verbliebene Wortleitungen zu bezeichnen, bei der bzw. bei denen es sich nicht um eine ausgewählte Wortleitung handelt.

[0135] Der Begriff „ausgewählte Speicherzelle“ oder „ausgewählte Speicherzellen“ kann verwendet werden, um unter einer Mehrzahl von Speicherzellen Speicherzellen zu bezeichnen, die programmiert oder gelesen werden sollen. Der Begriff „nicht ausgewählte Speicherzelle“ oder „nicht ausgewählte Speicherzellen“ kann verwendet werden, um unter einer Mehrzahl von Speicherzellen eine oder mehrere verbliebene Speicherzellen zu bezeichnen, bei der bzw. bei denen es sich nicht um eine ausgewählte Speicherzelle oder um ausgewählte Speicherzellen handelt.

[0136] Beispiele für Ausführungsformen der erfinderischen Idee werden mit Bezug auf einen NAND-Flash-Speicher beschrieben. Jedoch ist die erfinderische Idee nicht darauf beschränkt. Die erfinderische Idee kann auf nicht-flüchtige Speichervorrichtungen, wie ein elektrisch löschbares und programmierbares ROM (EEPROM), einen NOR-Flash-Speicher, ein Phasenänderungs-RAM (PRAM), ein magnetisches RAM (MRAM), ein resistives RAM (RRAM), ein ferroelektrisches RAM (FRAM) usw. angewendet werden.

[0137] [Fig. 1](#) ist ein Blockschema, das eine nicht-flüchtige Speichervorrichtung **100** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 1](#) dargestellt ist, kann die nicht-flüchtige Speichervorrichtung **100** ein Speicherzellen-Array **110**, eine Adressen-Decodierungseinheit **120**, eine Seitenspeichereinheit **130**, eine Daten-Eingabe-/Ausgabereinheit (I/O) **140**, eine Zählereinheit **150**, eine Pass/Fail (P/F)-Überprüfungseinheit **160** und eine Steuerlogik **170** aufweisen. Die Adressen-Decodierungseinheit **120**, die Seitenspeichereinheit **130**, die Daten-Eingabe-/Ausgabereinheit **140**, die Zählereinheit **150**, die Pass/Fail-Überprüfungseinheit **160** und die

Steuerlogik **170** können als Steuereinheit zum Steuern des Speicherzellen-Array **110** bezeichnet werden.

[0138] Das Speicherzellen-Array **100** kann eine Mehrzahl von Speichereinheiten mit einer Mehrzahl von Speicherzellen beinhalten. Die Mehrzahl von Speichereinheiten kann eine Mehrzahl von Zellenfolgen sein, die in einer Zeilenrichtung und einer Spaltenrichtung auf einem Substrat angeordnet sind. Jede Zellenfolge kann eine Mehrzahl von Speicherzellen aufweisen, die in senkrechter Richtung zum Substrat gestapelt sind. Das heißt, Speicherzellen können in Zeilen und Spalten am Substrat vorgesehen sein und senkrecht zum Substrat gestapelt sein, um eine dreidimensionale Struktur zu bilden. Das Speicherzellen-Array **110** kann mehrere Speicherzellen aufweisen, die jeweils eines oder mehrere Datenbits speichern.

[0139] Die Adressen-Decodierungseinheit **120** kann über Wortleitungen WL, Folgenansteuerungsleitungen SSL und Masseansteuerungsleitungen GSL mit dem Speicherzellen-Array **110** verbunden sein. Die Adressen-Decodierungseinheit **120** kann so gestaltet sein, dass sie ansprechend auf die Steuerung der Steuerlogik **170** arbeitet. Die Adressen-Decodierungseinheit **120** kann eine Eingangsadresse ADDR von einer externen Vorrichtung empfangen.

[0140] Die Adressen-Decodierungseinheit **120** kann so gestaltet sein, dass sie eine Zeilenadresse der eingegebenen Adresse ADDR decodiert. Die Adressen-Decodierungseinheit **120** kann so gestaltet sein, dass sie unter den Wortleitungen WL eine Wortleitung auswählt, die der decodierten Zeilenadresse entspricht. Die Adressen-Decodierungseinheit **120** kann so gestaltet sein, dass sie unter den Folgenansteuerungsleitungen SSL und den Masseansteuerungsleitungen GSL eine Folgenansteuerungsleitung und eine Masseansteuerungsleitung auswählt, die der decodierten Zeilenadresse entspricht.

[0141] Die Adressen-Decodierungseinheit **120** kann so gestaltet sein, dass sie unter der eingegebenen Adresse ADDR eine Spaltenadresse decodiert. Die Adressen-Decodierungseinheit **120** kann die decodierte Spaltenadresse DCA in die Seitenspeichereinheit **130** überführen.

[0142] Die Adressen-Decodierungseinheit **120** kann so gestaltet sein, dass sie ein Vorab-Lesesignal PRS von der Steuerlogik **170** empfängt. Wenn das Vorab-Lesesignal PRS aktiviert ist, kann die Adressen-Decodierungseinheit **120** Spannungen zum Vorab-Lesen an die Folgenansteuerungsleitungen SSL, die Wortleitungen WL und die Masseansteuerungsleitungen GSL liefern.

[0143] Die Adressen-Decodierungseinheit **120** kann gemäß der Steuerung durch die Steuerlogik **170** Spannungen zum Löschen, Schreiben und Lesen an die Folgenansteuerungsleitungen SSL, die Wortleitungen WL und die Masseansteuerungsleitungen GSL liefern.

[0144] Obwohl in [Fig. 1](#) nicht dargestellt, kann die Adressen-Decodierungseinheit **120** in dieser Ausführungsform einen Zeilen-Decoder, der so gestaltet ist, dass er eine Zeilenadresse decodiert, einen Spalten-Decoder, der so gestaltet ist, dass er eine Spaltenadresse decodiert, einen Adressenpufferspeicher bzw. Adressenspeicher, der so gestaltet ist, dass er die Eingabeadresse ADDR speichert, und dergleichen aufweisen.

[0145] Die Seitenspeichereinheit **130** kann über die Bitleitungen BL mit dem Speicherzellen-Array **110** verbunden sein. Die Seitenspeichereinheit **130** kann ansprechend auf die Steuerung durch die Steuerlogik **170** arbeiten. Die Seitenspeichereinheit **130** kann die decodierte Spaltenadresse DCA von der Adressen-Decodierungseinheit **120** empfangen. Die Seitenspeichereinheit **130** kann die Bitleitungen BL ansprechend auf die decodierte Spaltenadresse DCA empfangen.

[0146] Die Seitenspeichereinheit **130** kann mit der Adressen-Decodierungseinheit **120** Lese- und Schreiboperationen durchführen. Das Lesen und Beschreiben des Speicherzellen-Array **110** kann durch Steuern der Folgenansteuerungsleitungen SSL, der Wortleitungen WL und der Masseansteuerungsleitungen GSL über die Adressen-Decodierungseinheit **120** und durch Steuern der Bitleitungen BL über die Seitenspeichereinheit **130** durchgeführt werden.

[0147] Die Seitenspeichereinheit **130** kann (nicht dargestellte) Auffangregister bzw. Latches aufweisen, die den jeweiligen Bitleitungen BL entsprechen. Daten, die in das Speicherzellen-Array **110** geschrieben werden sollen, können in die Auffangregister der Seitenspeichereinheit **130** geladen werden. Daten, die aus dem Speicherzellen-Array **110** ausgelesen werden, können in den Auffangregistern der Seitenspeichereinheit **130** gespeichert werden.

[0148] Die Seitenspeichereinheit **130** kann Daten über Datenleitungen DL empfangen. Die Daten, die in die Seitenspeichereinheit **130** eingegeben worden sind, können in das Speicherzellen-Array **110** geschrieben werden. Die Seitenspeichereinheit **130** kann Daten aus dem Speicherzellen-Array **110** lesen, um die ausgelesenen Daten über die Datenleitungen DL an die Daten-Eingabe-/Ausgabereinheit **140** auszugeben. Die Seitenspeichereinheit **130** kann Daten speichern, die aus einem ersten Speicherbereich des Speicherzellen-Array **110** ausgelesen werden. Die in der Seitenspeichereinheit **130** gespeicherten Daten

können in einen zweiten Speicherbereich geschrieben werden. Das heißt, es kann ein Rückkopieroperation durchgeführt werden

[0149] Die Seitenspeichereinheit **130** kann die gelesenen Daten als Leseergebnis RR ausgeben. Beispielsweise kann die Seitenspeichereinheit **130** die gelesenen Daten in einer Lösungsverifizierungsoperation ausgeben oder die gelesenen Daten in einer Schreibverifizierungsoperation als Leseergebnis RR ausgeben.

[0150] Die Seitenspeichereinheit **130** kann so gestaltet sein, dass sie das Vorab-Lesesignal PRS von der Steuerlogik **170** empfängt. Wenn das Vorab-Lesesignal PRS aktiviert ist, kann die Seitenspeichereinheit **130** mit der Adressen-Decodierungseinheit **120** eine Vorab-Lesung durchführen. Daten, die bei der Vorab-Lesung gelesen werden, können als das Leseergebnis RR ausgegeben werden.

[0151] Die Daten-Eingabe-/Ausgabereinheit **140** kann über die Datenleitungen DL mit der Seitenspeichereinheit **130** verbunden sein. Die Daten-Eingabe-/Ausgabereinheit **140** kann so gestaltet sein, dass sie Daten mit einer externen Vorrichtung austauscht. Die Daten-Eingabe-/Ausgabereinheit kann Daten, die aus der Seitenspeichereinheit **130** übertragen werden, über die Datenleitungen DL an die externe Vorrichtung ausgeben. Die Daten-Eingabe-/Ausgabereinheit **140** kann Daten, die von der externen Vorrichtung eingegeben werden, über die Datenleitungen DL in die Seitenspeichereinheit **130** übertragen.

[0152] Die Zählereinheit **150** kann so gestaltet sein, dass sie das Leseergebnis RR von der Seitenspeichereinheit **130** empfängt und das Vorablesesignal PRS von der Steuerlogik **170** empfängt. Die Zählereinheit **150** kann so gestaltet sein, dass sie bei Aktivierung des Vorablesesignals PRS aufgrund des Leseergebnisses RR zählt, um einen Zählwert CV zu erzeugen, der an die Steuerlogik **170** gesendet wird.

[0153] Die Pass/Fail-Zählereinheit **160** kann so gestaltet sein, dass sie das Leseergebnis RR von der Seitenspeichereinheit **130** empfängt. Die Pass/Fail-Zählereinheit **160** kann so gestaltet sein, dass sie bei der Lösungsverifizierungsoperation oder der Schreibverifizierungsoperation ein Signal PASS, das ein Gelingen anzeigt, oder ein Signal FAIL, das einen Fehlschlag anzeigt, auf Basis des Leseergebnisses RR ausgibt.

[0154] Die Steuerlogik **170** kann so gestaltet sein, dass sie einen Betrieb der nichtflüchtigen Speichereinheit **100** insgesamt steuert. Die Steuerlogik **170** kann so gestaltet sein, dass sie das Vorab-Lesesignal PRS erzeugt. Die Steuerlogik **170** kann den Zählwert CV von der Zählereinheit **150** und das PASS- oder FAIL-Signal, das ein Gelingen bzw. einen Fehlschlag

anzeigt, von der Pass/Fail-Zählereinheit **160** empfangen. Die Steuerlogik **170** kann den Zählwert CV mit einem Wert vergleichen, der in einem Register REG1 gespeichert ist, um die Löschoption gemäß dem Ergebnis eines Vergleichs zwischen dem Zählwert CV und dem Wert, der im Register REGT gespeichert ist, zu steuern. Die Steuerlogik **170** kann eine Löschoption ansprechend auf das von der Pass/Fail-Zählereinheit **160** eingegebene PASS- oder FAIL-Signal, das ein Gelingen bzw. einen Fehlschlag anzeigt, steuern.

[0155] Die Steuerlogik **170** kann gemäß Steuersignalen CTRL und einem Befehl CMD, der von der externen Vorrichtung eingegeben wird, arbeiten.

[0156] [Fig. 2](#) ist ein Diagramm, das ein Speicherzellen-Array **110** von [Fig. 1](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 1](#) und [Fig. 2](#) dargestellt ist, kann das Speicherzellen-Array **110** eine Mehrzahl von Speicherblöcken BLK1 bis BLKz aufweisen, die jeweils so ausgebildet sind, dass sie eine dreidimensionale Struktur (oder eine vertikale Struktur) aufweisen. Beispielsweise kann jeder von den Speicherblöcken BLK1 bis BLKz Strukturen aufweisen, die sich in einer ersten Richtung bis einer dritten Richtung erstrecken. Obwohl dies in [Fig. 2](#) nicht dargestellt ist, kann jeder der Speicherblöcke BLK1 bis BLKz eine Mehrzahl von Zellenfolgen aufweisen, die sich in einer zweiten Richtung erstrecken. Obwohl dies in [Fig. 2](#) nicht dargestellt ist, kann eine Mehrzahl von Zellenfolgen entlang den ersten Richtungen bis dritten Richtungen voneinander beabstandet sein.

[0157] Zellenfolgen innerhalb eines einzigen Speicherblocks können mit einer Mehrzahl von Bitleitungen BL, einer Mehrzahl von Folgenansteuerungsleitungen SSL, einer Mehrzahl von Wortleitungen WL, einer oder mehreren Masseansteuerungsleitungen GSL und einer gemeinsamen (nicht dargestellten) Source-Leitung verbunden sein. Zellenfolgen in der Mehrzahl von Speicherblöcken BLK1 bis BLKz können sich eine Mehrzahl von Bitleitungen teilen. Beispielsweise kann sich die Mehrzahl von Bitleitungen in der zweiten Richtung erstrecken, so dass sie von der Mehrzahl von Speicherblöcken BLK1 bis BLKz gemeinsam genutzt werden kann.

[0158] Die Mehrzahl von Speicherblöcken BLK1 bis BLKz kann durch die Adressen-Decodierungseinheit **120** von [Fig. 1](#) ausgewählt werden. Beispielsweise kann die Adressen-Decodierungseinheit **120** so gestaltet sein, dass sie von der Mehrzahl von Speicherblöcken BLK1 bis BLKz einen Speicherblock auswählt, der einer Eingangsadresse ADDR entspricht. An einem ausgewählten Speicherblock kann ein Löschen, Programmieren und Lesen durchgeführt werden. Die Mehrzahl von Speicherblöcken BLK1 bis BLKz wird mit Bezug auf [Fig. 3](#) bis [Fig. 6](#) ausführlicher beschrieben.

[0159] Fig. 3 ist ein Flächendiagramm, das einen Speicherblock BLKa von den Speicherblöcken von Fig. 1 gemäß einem Ausführungsbeispiel der erfinderschen Idee zeigt. Fig. 4 ist eine perspektivische Darstellung entlang einer Linie IV-IV' von Fig. 3 gemäß einem Ausführungsbeispiel der erfinderschen Idee. Fig. 5 ist eine Querschnittsdarstellung entlang einer Linie IV-IV' von Fig. 3 gemäß einem Ausführungsbeispiel der erfinderschen Idee.

[0160] Wie in Fig. 3 bis Fig. 5 dargestellt ist, können dreidimensionale Strukturen vorgesehen sein, die sich in den Richtungen eins bis drei erstrecken.

[0161] Es ist ein Substrat 111 vorgesehen. Das Substrat 111 kann beispielsweise eine Wanne sein, die eine erste Art von Leitfähigkeit aufweist. Das Substrat 111 kann eine p-Wanne sein, in die das Element der Gruppe III, beispielsweise Bor, injiziert ist. Das Substrat 111 kann eine Taschen-p-Wanne sein, die innerhalb einer n-Wanne vorgesehen ist. Im Folgenden wird angenommen, dass das Substrat 111 eine p-Wanne (oder eine Taschen-p-Wanne) ist. Jedoch ist das Substrat nicht darauf beschränkt. Das Substrat 111 kann ein Substrat von einer anderen Art als ein Substrat vom P-Typ sein.

[0162] Eine Mehrzahl von gemeinsamen Source-Regionen CSR, die sich in der ersten Richtung erstrecken, kann im Substrat 111 vorgesehen sein. Die gemeinsamen Source-Regionen CSR können in der zweiten Richtung voneinander beabstandet sein. Die gemeinsamen Source-Regionen CSR können miteinander verbunden sein, um eine gemeinsame Source-Leitung zu bilden.

[0163] Die gemeinsamen Source-Regionen CSR können eine Leitfähigkeit einer zweiten Art aufweisen, die sich von der des Substrats 111 unterscheidet. Beispielsweise können die gemeinsamen Source-Regionen CSR zum n-Typ gehören. Nachstehend wird angenommen, dass die gemeinsamen Source-Regionen CSR zum n-Typ gehören. Jedoch sind die gemeinsamen Source-Regionen CSR nicht darauf beschränkt. Die gemeinsamen Source-Regionen CSR können von einer anderen Art als der n-Typ sein.

[0164] Zwischen zwei benachbarten Regionen der gemeinsamen Source-Regionen CSR kann in der dritten Richtung (d. h. einer Richtung, die senkrecht ist zum Substrat 111) eine Mehrzahl von hintereinander liegenden Isoliermaterialien 112 und 112a am Substrat 111 vorgesehen sein. Die Isoliermaterialien 112 und 112a können in der dritten Richtung voneinander beabstandet sein. Die Isoliermaterialien 112 und 112a können sich in der ersten Richtung erstrecken. Beispielsweise können die Isoliermaterialien 112 und 112a ein Isoliermaterial wie eine Halbleiter-Oxidschicht beinhalten. Eine Dicke des Isoliermateri-

als 112a, welches mit dem Substrat 111 Kontakt hat, kann geringer sein als die der anderen Isoliermaterialien 112.

[0165] Zwischen zwei benachbarten Regionen der gemeinsamen Source-Regionen CSR kann eine Mehrzahl von Säulen PL hintereinander in der ersten Richtung so angeordnet sein, dass sie in der zweiten Richtung durch die Mehrzahl von Isoliermaterialien 112 und 112a hindurch verlaufen. Beispielsweise können die Säulen PL durch die Isoliermaterialien 112 und 112a hindurch mit dem Substrat 111 in Kontakt stehen.

[0166] In einem Ausführungsbeispiel können die Säulen PL zwischen zwei benachbarten gemeinsamen Source-Regionen in der ersten Richtung voneinander beabstandet sein. Die Säulen PL können in der ersten Richtung in einer Reihe angeordnet sein.

[0167] In einem Ausführungsbeispiel können die Säulen PL jeweils aus einer Mehrzahl von Materialien gebildet sein. Jede der Säulen PL kann eine Kanalschicht 114 und ein inneres Material 115 innerhalb der Kanalschicht 114 aufweisen.

[0168] Die Kanalschichten 114 können ein Halbleitermaterial (z. B. Silicium) mit einer Leitfähigkeit von einer ersten Art aufweisen. Beispielsweise können die Kanalschichten 114 ein Halbleitermaterial (z. B. Silicium) beinhalten, dessen Leitfähigkeit zur gleichen Art gehört wie die des Substrats 111. Die Kanalschichten 114 können einen intrinsischen Halbleiter aufweisen, der ein Nicht-Leiter bzw. Isolator ist.

[0169] Die inneren Materialien 115 können ein Isoliermaterial beinhalten. Beispielsweise können die inneren Materialien 115 ein Isoliermaterial wie Siliciumoxid aufweisen. Alternativ dazu können die inneren Materialien 115 einen Luftspalt aufweisen.

[0170] Zwischen zwei benachbarten Regionen der gemeinsamen Source-Regionen CSR können Informationsspeicherschichten 116 an freiliegenden Oberflächen der Isoliermaterialien 112 und 112a und der Säulen PL vorgesehen sein. Die Informationsspeicherschichten 116 können Informationen durch Einfangen oder Entladen von Ladungen speichern.

[0171] Zwischen zwei benachbarten gemeinsamen Source-Regionen und zwischen den Isoliermaterialien 112 und 112a können leitende Materialien CM1 bis CM8 an freiliegenden Oberflächen der Informationsspeicherschichten 116 vorgesehen sein. Die leitenden Materialien CM1 bis CM8 können sich in der ersten Richtung erstrecken. Die leitfähigen Materialien CM1 bis CM8 auf den gemeinsamen Source-Regionen CSR können durch Wortleitungsunterbrechungen voneinander getrennt sein. Die gemeinsamen Source-Regionen CSR können durch die Wort-

leitungsunterbrechungen freigelegt sein. Die Wortleitungsunterbrechungen können sich in der ersten Richtung erstrecken.

[0172] In einem Ausführungsbeispiel können die leitenden Materialien CM1 bis CM8 ein metallisches leitfähiges Material beinhalten. Die leitfähigen Materialien CM1 bis CM8 können ein nicht-metallisches leitfähiges Material wie Polysilicium beinhalten.

[0173] In einem Ausführungsbeispiel können Informationsspeicherschichten **116** entfernt werden, die an einer Oberseite desjenigen Isoliermaterials, das unter den Isoliermaterialien an der obersten Schicht angeordnet ist, vorgesehen sind. Beispielsweise können Informationsspeicherschichten entfernt werden, die an denjenigen Seiten von den Seiten der Isoliermaterialien **112** und **112a** vorgesehen sind, die den Säulen PL gegenüber liegen.

[0174] Eine Mehrzahl von Drains **320** kann jeweils an der Mehrzahl von Säulen PL vorgesehen sein. Die Drains **320** können ein Halbleitermaterial (z. B. Silicium) aufweisen, das beispielsweise eine Leitfähigkeit der zweiten Art aufweist. Die Drains **320** können ein Halbleitermaterial (z. B. Silicium) vom n-Typ aufweisen. Nachstehend wird angenommen, dass die Drains **320** Silicium vom n-Typ aufweisen. Jedoch ist die vorliegende Erfindung nicht darauf beschränkt. Die Drains **320** können bis zur Oberseite der Kanalschichten **114** der Säulen PL reichen.

[0175] Bitleitungen BL, die in der zweiten Richtung verlaufen, können an den Drains **320** so vorgesehen sein, dass sie in der ersten Richtung voneinander beabstandet sind. Die Bitleitungen BL können mit den Drains **320** verbunden sein. In dieser Ausführungsform können die Drains **320** und die Bitleitungen BL über Steckkontakte (nicht dargestellt) miteinander verbunden sein. Die Bitleitungen BL können ein metallisches leitendes Material aufweisen. Alternativ dazu können die Bitleitungen BL ein nicht-metallisches leitendes Material wie Polysilicium aufweisen.

[0176] Im Folgenden können die leitenden Materialien CM1 bis CM8 gemäß einem Abstand zum Substrat auf einer ersten Höhe bis einer achten Höhe **111** angeordnet sein.

[0177] Die Mehrzahl von Säulen PL kann zusammen mit den Informationsspeicherschichten **116** und der Mehrzahl von leitfähigen Materialien CM1 bis CM8 eine Mehrzahl von Zellenfolgen bilden. Jede der Säulen PL kann mit einer Informationsspeicherschicht **116** und einem benachbarten leitfähigen Material CMi eine Zellenfolge bilden (wobei i eines von 1 bis 8 ist).

[0178] Die Säulen PL können in Zeilen- und Spaltenrichtungen auf dem Substrat **111** angeordnet sein. Die achten leitfähigen Materialien CM8 können Zei-

len bilden. Säulen, die mit dem gleichen leitfähigen Material von den achten leitfähigen Materialien CM8 verbunden sind, können eine Zeile bilden. Die Bitleitungen BL können Spalten bilden. Säulen, die mit der gleichen Bitleitung von den Bitleitungen BL verbunden sind, können eine Spalte bilden. Die Säulen PL können zusammen mit den Informationsspeicherschichten **116** und der Mehrzahl von leitfähigen Materialien CM1 bis CM8 eine Mehrzahl von Folgen bilden, die in Zeilen- und Spaltenrichtungen angeordnet sind. Jede Zellenfolge kann eine Mehrzahl von Zellentransistoren CT aufweisen, die in senkrechter Richtung zum Substrat **111** gestapelt sind.

[0179] Fig. 6 ist ein Diagramm, das einen der Zellentransistoren CT von Fig. 5 darstellt. Wie in Fig. 3 bis Fig. 6 dargestellt ist, können die Zellentransistoren CT aus leitfähigen Materialien CM1 bis CM8, Säulen PL und Informationsspeicherschichten **116**, die zwischen den leitfähigen Materialien CM1 bis CM8 und den Säulen PL vorgesehen sind, gebildet sein.

[0180] Die Informationsspeicherschichten **116** können sich von Regionen zwischen den leitfähigen Materialien CM1 bis CM8 und den Säulen PL bis zu Oberseiten und Unterseiten der leitfähigen Materialien CM1 bis CM8 erstrecken. Jede der Informationsspeicherschichten **116** kann erste bis dritte Unterisolierschichten **117**, **118** und **119** aufweisen.

[0181] In den Zellentransistoren CT können die Kanalschichten **114** der Säulen PL das gleiche Silicium vom p-Typ aufweisen wie das Substrat **111**. Die Kanalschichten **114** können als Bodies bzw. Substrate von Zellentransistoren CT dienen. Die Kanalschichten **114** können in senkrechter Richtung zum Substrat **111** ausgebildet sein. Die Kanalschichten **114** der Säulen PL können als vertikales Substrat dienen. Vertikale Kanäle können an den Kanalschichten **114** ausgebildet sein.

[0182] Die ersten Unterisolierschichten **117**, die an die Säulen PL angrenzen, können als Tunnellingisolierschichten der Zellentransistoren CT dienen. Beispielsweise können die ersten Unterisolierschichten **117** jeweils eine thermische Oxidschicht aufweisen. Die ersten Unterisolierschichten **117** können jeweils eine Siliciumoxidschicht aufweisen.

[0183] Die zweiten Unterisolierschichten **118** können als Ladungsspeicherschichten der Zellentransistoren CT dienen. Beispielsweise können die zweiten Unterisolierschichten **118** jeweils als Ladungsfallenschichten dienen. Beispielsweise können die zweiten Unterisolierschichten **118** jeweils eine Nitridschicht oder eine Metalloxidschicht aufweisen.

[0184] Die dritten Unterisolierschichten **119**, die an die leitenden Materialien CM1 bis CM8 angrenzen, können als Sperrisolierschichten der Zellentransisto-

ren CT dienen. In dieser Ausführungsform können die dritten Unterisolierschichten **119** aus einer einzigen Schicht oder aus mehreren Schichten gebildet sein. Die dritten Unterisolierschichten **119** können eine hoch-dielektrische Schicht (z. B. eine Aluminiumoxidschicht, eine Hafniumoxidschicht usw.) mit einer dielektrischen Konstante, die größer ist als diejenige der ersten und zweiten Unterisolierschichten **117** und **118**, sein. Die dritten Unterisolierschichten **119** können jeweils eine Siliciumoxidschicht beinhalten.

[0185] In dieser Ausführungsform können die ersten bis dritten Unterisolierschichten **117** bis **119** ONA (Oxid-Nitrid-Aluminium-Oxid) oder ONO (Oxid-Nitrid-Oxid) bilden.

[0186] Die Mehrzahl von leitenden Materialien CM1 bis CM8 kann als Gate (bzw. als Steuer-Gate) dienen.

[0187] Das heißt, die Mehrzahl von leitenden Materialien CM1 bis CM8, die als Gates (bzw. als Steuer-Gates) dienen, die dritten Unterisolierschichten **119**, die als Sperrisolierschichten dienen, die zweiten Unterisolierschichten **118**, die als Ladungsspeicherschichten dienen, die ersten Unterisolierschichten **117**, die als Tunnellungsisolierschichten dienen, und die Kanalschichten **114**, die als vertikale Substrate dienen, können Zellentransistoren CT bilden, die in senkrechter Richtung zum Substrat **111** gestapelt sind. Beispielsweise können die Zellentransistoren CT ein Zellentransistor von der Art einer Ladungsfalle sein.

[0188] Die Zellentransistoren CT können entsprechend ihrer Höhe für verschiedene Zwecke verwendet werden. Beispielsweise können von den Zellentransistoren CT Zellentransistoren, die zumindest auf einer Höhe liegen und die an einem oberen Abschnitt angeordnet sind, als Folgenansteuerungstransistoren verwendet werden. Folgenansteuerungstransistoren können so gestaltet sein, dass sie Schaltoperationen zwischen den Zellenfolgen und Bitleitungen durchführen. Von den Zellentransistoren CT können Zellentransistoren, die zumindest auf einer Höhe liegen und die an einem unteren Abschnitt angeordnet sind, als Masseansteuerungstransistoren verwendet werden. Masseansteuerungstransistoren können so gestaltet sein, dass sie Schaltoperationen zwischen Zellenfolgen und einer gemeinsamen Source-Leitung, die aus gemeinsamen Source-Regionen CSR gebildet ist, durchführen. Zellentransistoren zwischen Zellentransistoren, die als Folgen- oder Masseansteuerungstransistoren verwendet werden, können als Speicherzellen und als Speicherleerzellen verwendet werden.

[0189] Die leitenden Materialien CM1 bis CM8 können sich in der ersten Richtung so erstrecken, dass sie mit der Mehrzahl von Säulen PL verbunden

sind. Die leitenden Materialien CM1 bis CM8 können Leiterbahnen darstellen, die Zellentransistoren CT der Säulen PL miteinander verbinden. In dieser Ausführungsform können die leitenden Materialien CM1 bis CM8 entsprechend ihrer Höhe als Folgenansteuerungsleitung, als Masseansteuerungsleitung, als Wortleitung oder als Wortleerleitung verwendet werden.

[0190] Leiterbahnen, die als Folgenansteuerungstransistoren verwendete Zellentransistoren miteinander verbinden, können als Folgenansteuerungsleitungen verwendet werden. Leiterbahnen, die als Masseansteuerungstransistoren verwendete Zellentransistoren miteinander verbinden, können als Masseansteuerungsleitungen verwendet werden. Leiterbahnen, die als Speicherzellen verwendete Zellentransistoren miteinander verbinden, können als Wortleitungen verwendet werden. Leiterbahnen, die als Speicherleerzellen verwendete Zellentransistoren miteinander verbinden, können als Wortleerleitungen verwendet werden.

[0191] [Fig. 7](#) ist ein Schaltplan, der eine Ersatzschaltung eines Abschnitts EC einer Draufsicht in [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfindेरischen Idee darstellt. Wie in [Fig. 3](#) bis [Fig. 7](#) dargestellt ist, können Zellenfolgen CS11, CS12, CS21 und CS22 zwischen Bitleitungen BL1 und BL2 und einer gemeinsamen Source-Leitung CSL vorgesehen sein. Zellenfolgen CS11 und CS21 können die erste Bitleitung BL1 und die gemeinsame Source-Leitung CSL verbinden, und Zellenfolgen CS12 und CS22 können die zweite Bitleitung BL2 und die gemeinsame Source-Leitung CSL verbinden.

[0192] Gemeinsame Source-Regionen CSR können gemeinsam verbunden sein, um eine gemeinsame Source-Leitung CSL zu bilden.

[0193] Die Zellenfolgen CS11, CS12, CS21 und CS22 können vier Säulen eines Abschnitts EC einer Draufsicht in [Fig. 3](#) entsprechen. Die vier Säulen können zusammen mit leitenden Materialien CM1 bis CM8 und Informationsspeicherschichten **116** vier Zellenfolgen CS11, CS12, CS21 und CS22 bilden.

[0194] In dieser Ausführungsform können die ersten leitenden Materialien CM1 mit den Informationsspeicherschichten **116** und den Säulen PL Masseansteuerungstransistoren GST bilden. Die ersten leitenden Materialien CM1 können eine Masseansteuerungsleitung GSL bilden. Die ersten leitenden Materialien CM1 können miteinander verbunden sein, um eine Masseansteuerungsleitung GSL zu bilden.

[0195] Die zweiten bis siebten leitenden Materialien CM2 bis CM7 können mit den Informationsspeicherschichten **116** und den Säulen PL die ersten bis sechsten Speicherzellen MC1 bis MC6 bilden. Die

zweiten bis siebten leitenden Materialien CM2 bis CM7 können als die ersten bis sechsten Wortleitungen WL1 bis WL6 verwendet werden.

[0196] Das zweite leitende Material CM2 kann so verbunden sein, dass es die erste Wortleitung WL1 bildet. Das dritte leitende Material CM3 kann so verbunden sein, dass es die zweite Wortleitung WL2 bildet. Das vierte leitende Material CM4 kann so verbunden sein, dass es die dritte Wortleitung WL3 bildet. Das fünfte leitende Material CM5 kann so verbunden sein, dass es die vierte Wortleitung WL4 bildet. Das sechste leitende Material CM6 kann so verbunden sein, dass es die fünfte Wortleitung WL5 bildet. Das siebte leitende Material CM7 kann so verbunden sein, dass es die sechste Wortleitung WL6 bildet.

[0197] Die achten leitenden Materialien CM8 können mit den Informationsspeicherschichten 116 und den Säulen PL Folgenansteuerungstransistoren SST bilden. Die achten leitenden Materialien CM8 können Folgenansteuerungsleitungen SSL1 und SSL2 bilden.

[0198] Speicherzellen, die auf der gleichen Höhe liegen, können gemeinsam mit einer Wortleitung verbunden werden. Somit kann eine Spannung, die an eine Wortleitung auf einer bestimmten Höhe angelegt wird, an alle Zellenfolgen CS11, CS12, CS21 und CS22 angelegt werden.

[0199] Zellenfolgen in unterschiedlichen Zeilen können mit unterschiedlichen Folgenansteuerungsleitungen SSL1 und SSL2 verbunden sein. Die Zellenfolgen CS11, CS12, CS21 und CS22 können durch Ansteuern oder Nicht-Ansteuern der Folgenansteuerungsleitungen SSL1 und SSL2 zeilenweise ausgewählt werden. Beispielsweise können Zellenfolgen (CS11 und CS12) oder (CS21 und CS22), die mit einer nicht ausgewählten Folgenansteuerungsleitung SSL1 oder SSL2 verbunden sind, elektrisch von den Bitleitungen BL1 und BL2 getrennt sein. Zellenfolgen (CS21 und CS22) oder (CS11 und CS12), die mit einer ausgewählten Folgenansteuerungsleitung SSL2 oder SSL1 verbunden sind, können elektrisch mit den Bitleitungen BL1 und BL2 verbunden sein.

[0200] Die Zellenfolgen CS11, CS12, CS21 und CS22 können als Spalten ausgebildet sein, die mit den Bitleitungen BL1 und BL2 verbunden sein können. Die Zellenfolgen CS11 und CS21 können mit der Bitleitung BL1 verbunden sein, und die Zellenfolgen CS12 und CS22 können mit der Bitleitung BL2 verbunden sein. Die Zellenfolgen CS11, CS12, CS21 und CS22 können Spalten sein, die durch Ansteuern und Nicht-Ansteuern der Bitleitungen BL1 und BL2 ausgewählt bzw. nicht ausgewählt werden.

[0201] Es kann passieren, dass Löcher für Säulen PL wegen eines Herstellungsfehlers bei der Ausbildung der Säulen PL keinen Kontakt mit einem ein Substrat 111 bekommen. Das heißt, es kann passieren, dass die Säulen PL nicht tief genug ausgebildet werden. Dadurch kann es sein, dass Kanalschichten 114 keinen Kontakt mit dem Substrat 111 bekommen. Das heißt, Zellenfolgen CS können Off-Strings aufweisen.

[0202] Es kann passieren, dass Drains 320 wegen eines Herstellungsfehlers bei der Ausbildung der Drains 320 keinen Kontakt mit den Kanalschichten 114 der Säulen PL bekommen. Das heißt, Zellenfolgen CS können Off-Strings aufweisen.

[0203] Wenn abgeschaltete Zellenfolgen (im Folgenden als Off-String bezeichnet) vorhanden sind, kann es passieren, dass ein Löschen, Lesen und Beschreiben eines Speicherblocks BLKa1 fehlerhaft durchgeführt wird. In der Ausführungsform der erfinderischen Idee kann eine Funktionsstörung wegen der Off-Strings unter Verwendung der Fehlerkorrekturfunktion, die von einem Fehlerkorrektur-Code (ECC) unterstützt wird, verhindert werden.

[0204] Fig. 8 ist ein Flussdiagramm, das ein Lösungsverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Fig. 9 ist ein Diagramm, das eine Vorspannungsbedingung gemäß dem Lösungsverfahren von Fig. 8 zeigt. Nachstehend wird ein Lösungsverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee ausführlicher mit Bezug auf Fig. 1 und Fig. 7 bis Fig. 9 beschrieben.

[0205] Im Schritt S111 kann eine Löschespannung geliefert werden.

[0206] Bitleitungen BL1 und BL2 können floaten, bzw. ihr Potential kann undefiniert gelassen werden, und Folgenansteuerungsleitungen SSL1 und SSL2 können floaten oder sie können mit der ersten Spannung VSSL1 für Folgenansteuerungsleitungen beliefert werden. Die erste Wortleitungs-Löschespannung Vwe1 kann jeweils an Wortleitungen WL1 bis WL6 angelegt werden. Die erste Wortleitungs-Löschespannung Vwe1 kann eine Massespannung VSS oder eine niedrige Spannung (beispielsweise eine niedrige positive Spannung oder eine niedrige negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein. Eine Masseansteuerungsleitung GSL kann floaten oder sie kann mit der ersten Masseansteuerungsleitung VGSL1 beliefert werden. Eine gemeinsame Source-Leitung CSL kann floaten. Die erste Löschespannung Vers1 kann an ein Substrat 111 angelegt werden. Die erste Löschespannung Vers1 kann eine hohe Spannung sein. Die erste Spannung VSSL1 für Folgenansteuerungsleitungen und die erste Spannung VGSL1 für Masseansteuerungsleitungen können einen Pegel zwischen der ersten Löschespannung

spannung Vers1 und der Massespannung VSS aufweisen. Spannungsänderungen des Substrats **111**, der Kanalschichten **114** und der Wortleitungen WL1 bis WL6 können in [Fig. 10](#) dargestellt sein.

[0207] Zu einer Zeit T1 von [Fig. 10](#) kann die erste Löschspannung Vers1, die zum Substrat **111** geliefert wird, an die Kanalschichten **114** angelegt werden. Die Kanalschichten **114** können auf die erste Löschspannung Vers1 aufgeladen werden. Ladungen, die in Speicherzellen MC1 bis MC6 gefangen sind, können aufgrund eines Spannungsunterschieds zwischen der ersten Wortleitungs-Löschspannung Vwe1, die zu den Wortleitungen WL1 bis WL6 geliefert wird, und der ersten Löschspannung Vers1, die zu den Kanalschichten **114** geliefert wird, entladen werden. Das heißt, Schwellenspannungen der Speicherzellen MC1 bis MC6 können sinken.

[0208] In Schritt S112 kann die erste Folgenansteuerungsleitung SSL1 ausgewählt werden. Eine Einschaltspannung kann an eine ausgewählte, d. h. die erste Folgenansteuerungsleitung SSL1 angelegt werden, und eine Ausschaltspannung kann an eine nicht ausgewählte Folgenansteuerungsleitung SSL2 angelegt werden.

[0209] In Schritt S113 kann eine Leseoperation durch Anlegen der ersten hohen Spannung VH1 an die Wortleitungen WL1 bis WL6 durchgeführt werden.

[0210] Die erste Bitleitungsspannung VBL1 kann zu den Bitleitungen BL1 und BL2 geliefert werden.

[0211] Die zweite Spannung VSSL2 für Folgenansteuerungsleitungen kann zur ausgewählten Folgenansteuerungsleitung (z. B. SSL1) geliefert werden. Die zweite Spannung VSSL2 für Folgenansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die ersten Folgenansteuerungstransistoren SST1 (die Folgenansteuerungstransistoren, die mit der ersten Folgenansteuerungsleitung SSL1 verbunden sind) einzuschalten. Die zweite Spannung VSSL2 für Folgenansteuerungsleitungen kann eine Versorgungsspannung VCC oder Lesespannung Vread für nicht-ausgewählte Leitungen sein. Die Lesespannung Vread für nicht-ausgewählte Leitungen kann eine Spannung sein, die während einer Leseoperation an nicht ausgewählte Wortleitungen geliefert wird.

[0212] Die dritte Spannung VSSL3 für Folgenansteuerungsleitungen kann an eine nicht ausgewählte Folgenansteuerungsleitung (z. B. SSL2) geliefert werden. Die dritte Spannung VSSL3 für Folgenansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die zweiten Folgenansteuerungstransistoren SST2 (die Folgenansteuerungstransistoren, die mit der zweiten Folgenansteuerungsleitung SSL2 verbunden sind) einzuschalten. Die dritte Spannung

VSSL3 für Folgenansteuerungsleitungen kann eine Massespannung VSS oder eine niedrige Spannung (entweder eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0213] Die erste hohe Spannung VH1 kann zu den Wortleitungen WL1 bis WL6 geliefert werden. Die erste hohe Spannung VH1 kann eine Spannung sein, die ausreicht, um die Speicherzellen MC1 bis MC6 unabhängig von den logischen Zuständen der Speicherzellen MC1 bis MC6 einzuschalten. Die erste hohe Spannung VH1 kann eine Lesespannung Vread für nicht-ausgewählte Leitungen sein.

[0214] Die zweite Spannung VGSL2 für Masseansteuerungsleitungen kann zur Masseansteuerungsleitung GSL geliefert werden. Die zweite Spannung VGSL2 für Masseansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die Masseansteuerungstransistoren GST einzuschalten. Die zweite Spannung VGSL2 für Masseansteuerungsleitungen kann die Versorgungsspannung VCC oder die Lesespannung Vread für nicht-ausgewählte Leitungen sein.

[0215] Die erste Spannung VCSL1 für gemeinsame Source-Leitungen kann zur gemeinsamen Source-Leitung CSL geliefert werden. Die erste Spannung VCSL1 für gemeinsame Source-Leitungen kann die Massespannung VSS oder eine niedrige Spannung (eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0216] Die erste Substratspannung VSUB1 kann zum Substrat **111** geliefert werden. Die erste Substratspannung VSUB1 kann die Massespannung VSS oder eine niedrige Spannung (eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0217] Eine Spannungsänderung des Speicherzellen-Array **110** im Schritt S113 ist in [Fig. 11](#) dargestellt.

[0218] Zu einer Zeit T1 können Bitleitungen BL mit der ersten Bitleitungsspannung VBL1 vorgeladen werden. Zu einer Zeit T2 können Spannungen an die Folgenansteuerungsleitungen SSL1 und SSL2, die Wortleitungen WL1 bis WL6, die Masseansteuerungsleitung GSL und die gemeinsame Source-Leitung CSL angelegt werden.

[0219] Die ausgewählten Folgenansteuerungstransistoren SST1 können eingeschaltet werden, wenn die zweite Spannung VSSL2 für Folgenansteuerungsleitungen an die ausgewählte Folgenansteuerungsleitung SSL1 angelegt wird. Die Speicherzellen MC1 bis MC6 können eingeschaltet werden, wenn die erste hohe Spannung VH1 an die Wortleitun-

gen WL1 bis WL6 angelegt wird. Die Masseansteuerungstransistoren GST können eingeschaltet werden, wenn die zweite Spannung VGSL2 für Masseansteuerungsleitungen an die Masseansteuerungsleitung GSL angelegt wird.

[0220] Wenn eine Zellenfolge von den Zellenfolgen CS11 und CS12, die mit der ausgewählten Folgenansteuerungsleitung SSL1 verbunden sind, kein Off-String, sondern eine normale Folge ist, kann eine Spannung einer Bitleitung sinken, da die erste Bitleitungsspannung VBL1, mit der die Bitleitung geladen wird, in die gemeinsame Source-Leitung CSL entladen wird. Wenn eine Zellenfolge von den Zellenfolgen CS11 und CS12, die mit der ausgewählten Folgenansteuerungsleitung SSL1 verbunden sind, ein Off-String ist, kann die Bitleitung die erste Bitleitungsspannung VBL1 beibehalten, da die Bitleitung und die gemeinsame Source-Leitung CSL elektrisch gegeneinander isoliert sind.

[0221] Wenn eine Spannung einer bestimmten Bitleitung höher ist als eine Bezugsspannung Vref, kann eine Seitenspeichereinheit **130** den ersten logischen Wert (z. B. einen H-Pegel) in einem (nicht dargestellten) Auffangregister bzw. Latch, das der bestimmten Bitleitung entspricht, speichern. Wenn eine Spannung der bestimmten Bitleitung niedriger ist als die Bezugsspannung Vref, kann die Seitenspeichereinheit **130** den zweiten logischen Wert (z. B. einen L-Pegel) in dem (nicht dargestellten) Auffangregister speichern, das der bestimmten Bitleitung entspricht.

[0222] Der zweite logische Wert kann in (nicht dargestellten) Auffangregistern gespeichert werden, die normalen Folgen entsprechen. Der erste logische Wert kann in (nicht dargestellten) Auffangregistern gespeichert werden, die Off-Strings entsprechen. Das heißt, die Off-Strings können durch Durchführen einer Leseoperation unter Verwendung der ersten hohen Spannung VH1 erfasst werden. Eine Operation zur Erfassung von Off-Strings kann als Vorab-Leseoperation bezeichnet werden.

[0223] Die Vorab-Leseoperation kann als Reaktion auf ein Vorab-Lesesignal PRS durchgeführt werden. Die Adressen-Decodierungseinheit **120** und die Seitenspeichereinheit **130** können als Reaktion auf das Vorab-Lesesignal PRS Spannungen zum Speicherzellen-Array **110** liefern. Die Seitenspeichereinheit **130** kann ein Vorab-Leseergebnis als Reaktion auf das Vorab-Lesesignal PRS in (nicht dargestellten) Auffangregistern speichern.

[0224] Im Schritt S114 kann bzw. können eine oder mehrere Folgen bestimmt werden. Beispielsweise kann bestimmt werden, dass eine Folge, die einem (nicht dargestellten) Auffangregister entspricht, das den ersten logischen Wert speichert, ein Off-String ist.

[0225] Im Schritt S115 kann bestimmt werden, dass eine oder mehrere Folgen bereits gelöscht worden sind, das heißt, es wird bestimmt, dass eine oder mehrere Folgen Folgen sind, die die Löschoption als vorläufig erfolgreich gelöschte Folge durchlaufen haben, und dann kann eine Lösungsverifizierungsoperation durchgeführt werden.

[0226] Die zweite Bitleitungsspannung VBL2 kann an Zellenfolgen angelegt werden, die in der Vorab-Leseoperation als normale Folgen bestimmt worden sind. Die zweite Bitleitungsspannung VBL2 kann die Versorgungsspannung VCC oder eine Spannung sein, die einen ähnlichen Pegel aufweist wie die Versorgungsspannung VCC. Die dritte Bitleitungsspannung VBL3 kann an Zellenfolgen geliefert werden, die in der Vorab-Leseoperation als Off-Strings bestimmt wurden. Die dritte Bitleitungsspannung VBL3 kann die Massespannung VSS oder eine Spannung (eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein).

[0227] In einem Ausführungsbeispiel kann die Seitenspeichereinheit **130** in der Vorab-Leseoperation die dritte Bitleitungsspannung VBL3 an Bitleitungen liefern, die gemäß einem Vorab-Leseergebnis, das in (nicht dargestellten) Auffangregistern der Seitenspeichereinheit **130** gespeichert ist, mit Off-Strings verbunden sind. In einer Ausführungsform kann das Vorab-Leseergebnis RR an die Steuerlogik **170** übermittelt werden. Die Steuerlogik **170** kann die Seitenspeichereinheit **130** so steuern, dass die dritte Bitleitungsspannung VBL3 an Bitleitungen geliefert wird, die gemäß dem Vorab-Leseergebnis RR mit Off-Strings verbunden sind. Eine Signalleitung für die Übermittlung des Vorab-Leseergebnisses RR an die Steuerlogik **170** kann zwischen der Seitenspeichereinheit **130** und der Steuerlogik **170** vorgesehen sein.

[0228] Die vierte Spannung VSSL4 für Folgenansteuerungsleitungen kann zur ausgewählten Folgenansteuerungsleitung SSL1 geliefert werden. Die vierte Spannung VSSL4 für Folgenansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die ausgewählten Folgenansteuerungstransistoren SST1 einzuschalten. Die vierte Spannung VSSL4 für Folgenansteuerungsleitungen kann eine Lesespannung Vread für nichtausgewählte Leitungen oder die Versorgungsspannung VCC sein.

[0229] Die fünfte Spannung VSSL5 für Folgenansteuerungsleitungen kann zur ausgewählten Folgenansteuerungsleitung SSL2 geliefert werden. Die fünfte Spannung VSSL5 für Folgenansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die ausgewählten Folgenansteuerungstransistoren SST12 einzuschalten. Die fünfte Spannung VSSL5 für Folgenansteuerungsleitungen kann die Massespannung VSS oder eine niedrige Spannung (eine

positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0230] Die erste Verifizierungsspannung VFY1 kann an die Wortleitungen WL1 bis WL6 angelegt werden. Die erste Verifizierungsspannung VFY1 kann eine Obergrenze von Schwellenspannungen gelöschter Speicherzellen sein. Die erste Verifizierungsspannung VFY1 kann die Massespannung VSS oder eine negative Spannung sein.

[0231] Die dritte Spannung VGSL3 für Masseansteuerungsleitungen kann zur Masseansteuerungsleitung GSL geliefert werden. Die dritte Spannung VGSL3 für Masseansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die Masseansteuerungstransistoren GST einzuschalten. Die dritte Spannung VGSL3 für Masseansteuerungsleitungen kann eine Lesespannung Vread für nicht ausgewählte Leitungen oder die Versorgungsspannung VCC sein.

[0232] Die zweite Spannung VCSL2 für gemeinsame Source-Leitungen kann zur gemeinsamen Source-Leitung CSL geliefert werden. Die zweite Spannung VCSL2 für gemeinsame Source-Leitungen kann die Massespannung VSS oder eine niedrige Spannung (eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0233] Die zweite Substratspannung VSUB2 kann zum Substrat **111** geliefert werden. Die zweite Substratspannung VSUB2 kann die Massespannung VSS oder eine niedrige Spannung (eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0234] Eine Spannungsänderung des Speicherzellen-Array **110** im Schritt S115 ist in [Fig. 12](#) dargestellt.

[0235] Zur Zeit T1 können normale Bitleitungen, die mit normalen Folgen verbunden sind, auf die zweite Bitleitungsspannung VBL2 aufgeladen werden. Die dritte Bitleitungsspannung VBL3 kann zu Bitleitungen geliefert werden, die mit Off-Strings verbunden sind.

[0236] Zur Zeit T2 können Spannungen zu den Folgenansteuerungsleitungen SSL1 und SSL2, den Wortleitungen WL1 bis WL6, der Masseansteuerungsleitung GSL und der gemeinsamen Source-Leitung CSL geliefert werden.

[0237] Die ausgewählten Folgenansteuerungstransistoren SST1 können eingeschaltet werden, und nicht ausgewählte Folgenansteuerungstransistoren SST2 können ausgeschaltet werden. Die Masseansteuerungstransistoren GST können eingeschaltet werden.

[0238] Von den Speicherzellen MC1 bis MC6 können Speicherzellen mit einer Schwellenspannung, die höher ist als eine Verifizierungsspannung VFY1, ausgeschaltet werden, und Speicherzellen mit einer Schwellenspannung, die niedriger ist als die Verifizierungsspannung VFY1, können eingeschaltet werden. Wenn die Speicherzellen MC1 bis MC2 in einer bestimmten Zellenfolge eingeschaltet werden, können eine Bitleitung und die gemeinsame Source-Leitung CSL elektrisch gegeneinander isoliert werden. Eine Spannung einer Bitleitung, die mit der bestimmten Zellenfolge verbunden ist, kann gegenüber der zweiten Bitleitungsspannung VBL2 sinken.

[0239] Wenn mindestens eine von den Speicherzellen MC1 bis MC6 in der bestimmten Zellenfolge ausgeschaltet wird, können eine Bitleitung und die gemeinsame Source-Leitung CSL elektrisch gegeneinander isoliert werden. Das heißt, dass die Bitleitung, die mit der bestimmten Zellenfolge verbunden ist, die zweite Bitleitungsspannung VBL2 beibehält.

[0240] Wenn eine Spannung der bestimmten Bitleitung höher ist als die Bezugsspannung Vref, kann die Seitenspeichereinheit **130** den ersten logischen Wert in einem (nicht dargestellten) Auffangregister speichern, das der bestimmten Bitleitung entspricht. Wenn eine Spannung, die der bestimmte Bitleitung entspricht, niedriger ist als die Bezugsspannung Vref, kann die Seitenspeichereinheit **130** den zweiten logischen Wert in einem (nicht dargestellten) Auffangregister speichern, das der bestimmten Bitleitung entspricht.

[0241] Das heißt, der zweite logische Wert kann in einem (nicht dargestellten) Auffangregister gespeichert werden, das einer erfolgreich gelöschten Zellenfolge von normalen Folgen entspricht. Der erste logische Wert kann in einem (nicht dargestellten) Auffangregister gespeichert werden, das einer Zellenfolge von den normalen Folgen entspricht, bei der das Löschen fehlgeschlagen ist. Da die dritte Bitleitungsspannung VBL3 an Off-Strings angelegt wird, kann der zweite logische Wert in (nicht dargestellten) Auffangregistern gespeichert werden, die den Off-Strings entsprechen.

[0242] Daten, die in (nicht dargestellten) Auffangregistern der Seitenspeichereinheit **130** gespeichert sind, können ein Lösungsverifizierungsergebnis RR darstellen. Das Lösungsverifizierungsergebnis RR kann an eine Pass/Fail-Überprüfungseinheit **160** weitergegeben werden.

[0243] Die Pass/Fail-Überprüfungseinheit **160** kann das Lösungsverifizierungsergebnis RR von der Seitenspeichereinheit **130** empfangen. Die Pass/Fail-Überprüfungseinheit **160** kann bestimmen, dass ein Leseergebnis, das den zweiten logischen Wert anzeigt, erfolgreich gelöscht ist, und dass ein Lese-

ergebnis, das den zweiten logischen Wert anzeigt, nicht erfolgreich gelöscht ist. Da das Lösungsverifizierungsergebnis RR von Off-Strings den zweiten logischen Wert aufweist, kann bestimmt werden, dass die Off-Strings erfolgreich gelöscht wurden oder sie können als Folge behandelt werden, die erfolgreich gelöscht wurde. Das heißt, wenn normale Folgen erfolgreich gelöscht worden sind, kann es sein, dass der erste logische Wert im Lösungsverifizierungsergebnis RR nicht enthalten ist. Wenn der erste logische Wert nicht im Lösungsverifizierungsergebnis RR enthalten ist, kann die Pass/Fail-Überprüfungseinheit **160** ein Signal PASS erzeugen, das ein Gelingen anzeigt. Wenn der erste logische Wert im Lösungsverifizierungsergebnis RR enthalten ist, kann die Pass/Fail-Überprüfungseinheit **160** ein Signal FAIL erzeugen, das einen Fehlschlag anzeigt.

[0244] Im Schritt S116 kann bestimmt werden, ob das Signal PASS, das ein Gelingen anzeigt, aktiviert ist. Wenn das Signal PASS, das ein Gelingen anzeigt, nicht aktiviert ist, d. h. wenn das Signal FAIL, das einen Fehlschlag anzeigt, aktiviert ist, kann im Schritt S117 eine Löschspannung geliefert werden, und eine zuvor ausgewählte Folgenansteuerungsleitung SSL1 kann erneut ausgewählt werden. Die Löschspannung im Schritt S117 kann sich von der zuvor angelegten Spannung unterscheiden. Die Löschspannung im Schritt S117 kann gegenüber der zuvor angelegten Spannung erhöht sein. Danach geht das Verfahren zu Schritt S115 über. Wenn das Signal PASS, das ein Gelingen anzeigt, aktiviert ist, geht das Verfahren zu Schritt S118 über.

[0245] Im Schritt S118 kann bestimmt werden, ob die ausgewählte Folgenansteuerungsleitung SSL1 eine letzte Folgenansteuerungsleitung ist. Wenn die ausgewählte Folgenansteuerungsleitung SSL1 nicht die letzte Folgenansteuerungsleitung ist, kann im Schritt S119 eine nächste Folgenansteuerungsleitung (z. B. SSL2) ausgewählt werden. Danach geht das Verfahren zu Schritt S113 über. Wenn die ausgewählte Folgenansteuerungsleitung SSL1 die letzte Folgenansteuerungsleitung ist, kann das Verfahren beendet werden.

[0246] Möglicherweise wird in den Schritten S117, S115 und S116 bestimmt, dass die Speicherzelle oder der Off-String, die bzw. der als vorübergehend erfolgreich gelöschte Speicherzelle oder Folge bestimmt worden ist und die bzw. der den ersten logischen Wert aufweist, „erfolgreich gelöscht“ ist und den zweiten logischen Wert aufweist, es ist ebenso möglich, dass die Schritte S117, S115 und S116 einmal oder öfter durchgeführt oder wiederholt werden, bis bestimmt wird, dass der Off-String, der den vorangehenden ersten logischen Wert aufweist, „erfolgreich gelöscht“ wurde und den zweiten logischen Wert aufweist.

[0247] Die Speicherzelle oder der Off-String, der den vorangehenden ersten logischen Wert aufweist, kann die Speicherzelle oder den Off-String, die bzw. der im Folgenbestimmungsschritt S114 bestimmt worden ist, und/oder die Speicherzelle oder der Off-String, der im Lösungsverifizierungsschritt S115 unter den normalen Folgen bestimmt worden ist, beinhalten. Die oben beschriebene Speicherzelle bzw. der Off-String mit dem vorangehenden ersten logischen Wert kann den Schritten S117, S115 und S116 unterworfen werden, bis zum Schritt S118 übergegangen wird.

[0248] Wie oben beschrieben, kann ein Löschen durchgeführt werden, bis die Speicherzellen MC1 bis MC6 in den Zellenfolgen CS11, CS12, CS21 und CS22 erfolgreich gelöscht worden sind. Im Lösungsverifizierungsschritt kann bestimmt werden, dass Off-Strings erfolgreich gelöscht worden sind. Daher kann verhindert werden, dass im Lösungsverifizierungsschritt durch die Off-Strings ein „Löschungsfehlschlag“ verursacht wird.

[0249] Datenfehler, die von Off-Strings verursacht werden, können von einer (nicht dargestellten) Fehlerkorrekturereinheit korrigiert werden, die innerhalb oder außerhalb einer nicht-flüchtigen Speichervorrichtung **100** vorgesehen ist. Auch wenn das Speicherzellen-Array **110** Off-Strings aufweist, kann die nicht-flüchtige Speichervorrichtung **100** daher auch ohne eine separate Verarbeitung, beispielsweise eine Reparatur, normal arbeiten.

[0250] Es wird ein als Beispiel dienender Fall beschrieben, in dem in Schritt S117 eine Löschspannung angelegt wird und in Schritt S115 eine Lösungsverifizierungsoperation durchgeführt wird, wenn in Schritt S116 bestimmt worden ist, dass eine oder mehrere Speicherzellen oder eine oder mehrere Folgen „erfolgreich gelöscht“ worden sind. Wenn im Schritt S116 bestimmt wird, dass die Speicherzellen oder Folgen „erfolgreich gelöscht“ worden sind, kann jedoch auch in Schritt S112 statt in Schritt S117 eine Spannung angelegt werden, kann an die ausgewählte in Schritt S113 eine Vorab-Leseoperation angelegt werden, können Off-Strings gemäß der Vorab-Leseoperation im Schritt S114 bestimmt werden, und kann in Schritt S115 bestimmt werden, dass die Off-Strings erfolgreich gelöscht worden sind, und eine Lösungsverifizierungsoperation durchgeführt werden.

[0251] [Fig. 13A](#) ist ein Flussdiagramm, das einen Off-String-Verarbeitungsschritt im Lösungsverfahren von [Fig. 8](#) darstellt. Wie in [Fig. 1](#), [Fig. 8](#) und [Fig. 13A](#) dargestellt, kann in Schritt S121 die Anzahl der Off-Strings gezählt werden. Beispielsweise kann die Zähleinheit **150** ein Vorab-Leseergebnis RR zählen, das von der Seitenspeichereinheit **130** geliefert wird. Die Zähleinheit **150** kann die Anzahl der ersten logischen Werte des Vorab-Leseergebnisses RR, d.

h. die Anzahl der Off-Strings, zählen. Der Zählwert CV kann an die Steuerlogik **170** übermittelt werden.

[0252] In Schritt S112 wird bestimmt, ob die Anzahl der Off-Strings unter einem ersten Bezugswert V1 liegt. Wenn die Anzahl der Off-Strings unter dem ersten Wert V1 liegt, kann in Schritt S123 eine Löschope-ration fortgesetzt durchgeführt werden. Wenn die Anzahl der Off-Strings über dem ersten Bezugswert V1 liegt, kann in Schritt S124 eine Fehlermeldung erzeugt werden und die Löschope-ration kann angehalten werden.

[0253] Beispielsweise kann die Steuerlogik **170** den Zählwert CV mit dem ersten Bezugswert V1 vergleichen, der im ersten Register REG1 gespeichert ist. Aufgrund des Ergebnisses dieses Vergleichs kann die Steuerlogik **170** die nicht-flüchtige Speichervorrichtung **100** so steuern, dass diese mit der Durchführung der Löschope-ration fortfährt, oder die Löschope-ration anhält.

[0254] In einem Ausführungsbeispiel kann der erste Bezugswert V1 die Anzahl der Bits angeben, die von einer (nicht dargestellten) Fehlerkorrigierungseinheit, die dafür ausgelegt ist, Fehler von Daten, die aus der nicht-flüchtigen Speichervorrichtung **100** ausgelesen werden, zu korrigieren. Der erste Bezugswert V1 kann einen Wert aufweisen, der niedriger ist als eine Anzahl von Fehlerbits, die von der (nicht dargestellten) Fehlerkorrigierungseinheit korrigiert werden können, und kann gemäß der Anzahl der korrigierbaren Fehlerbits bestimmt werden. Beispielsweise kann der erste Bezugswert V1 gemäß einem bestimmten Verhältnis zu einer Anzahl von korrigierbaren Fehlerbits bestimmt werden.

[0255] Wenn die Anzahl von Off-Strings über der Anzahl der korrigierbaren Fehlerbits liegt, können Daten, die aus einem entsprechenden Speicherblock gelesen werden, nicht-korrigierbare Daten sein. Somit kann mit den Schritten S121 bis S124 ein Speicherblock erfasst werden, der einen nicht-korrigierbaren Fehler bewirkt. In einem Ausführungsbeispiel kann ein Speicherblock, der einer Fehlermeldung entspricht, als schädlicher Block beurteilt werden.

[0256] Die Schritte S121 bis S124 können durchgeführt werden, nachdem eine Vorab-Leseoperation in Schritt S113 durchgeführt worden ist. Wenn ein bestimmter Speicherblock gelöscht wird, können die Schritte S121 bis S124 zu einer Zeit nach der ersten Vorab-Leseoperation durchgeführt werden.

[0257] [Fig. 13B](#) ist ein Flussdiagramm, das ein Löschope-Verfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 1](#), [Fig. 8](#) und [Fig. 13B](#) dargestellt ist, kann in Schritt S113a die erste Folgenansteuerungsleitung ausgewählt werden. In Schritt 11b kann eine Leseoperation, d. h. ei-

ne Vorab-Leseoperation, durch Liefern einer hohen Spannung zu Wortleitungen durchgeführt werden. In Schritt S113c können Off-Strings bestimmt werden, und Off-String-Informationen können gespeichert werden. Beispielsweise können Off-Strings gemäß einem Vorab-Leseergebnis bestimmt werden und ein Vorab-Leseergebnis kann gespeichert werden. Das Vorab-Leseergebnis kann beispielsweise in der Seitenspeichereinheit **130** gespeichert werden.

[0258] In Schritt S113d wird bestimmt, ob die ausgewählte Folgenansteuerungsleitung eine letzte Folgenansteuerungsleitung ist. Wenn die ausgewählte Folgenansteuerungsleitung nicht die letzte Folgenansteuerungsleitung ist, kann in Schritt S113e eine nächste Folgenansteuerungsleitung ausgewählt werden. Wenn die ausgewählte Folgenansteuerungsleitung die letzte Folgenansteuerungsleitung ist, geht das Verfahren zu Schritt S114a über.

[0259] In Schritt S114a kann eine Löschope-ration durch Anlegen einer Löschspannung durchgeführt werden. In Schritt S114b kann die erste Folgenansteuerungsleitung ausgewählt werden. In Schritt S114c können Off-Strings als erfolgreich gelöscht behandelt werden, und eine Löschope-verifizierungsoperation kann durchgeführt werden. Beispielsweise kann der Schritt S114c dem Schritt S115 von [Fig. 8](#) gleich sein. Im Schritt S114c können Off-Strings gemäß Vorab-Leseergebnissen, die in der Seitenspeichereinheit **130** gespeichert sind, als erfolgreich gelöscht behandelt werden.

[0260] In Schritt S114d wird bestimmt, ob Folgen, die mit der ausgewählten Folgenansteuerungsleitung verbunden sind, erfolgreich gelöscht worden sind. Wenn bestimmt wird, dass Folgen, die mit der ausgewählten Folgenansteuerungsleitung verbunden sind, nicht erfolgreich gelöscht worden sind, kann in Schritt S114e eine Löschspannung angelegt werden, und eine zuvor ausgewählte Folgenansteuerungsleitung kann erneut ausgewählt werden. Danach kann das Verfahren ab Schritt S114c durchgeführt werden. Wenn bestimmt wird, dass Folgen, die mit der ausgewählten Folgenansteuerungsleitung erfolgreich gelöscht worden sind, geht das Verfahren zu Schritt S114f über.

[0261] In Schritt S114f wird bestimmt, ob die ausgewählte Folgenansteuerungsleitung eine letzte Folgenansteuerungsleitung ist. Wenn die ausgewählte Folgenansteuerungsleitung nicht die letzte Folgenansteuerungsleitung ist, kann in Schritt S114g eine nächste Folgenansteuerungsleitung ausgewählt werden. Danach geht das Verfahren zu Schritt S114c über. Wenn die ausgewählte Folgenansteuerungsleitung die letzte Folgenansteuerungsleitung ist, kann das Verfahren beendet werden.

[0262] Das heißt, in den Schritten S113a bis S113e können Folgensteuerungsleitungen SSL1 und SSL2 nacheinander ausgewählt werden, und Off-Strings können erfasst werden. Ein Erfassungsergebnis kann in der Seitenspeichereinheit **130** gespeichert werden. In den Schritten S114a bis S114g können die Folgensteuerungsleitungen SSL1 und SSL2 nacheinander ausgewählt werden, und eine Löschoperation und eine Lösungsverifizierungsoperation können durchgeführt werden. Gemäß dem Erfassungsergebnis, das in der Seitenspeichereinheit **130** gespeichert ist, kann bestimmt werden, dass Off-Strings „erfolgreich gelöscht“ worden sind.

[0263] **Fig. 14** ist ein Blockschema, das die Seitenspeichereinheit **130** von **Fig. 1** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in **Fig. 1** und **Fig. 14** dargestellt ist, kann die Seitenspeichereinheit **130** eine Mehrzahl von Seitenpufferspeichern bzw. Seitenspeichern PB1 bis PBn aufweisen. Die Mehrzahl von Seitenspeichern PB1 bis PBn kann so gestaltet sein, dass sie eine Mehrzahl von mehrstufigen Strukturen HA1 bis HAm aufweist.

[0264] Die ersten Seitenspeicher BP1 können eine erste Stufe Stage1 bilden. Die zweiten Seitenspeicher können eine zweite Stufe Stage2 bilden. Die n. Seitenspeicher PBn können eine n. Stufe Stagen bilden.

[0265] In jeder mehrstufigen Struktur HA können Seitenspeicher miteinander verbunden sein. Beispielsweise können in der ersten mehrstufigen Struktur HA die Seitenspeicher PB1 bis PBn mit der ersten Seitenspeicher-Signalleitung PBS1 als Wired-OR verbunden sein. In der zweiten mehrstufigen Struktur HA2 können die Seitenspeicher PBS1 bis PBn mit der zweiten Seitenspeicher-Signalleitung PBS2 als Wired-OR verbunden sein. In der m. mehrstufigen Struktur HAm können die Seitenspeicher PB1 bis PBn mit der m. Seitenspeicher-Signalleitung PBSm als Wired-OR verbunden sein.

[0266] Jeder der Seitenspeicher PB1 bis PBn kann eine Mehrzahl von Auffangregistern beinhalten. Eines der Auffangregister in jedem Seitenspeicher kann verwendet werden, um ein Vorab-Leseergebnis zu speichern.

[0267] Seitenspeicher in den einzelnen Stufen können gemeinsam mit einer Übermittlungs-Signalleitung PF verbunden sein. Wenn die erste Übermittlungs-Signalleitung PF1 aktiviert wird, können Seitenspeicher in der ersten Stufe Stage1 gespeicherte Daten an die Seitenspeicher-Signalleitungen PBS1 bis PBSm ausgeben. Wenn die zweite Übermittlungs-Signalleitung PF2 aktiviert ist, können Seitenspeicher in der zweiten Stufe Stage2 gespeicherte Daten an die Seitenspeicher-Signalleitungen PBS1 bis PBSm ausgeben. Wenn die n. Übermittlungs-Signalleitung

PFn aktiviert ist, können Seitenspeicher in der n. Stufe Stagen gespeicherte Daten an die Seitenspeicher-Signalleitungen PBS1 bis PBSm ausgeben.

[0268] Die Übermittlungssignale PF1 bis PFn können nacheinander aktiviert werden. Da die Übermittlungssignale PF1 bis PFn nacheinander aktiviert werden, können ein Leseergebnis (das ein Vorab-Leseergebnis und ein Lösungsverifizierungsergebnis beinhaltet) sequentiell ausgegeben werden. In einem Ausführungsbeispiel kann das Leseergebnis (das ein Vorab-Leseergebnis und ein Lösungsverifizierungsergebnis beinhaltet) in Gruppen eingeteilt werden, die Stufen Stage1 bis Stagen entsprechen, und die eingeteilten Gruppen können das Leseergebnis nacheinander ausgeben.

[0269] Da das Leseergebnis (das ein Vorab-Leseergebnis und ein Lösungsverifizierungsergebnis beinhaltet) sequentiell ausgegeben wird, kann die Zählereinheit **150** das Leseergebnis sequentiell zählen. Die Zählereinheit **150** kann Pass/Fail-Bestimmungen sequentiell durchführen.

[0270] **Fig. 15** ist ein Blockschema, das eine nicht-flüchtige Speichervorrichtung **200** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in **Fig. 15** dargestellt ist, kann die nicht-flüchtige Speichervorrichtung **200** ein Speicherzellen-Array **210**, eine Adressen-Decodierungseinheit **220**, eine Seitenspeichereinheit **230**, eine Daten-Eingabe-/Ausgabeeinheit **240**, eine Zählereinheit **250**, eine Pass/Fail-Überprüfungseinheit **260** und eine Steuerlogik **270** beinhalten.

[0271] Die nicht-flüchtige Speichervorrichtung **200** von **Fig. 15** kann der von **Fig. 1** gleich sein, abgesehen davon, dass ein Zählwert CV an die Daten-Eingabe-/Ausgabeeinheit **250** geliefert wird und ein Register REG1 in der Steuerlogik **270** fehlt.

[0272] **Fig. 16** ist ein Flussdiagramm, das ein Vorab-Leseverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in **Fig. 7**, **Fig. 15** und **Fig. 16** dargestellt ist, kann in Schritt S211 ein Befehl empfangen werden. Beispielsweise kann ein Befehl empfangen werden, der einer Vorab-Leseoperation entspricht. Ein Befehl, der Statusinformationen über die nicht-flüchtige Speichervorrichtung **200** verlangt, kann empfangen werden. Ein eingegebener Befehl kann ein Befehl sein, der sich von typischen Schreib-, Lese- und Löschbefehlen unterscheidet. Eine Adresse, die einen bestimmten Speicherblock und eine bestimmte Folgensteuerungsleitung anzeigt, kann mit dem Befehl empfangen werden. Der bestimmte Speicherblock und die bestimmte Folgensteuerungsleitung können gemäß der eingegebenen Adresse ausgewählt werden.

[0273] In Schritt S212 kann eine Leseoperation (eine Vorab-Leseoperation) jeweils durch Anlegen der ersten hohen Spannung VH1 an Wortleitungen WL1 bis WL6 durchgeführt werden. Schritt S212 von [Fig. 16](#) kann dem Schritt S131 von [Fig. 8](#) gleich sein. Nach Schritt S212 kann ein Vorab-Leseergebnis RR in Aufnahmeregistern gespeichert werden, die in der Seitenspeichereinheit **230** enthalten sind.

[0274] In Schritt S213 können Off-Strings bestimmt werden. Beispielsweise können Off-Strings gemäß dem Vorab-Leseergebnis RR bestimmt werden wie mit Bezug auf Schritt S114 von [Fig. 8](#) beschrieben.

[0275] In Schritt S214 können Off-String-Informationen ausgegeben werden. Die Off-String-Informationen können Informationen beinhalten, die mit Off-Strings in Zusammenhang stehen.

[0276] Die Off-String-Informationen können die Anzahl der Off-Strings beinhalten. Das Vorab-Leseergebnis RR kann an die Zählereinheit **250** geschickt werden. Ein Zählwert CV der Zählereinheit **250** kann über die Daten-Eingabe-/Ausgabereinheit **240** an eine externe Vorrichtung ausgegeben werden.

[0277] Die Off-String-Informationen können ein Vorab-Leseergebnis RR beinhalten. Das Vorab-Leseergebnis RR kann über die Daten-Eingabe-/Ausgabereinheit **240** aus der nicht-flüchtigen Speichervorrichtung **200** nach außen gegeben werden.

[0278] Die Off-String-Informationen können sowohl den Zählwert CV als auch das Vorab-Leseergebnis beinhalten.

[0279] In einem Ausführungsbeispiel kann bestimmt werden, ob gemäß dem Befehl in Schritt S211 irgendwelche Off-String-Informationen ausgegeben werden.

[0280] Nach den Schritten S211 bis S214 können Informationen im Zusammenhang mit Off-Strings von Zellenfolgen, die der bestimmten Folgenansteuerungsleitung in dem bestimmten Speicherblock entsprechen, ausgegeben werden.

[0281] [Fig. 17](#) ist ein Flussdiagramm, das ein Vorab-Leseverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 7](#), [Fig. 15](#) und [Fig. 17](#) dargestellt ist, kann in Schritt S221 ein Befehl empfangen werden. Beispielsweise kann ein Befehl empfangen werden, der einer Vorab-Leseoperation entspricht. Ein Befehl, der Statusinformationen über die nicht-flüchtige Speichervorrichtung **200** verlangt, kann empfangen werden. Ein eingegebener Befehl kann ein Befehl sein, der sich von typischen Schreib-, Lese- und Löschbefehlen unterscheidet. Eine Adresse, die einen bestimmten Speicherblock und eine bestimmte Folgenansteuerungsleitung bezeich-

net, kann mit dem Befehl empfangen werden. Der bestimmte Speicherblock und die bestimmte Folgenansteuerungsleitung können gemäß der eingegebenen Adresse ausgewählt werden.

[0282] In Schritt S222 kann die erste Folgenansteuerungsleitung SSL1 ausgewählt werden.

[0283] In Schritt S223 kann eine Leseoperation (eine Vorab-Leseoperation) jeweils durch Anlegen der ersten hohen Spannung VH1 an Wortleitungen WL1 bis WL6 durchgeführt werden. Schritt S223 von [Fig. 16](#) kann dem Schritt S113 von [Fig. 8](#) gleich sein.

[0284] In Schritt 224 können Off-Strings bestimmt werden. Schritt S224 von [Fig. 16](#) kann dem Schritt S114 von [Fig. 8](#) gleich sein.

[0285] In Schritt S225 können Off-String-Informationen ausgegeben werden. Die Off-String-Informationen können die Anzahl der Off-Strings einer ausgewählten Folgenansteuerungsleitung in einem ausgewählten Speicherblock, ein Vorab-Leseergebnis oder sowohl die Anzahl der Off-Strings als auch ein Vorab-Leseergebnis beinhalten.

[0286] In Schritt S226 kann entschieden werden, ob die ausgewählte Folgenansteuerungsleitung eine letzte Folgenansteuerungsleitung ist. Wenn die ausgewählte Folgenansteuerungsleitung nicht die letzte Folgenansteuerungsleitung ist, geht das Verfahren zu Schritt S227 über, in dem eine nächste Folgenansteuerungsleitung SSL2 ausgewählt wird. Danach geht das Verfahren zu Schritt S223 über. Wenn die ausgewählte Folgenansteuerungsleitung die letzte Folgenansteuerungsleitung ist, kann das Verfahren beendet werden.

[0287] Nach den Schritten S221 bis S227 können Informationen im Zusammenhang mit Off-Strings von Zellenfolgen in einem bestimmten Speicherblock ausgegeben werden. Gemäß einem eingegebenen Befehl kann ein Typ von Informationen über abgeschaltete Zellen bestimmt werden.

[0288] [Fig. 18](#) ist ein Blockschema, das eine nicht-flüchtige Speichervorrichtung **300** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 18](#) dargestellt ist, kann die nicht-flüchtige Speichervorrichtung **300** ein Speicherzellen-Array **310**, eine Adressen-Decodierungseinheit **320**, eine Seitenspeichereinheit **330**, eine Daten-Eingabe-/Ausgabereinheit **340**, eine Zählereinheit **350**, eine Pass/Fail-Überprüfungseinheit **360** und eine Steuerlogik **370** aufweisen.

[0289] Die nicht-flüchtige Speichervorrichtung **300** kann der von [Fig. 1](#) gleich sein, außer dass außerdem ein Zählwert CV an die Daten-Eingabe-/Ausgabereinheit **340** geliefert wird.

[0290] Die nicht-flüchtige Speichervorrichtung **300** kann eine Löschoperation gemäß einem Löschverfahren durchführen, das mit Bezug auf [Fig. 8](#) bis [Fig. 13](#) beschrieben wird. Die nicht-flüchtige Speichervorrichtung **300** kann eine Vorab-Leseoperation gemäß einem Vorab-Leseverfahren durchführen, das mit Bezug auf [Fig. 16](#) und [Fig. 17](#) beschrieben wird.

[0291] [Fig. 19](#) ist ein Blockschema, das eine nicht-flüchtige Speichervorrichtung **400** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 19](#) dargestellt ist, kann die nicht-flüchtige Speichervorrichtung **400** ein Speicherzellen-Array **410**, eine Adressen-Decodierungseinheit **420**, eine Seitenspeichereinheit **430**, eine Daten-Eingabe-/Ausgabeeinheit **440**, eine Zählereinheit **450**, eine Pass/Fail-Überprüfungseinheit **460** und eine Steuerlogik **470** aufweisen.

[0292] Das Speicherzellen-Array **410** kann die gleiche Struktur aufweisen, die in [Fig. 1](#) dargestellt ist.

[0293] Die Adressen-Decodierungseinheit **420** kann über Folgenansteuerungsleitungen SSL, Wortleitungen WL und Masseansteuerungsleitungen GSL mit dem Speicherzellen-Array **410** verbunden sein. Die Adressen-Decodierungseinheit **420** kann eine decodierte Spaltenadresse DCA an die Seitenspeichereinheit **430** schicken.

[0294] Die Seitenspeichereinheit **430** kann über Bitleitungen mit dem Speicherzellen-Array **410** und über Datenleitungen DL mit der Daten-Eingabe-/Ausgabeeinheit **440** verbunden sein. Die Seitenspeichereinheit **430** kann ein Leseergebnis (das ein Löschungsverifizierungs-Leseergebnis beinhaltet) ausgeben.

[0295] Die Zählereinheit **450** kann ein eingegebenes Leseergebnis RR zählen, um einen Zählwert CV auszugeben.

[0296] Die Pass/Fail-Überprüfungseinheit **460** kann einen eingegebenen Zählwert CV mit einem Wert vergleichen, der in einem Register REG2 gespeichert ist, um gemäß einem Vergleichsergebnis ein Signal PASS, das ein Gelingen anzeigt, oder ein Signal FAIL, das einen Fehlschlag anzeigt, auszugeben.

[0297] Die Steuerlogik **470** kann insgesamt den Betrieb der nicht-flüchtigen Speichervorrichtung **400** steuern.

[0298] [Fig. 20](#) ist ein Flussdiagramm, das ein Löschverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. [Fig. 21](#) ist ein Diagramm, das eine Spannungsbedingung darstellt, die in dem Löschverfahren von [Fig. 20](#) erzeugt wird und verwendet werden kann. Wie in [Fig. 7](#), [Fig. 19](#) und [Fig. 20](#) dargestellt ist, kann in Schritt S411 eine Löschspannung geliefert werden.

[0299] Im Schritt S412 kann die erste Folgenansteuerungsleitung SSL1 ausgewählt werden.

[0300] Bitleitungen BL1 und BL2 können floaten, und Folgenansteuerungsleitungen SSL1 und SSL2 können floaten oder sie können mit der sechsten Spannung VSSL6 für Folgenansteuerungsleitungen beliefert werden. Die zweite Wortleitungs-Löschspannung Vwe2 kann eine Massespannung VSS oder eine niedrige Spannung (eine niedrige positive Spannung oder eine niedrige negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein. Eine Masseansteuerungsleitung GSL kann floaten oder sie kann mit der vierten Masseansteuerungsleitung VGSL4 beliefert werden. Eine gemeinsame Source-Leitung CSL kann floaten. Die zweite Löschspannung Vers2 kann an ein Substrat **111** angelegt werden. Die zweite Löschspannung Vers2 kann eine hohe Spannung sein. Die sechste Spannung VSSL6 für Folgenansteuerungsleitungen und die vierte Spannung VGSL4 für Masseansteuerungsleitungen können einen Pegel zwischen der zweiten Löschspannung Vers2 und der Massespannung VSS aufweisen.

[0301] Wenn die zweite Löschspannung Vers2 geliefert wird, können Spannungen eines Speicherzellen-Array **410** variieren wie in [Fig. 10](#) dargestellt.

[0302] Im Schritt S413 kann eine Löschungsverifizierungsoperation durch Zuführen einer Löschungsverifizierungsspannung durchgeführt werden.

[0303] Die vierte Bitleitungsspannung VBL4 kann zu den Bitleitungen BL1 und BL2 geliefert werden. Die vierte Bitleitungsspannung VBL4 kann eine Versorgungsspannung VCC oder eine Spannung mit einem ähnlichen Pegel wie die Versorgungsspannung VCC sein.

[0304] Die siebte Spannung VSSL7 für Folgenansteuerungsleitungen kann zur ausgewählten Folgenansteuerungsleitung SSL1 geliefert werden. Die siebte Spannung VSSL7 für Folgenansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die ausgewählten Folgenansteuerungstransistoren SST1 einzuschalten. Die siebte Spannung VSSL7 für Folgenansteuerungsleitungen kann eine Lese-Spannung Vread für nichtausgewählte Leitungen oder die Versorgungsspannung VCC sein.

[0305] Die achte Spannung VSSL8 für Folgenansteuerungsleitungen kann an die nicht ausgewählte Folgenansteuerungsleitung SSL2 geliefert werden. Die achte Spannung VSSL8 für Folgenansteuerungsleitungen kann eine Spannung sein, die ausreicht, um die nicht ausgewählten Folgenansteuerungstransistoren SST2 einzuschalten. Die achte Spannung VSSL8 für Folgenansteuerungsleitungen kann eine Massespannung VSS oder eine niedrige Spannung

(entweder eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0306] Die zweite Verifizierungsspannung VFY2 kann zu Wortleitungen WL1 bis WL6 geliefert werden. Die zweite Verifizierungsspannung VFY2 kann eine Obergrenze von Schwellenspannungen von gelöschten Speicherzellen sein. Die zweite Verifizierungsspannung VFY2 kann die Massespannung VSS oder eine negative Spannung sein.

[0307] Die fünfte Spannung VGSL5 für Masseansteuerungsleitungen kann an eine Masseansteuerungsleitung GSL geliefert werden. Die fünfte Spannung VGSL5 für Masseansteuerungsleitungen kann eine Spannung sein, die ausreicht, um Masseansteuerungstristoren GST einzuschalten. Die fünfte Spannung VGSL5 für Masseansteuerungsleitungen kann eine Lese-Spannung Vread für nicht-ausgewählte Leitungen oder die Versorgungsspannung VCC sein.

[0308] Die dritte Spannung VCSL3 für gemeinsame Source-Leitungen kann zu einer gemeinsamen Source-Leitung CSL geliefert werden. Die dritte Spannung VCSL3 für gemeinsame Source-Leitungen kann die Massespannung VSS oder eine niedrige Spannung (eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0309] Die dritte Substratspannung VSUB3 kann zum Substrat 111 geliefert werden. Die dritte Substratspannung VSUB3 kann die Massespannung VSS oder eine niedrige Spannung (eine positive Spannung oder eine negative Spannung) mit einem ähnlichen Pegel wie die Massespannung VSS sein.

[0310] Wenn eine Lösungsverifizierungsspannung geliefert wird, können sich Spannungen im Speicherzellen-Array 410 ändern wie in [Fig. 12](#) dargestellt.

[0311] Wenn Speicherzellen MC1 bis MC6 in einer bestimmten Folge gemäß der zweiten Verifizierungsspannung VFY2 eingeschaltet werden, kann eine Spannung einer Bitleitung, die mit der bestimmten Folge verbunden ist, ausgehend von der vierten Bitleitungsspannung VBL4 sinken. Wenn mindestens eine Speicherzelle in der bestimmten Folge gemäß der zweiten Verifizierungsspannung VFY2 ausgeschaltet wird, kann eine Bitleitung, die mit der bestimmten Folge verbunden ist, die vierte Bitleitungsspannung VBL4 behalten. Ausgeschaltete Folgen können Folgen sein, deren Löschen fehlgeschlagen ist.

[0312] Wenn eine Spannung einer bestimmten Bitleitung niedriger ist als eine Bezugsspannung Vref,

kann eine Seitenspeichereinheit 430 den zweiten logischen Wert in einem (nicht dargestellten) Auffangregister bzw. Latch, das der bestimmten Bitleitung entspricht, speichern. Wenn eine Spannung der bestimmten Bitleitung höher ist als die Bezugsspannung Vref, kann die Seitenspeichereinheit 430 den ersten logischen Wert in einem (nicht dargestellten) Auffangregister speichern, das der bestimmten Bitleitung entspricht. Bitleitungen, die mit Off-Strings verbunden sind, können die vierte Bitleitungsspannung VBL4 behalten. Das heißt, die Seitenspeichereinheit 430 kann den ersten logischen Wert in Auffangregistern speichern, die Off-Strings entsprechen. Daten, die in der Seitenspeichereinheit 430 gespeichert sind, können ein Lösungsverifizierungsergebnis RR darstellen, das an eine Zähleinheit 450 geliefert wird.

[0313] Im Schritt S414 kann die Anzahl von Fehlschlags-Folgen gezählt werden. Die Fehlschlags-Folgen können Zellenfolgen anzeigen, bei denen ein Löschen fehlgeschlagen ist. Die Zähleinheit 450 kann den ersten logischen Wert des Lösungsverifizierungsergebnisses RR, d. h. die Anzahl der Folgen, bei denen ein Löschen fehlgeschlagen ist, zählen. Ein Zählwert CV kann an eine Pass/Fail-Überprüfungseinheit 460 gesendet werden.

[0314] In Schritt S415 kann die Anzahl der Fehlschlags-Folgen mit einem zweiten Bezugswert V2 verglichen werden. Die Pass/Fail-Überprüfungseinheit 460 kann den Zählwert CV mit dem zweiten Bezugswert V2 vergleichen, der in einem Register REG2 gespeichert ist. Wenn der Zählwert CV größer ist als der zweite Bezugswert V2, kann die Pass/Fail-Überprüfungseinheit 460 ein Signal FAIL ausgeben, das einen Fehlschlag anzeigt. Gemäß dem Signal FAIL, das einen Fehlschlag anzeigt, kann der Schritt S416 unter der Steuerung der Steuerlogik 470 durchgeführt werden. Im Schritt S416 kann eine Löschespannung geliefert werden, und eine zuvor ausgewählte Folgenansteuerungsleitung kann erneut ausgewählt werden. Danach geht das Verfahren zu Schritt S413 über.

[0315] Wenn der Zählwert CV unter dem zweiten Bezugswert V2 liegt, das heißt, wenn die Anzahl der Fehlschlags-Folgen unter dem zweiten Bezugswert V2 liegt, kann die Pass/Fail-Überprüfungseinheit 460 ein Signal PASS ausgeben, das ein Gelingen anzeigt. Gemäß dem Signal PASS, das ein Gelingen anzeigt, kann der Schritt S417 unter der Steuerung der Logik 470 ausgeführt werden.

[0316] Im Schritt S417 kann bestimmt werden, ob die ausgewählte Folgenansteuerungsleitung SSL1 eine letzte Folgenansteuerungsleitung ist. Wenn die Folgenansteuerungsleitung SSL1 nicht die letzte Folgenansteuerungsleitung ist, kann in Schritt S418 die nächste Folgenansteuerungsleitung SSL2 ausgewählt werden. Danach geht das Verfahren zu Schritt

S413 über. Wenn die ausgewählte Folgensteuerungsleitung SSL1 die letzte Folgensteuerungsleitung ist, kann das Verfahren beendet werden.

[0317] In einem Ausführungsbeispiel kann der zweite Bezugswert V2 die Anzahl der Bits anzeigen, die von einer (nicht dargestellten) Fehlerkorrigierungseinheit korrigiert werden können, die dafür ausgelegt ist, Fehler in Daten zu korrigieren, die aus einer nicht-flüchtigen Speichervorrichtung **400** ausgelesen werden. Der zweite Bezugswert V2 kann einen Wert aufweisen, der kleiner ist als eine von der (nicht dargestellten) Fehlerkorrigierungseinheit korrigierbare Fehlerbitzahl, und kann gemäß der korrigierbaren Fehlerbitzahl bestimmt werden. Beispielsweise kann der zweite Bezugswert V2 gemäß einem bestimmten Verhältnis zu einer korrigierbaren Fehlerbitzahl bestimmt werden.

[0318] Wie oben beschrieben, kann das Verfahren beendet werden, wenn die Anzahl der Fehlschlags-Folgen unter dem zweiten Bezugswert V2 liegt. Es kann bestimmt werden, dass Off-Strings Fehlschlags-Folgen sind. Das heißt, obwohl Off-Strings vorhanden sind, kann die nicht-flüchtige Speichervorrichtung **400** normal arbeiten.

[0319] In einem Ausführungsbeispiel, das mit Bezug auf [Fig. 16](#) und [Fig. 17](#) beschrieben wird, kann die nicht-flüchtige Speichervorrichtung **400** so ausgelegt sein, dass sie eine Vorab-Leseoperation durchführt.

[0320] [Fig. 22](#) ist ein Blockschema, das eine nicht-flüchtige Speichervorrichtung **500** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 22](#) dargestellt, kann die nicht-flüchtige Speichervorrichtung **500** ein Speicherzellen-Array **510**, eine Adressen-Decodiereinheit **520**, einen Seitenspeichereinheit **530**, eine Daten-Eingabe-/Ausgabebeeinheit **540**, eine Zählereinheit **550**, eine Pass/Fail-Überprüfungseinheit **560** und eine Steuerlogik **570** aufweisen.

[0321] Die Elemente **510**, **520**, **540**, **550** und **570** können denen gleich sein, die in [Fig. 19](#) dargestellt sind.

[0322] Der Seitenspeicher **530** kann einen Ripple-Carry-Kalkulator **531** aufweisen. Der Ripple-Carry-Kalkulator **531** kann ein Summensignal SUM und ein Übertragungssignal CARRY gemäß einem Lösungsverifizierungs-Leseergebnis ausgeben.

[0323] Die Zählereinheit **550** kann dafür ausgelegt sein, das Summensignal SUM von der Seitenspeichereinheit **530** zu empfangen. Die Zählereinheit **550** kann so ausgelegt sein, dass sie zählt, wie oft das Summensignal SUM aktiviert wird. Die Zählereinheit **550** kann einen Zählwert CV ausgeben.

[0324] Die Pass/Fail-Überprüfungseinheit **560** kann das Übertragungssignal CARRY von der Seitenspeichereinheit **530** und den Zählwert CV von der Zählereinheit **550** empfangen. Wenn das Übertragungssignal CARRY aktiviert ist, kann die Pass/Fail-Überprüfungseinheit **560** ein Signal FAIL aktivieren, dass einen Fehlschlag anzeigt. Wenn das Übertragungssignal in einem inaktiven Zustand ist, kann die Pass/Fail-Überprüfungseinheit **560** den Zählwert CV mit einem Bezugswert vergleichen, der in einem Register REG3 gespeichert ist, um ein Signal PASS, das ein Gelingen anzeigt, oder ein Signal FAIL, das einen Fehlschlag anzeigt, gemäß einem Vergleichsergebnis auszugeben.

[0325] [Fig. 23](#) ist ein Flussdiagramm, das ein Lösungsverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 7](#), [Fig. 22](#) und [Fig. 23](#) dargestellt ist, kann in Schritt S511 eine Löschspannung geliefert werden.

[0326] Im Schritt S512 kann die erste Folgensteuerungsleitung SSL1 ausgewählt werden. Im Schritt S513 kann eine Lösungsverifizierungsoperation durch Zuführen einer Lösungsverifizierungsspannung durchgeführt werden. Spannungen, die in Schritt S512 und S513 zu einem Speicherzellen-Array **510** geliefert werden, können denen gleich sein, die in [Fig. 21](#) dargestellt sind. Wenn die Schritte S512 und S513 ausgeführt werden, kann ein Lösungsverifizierungs-Leseergebnis in (nicht dargestellten) Auffangregistern, die in der Seitenspeichereinheit **530** enthalten sind, gespeichert werden. Beispielsweise kann der zweite logische Wert in (nicht dargestellten) Auffangregistern gespeichert werden, die Folgen entsprechen, die erfolgreich gelöscht worden sind, und der erste logische Wert kann in (nicht dargestellten) Auffangregistern gespeichert werden, die Folgen entsprechen, bei denen das Löschen fehlgeschlagen ist.

[0327] In Schritt S514 können ein Summensignal SUM und ein Übertragungssignal CARRY erzeugt werden. Der Ripple-Carry-Kalkulator **531** der Seitenspeichereinheit **530** kann die Summen- und Übertragungssignale SUM und CARRY gemäß dem Lösungsverifizierungs-Leseergebnis erzeugen. Dies wird ausführlicher mit Bezug auf [Fig. 24](#) beschrieben.

[0328] In Schritt S515 wird bestimmt, ob das Übertragungssignal CARRY in einem inaktiven Zustand ist. Wenn das Übertragungssignal CARRY in einem aktiven Zustand ist, kann die Pass/Fail-Überprüfungseinheit **560** ein Signal FAIL erzeugen, dass einen Fehlschlag anzeigt. Gemäß dem Signal FAIL, das einen Fehlschlag anzeigt, kann ein Schritt S516 unter der Steuerung der Steuerlogik **570** ausgeführt werden. Im Schritt S516 kann eine Löschoption durchgeführt werden, und eine zuvor ausgewählte Folgensteuerungsleitung kann erneut ausgewählt

werden. Danach geht das Verfahren zu Schritt S513 über.

[0329] Wenn das Übertragungssignal CARRY in einem inaktiven Zustand ist, geht das Verfahren zu Schritt S517 weiter, in dem eine Häufigkeit, mit der das Summensignal SUM aktiviert wird, mit einem dritten Bezugswert V3 verglichen wird. Die Zählereinheit **550** kann der Pass/Fail-Überprüfungseinheit **560** einen Zählwert CV senden, der anzeigt, wie oft das Summensignal SUM aktiviert worden ist. Die Pass/Fail-Überprüfungseinheit **560** kann ein Signal FAIL, das einen Fehlschlag anzeigt, erzeugen, wenn der Zählwert CV größer ist als der dritte Bezugswert V3. Gemäß dem Signal FAIL, das einen Fehlschlag anzeigt, kann der Schritt S516 unter der Steuerung der Steuerlogik **570** durchgeführt werden. Wenn der Zählerwert CV unter dem dritten Bezugswert V3 liegt, kann die Pass/Fail-Überprüfungseinheit **560** ein Signal PASS erzeugen, das ein Gelingen anzeigt. Gemäß dem Signal PASS, das ein Gelingen anzeigt, kann ein Schritt S518 unter der Steuerung der Steuerlogik **570** durchgeführt werden.

[0330] Im Schritt S518 kann bestimmt werden, ob die ausgewählte Folgenansteuerungsleitung SSL1 eine letzte Folgenansteuerungsleitung ist. Wenn die ausgewählte Folgenansteuerungsleitung SSL1 nicht die letzte Folgenansteuerungsleitung ist, kann in Schritt S519 die nächste Folgenansteuerungsleitung SSL2 ausgewählt werden. Danach geht das Verfahren zu Schritt S513 über. Wenn die ausgewählte Folgenansteuerungsleitung SSL1 die letzte Folgenansteuerungsleitung ist, kann das Verfahren beendet werden.

[0331] [Fig. 24](#) ist ein Flussdiagramm, das ein Verfahren zur Erzeugung eines Summensignals und eines Übertragungssignals darstellt. Wie in [Fig. 7](#), [Fig. 22](#) und [Fig. 24](#) dargestellt ist, kann in Schritt S521 eine erste Gruppe von Lösungsverifizierungs-Leseergebnissen ausgewählt werden. Beispielsweise kann das Lösungsverifizierungs-Leseergebnis in eine Mehrzahl von Gruppen unterteilt werden, und die erste von den eingeteilten Gruppen kann ausgewählt werden.

[0332] In Schritt S522 kann bestimmt werden, ob die Anzahl der Fehlschlags-Folgen, die von einem Lösungsverifizierungs-Leseergebnis der ausgewählten Gruppe dargestellt wird, eins ist. In einem Ausführungsbeispiel kann der erste logische Wert eines Verifizierungsergebnisses der ausgewählten Gruppe eine Fehlschlags-Folge anzeigen. Es kann bestimmt werden, ob die Anzahl der ersten logischen Werte des Verifizierungsergebnisses der ausgewählten Gruppe 1 ist. Wenn dies der Fall ist, geht das Verfahren zu Schritt S523 weiter. Wenn dies nicht der Fall ist, geht das Verfahren zu Schritt S524 weiter. In Schritt S523 wird ein Summensignal SUM aktiviert. Der Ripple-Carry-Kalkulator **531** kann das Summen-

signal SUM aktivieren. Danach geht das Verfahren zu Schritt S526 weiter.

[0333] In Schritt S524 kann bestimmt werden, ob die Anzahl der Fehlschlags-Folgen größer als 2 ist. In einem Ausführungsbeispiel kann bestimmt werden, ob die Anzahl der ersten logischen Werte des Verifizierungsergebnisses der ausgewählten Gruppe größer als 2 ist. Wenn dies der Fall ist, geht das Verfahren zum Schritt S525 weiter. Wenn dies nicht der Fall ist, geht das Verfahren zum Schritt S526 weiter. Im Schritt S525 kann ein Übertragungssignal CARRY aktiviert werden. Danach geht das Verfahren zu Schritt S526 weiter.

[0334] Wenn die Schritte S522 bis S525 ausgeführt werden, kann die Seitenspeichereinheit **530** das Summensignal SUM oder das Übertragungssignal CARRY aktivieren oder kann das Summensignal SUM und das Übertragungssignal CARRY aktivieren. Wenn eine Fehlschlags-Folge erfasst wird, kann das Summensignal SUM aktiviert werden. Wenn zwei oder mehr Fehlschlags-Folgen erfasst werden, kann das Übertragungssignal CARRY aktiviert werden.

[0335] In Schritt S526 kann bestimmt werden, ob eine ausgewählte Gruppe eine letzte Gruppe ist. Wenn die ausgewählte Gruppe nicht die letzte Gruppe ist, können die Summen- und Übertragungssignale SUM und CARRY inaktiviert werden, und eine nächste Gruppe kann in der Operation in Schritt S527 ausgewählt werden. Danach geht das Verfahren zu Schritt S521 über. Wenn die ausgewählte Gruppe die letzte Gruppe ist, kann die Erzeugung der Summen- und Übertragungssignale SUM und CARRY beendet werden.

[0336] Wie mit Bezug auf [Fig. 24](#) beschrieben wird, kann das Signal FAIL, das einen Fehlschlag anzeigt, aktiviert werden, wenn das Übertragungssignal CARRY aktiviert wird. Das heißt, wenn zwei oder mehr Fehlschlags-Folgen aus einem Lösungsverifizierungs-Leseergebnis einer ausgewählten Gruppe erfasst werden, kann bestimmt werden, dass das Löschen fehlgeschlagen ist.

[0337] Wenn das Übertragungssignal CARRY in einem inaktivierten Zustand ist, kann eine Häufigkeit, mit der das Summensignal SUM aktiviert wird, mit dem dritten Bezugswert V3 verglichen werden, und es kann gemäß einem Vergleichsergebnis bestimmt werden, ob ein Löschen fehlgeschlagen ist oder ob ein Löschen gelungen ist. Das heißt, wenn keine Gruppe zwei oder mehr Fehlschlag-Folgen aufweist, und die Anzahl der Fehlschlag-Folgen eines gesamten Lösungsverifizierungs-Leseergebnisses unter dem dritten Bezugswert V3 liegt, kann bestimmt werden, dass das Löschen gelungen ist.

[0338] Der dritte Bezugswert V3 kann die Anzahl der Bits anzeigen, die von einer (nicht dargestellten) Fehlerkorrigierungseinheit korrigiert werden können, die dafür ausgelegt ist, Fehler in Daten, die aus einer nicht-flüchtigen Speichervorrichtung **500** ausgelesen werden, zu korrigieren. Der dritte Bezugswert V3 kann einen Wert aufweisen, der kleiner ist als eine Anzahl von Fehlerbits, die von der (nicht dargestellten) Fehlerkorrigierungseinheit korrigiert werden können, und kann gemäß der Anzahl der Fehlerbits bestimmt werden, die korrigiert werden können. Beispielsweise kann der dritte Bezugswert V3 gemäß einem bestimmten Verhältnis zu korrigierbaren Fehlerbitnummer bestimmt werden.

[0339] [Fig. 25](#) ist ein Blockschema, das einen Ripple-Carry-Kalkulator **531** der nichtflüchtigen Speichervorrichtung **500** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. In einem Ausführungsbeispiel kann die Seitenspeichereinheit **530** eine Struktur aufweisen, die in [Fig. 14](#) dargestellt ist. Seitenspeicher-Signalleitungen PBS1 bis PBS2 können mit einem Ripple-Carry-Kalkulator **531** verbunden sein.

[0340] Wie in [Fig. 7](#), [Fig. 14](#), [Fig. 22](#) und [Fig. 25](#) dargestellt ist, kann der Ripple-Carry-Kalkulator **531** eine Mehrzahl von Kalkulatoren C1 bis Ck aufweisen. Benachbarte von den Seitenspeicher-Signalleitungen PBS1 bis PBSm können mit ein und demselben Kalkulator verbunden sein. Beispielsweise können die ersten und zweiten Seitenspeicher-Signalleitungen PBS1 und PBS2 mit dem ersten Kalkulator C1 verbunden sein, die dritten und vierten Seitenspeicher-Signalleitungen PBS3 und PBS4 können mit dem zweiten Kalkulator C2 verbunden sein, und die Seitenspeicher-Signalleitungen PBSm-1 und PBSm können mit dem Kalkulator Ck verbunden sein.

[0341] Da Übermittlungssignale PF1 bis PFn nacheinander aktiviert werden, können die Seitenspeicher PB1 bis PBn ein Lösungsverifizierungs-Lesergebnis sequentiell an die Seitenspeicher-Signalleitungen PBS1 bis PBSm ausgeben. Das heißt, ein Lösungsverifizierungs-Lesergebnis kann nach Stufen Stage1 bis Stagen der Seitenspeicher PB1 bis PBn in eine Mehrzahl von Gruppen unterteilt werden.

[0342] Der erste Kalkulator C1 kann logische Werte der ersten und zweiten Seitenspeicher-Signalleitungen PBS1 bis PBS2 addieren, um das erste Summensignal SUM1 auszugeben. Beispielsweise kann der erste Kalkulator C1 das erste Summensignal SUM1 durch Ausführen einer XOR-Operation mit den logischen Werten der ersten und zweiten Seitenspeicher-Signalleitungen PBS1 und PBS2 ausgeben. Wenn die ersten und zweiten Seitenspeicher-Signalleitungen PBS1 und PBS2 den ersten logischen Wert (z. B. einen H-Pegel) aufweisen, kann der erste Kal-

kulator C1 das erste Übertragungssignal CARRY1 als den ersten logischen Wert ausgeben.

[0343] Der zweite Kalkulator C2 kann das zweite Summensignal SUM2 durch Ausführen einer XOR-Operation mit den logischen Werten der dritten und vierten Seitenspeicher-Signalleitungen PBS3 und PBS4 ausgeben. Wenn die dritten und vierten Seitenspeicher-Signalleitungen PBS3 und PBS4 den ersten logischen Wert aufweisen oder wenn ein XOR-Wert von logischen Werten der dritten und vierten Seitenspeicher-Signalleitungen PBS3 und PBS4 und das erste Summensignal SUM1 den ersten logischen Wert aufweisen, kann der zweite Kalkulator C2 das zweite Übertragungssignal CARRY2 als den ersten logischen Wert ausgeben. Wenn das erste Übertragungssignal CARRY1 den ersten logischen Wert aufweist, kann der zweite Kalkulator C2 das zweite Übertragungssignal CARRY2 als den ersten logischen Wert übertragen.

[0344] Der Kalkulator Ck kann genauso arbeiten wie der zweite Kalkulator C2. Der Kalkulator Ck kann ein Summensignal SUM und ein Übertragungssignal CARRY auf Basis von Ausgangssignalen einer Seitenspeichereinheit **530** und von Ausgangssignalen einer vorangehenden Stufe ausgeben. Wenn das Summensignal SUM oder das Übertragungssignal CARRY den ersten logischen Wert hat, kann das Summensignal SUM oder das Übertragungssignal CARRY aktiviert werden. Das Summensignal kann an eine Zählereinheit **550** geschickt werden, und das Übertragungssignal CARRY kann an eine Pass/Fail-Überprüfungseinheit **560** geschickt werden.

[0345] Wie oben beschrieben, kann bestimmt werden, dass ein Löschen gelungen ist, wenn die Anzahl von Fehlschlag-Folgen in einem korrigierbaren Bereich liegt. In einer Löschoperation kann bestimmt werden, dass Off-Strings Fehlschlag-Folgen sind. Somit kann die nicht-flüchtige Speichervorrichtung auch dann normal arbeiten, wenn Off-Strings vorhanden sind.

[0346] [Fig. 26](#) ist ein Schaltplan, der eine Ersatzschaltung BLKa2 eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Die Ersatzschaltung BLKa2 von [Fig. 26](#) kann sich von der, die in [Fig. 7](#) dargestellt ist, dahingehend unterscheiden, dass in jeder Zellenfolge laterale Transistoren LTR hinzugefügt sind.

[0347] Wie in [Fig. 3](#) bis [Fig. 6](#) und [Fig. 26](#) dargestellt ist, können laterale Transistoren LTR in jeder Zellenfolge zwischen einen Masseansteuerungstransistor GST und eine gemeinsame Source-Leitung CSL geschaltet sein. Gates der lateralen Transistoren LTR in jeder Zellenfolge können zusammen mit einem Gate (oder einem Steuer-Gate) eines Masseansteue-

nungstransistor GST mit einer Masseansteuerungsleitung GSL verbunden sein.

[0348] Kanalschichten **114** können als vertikale Bodies bzw. Substrate aus dem ersten leitfähigen Material CM1 dienen. Das heißt, die ersten leitfähigen Materialien CM1 können zusammen mit den Kanalschichten **114** vertikale Transistoren bilden. Die ersten leitfähigen Materialien CM1 können zusammen mit den Kanalschichten **114** Masseansteuerungstransistoren bilden, die vertikal zum Substrat **111** sind.

[0349] Informationsspeicherschichten **116** können zwischen dem Substrat **111** und den ersten leitfähigen Materialien CM1 vorgesehen sein. Das Substrat **111** kann als ein horizontaler Body aus den ersten leitfähigen Materialien CM1 dienen. Das heißt, die ersten leitfähigen Materialien CM1 können zusammen mit dem Substrat **111** die vertikalen Transistoren LTR bilden.

[0350] Wenn eine Spannung an die ersten leitfähigen Materialien CM1 angelegt wird, kann ein elektrisches Feld zwischen den ersten leitfähigen Materialien CM1 und den Kanalschichten **114** erzwungen werden. Das elektrische Feld kann bewirken, dass Kanäle an den Kanalschichten **114** gebildet werden können. Wenn eine Spannung an die ersten leitfähigen Materialien CM1 angelegt wird, kann ein elektrisches Feld zwischen den ersten leitfähigen Materialien CM1 und dem Substrat **111** erzwungen werden. Das elektrische Feld kann bewirken, dass Kanäle am Substrat **111** ausgebildet werden können. Kanäle, die am Substrat **111** ausgebildet werden, können mit gemeinsamen Source-Regionen CSR und den Kanalschichten **114** verbunden werden. Wenn eine Spannung an die Masseansteuerungsleitung GSL angelegt wird, können die Masseansteuerungstransistoren GST und die lateralen Transistoren LTR eingeschaltet werden. Dies kann bewirken, dass Zellenfolgen CS11, CS12, CS21 und CS22 mit einer gemeinsamen Source-Leitung CSL verbunden werden können.

[0351] [Fig. 27](#) ist ein Schaltplan, der eine Ersatzschaltung BLKa3 eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee zeigt. Die Ersatzschaltung BLKa3 von [Fig. 27](#) kann sich von der, die in [Fig. 7](#) dargestellt ist, dahingehend unterscheiden, dass Masseansteuerungstransistoren GST mit den ersten und zweiten Masseansteuerungsleitungen GSL1 und GSL2 verbunden sind. Wie in [Fig. 3](#), [Fig. 6](#) und [Fig. 27](#) dargestellt ist, können die ersten leitfähigen Materialien CM1 die ersten und zweiten Masseansteuerungsleitungen GSL1 und GSL2 bilden.

[0352] Speicherzellen können auf die gleiche Weise gelöscht werden, wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#)

beschrieben. Eine Einschaltspannung kann an eine ausgewählte Masseansteuerungsleitung angelegt werden, und eine Ausschaltspannung kann an eine nicht-ausgewählte Masseansteuerungsleitung angelegt werden. Die ausgewählte Masseansteuerungsleitung kann ebenso wie eine ausgewählte Folgenansteuerungsleitung vorgespannt werden, und die nicht-ausgewählte Masseansteuerungsleitung kann auf die gleiche Weise vorgespannt werden wie eine nicht ausgewählte Folgenansteuerungsleitung.

[0353] Ein Vorab-Lesen in Bezug auf Speicherzellen MC1 bis MC6 kann auf die gleiche Weise durchgeführt werden, wie mit Bezug auf [Fig. 16](#) und [Fig. 17](#) beschrieben. Eine Einschaltspannung kann an eine ausgewählte Masseansteuerungsleitung angelegt werden, und eine Ausschaltspannung kann an eine nicht-ausgewählte Masseansteuerungsleitung angelegt werden. Die ausgewählte Masseansteuerungsleitung kann ebenso wie eine ausgewählte Folgenansteuerungsleitung vorgespannt werden, und die nicht-ausgewählte Masseansteuerungsleitung kann auf die gleiche Weise vorgespannt werden wie eine nicht ausgewählte Folgenansteuerungsleitung.

[0354] Wie mit Bezug auf [Fig. 26](#) beschrieben wird, können laterale Transistoren LTR für die Ersatzschaltung BLKa3 vorgesehen sein.

[0355] [Fig. 28](#) ist ein Schaltplan, der eine Ersatzschaltung BLKa4 eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 3](#) bis [Fig. 6](#) und [Fig. 28](#) dargestellt ist, kann eine Mehrzahl von Unterblöcken vorgesehen sein. In dieser Ausführungsform können die zweiten und dritten leitenden Materialien CM2 und CM3 die ersten und zweiten Speicherzellen MC1 und MC2 bilden, die als erster Unterblock verwendet werden. Die sechsten und siebten leitenden Materialien CM6 und CM7 können die dritten und vierten Speicherzellen MC3 und MC4 bilden, die als zweiter Unterblock verwendet werden. Die vierten und fünften leitenden Materialien CM4 und CM5 können die ersten und zweiten Leerspeicherzellen DMC1 und DMC2 bilden, die zwischen den ersten und zweiten Unterblöcken vorgesehen sind. Die ersten und zweiten Unterblöcke können unabhängig voneinander programmiert, gelesen und gelöscht werden.

[0356] Speicherzellen MC1 bis MC4 können auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Spannungen, die zum Speicherblock BLKa4 geliefert werden, wenn die Speicherzellen MC1 bis MC4 gemäß einem Verfahren gelöscht werden, das mit Bezug auf [Fig. 8](#) bis [Fig. 13](#) beschrieben wird, sind in [Fig. 29](#) dargestellt. Wenn eine Löschspannung Vers1 geliefert wird, kann die erste Wortleitungs-Löschspannung Vers1 im Gegensatz zu Spannungen, die in [Fig. 9](#) dargestellt sind,

an Wortleitungen eines ausgewählten Unterblocks geliefert werden, und Wortleitungen eines nicht-ausgewählten Unterblocks können floaten oder er kann mit der ersten Wortleitungsspannung Vwe1 und einer Massespannung VSS beliefert werden.

[0357] Leerwortleitungen DWL1 und DWL2 können floaten oder sie können mit der ersten Leerwortleitungsspannung VDWL1 beliefert werden. Die erste Leerwortleitungsspannung VDWL1 kann einen Pegel zwischen einer Löschspannung Vwe1 und einer Massespannung VSS aufweisen.

[0358] Wenn die erste Löschspannung Vers1 geliefert wird, können Speicherzellen eines ausgewählten Unterblocks gelöscht werden, und Speicherzellen eines nicht-ausgewählten Unterblocks und Leerspeicherzellen können nicht gelöscht werden.

[0359] Wenn eine Vorab-Leseoperation ausgeführt wird, kann die erste hohe Spannung VH1 an Wortleitungen WL1 bis WL4 angelegt werden. Die erste hohe Spannung VH1 kann eine Lesespannung Vread für nicht-ausgewählte Leitungen sein. Die zweite Leerwortleitungsspannung VDWL2 kann einen Pegel haben, der ausreicht, um Leerspeicherzellen DMC1 und DMC2 einzuschalten. Die zweite Leerwortleitungsspannung VDWL2 kann den gleichen oder einen niedrigeren Pegel aufweisen als die Lesespannung Vread für nicht-ausgewählte Leitungen.

[0360] Wenn eine Lösungsverifizierungsoperation durchgeführt wird, kann eine Verifizierungsspannung VFY1 an Wortleitungen eines ausgewählten Unterblocks angelegt werden, und die zweite hohe Spannung VH2 kann zu Wortleitungen eines nicht ausgewählten Unterblocks geliefert werden. Die zweite hohe Spannung H2 kann eine Lesespannung Vread für nicht-ausgewählte Leitungen sein. Die dritte Leerwortleitungsspannung VDWL3 kann an Leerwortleitungen DWL1 und DWL2 angelegt werden. Die dritte Leerwortleitungsspannung VDWL3 kann einen Pegel aufweisen, der ausreicht, um Leerspeicherzellen DMC1 und DMC2 einzuschalten. Die dritte Leerwortleitungsspannung VDWL3 kann den gleichen oder einen niedrigeren Pegel aufweisen als die Lesespannung Vread für nicht-ausgewählte Leitungen.

[0361] Spannungen, die zum Speicherblock BLKa4 geliefert werden, wenn Speicherzellen gemäß einem Verfahren gelöscht werden, das mit Bezug auf [Fig. 20](#) und [Fig. 21](#) beschrieben wird, sind in [Fig. 30](#) dargestellt. Wenn eine Löschspannung Vers2 geliefert wird, kann im Gegensatz zu Spannungen, die in [Fig. 21](#) dargestellt sind, eine Wortleitungs-Löschspannung Vwe2 an Wortleitungen eines ausgewählten Unterblocks geliefert werden, und Wortleitungen eines nicht-ausgewählten Unterblocks können floaten, oder er kann mit der zweiten Wortleitungsspannung Vwe2 und einer Massespannung VSS belie-

fert werden. Die zweite Wortleitungsspannung VWL2 kann einen Pegel zwischen der zweiten Wortleitungsspannung Vwe2 und einer Massespannung VSS aufweisen.

[0362] Leerwortleitungen DWL1 und DWL2 können floaten oder sie können mit der vierten Leerwortleitungsspannung VDWL4 beliefert werden. Die vierte Leerwortleitungsspannung VDWL4 kann einen Pegel zwischen der Löschspannung Vwe2 und einer Massespannung VSS aufweisen.

[0363] Wenn eine Lösungsverifizierungsoperation durchgeführt wird, kann eine Verifizierungsspannung VFY2 an Wortleitungen eines ausgewählten Unterblocks angelegt werden, und die dritte Wortleitungsspannung VWL3 kann an Wortleitungen eines nicht ausgewählten Unterblocks angelegt werden. Die dritte Wortleitungsspannung VWL3 kann einen Pegel aufweisen, der ausreicht, um Speicherzellen einzuschalten. Die dritte Wortleitungsspannung VWL3 kann den gleichen oder einen niedrigeren Pegel aufweisen als die Lesespannung Vread für nicht-ausgewählte Leitungen.

[0364] Die fünfte Leerwortleitung VDWL kann an Leerwortleitungen DWL1 und DWL2 angelegt werden. Die fünfte Leerwortleitungsspannung VDWL5 kann eine Spannung sein, die ausreicht, um Leerspeicherzellen DMC1 und DMC2 einzuschalten. Die fünfte Leerwortleitungsspannung VDWL5 kann einen gleichen oder einen niedrigeren Pegel aufweisen als die Lesespannung Vread für nicht-ausgewählte Leitungen.

[0365] Wenn Speicherzellen MC1 bis MC4 gemäß einem Verfahren gelöscht werden, das mit Bezug auf [Fig. 20](#) und [Fig. 21](#) beschrieben wird, können Spannungen, die zum Speicherblock BLKa4 geliefert werden, denen gleich sein, die in [Fig. 29](#) dargestellt sind.

[0366] Wenn eine Vorab-Leseoperation in Bezug auf Speicherzellen MC1 bis MC4 gemäß einem Verfahren durchgeführt wird, das mit Bezug auf [Fig. 16](#) und [Fig. 17](#) beschrieben wird, können Spannungen, die zum Speicherblock BLKa4 geliefert werden, Spannungen gleich sein, die in den Schritten S113 und S114 von [Fig. 29](#) geliefert werden.

[0367] Wie mit Bezug auf [Fig. 26](#) beschrieben wird, können laterale Transistoren LTR für die Ersatzschaltung BLKa4 vorgesehen sein.

[0368] [Fig. 31](#) ist ein Schaltplan, der eine Ersatzschaltung BLKa5 eines Abschnitts EC von [Fig. 3](#) gemäß einer Ausführungsform der erfinderschen Idee darstellt. Wie in [Fig. 3](#) bis [Fig. 6](#) und [Fig. 31](#) dargestellt ist, können die ersten und zweiten leitenden Materialien CM1 und CM2 Masseansteuerungstransistoren GSTa und GSTb bilden, die auf der ersten bzw.

der zweiten Höhe liegen. Die siebten und achten leitenden Materialien CM7 und CM8 können Folgenansteuerungstristoren SSTa und SSTb bilden, die eine siebte bzw. eine achte Höhe aufweisen. Die dritten bis sechsten leitenden Materialien CM3 bis CM6 können die ersten bis vierten Speicherzellen MC1 bis MC4 bilden.

[0369] Die ersten und zweiten leitenden Materialien CM1 und CM2 können gemeinsam verbunden sein, um eine (nicht dargestellte) Masseansteuerungsleitung GSL zu bilden. Das erste leitende Material CM1 kann gemeinsam verbunden sein, um eine (nicht dargestellte) Masseansteuerungsleitung auf der ersten Höhe zu bilden. Das zweite leitende Material CM2 kann gemeinsam verbunden sein, um eine (nicht dargestellte) Masseansteuerungsleitung auf der zweiten Höhe zu bilden.

[0370] Die Zellenfolgen CS11 und CS12 können mit zwei (nicht dargestellten) Masseansteuerungsleitungen verbunden sein, die auf der ersten bzw. auf der zweiten Höhe liegen, und werden von den ersten und zweiten leitenden Materialien CM1 und CM2 gebildet. Die Zellenfolgen CS21 und CS22 können mit zwei (nicht dargestellten) Masseansteuerungsleitungen verbunden sein, die auf der ersten bzw. der zweiten Höhe liegen, und werden von den ersten und zweiten leitenden Materialien CM1 und CM2 gebildet. Leitende Materialien die mindestens drei Höhen entsprechen, können Masseansteuerungstristoren bilden.

[0371] Die Zellenfolgen CS11 und CS12 können mit zwei Folgenansteuerungsleitungen SSL1a und SSL1b verbunden sein, die auf der siebten bzw. der achten Höhe liegen und die von den siebten und achten leitenden Materialien CM7 und CM8 gebildet werden. Die Zellenfolgen CS21 und CS22 können mit zwei Folgenansteuerungsleitungen SSL2a und SSL2b verbunden sein, die auf der siebten bzw. der achten Höhe liegen und die von den siebten und achten leitenden Materialien CM7 und CM8 gebildet werden. Leitende Materialien, die jeweils mindestens drei Höhen entsprechen, können Folgenansteuerungstristoren bilden.

[0372] Die Speicherzellen MC1 bis MC4 können auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Eine Vorab-Leseoperation kann in Bezug auf die Speicherzellen MC1 bis MC4 auf die gleiche Weise durchgeführt werden, die in [Fig. 16](#) und [Fig. 17](#) beschrieben ist.

[0373] Wie bei der Ersatzschaltung BLKa2, die mit Bezug auf [Fig. 26](#) beschrieben ist, können laterale Transistoren LTR für die Ersatzschaltung BLKa5 von [Fig. 31](#) vorgesehen sein. Wie bei der Ersatzschaltung BLKa3, die mit Bezug auf [Fig. 27](#) beschrieben

wird, können Zellenfolgen CS11 und CS12 mit einer (nicht dargestellten) Masseansteuerungsleitung verbunden sein, und Zellenfolgen CS21 und CS22 können mit einer anderen (nicht dargestellten) Masseansteuerungsleitung verbunden sein. Wie bei der Ersatzschaltung BLKa4, die mit Bezug auf [Fig. 28](#) beschrieben wird, können Speicherzellen MC eine Mehrzahl von Unterblöcken bilden.

[0374] [Fig. 32](#) ist ein Schaltplan, der eine Ersatzschaltung BLKa6 eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Die Ersatzschaltung BLKa6 von [Fig. 32](#) kann sich von derjenigen, die in [Fig. 31](#) dargestellt ist, dahingehend unterscheiden, dass sich Folgenansteuerungstristoren SSTa und SSTb eine Folgenansteuerungsleitung teilen. Folgenansteuerungstristoren SSTa und SSTb in Zellenfolgen CS11 und CS12 können gemeinsam mit der ersten Folgenansteuerungsleitung SSL1 verbunden sein, und Folgenansteuerungstristoren SSTa und SSTb in Zellenfolgen CS21 und CS22 können gemeinsam mit der zweiten Folgenansteuerungsleitung SSL2 verbunden sein.

[0375] Die Speicherzellen MC1 bis MC4 können auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Eine Vorab-Leseoperation kann in Bezug auf die Speicherzellen MC1 bis MC4 auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0376] Wie bei der Ersatzschaltung BLKa2, die mit Bezug auf [Fig. 26](#) beschrieben wird, können laterale Transistoren LTR für die Ersatzschaltung BLKa6 vorgesehen sein. Wie bei der Ersatzschaltung BLKa3, die mit Bezug auf [Fig. 27](#) beschrieben wird, können Zellenfolgen CS11 und CS12 mit einer (nicht dargestellten) Masseansteuerungsleitung verbunden sein, und Zellenfolgen CS21 und CS22 können mit einer anderen (nicht dargestellten) Masseansteuerungsleitung verbunden sein. Wie bei der Ersatzschaltung BLKa4, die mit Bezug auf [Fig. 28](#) beschrieben wird, können die Speicherzellen MC eine Mehrzahl von Unterblöcken bilden.

[0377] [Fig. 33](#) ist ein Schaltplan, der eine Ersatzschaltung BLKa7 eines Abschnitts EC von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 3](#) bis [Fig. 6](#) und [Fig. 33](#) dargestellt ist, können die zweiten leitenden Materialien CM2 die ersten Leerspeicherzellen DMC1 bilden, und die siebten leitenden Materialien CM7 können die zweiten Leerspeicherzellen DMC2 bilden.

[0378] In einem Ausführungsbeispiel können leitende Materialien, die zwei oder mehr Höhen entsprechen, (nicht dargestellte) Leerspeicherzellen bilden, die zwischen Speicherzellen und einem Massean-

steuerungstransistor GST angeordnet sind. Leitende Materialien, die zwei oder mehr Höhen entsprechen, können (nicht dargestellte) Leerspeicherzellen bilden, die zwischen Speicherzellen und einem Folgensteuerungstransistor SST angeordnet sind. (Nicht dargestellte) Leerspeicherzellen können so angeordnet sein, dass sie an irgendeinen der Masse- und Folgensteuerungstransistoren GST und SST angrenzen.

[0379] Die Speicherzellen MC1 bis MC4 können auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Eine Vorab-Leseoperation kann mit Bezug auf die Speicherzellen MC1 bis MC4 auf die gleiche Weise durchgeführt werden wie mit Bezug auf [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0380] Spannungen, die an Leerwortleitungen DWL1 und DWL2 angelegt werden, können Leerwortleitungs-Spannungen VDWL1 bis VDWL2 sein, die mit Bezug auf [Fig. 29](#) und [Fig. 30](#) beschrieben werden.

[0381] Wie bei der Ersatzschaltung BLKa2, die mit Bezug auf [Fig. 26](#) beschrieben wird, können laterale Transistoren LTR für die Ersatzschaltung BLKa6 vorgesehen sein. Wie bei der Ersatzschaltung BLKa3, die mit Bezug auf [Fig. 27](#) beschrieben wird, können Zellenfolgen CS11 und CS12 mit einer (nicht dargestellten) Masseansteuerungsleitung verbunden sein, und Zellenfolgen CS21 und CS22 können mit einer anderen (nicht dargestellten) Masseansteuerungsleitung verbunden sein. Wie bei der Ersatzschaltung BLKa4, die mit Bezug auf [Fig. 28](#) beschrieben ist, können Speicherzellen MC eine Mehrzahl von Unterblöcken bilden. Wie mit Bezug auf [Fig. 31](#) beschrieben wird, können leitfähige Materialien, die auf zwei oder mehr Höhen liegen, Folgensteuerungstransistoren SSTA und SSTb bilden. Leitende Materialien, die auf zwei oder mehr Höhen liegen, können Masseansteuerungsleitungen GSTa und GSTb bilden. Wie mit Bezug auf [Fig. 32](#) beschrieben ist, können Folgensteuerungstransistoren SSTA und SSTb der gleichen Zeile mit einer Folgensteuerungsleitung SSL1 oder SSL2 verbunden sein.

[0382] [Fig. 34](#) ist eine perspektivische Ansicht entlang einer Linie IV-IV' von [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfindерischen Idee. [Fig. 35](#) ist eine Querschnittsdarstellung entlang einer Linie IV-IV' in [Fig. 3](#) gemäß einem Ausführungsbeispiel der erfindерischen Idee. Wie in [Fig. 3](#), [Fig. 34](#) und [Fig. 35](#) dargestellt, können untere Säulen PLa und obere Säulen PLb so vorgesehen sein, dass sie in senkrechter Richtung zu einem Substrat 111 gestapelt sind.

[0383] Die unteren Säulen PLa können in einer dritten Richtung durch Isolationsschichten 112 und 112a

hindurchgehen, so dass sie mit dem Substrat 111 in Kontakt kommen. Jede der beiden Säulen PLa kann eine untere Kanalschicht 114a und ein unteres inneres Material 115a aufweisen. Die unteren Kanalschichten 114a können ein Halbleitermaterial mit einer Leitfähigkeit des gleichen Typs wie das Substrat 111 oder einen intrinsischen Halbleiter aufweisen. Die unteren Kanalschichten 114 können als vertikale Bodies aus den ersten bis vierten leitenden Materialien CM1 und CM4 dienen. Die unteren inneren Materialien 115a können ein Isoliermaterial beinhalten.

[0384] Die oberen Säulen PLb können auf entsprechenden unteren Säulen PLa vorgesehen sein. Die oberen Säulen PLb können in der dritten Richtung durch die Isolierschichten hindurchgehen, um mit den Oberseiten der unteren Säulen PLa in Kontakt zu kommen. Jede der oberen Säulen PLb kann eine obere Kanalschicht 114b und ein oberes inneres Material 115b aufweisen. Die oberen Kanalschichten 114b können ein Halbleitermaterial, das eine Leitfähigkeit von der gleichen Art aufweist wie die unteren Kanalschichten 114a oder einen intrinsischen Halbleiter aufweisen. Die oberen Kanalschichten 114b können als vertikale Bodies aus den fünften bis achten leitenden Materialien CM5 bzw. CM8 dienen. Die oberen inneren Materialien 115b können ein Isoliermaterial beinhalten.

[0385] Die unteren Kanalschichten 114a und die oberen Kanalschichten 114b können miteinander verbunden sein, um als vertikaler Body zu dienen. Beispielsweise können Halbleiter-Pads SP ein Halbleitermaterial mit einer Leitfähigkeit von der gleichen Art wie die unteren Kanalschichten 114a oder ein intrinsischer Halbleiter aufweisen. Die unteren Kanalschichten 114a und die oberen Kanalschichten 114b können über die Halbleiter-Pads SP miteinander verbunden sein.

[0386] In dieser Ausführungsform können von den ersten bis achten leitenden Materialien CM1 bis CM8 leitende Materialien, die an die Halbleiter-Pads SP angrenzen, Leerwortleitungen und Leerspeicherzellen bilden. Beispielsweise kann bzw. können das vierte leitende Material CM4 oder das fünfte leitende Material CM5 oder das vierte leitende Material CM4 und das fünfte leitende Material CM5 Leerwortleitungen und Leerspeicherzellen bilden.

[0387] Eine Ersatzschaltung eines Speicherblocks, der mit Bezug auf [Fig. 3](#), [Fig. 34](#) und [Fig. 35](#) beschrieben wird, kann einer der oben beschriebenen Ersatzschaltungen BLKa1 bis BLKa7 gleich sein, die in [Fig. 7](#), [Fig. 26](#), [Fig. 27](#), [Fig. 28](#), [Fig. 31](#), [Fig. 32](#) bzw. [Fig. 33](#) dargestellt sind.

[0388] In Speicherblöcken, die mit Bezug auf [Fig. 3](#), [Fig. 34](#) und [Fig. 35](#) beschrieben werden, kann eine Löschoperation auf die gleiche Weise gelöscht wer-

den wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. In Speicherblöcken, die mit Bezug auf [Fig. 3](#), [Fig. 34](#) und [Fig. 35](#) beschrieben werden, kann eine Vorab-Leseoperation auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#).

[0389] [Fig. 36](#) ist eine Draufsicht, die einen Speicherblock BLKb von Speicherblöcken des Speicherzellen-Array 110 von [Fig. 2](#) gemäß einem Ausführungsbeispiel der erfindерischen Idee darstellt. [Fig. 37](#) ist eine perspektivische Ansicht entlang einer Linie VII-XXXVII' von [Fig. 36](#). [Fig. 38](#) ist eine Querschnittsansicht entlang einer Linie XXXVII-XXXVII' von [Fig. 36](#).

[0390] Im Gegensatz zum Speicherblock BLKa, der mit Bezug auf [Fig. 3](#) bis [Fig. 6](#) beschrieben wird, kann der Speicherblock BLKb eine Folgenansteuerungsleitungs-Unterbrechung SSL Cut und eine Wortleitungs-Unterbrechung WL Cut aufweisen, die in einer zweiten Richtung vorgesehen sind, so dass sie sich entlang einer ersten Richtung erstrecken. Gemeinsame Source-Regionen CSR können an einem Substrat 111 vorgesehen sein, das von den Wortleitungs-Unterbrechungen WL Cut freigelegt wird.

[0391] Säulen PL können in zwei Reihen in der ersten Richtung zwischen zwei benachbarten gemeinsamen Source-Regionen CSR, d. h. zwei benachbarten Wortleitungs-Unterbrechungen WL Cut ausgebildet sein. Die Folgenansteuerungsleitungs-Unterbrechung SSL Cut kann zwischen zwei Säulenreihen PL ausgebildet sein. Die Folgenansteuerungsleitungs-Unterbrechung SSL Cut kann die achten Leiterbahnen CM8, die Folgenansteuerungstransistoren SST bilden, voneinander trennen. Wenn Leiterbahnen auf zwei oder mehr Höhen Folgenansteuerungstransistoren SST bilden, kann die Folgenansteuerungsleitungs-Unterbrechung SSL Cut leitende Materialien auf zwei oder mehr Höhen voneinander trennen.

[0392] In dieser Ausführungsform können Säulen PL aus unteren Säulen und oberen Säulen gebildet werden, wie in [Fig. 34](#) und [Fig. 35](#) beschrieben.

[0393] Ein Abschnitt EC von [Fig. 36](#) kann einer der oben beschriebenen Ersatzschaltungen BLKa1 bis BLKa7 entsprechen, die in [Fig. 7](#), [Fig. 26](#), [Fig. 27](#), [Fig. 28](#), [Fig. 31](#), [Fig. 32](#) bzw. [Fig. 33](#) dargestellt sind.

[0394] Im Speicherblock BLKb kann eine Löschopeoperation auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Im Speicherblock BLKb kann eine Vorab-Leseoperation auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0395] [Fig. 39](#) ist eine Draufsicht, die einen Speicherblock BLKc von Speicherblöcken von [Fig. 2](#) gemäß einem Ausführungsbeispiel der erfindерischen Idee darstellt. [Fig. 40](#) ist eine perspektivische Darstellung entlang einer Linie XXXX-XXXX' von [Fig. 39](#). [Fig. 41](#) ist eine Querschnittsdarstellung entlang einer Linie XXXX-XXXX' von [Fig. 39](#).

[0396] Verglichen mit dem Speicherblock BLKa, der in [Fig. 3](#) bis [Fig. 6](#) beschrieben wird, kann der Speicherblock BLKc Säulen aufweisen, die so zwischen benachbarten gemeinsamen Source-Regionen vorgesehen sind, dass sie in Zickzackform in der ersten Richtung angeordnet sind.

[0397] Wie in [Fig. 34](#) und [Fig. 35](#) beschrieben, können Säulen PL aus unteren Säulen und oberen Säulen gebildet werden. Wie in [Fig. 36](#) bis [Fig. 38](#) beschrieben, kann eine Folgenansteuerungsleitungs-Unterbrechung SSL Cut vorgesehen sein. Eine der Säulen, die in Zickzackform in der ersten Richtung angeordnet ist, kann zwischen Wortleitungs- und Folgenansteuerungsleitungs-Unterbrechungen WL Cut und SSL Cut vorgesehen sein, die aneinander angrenzen.

[0398] Ein Abschnitt EC von [Fig. 39](#) kann einer der oben beschriebenen Ersatzschaltungen BLKa1 bis BLKa7 entsprechen, die in [Fig. 7](#), [Fig. 26](#), [Fig. 27](#), [Fig. 28](#), [Fig. 31](#), [Fig. 32](#) bzw. [Fig. 33](#) dargestellt sind.

[0399] Im Speicherblock BLKc kann eine Löschopeoperation auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Im Speicherblock BLKc kann eine Vorab-Leseoperation auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0400] [Fig. 42](#) ist eine Draufsicht, die einen Speicherblock BLKd von Speicherblöcken von [Fig. 2](#) gemäß einem Ausführungsbeispiel der erfindерischen Idee darstellt. [Fig. 43](#) ist eine perspektivische Ansicht entlang einer Linie XXXXIII-XXXX-III' von [Fig. 42](#). Eine Querschnittsansicht entlang einer Linie XXXXIII-XXXXIII' von [Fig. 42](#) kann der gleich sein, die in [Fig. 5](#) dargestellt ist, und auf ihre Beschreibung wird somit verzichtet.

[0401] Im Gegensatz zum Speicherblock BLKa, der in [Fig. 3](#) bis [Fig. 6](#) beschrieben ist, kann der Speicherblock BLKd einen Speicherblock BLKd beinhalten, der quadratische bzw. viereckige Säulen PL aufweist. Isoliermaterialien IM können zwischen Säulen PL vorgesehen sein. Die Säulen PL können in der ersten Richtung zwischen benachbarten gemeinsamen Source-Regionen CSR angeordnet sein. Die Isoliermaterialien IM können in der dritten Richtung so verlaufen, dass sie mit einem Substrat 111 in Kontakt stehen.

[0402] Jede der Säulen PL kann eine Kanalschicht **114** und ein inneres Material **115** aufweisen. Beispielsweise kann die Kanalschicht **114** auf zwei Seiten von vier Seiten einer entsprechenden Säule, die an leitende Materialien CM1 bis CM8 angrenzen, und nicht so, dass sie die entsprechende Säule umgeben, vorgesehen sein.

[0403] Eine Kanalschicht auf einer Seite jeder Säule kann zusammen mit leitenden Materialien CM1 bis CM8 und Informationsspeicherschichten **116** eine Zellenfolge bilden. Eine Kanalschicht auf der anderen Seite jeder Säule kann zusammen mit leitenden Materialien CM1 bis CM8 und Informationsspeicherschichten **116** eine andere Zellenfolge bilden. Das heißt, eine Säule kann verwendet werden, um zwei Zellenfolgen zu bilden.

[0404] Wie in [Fig. 34](#) und [Fig. 35](#) beschrieben, können in einem Ausführungsbeispiel Säulen PL aus unteren Säulen und oberen Säulen gebildet werden. Wie in [Fig. 36](#) bis [Fig. 38](#) beschrieben, kann eine Folgenansteuerungsleitungs-Unterbrechung SSL Cut vorgesehen sein. Wie in [Fig. 39](#) bis [Fig. 41](#) beschrieben, können Säulen PL in Zickzackform in der ersten Richtung angeordnet sein.

[0405] Ein Abschnitt EC von [Fig. 42](#) kann einer der oben beschriebenen Ersatzschaltungen BLKa1 bis BLKa7 entsprechen, die in [Fig. 7](#), [Fig. 26](#), [Fig. 27](#), [Fig. 28](#), [Fig. 31](#), [Fig. 32](#) bzw. [Fig. 33](#) dargestellt sind.

[0406] Im Speicherblock BLKd kann eine Löschope-ration auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Im Speicherblock BLKd kann eine Vorab-Leseoperation auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0407] [Fig. 44](#) ist eine Draufsicht, die eine Speicherblock BLKe von Speicherblöcken von [Fig. 2](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. [Fig. 45](#) ist eine perspektivische Ansicht entlang einer Linie XXXXV-XXXXV' von [Fig. 44](#). [Fig. 46](#) ist eine Querschnittsansicht entlang einer Linie XXXXV-XXXXV' von [Fig. 44](#).

[0408] Wie in [Fig. 44](#) bis [Fig. 46](#) dargestellt, können die ersten bis achten oberen leitenden Materialien CMU1 bis CMU8, die sich in der ersten Richtung erstrecken, auf einem Substrat **111** vorgesehen sein. Die ersten bis vierten oberen leitenden Materialien CMU1 bis CMU4 können in senkrechter Richtung zum Substrat **111** gestapelt sein und in senkrechter Richtung zum Substrat **111** voneinander beabstandet sein. Die fünften bis achten oberen leitenden Materialien CMU5 bis CMU8 können in senkrechter Richtung zum Substrat **111** gestapelt sein und in senkrechter Richtung zum Substrat **111** voneinander beabstandet

sein. Eine Gruppe aus den ersten bis vierten oberen leitenden Materialien CMU1 bis CMU4 kann von einer Gruppe aus den fünften bis achten oberen leitenden Materialien CMU5 bis CMU8 in der zweiten Richtung beabstandet sein.

[0409] Untere leitende Materialien CMD1a, CMD1b und CMD2 bis CMD4, die sich in der ersten Richtung erstrecken, können zwischen den ersten bis vierten oberen leitenden Materialien CMU1 bis CMU4 und den fünften bis achten oberen leitenden Materialien CMU5 bis CMU8 vorgesehen sein. Die unteren leitenden Materialien CMD2 bis CMD4 könne in senkrechter Richtung zum Substrat **111** gestapelt sein und in senkrechter Richtung zum Substrat **111** voneinander beabstandet sein. Die unteren leitenden Materialien CMD1a und CMD1b können auf dem unteren leitenden Material CMD2 vorgesehen sein. Die unteren leitenden Materialien CMD1a und CMD1b können in der zweiten Richtung voneinander beabstandet sein.

[0410] Eine Mehrzahl von oberen Säulen PLU kann so gestaltet sein, dass sie durch die ersten bis vierten oberen leitenden Materialien CMU1 bis CMU4 oder die fünften bis achten oberen leitenden Materialien CMU5 bis CMU8 in senkrechter Richtung zum Substrat **111** hindurchgehen. Die oberen Säulen PLU können mit dem Substrat **111** in Kontakt stehen. In den ersten oberen leitenden Materialien CMU1 können obere Säulen in einer Reihe entlang der ersten Richtung angeordnet sein und in der ersten Richtung voneinander beabstandet sein. In den achten oberen leitenden Materialien CMU8 können obere Säulen in einer Reihe in der ersten Richtung angeordnet sein und in der ersten Richtung voneinander beabstandet sein.

[0411] Jede der oberen Säulen PLU kann eine Informationsspeicherschicht **116** und eine Kanalschicht **114** aufweisen. Die Informationsspeicherschicht **116** kann Informationen durch Einfangen oder Abgeben von Ladungen speichern. Die Informationsspeicherschicht **116** kann eine Tunnellungsisolierschicht, eine Ladungsfallenschicht und eine Isoliersperrschicht aufweisen.

[0412] Die Kanalschichten **114** können als vertikale Bodies der oberen Säulen PLU wirken. Die Kanalschichten **114** können jeweils einen intrinsischen Halbleiter aufweisen. Die Kanalschichten **114** können Halbleiter aufweisen, die eine Leitfähigkeit von der gleichen Art (z. B. vom p-Typ) aufweisen wie das Substrat **111**.

[0413] Es kann eine Mehrzahl von unteren Säulen PLD ausgebildet sein. Die Mehrzahl von unteren Säulen PLD kann durch die unteren leitenden Materialien CMD2 bis CMD4 und das untere leitende Material CMD1a oder CMD1b in senkrechter Richtung zum Substrat **111** hindurchgehen, so dass sie mit dem

Substrat **111** in Kontakt steht. In den unteren leitenden Materialien CMD1a können untere Säulen in einer Reihe in der ersten Richtung angeordnet sein und in der ersten Richtung voneinander beabstandet sein. In den unteren leitenden Materialien CMD1b können untere Säulen in einer Reihe in der ersten Richtung angeordnet sein und in der ersten Richtung voneinander beabstandet sein.

[0414] Jede der unteren Säulen PLD kann eine Informationsspeicherschicht **116** und eine Kanalschicht **114** aufweisen. Die Informationsspeicherschicht **116** kann Informationen durch Einfangen oder Abgeben von Ladungen speichern. Die Informationsspeicherschicht **116** kann eine Tunnellisolierschicht, eine Ladungsfallenschicht und eine Isoliersperrschicht aufweisen.

[0415] Die Kanalschichten **114** können als vertikale Bodies der unteren Säulen PLD dienen. Die Kanalschichten **114** können jeweils einen intrinsischen Halbleiter aufweisen. Die Kanalschichten **114** können einen Halbleiter mit einer Leitfähigkeit der gleichen Art (z. B. vom p-Typ) wie das Substrat **111** aufweisen.

[0416] Eine Mehrzahl von Pipeline-Kontakten PC kann am Substrat **111** vorgesehen sein. Die Pipeline-Kontakte PC können sich in einer Bitleitungsrichtung erstrecken, so dass sie Unterseiten von oberen Säulen PLU, die am ersten oberen leitenden Material CMU1 ausgebildet sind, mit Unterseiten von unteren Säulen PLD, die am unteren leitenden Material CMD1a ausgebildet sind, verbinden. Die Pipeline-Kontakte PC können sich in Bitleitungsrichtung so erstrecken, dass sie Unterseiten von oberen Säulen PLU, die am achten oberen leitenden Material CMU8 ausgebildet sind, mit Unterseiten von unteren Säulen PLD, die am unteren leitenden Material CMD1b ausgebildet sind, verbinden.

[0417] In dieser Ausführungsform kann jeder von den Pipeline-Kontakten PC eine Kanalschicht **114** und eine Informationsspeicherschicht **116** aufweisen. Die Kanalschichten **114** der Pipeline-Kontakte PC können die Kanalschichten **114** der oberen Säulen PLU und die Kanalschichten der unteren Säulen PLD miteinander verbinden. Die Informationsspeicherschichten **116** der Pipeline-Kontakte PC können die Informationsspeicherschichten **116** der oberen Säulen PLU und die Informationsspeicherschichten **116** der unteren Säulen PLD miteinander verbinden.

[0418] Eine gemeinsame Source-Region CSR, die sich in der ersten Richtung erstreckt, kann an den unteren Säulen PLD vorgesehen sein. Die gemeinsame Source-Region CSR kann sich in der ersten Richtung erstrecken, so dass sie mit der Mehrzahl von unteren Säulen PLD verbunden ist. Die gemeinsame Source-Region CSR kann eine gemeinsame Source-

Leitung CSL bilden. Die gemeinsame Source-Region CSR kann ein metallisches Material aufweisen. Die gemeinsame Source-Region CSR kann eine Leitfähigkeit von einer Art aufweisen, die sich von der des Substrats **111** unterscheidet.

[0419] Drains **320** können an den oberen Säulen PLU vorgesehen sein. Die Drains **320** können ein Halbleitermaterial mit einer Leitfähigkeit von einer Art (z. B. vom n-Typ), die sich von der des Substrats **111** unterscheidet, aufweisen. Bitleitungen BL können an den Drains **320** ausgebildet sein. Die Bitleitungen BL können in der ersten Richtung voneinander beabstandet sein. Die Bitleitungen BL können sich in der zweiten Richtung so erstrecken, dass sie mit den Drains **320** verbunden sind.

[0420] In dieser Ausführungsform können die Bitleitungen BL und die Drains **320** über Kontaktstifte verbunden sein, und die gemeinsame Source-Region CSR und die unteren Säulen PLD können über Kontaktstifte miteinander verbunden sein.

[0421] Eine Zellenfolge kann aus einer unteren Säule und einer oberen Säule gebildet sein, die über einen Pipeline-Kontakt miteinander verbunden sind.

[0422] In einem Ausführungsbeispiel können, wie in [Fig. 39](#) bis [Fig. 41](#) beschrieben, die oberen Säulen PLU und die unteren Säulen PLD in Zickzackform in der ersten Richtung angeordnet sein.

[0423] Ein Abschnitt EC von [Fig. 44](#) kann einer der oben beschriebenen Ersatzschaltungen BLKa1 bis BLKa7 entsprechen, die in [Fig. 7](#), [Fig. 26](#), [Fig. 27](#), [Fig. 28](#), [Fig. 31](#), [Fig. 32](#) bzw. [Fig. 33](#) dargestellt sind.

[0424] Im Speicherblock BLKe kann eine Löschope-ration auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Im Speicherblock BLKe kann eine Vorab-Leseoperation auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0425] [Fig. 47](#) ist eine Draufsicht, die einen Speicherblock BLKf von Speicherblöcken von [Fig. 2](#) gemäß einem weiteren Ausführungsbeispiel der erfindungsgemäßen Idee zeigt. [Fig. 48](#) ist eine perspektivische Ansicht entlang einer Linie XXXXVIII-XXXXVIII' von [Fig. 47](#). [Fig. 49](#) ist eine Querschnittsansicht entlang einer Linie XXXXVIII-XXXXVIII' von [Fig. 47](#).

[0426] Wie in [Fig. 47](#) bis [Fig. 49](#) dargestellt, kann eine gemeinsame Source-Region CSR an einem Substrat **111** ausgebildet sein. Die gemeinsame Source-Region CSR kann beispielsweise aus einer Dotierungsregion gebildet sein. Die gemeinsame Source-Region CSR kann eine gemeinsame Source-Leitung CSL bilden.

[0427] Die ersten bis achten leitenden Materialien CM1 bis CM8 können auf der gemeinsamen Source-Region CSR ausgebildet sein. Die ersten bis achten leitenden Materialien CM1 bis CM8 können in senkrechter Richtung zum Substrat **111** gestapelt sein und in senkrechter Richtung zum Substrat **11** voneinander beabstandet sein. Von den ersten bis achten leitenden Materialien CM1 bis CM8 können leitende Materialien, die Folgenansteuerungstransistoren SST bilden, durch Folgenansteuerungsleitungs-Unterbrechungen SSL Cut voneinander getrennt sein. Die Folgenansteuerungsleitungs-Unterbrechungen SSL Cut können sich in der ersten Richtung erstrecken und in der zweiten Richtung voneinander beabstandet sein. Übrige leitende Materialien (die nicht für die Folgenansteuerungstransistoren verwendet werden) können auf der gemeinsamen Source-Region CSR so ausgebildet sein, dass sie eine Plattenform aufweisen, die sich in den ersten und zweiten Richtungen erstreckt.

[0428] Beispielsweise können die siebten Leiterbahnen CM1 bis CM7 eine Plattenform aufweisen, und die achten leitenden Materialien CM8 können durch die Folgenansteuerungsleitungs-Unterbrechungen SSL Cut getrennt sein. Die achten leitenden Materialien CM8 können sich in der ersten Richtung erstrecken und in der zweiten Richtung voneinander beabstandet sein.

[0429] Eine Mehrzahl von Säulen PL kann so vorgesehen sein, dass sie durch die ersten bis achten leitenden Materialien CM1 CM8 in senkrechter Richtung zum Substrat **111** hindurchgehen und mit dem Substrat **111** in Kontakt stehen. In einem von den achten leitenden Materialien CM8 können Säulen PL in einer Reihe in der ersten Richtung vorgesehen sein. Jede der Säulen PL kann eine Informationsspeicherschicht **116**, eine Kanalschicht **114** und ein inneres Material **115** aufweisen.

[0430] Die Informationsspeicherschichten **116** können Informationen durch Einfangen oder Abgeben von Ladungen speichern. Die Informationsspeicherschichten **116** können eine Tunnellisolationsschicht, eine Ladungsfallenschicht und eine Isoliersperrschicht beinhalten. Die Kanalschichten **114** können als vertikale Bodies der Säulen PL dienen. Die Kanalschichten **114** können intrinsische Halbleiter beinhalten. Die Kanalschichten **114** können ein Halbleitermaterial aufweisen, das eine Leitfähigkeit von der gleichen Art (z. B. vom p-Typ) aufweist wie das Substrat **111**. Die inneren Materialien **115** können ein Isoliermaterial oder einen Luftspalt beinhalten.

[0431] In einem Ausführungsbeispiel können, wie in [Fig. 34](#) und [Fig. 35](#) dargestellt ist, Säulen PL aus oberen Säulen und unteren Säulen gebildet sein. Wie in [Fig. 39](#) bis [Fig. 41](#) beschrieben, können Säulen PL in

einer Zickzackform in der ersten Richtung angeordnet sein.

[0432] [Fig. 50](#) ist ein Schaltplan, der eine Ersatzschaltung BLKf1 eines Abschnitts EC von [Fig. 47](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 47](#) bis [Fig. 50](#) dargestellt ist, kann eine gemeinsame Source-Region CSR zwischen Säulen PL und einem Substrat **111** ausgebildet sein.

[0433] Kanalschichten **114** können zum p-Typ gehören, und die gemeinsame Source-Region CSR kann zum n-Typ gehören. Ein Abschnitt von den Kanalschichten **114**, der Masseansteuerungstransistoren GST entspricht, kann zum p-Typ gehören, und die gemeinsame Source-Region CSR kann zum n-Typ gehören. Das heißt, die Kanalschicht **114** und die gemeinsame Source-Region CSR können einen PN-Übergang bilden. Somit können Dioden D zwischen Zellenfolgen CS11, CS12, CS21 und CS22, die aus Säulen PL gebildet sind, und einer gemeinsamen Source-Leitung, die aus der gemeinsamen Source-Region CSR gebildet ist, ausgebildet werden. Die Ersatzschaltung BLKf1 von [Fig. 50](#) kann derjenigen gleich sein, die in [Fig. 7](#) dargestellt ist, außer dass die Dioden D darin vorgesehen sind.

[0434] Die Ersatzschaltung BLKf1 kann wie die oben beschriebenen Ersatzschaltungen BLKa2 bis BLKa7, die in [Fig. 26](#), [Fig. 27](#), [Fig. 28](#), [Fig. 31](#), [Fig. 32](#) bzw. [Fig. 33](#) dargestellt sind, angewendet werden.

[0435] Im Speicherblock BLKf1 kann eine Löschope-ration auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Im Speicherblock BLKf1 kann eine Vorab-Leseoperation auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0436] [Fig. 51](#) ist eine perspektivische Ansicht entlang einer Linie XXXXVIII-XXXXVIII' von [Fig. 47](#). [Fig. 52](#) ist eine Querschnittsansicht entlang einer Linie XXXXVIII-XXXXVIII' von [Fig. 47](#).

[0437] Wie in [Fig. 47](#), [Fig. 51](#) und [Fig. 52](#) dargestellt, können sich von den ersten bis achten leitenden Materialien CM1 bis CM8 leitende Materialien, die Masseansteuerungstransistoren GST bilden, in der ersten Richtung erstrecken und in der zweiten Richtung voneinander beabstandet sein. Die leitenden Materialien, die Masseansteuerungstransistoren GST bilden, können den gleichen Aufbau aufweisen wie leitende Materialien, die Folgenansteuerungstransistoren SST bilden. Beispielsweise können die ersten leitenden Materialien CM1 den gleichen Aufbau aufweisen wie die achten leitenden Materialien CM8.

[0438] In einem Ausführungsbeispiel können, wie in [Fig. 34](#) und [Fig. 35](#) dargestellt ist, Säulen PL aus oberen Säulen und unteren Säulen gebildet sein. Wie in [Fig. 39](#) bis [Fig. 41](#) beschrieben ist, können Säulen PL in einer Zickzackform in der ersten Richtung angeordnet sein.

[0439] [Fig. 53](#) ist ein Schaltplan, der eine Ersatzschaltung BLKf2 eines Abschnitts EC von [Fig. 47](#) gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt.

[0440] Wie in [Fig. 47](#) und [Fig. 50](#) bis [Fig. 53](#) dargestellt ist, können Dioden D zwischen Zellenfolgen CS11, CS12, CS21 und CS22 und einer gemeinsamen Source-Leitung CSL ausgebildet sein. Masseansteuerungstransistoren GST können mit einer Mehrzahl von Masseansteuerungsleitungen GSL1 und GSL2 verbunden sein. Beispielsweise können Masseansteuerungstransistoren der Zellenfolgen CS 11 und CS12 mit einer zweiten Masseansteuerungsleitung GSL1 verbunden sein, und Masseansteuerungstransistoren der Zellenfolgen CS21 und CS22 können mit einer Masseansteuerungsleitung GSL2 verbunden sein.

[0441] Die Ersatzschaltung BLKF2 kann angewendet werden wie die oben beschriebenen Ersatzschaltungen BLKa2 bis BLKa7, die in [Fig. 26](#), [Fig. 27](#), [Fig. 28](#), [Fig. 31](#), [Fig. 32](#) bzw. [Fig. 33](#) dargestellt sind.

[0442] Im Speicherblock BLKf2 kann eine Löschope-ration auf die gleiche Weise gelöscht werden wie mit Bezug auf [Fig. 8](#) bis [Fig. 13](#), [Fig. 20](#), [Fig. 21](#), [Fig. 23](#) und [Fig. 24](#) beschrieben. Im Speicherblock BLKf2 kann eine Vorab-Leseoperation auf die gleiche Weise durchgeführt werden wie in [Fig. 16](#) und [Fig. 17](#) beschrieben.

[0443] [Fig. 54](#) ist ein Blockschema, das ein Speichersystem 1000 gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Hier ist das Speichersystem 1000 als elektronisches Gerät mit mindestens einer nicht-flüchtigen Speichervorrichtung dargestellt. Wie in [Fig. 54](#) dargestellt, kann das Speichersystem 1000 eine nicht-flüchtige Speichervorrichtung 1100 und einen Controller 1200 aufweisen.

[0444] Die nicht-flüchtige Speichervorrichtung 1100 kann im Wesentlichen identisch sein mit derjenigen einer der nicht-flüchtigen Speichervorrichtung 100 bis 500, die in [Fig. 1](#), [Fig. 15](#), [Fig. 18](#), [Fig. 19](#) bzw. [Fig. 22](#) dargestellt sind, die Ausführungsbeispielen der erfinderischen Idee entsprechen. Das heißt, die nicht-flüchtige Speichervorrichtung 1100 kann eine Mehrzahl von Zellenfolgen CS11, CS12, CS21 und CS22 aufweisen, die auf einem Substrat 111 vorge-sehen sind, und jede der Zellenfolgen CS11, CS12, CS21 und CS22 kann eine Mehrzahl von Zellentransistoren CT aufweisen, die in senkrechter Richtung

zum Substrat 111 gestapelt sind. Die nicht-flüchtige Speichervorrichtung 1100 kann eine Löschope-ration gemäß dem oben beschriebenen Löschoverfahren durchführen. Die nicht-flüchtige Speichervorrichtung 1100 kann eine Vorab-Leseoperation gemäß dem oben beschriebenen Vorab-Leseverfahren durchführen.

[0445] Der Controller 1200 kann mit einem Host (oder einer externen Host-Vorrichtung) und der nicht-flüchtigen Speichervorrichtung 1100 verbunden sein. Der Controller 1200 kann so konfiguriert sein, dass er als Reaktion auf eine Anfrage vom Host auf die nichtflüchtige Speichervorrichtung 1100 zugreift. Beispielsweise kann der Controller 1200 so konfiguriert sein, dass er Lese-, Schreib-, Löscho-, Vorab-Lese- und Hintergrundoperationen der nicht-flüchtigen Speichervorrichtung 1100 steuert. Der Controller 1200 kann so konfiguriert sein, dass er eine Schnittstelle zwischen der nicht-flüchtigen Speichervorrichtung 1100 und dem Host bereitstellt. Der Controller 1200 kann so konfiguriert sein, dass er Firmware ausführt, um die nicht-flüchtige Speichervorrichtung 1100 zu steuern.

[0446] Der Controller 1200 kann so konfiguriert sein, dass er der nicht-flüchtigen Speichervorrichtung 1100 ein Steuersignal CTRL, ein Befehlssignal CM und eine Adresse ADDR schickt. Als Antwort auf das Steuersignal CTRL, das Befehlssignal CMD und die Adresse ADDR, die vom Controller 1200 geschickt werden, kann die nicht-flüchtige Speichervorrichtung Lese-, Schreib- Vorab-Lese- und Löschooperationen durchführen.

[0447] Der Controller 1200 kann einen internen Speicher 1210 und eine Fehlerkorrektureinheit 1220 aufweisen. Der interne Speicher 1210 kann ein Arbeitsspeicher des Controllers 1200 sein. Die Fehlerkorrektureinheit 1220 kann Daten, die in die nicht-flüchtige Speichervorrichtung 1100 geschrieben werden, codieren. Die Fehlerkorrektureinheit 1220 kann Fehler durch Decodieren von Daten, die aus der nicht-flüchtigen Speichervorrichtung 1100 gelesen werden, korrigieren. Die Fehlerkorrektureinheit 1220 kann Fehler mittels eines Low-Density-Parity-Check (LDPC)-Codes korrigieren. die Fehlerkorrektureinheit 1220 kann eine Fehlerkorrektur mittels eines BCH(Bose-Chaudhuri-Hocquenghem)- oder RS (Reed-Solomon)-Code durchführen. Die ersten bis dritten Werte V1 bis V3 der nicht-flüchtigen Speicher-vorrichtung 1100 können gemäß der Anzahl der Bits bestimmt werden, die durch die Fehlerkorrektureinheit 1220 korrigiert werden können.

[0448] In einem Ausführungsbeispiel kann der Controller 1200 ferner Komponenten wie eine Verarbeitungseinheit, eine Host-Schnittstelle und eine Speicherschnittstelle aufweisen. Die Verarbeitungseinheit

kann einen Betrieb des Controllers **1200** insgesamt steuern.

[0449] Die Host-Schnittstelle kann ein Protokoll aufweisen, um einen Datenaustausch zwischen dem Host und dem Controller **1200** durchzuführen. Die Host-Schnittstelle kann mit einer externen Vorrichtung (z. B. dem Host) über mindestens eines von verschiedenen Protokollen kommunizieren, wie beispielsweise einem USB(Universal-Serial-Bus)-Protokoll, einem MMC(Multimedia-Card)-Protokoll, einem PCI(Peripheral-Component-Interconnect)-Protokoll, einem PCI-E(PCI-Express)-Protokoll, einem ATA(Advanced Technology Attachment)-Protokoll, einem Serial-ATA-Protokoll, einem Parallel-ATA-Protokoll, einem SCSI(Small-Computer-Small-Interface)-Protokoll, einem ESDI(Enhanced-Small-Disk-Interface)-Protokoll, und einem IDE(Integrated-Drive-Electronics)-Protokoll. Die Speicherschnittstelle kann eine Schnittstelle mit der nicht-flüchtigen Speichervorrichtung **1100** bilden. Die Speicherschnittstelle kann eine NAND-Schnittstelle oder eine NOR-Schnittstelle beinhalten.

[0450] Das Speichersystem **1000** kann verwendet werden als Computer, tragbarer Computer, Ultra-Mobile-PC (UMPC), Arbeitsstation, Netbook, PDA, Web-Tablet, drahtloses Telefon, Mobiltelefon, Smart-Phone, kontaktlose Smart-Card, E-Book, PMP (tragbarer Multimedia-Player), Digitalkamera, digitaler Audio-Recorder/Player, digitaler Bild/Video-Recorder/Player, tragbare Spielekonsole, Navigationssystem, Black-Box, 3D-Fernseher, eine Vorrichtung, die Informationen auf drahtlose Weise senden und empfangen kann, eine von verschiedenen elektronischen Vorrichtungen, die ein Heimnetz bilden, eines von verschiedenen elektronischen Geräten, die ein Computer-Netz bilden, eine von verschiedenen elektronischen Vorrichtungen, die ein Telematiknetz bilden, RFID, oder eine von verschiedenen elektronischen Vorrichtungen, die ein Computersystem bilden.

[0451] Die nicht-flüchtige Speichervorrichtung **1100** oder das Speichersystem **1000** kann mit verschiedenen Arten von Packungen gepackt sein, wie PoP (Package-on-Package), Ball-Grid-Arrays (BGAs), Chip-Scale-Packages (CSPs), Plastic-Leaded Chip-Carrier (PLCC), Plastic Dual In-Line Package (PDI2P), Die-in-Waffle-Pack, Die-in-Wafer-Form, Chip-an-Board (COB), Ceramic Dual In-Line Package (CERDIP), Plastic Metric Quad Flat Pack (MQFP), Thin Small Outline (TSOP); Thin Quad Flatpack (TQFP); System-in-Package (SIP), Multi-Chip-Package (MCP); Wafer-Level Fabricated Package (WFP), Wafer-Level Processed Stack Package (WSP) und dergleichen.

[0452] [Fig. 55](#) ist ein Ablaufschema, das ein Betriebsverfahren des Speichersystems **1000** gemäß einem Ausführungsbeispiel der erfinderischen Idee

darstellt. Wie in [Fig. 54](#) und [Fig. 55](#) dargestellt, kann der Controller **1200** im Schritt S1110 einen Löschbefehl an die nicht-flüchtige Speichervorrichtung **1100** senden. Eine Adresse eines Bereichs, der gelöscht werden soll, dann mit dem Löschbefehl geschickt werden.

[0453] Im Schritt S1120 kann die nicht-flüchtige Speichervorrichtung **1100** eine Löschoperation gemäß einem der Löschverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee durchführen. Beispielsweise kann, wie mit Bezug auf [Fig. 8](#) und [Fig. 13B](#) beschrieben wird, eine Löschoperation an der nicht-flüchtigen Speichervorrichtung **1100** durch Ausführen einer Vorab-Leseoperation und Einstellen einer oder mehrerer Off-Strings auf „erfolgreich gelöscht“ durchgeführt werden. Alternativ dazu kann, wie mit Bezug auf [Fig. 20](#) und [Fig. 23](#) beschrieben, eine Löschoperation an der nicht-flüchtigen Speichervorrichtung **1100** durch Vergleichen der Anzahl der Fehlschlags-Folgen mit einem Bezugswert ausgeführt werden.

[0454] Wenn eine Löschoperation beendet wird, kann die nicht-flüchtige Speichervorrichtung **1100** im Schritt S1130 dem Controller **1200** eine Antwort schicken, die anzeigt, dass eine Löschoperation abgeschlossen worden ist.

[0455] Im Schritt S1140 kann der Controller **1200** einen Löschbefehl an die nicht-flüchtige Speichervorrichtung **1100** senden.

[0456] Im Schritt S115 kann die nicht-flüchtige Speichervorrichtung **1100** eine Löschoperation gemäß einem der Löschverfahren durchführen, die in [Fig. 8](#), [Fig. 13B](#) und [Fig. 20](#) beschrieben sind. Ein Erzeugen von Fehlern in einer Löschoperation kann festgestellt werden, wenn die Anzahl der Off-Strings, die mittels einer Vorab-Leseoperation erfasst wird, über dem ersten Bezugswert V1 liegt und/oder wenn eine Löschoperation unter der Bedingung beendet wird, dass die Anzahl der Fehlschlags-Folgen über dem zweiten Bezugswert V2 oder dem dritten Bezugswert V3 liegt.

[0457] Falls bei der Löschoperation ein Fehler erzeugt wird, kann die nicht-flüchtige Speichervorrichtung **1100** in Schritt S1160 dem Controller **1200** ein Antwortsignal schicken, um einen Löschfehler anzuzeigen.

[0458] Wenn ein Antwortsignal, das einen Löschfehler anzeigt, erhalten wird, kann der Controller **1200** eine Fehlerverarbeitungsoperation durchführen. Beispielsweise kann der Controller **1200** einen Speicherblock, der einen Löschfehler enthält, als schädlichen Block bestimmen.

[0459] Wie oben beschrieben, kann der Controller **1200** auch dann, wenn einer oder mehrere Off-Strings in der nicht-flüchtigen Speichervorrichtung **1100** vorhanden sind, die nicht-flüchtige Speichervorrichtung **1100** so steuern, dass sie normal arbeitet.

[0460] [Fig. 56](#) ist ein Ablaufschema, das ein Betriebsverfahren des Speichersystems **1000** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. In [Fig. 54](#) und [Fig. 56](#) kann der Controller **1200** im Schritt S1210 einen Befehl an die nicht-flüchtige Speichervorrichtung **1100** schicken. Der Befehl kann ein anderer Befehl als ein Lese-, Schreib- oder Löschbefehl sein.

[0461] Im Schritt S1220 kann die nicht-flüchtige Speichervorrichtung **1100** eine Vorab-Leseoperation gemäß einem der Vorab-Leseverfahren gemäß einem Ausführungsbeispiel der erfinderischen Idee durchführen. Durch die Vorab-Leseoperation kann die nicht-flüchtige Speichervorrichtung **1100** Off-String-Informationen erfassen. Die Off-String-Informationen können die Anzahl der Off-Strings, ein Vorab-Leseergebnis oder sowohl die Anzahl der Off-Strings als auch ein Vorab-Leseergebnis beinhalten. Die Art der Off-String-Informationen kann gemäß einem Befehl bestimmt werden, der im Schritt S1210 übertragen wird.

[0462] Im Schritt S1230 kann die nicht-flüchtige Speichervorrichtung **1100** die Off-String-Informationen an den Controller **1200** ausgeben.

[0463] Im Schritt S1240 kann der Controller **1200** die eingegebenen Off-String-Informationen in den internen Speicher **1210** eingeben. Der Controller **1200** kann die nichtflüchtige Speichervorrichtung **1100** unter Verwendung der Informationen über die Off-Strings, die im internen Speicher **1210** gespeichert sind, steuern.

[0464] In einem Ausführungsbeispiel können die Off-String-Informationen vorübergehend im internen Speicher **1210** gespeichert werden. Die Off-String-Informationen können im internen Speicher **1210** mit einer Mapping-Tabelle gespeichert werden, die verwendet wird, um logische Adressen von einem Host auf physische Adressen der nicht-flüchtigen Speichervorrichtung **1100** abzubilden.

[0465] [Fig. 57](#) ist ein Ablaufschema, das ein Betriebsverfahren des Speichersystems **1000** von [Fig. 54](#) darstellt. Wie in [Fig. 54](#) und [Fig. 57](#) dargestellt ist, kann der Controller **1200** im Schritt S1310 einen Löschbefehl und Off-String-Informationen an die nicht-flüchtige Speichervorrichtung **1100** schicken. Eine Adresse, die einen Bereich angibt, der gelöscht werden soll, kann gleichzeitig geschickt werden.

[0466] Im Schritt S1320 können eine oder mehrere Folgen als erfolgreich gelöscht bestimmt werden, und Speicherzellen können gelöscht werden. Beispielsweise kann die nicht-flüchtige Speichervorrichtung **1100** Off-Strings als „erfolgreich gelöscht“ bestimmen, wie mit Bezug auf Schritt S115 von [Fig. 8](#) beschrieben wird, und Speicherzellen können gelöscht werden. In einem Ausführungsbeispiel kann der Schritt S1320 unter der Bedingung durchgeführt werden, dass eine Vorab-Leseoperation mit den Schritten S113 und S114 aus einem Löschverfahren von [Fig. 8](#) weggelassen wird.

[0467] Wenn eine Löschoperation abgeschlossen worden ist, kann die nicht-flüchtige Speichervorrichtung **1100** dem Controller **1200** ein Antwortsignal schicken, um den Abschluss des Löschsens anzuzeigen.

[0468] Im Schritt S1340 kann der Controller **1200** der nicht-flüchtigen Speichervorrichtung **1100** einen Löschbefehl und Off-String-Informationen schicken. Eine Adresse, die einen Bereich angibt, der gelöscht werden soll, kann gleichzeitig geschickt werden.

[0469] Im Schritt S1350 kann die nicht-flüchtige Speichervorrichtung **1100** bestimmen, dass Off-Strings erfolgreich gelöscht worden sind, und Speicherzellen können gelöscht werden.

[0470] Wenn in einer Löschoperation ein Fehler erzeugt wird, kann eine Antwort, die einen Löschfehler anzeigt, im Schritt S1360 an den Controller **1200** gesendet werden.

[0471] Wenn ein Antwortsignal, das einen Löschfehler anzeigt, erhalten wird, kann der Controller **1200** im Schritt S1370 einen Befehl an die nicht-flüchtige Speichervorrichtung **1100** schicken. Eine Adresse, die einen Bereich anzeigt, in dem ein Löschfehler erzeugt worden ist, kann zur gleichen Zeit gesendet werden.

[0472] Im Schritt S1380 kann die nicht-flüchtige Speichervorrichtung **1100** eine Vorab-Leseoperation als Antwort auf den eingegebenen Befehl durchführen. Die nicht-flüchtige Speichervorrichtung **1100** kann Off-String-Informationen über die Vorab-Leseoperation erfassen.

[0473] Im Schritt S1390 kann die nicht-flüchtige Speichervorrichtung **1100** Off-String-Informationen an den Controller **1200** schicken.

[0474] Im Schritt S1395 kann der Controller **1200** Daten, die in einem internen Speicher gespeichert sind, aktualisieren oder einen Fehlerprozess unter Verwendung der eingegebenen Off-String-Informationen durchführen.

[0475] In einem Ausführungsbeispiel können Off-Strings zusätzlich aufgrund einer Verschlechterung von Speicherzellen erzeugt werden. In diesem Fall kann bei einer Löschoperation ein Fehler erzeugt werden. Wenn Off-String-Informationen über die Vorab-Leseoperation aktualisiert werden, die ausgeführt wird, wenn ein Löschoption erzeugt wird, kann die nicht-flüchtige Speichervorrichtung **1100** normal arbeiten, obwohl zusätzliche Off-Strings erzeugt worden sind.

[0476] In einem Ausführungsbeispiel kann der Controller **1200** in dem Fall, dass die Anzahl der Off-Strings eine Anzahl von korrigierbaren Fehlerbits überschreitet oder ein Löschoption aus anderen Gründen als wegen abgeschalteter Folgen erzeugt wird, einen Fehlerprozess durchführen. Beispielsweise kann der Controller **1200** einen fehlerhaften Speicherblock als schädlichen Block bestimmen.

[0477] [Fig. 58](#) ist ein Ablaufschema, das ein Betriebsverfahren des Speichersystems **1000** von [Fig. 54](#) darstellt. Wie in [Fig. 54](#) und [Fig. 58](#) dargestellt ist, kann der Controller **1200** im Schritt S1410 einen Lesebefehl an die nicht-flüchtige Speichervorrichtung **1100** schicken. Eine Adresse eines Bereichs, der gelesen werden soll, kann gleichzeitig geschickt werden.

[0478] Im Schritt S1420 kann die nicht-flüchtige Speichervorrichtung **1100** Lesedaten an den Controller **1200** schicken.

[0479] Im Schritt S1430 kann der Controller **1200** einen Fehler in den Lesedaten unter Verwendung von Off-String-Informationen korrigieren. Beispielsweise kann der Controller **1200** unter Verwendung der Off-String-Informationen unter den Lesedaten einen Ort erfassen, wo sich Daten befinden, die einem Off-String entsprechen. Daten, die dem Off-String entsprechen, sind möglicherweise fehlerhafte Daten. Der Wirkungsgrad der Fehlerkorrektur oder die Fehlerkorrekturleistung einer Fehlerkorrekturereinheit **1220** des Controllers **1200** kann durch Erfassen eines Ortes von möglicherweise fehlerhaften Daten verbessert werden. Genauer kann in dem Fall, dass die Fehlerkorrekturereinheit **1220** einen LDPC verwendet, der Wirkungsgrad der Fehlerkorrektur oder die Fehlerkorrekturleistung verbessert werden.

[0480] [Fig. 59](#) ist ein Flussdiagramm, das ein Betriebsverfahren des Speichersystems **1000** von [Fig. 54](#) darstellt. Wie in [Fig. 54](#) und [Fig. 59](#) dargestellt, kann der Controller **1200** im Schritt S1510 unter Verwendung von Schreibdaten und Off-String-Informationen ein Code-Wort erzeugen. In einem Ausführungsbeispiel können Daten, die einem Off-String entsprechen, in einer Leseoperation einen Fehler erzeugen. Der Controller **1200** kann ein Code-Wort erzeugen, um eine Fehlerkorrektur beim Lesen von Da-

ten zu erleichtern. Der Controller **1200** kann Daten, die dem Off-String entsprechen, auf Daten abbilden, die einem hohen Schwellenwert entsprechen.

[0481] Im Schritt S1520 kann der Controller **1200** das Code-Wort mit einem Schreibbefehl an die nicht-flüchtige Speichervorrichtung **1100** senden.

[0482] Im Schritt S1530 kann die nicht-flüchtige Speichervorrichtung **1100** das eingegebene Code-Wort schreiben.

[0483] Im Schritt S1540 kann die nicht-flüchtige Speichervorrichtung **1100** dem Controller **1200** eine Antwort schicken, die anzeigt, dass das Schreiben abgeschlossen ist.

[0484] Wenn ein Code-Wort gemäß den Orten erzeugt wird, wo sich Off-Strings befinden, kann der Wirkungsgrad der Fehlerkorrektur oder die Fehlerkorrekturleistung beim Lesen des Code-Worts verbessert werden.

[0485] [Fig. 60](#) ist ein Ablaufschema, das ein Betriebsverfahren des Speichersystems **1000** von [Fig. 54](#) darstellt. Wie in [Fig. 54](#) und [Fig. 60](#) dargestellt ist, kann der Controller **1200** in Schritt S1610 einen Befehl an die nicht-flüchtige Speichervorrichtung **1100** senden. Eine Adresse, die einen bestimmten Bereich angibt, kann gleichzeitig gesendet werden. Wenn Off-String-Informationen abgefragt bzw. benötigt werden, kann der Controller **1200** einen Befehl senden.

[0486] Im Schritt S162 kann die nicht-flüchtige Speichervorrichtung **1100** eine Vorab-Leseoperation durchführen. Off-String-Informationen können über die Vorab-Leseoperation erfasst werden.

[0487] Im Schritt S1630 kann die nicht-flüchtige Speichervorrichtung **1100** die Off-String-Informationen an den Controller **1200** schicken.

[0488] Im Schritt S1640 kann der Controller **1200** die eingegebenen Off-String-Informationen in die nicht-flüchtige Speichervorrichtung **1100** schreiben. Beispielsweise können Speicherblöcke BLK1 bis BLKz (siehe [Fig. 2](#)) der nicht-flüchtigen Speichervorrichtung **1100** in einen Datenbereich und einen Pufferspeicherbereich geteilt werden. Nutzerdaten können im Datenbereich gespeichert werden. Der Pufferspeicherbereich kann verwendet werden, um Informationen im Zusammenhang mit dem Datenbereich oder Informationen im Zusammenhang mit Daten, die in den Datenbereich geschrieben werden, zu speichern. Der Controller **1200** kann die nicht-flüchtige Speichervorrichtung **1100** so steuern, dass Off-String-Informationen im Pufferspeicherbereich der nichtflüchtigen Speichervorrichtung **1100** gespeichert werden.

[0489] Der Controller **1200** kann eine zusätzliche Operation unter Verwendung der Off-String-Informationen durchführen. Beispielsweise kann der Controller **1200** ein Lesen, Schreiben oder Löschen unter Verwendung der Off-String-Informationen durchführen.

[0490] Danach können Informationen über abgeschaltete Strings, die in einem internen Speicher **1210** des Controllers **1200** gespeichert sind, gelöscht werden. Wenn keine Off-String-Informationen nachgefragt werden, kann der Controller **1200** die Off-String-Informationen löschen.

[0491] Im Schritt S1650 kann der Controller **1200** einen Befehl an die nicht-flüchtige Speichervorrichtung **1100** schicken. Beispielsweise kann der Controller **1200** einen Befehl schicken, wenn Off-String-Informationen in einem bestimmten Bereich benötigt werden. Der Controller **1200** kann einen Befehl, der Off-String-Informationen in einem bestimmten Bereich abfragt, senden, um ein Lesen, Schreiben oder Löschen in dem bestimmten Bereich durchzuführen.

[0492] Im Schritt S1660 kann die nicht-flüchtige Speichervorrichtung **1100** Off-String-Informationen, die im Pufferspeicherbereich gespeichert sind, ausgeben. Der Controller **1200** kann Operationen wie ein Lesen, Schreiben, Löschen usw. unter Verwendung der Off-String-Informationen durchführen.

[0493] Im Schritt S1670 kann ein Löschfehler erzeugt werden wie mit Bezug auf die Schritte S1340 bis S1360 von [Fig. 57](#) beschrieben.

[0494] Wenn ein Löschfehler erzeugt wird, können Off-String-Informationen im Schritt S1680 aktualisiert werden wie mit Bezug auf die Schritte S1370 bis S1395 von [Fig. 57](#) beschrieben.

[0495] Wenn die Off-String-Informationen aktualisiert werden, kann der Controller **1200** die aktualisierten Off-String-Informationen in den Pufferspeicherbereich der nichtflüchtigen Speichervorrichtung **1100** schreiben.

[0496] [Fig. 61](#) ist ein Flussdiagramm, das ein Betriebsverfahren des Speichersystems **1000** von [Fig. 54](#) darstellt. Wie in [Fig. 54](#) und [Fig. 61](#) dargestellt ist, kann der Controller **1200** im Schritt S1710 einen Befehl an die nicht-flüchtige Speichervorrichtung **1100** senden. Eine Adresse, die einen bestimmten Bereich angibt, kann zur gleichen Zeit gesendet werden. Wenn Off-String-Informationen benötigt werden, kann der Controller **1200** einen Befehl senden.

[0497] Im Schritt S1720 kann die nicht-flüchtige Speichervorrichtung **1100** zuvor gespeicherte Off-String-Informationen an den Controller **1200** senden. In einem Ausführungsbeispiel können die Off-

String-Informationen in einem Teststadium der nicht-flüchtigen Speichervorrichtung **1100** erfasst werden und können in der nicht-flüchtigen Speichervorrichtung gespeichert werden. Die Off-String-Informationen können in einem Pufferbereich von Speicherblöcken BLK1 bis BLKz der nicht-flüchtigen Speichervorrichtung **1200** gespeichert werden.

[0498] Der Controller **1200** kann unter Verwendung der Off-String-Informationen eine zusätzliche Operation durchführen. Beispielsweise kann der Controller **1200** unter Verwendung der Off-String-Informationen ein Lesen, Schreiben oder Löschen durchführen.

[0499] Danach können Off-String-Informationen, die in einem internen Speicher **1210** des Controllers **1200** gespeichert sind, gelöscht werden. Wenn keine Off-String-Informationen benötigt werden, kann der Controller **12** die Off-String-Informationen löschen.

[0500] In Schritten S1730 bis 1770 können Off-String-Informationen aktualisiert werden, wenn ein Löschfehler erzeugt wird, und die aktualisierten Off-String-Informationen können in die nicht-flüchtige Speichervorrichtung **1100** geschrieben werden. Der Schritt S1770 kann auf die gleiche Weise ausgeführt werden wie die Schritte S1650 bis S1690 von [Fig. 60](#).

[0501] Die obigen Ausführungsformen werden unter der Annahme beschrieben, dass Off-String-Informationen, die aus einer nicht-flüchtigen Speichervorrichtung erzeugt werden, an einen Controller ausgegeben werden und dass Off-String-Informationen, die vom Controller übertragen werden, in die nicht-flüchtige Speichervorrichtung geschrieben werden. Jedoch können Off-String-Informationen, die aus der nicht-flüchtigen Speichervorrichtung erzeugt werden, unter der Steuerung des Controllers direkt in die nicht-flüchtige Speichervorrichtung geschrieben werden.

[0502] [Fig. 62](#) ist ein Blockschema, das ein Speichersystem **2000** gemäß einem Ausführungsbeispiel der vorliegenden allgemeinen erfinderischen Idee darstellt. Hier ist das Speichersystem **2000** als elektronisches Gerät dargestellt, das mindestens eine nichtflüchtige Speichervorrichtung aufweist. Wie in [Fig. 62](#) dargestellt ist, kann das Speichersystem **2000** eine nicht-flüchtige Speichervorrichtung **2100** und einen Controller **2200** aufweisen. Die nicht-flüchtige Speichervorrichtung **2100** kann eine Mehrzahl von nicht-flüchtigen Speicher-Chips aufweisen, die eine Mehrzahl von Gruppen bilden. Nicht-flüchtige Speicher-Chips in jeder Gruppe können so konfiguriert sein, dass sie mit dem Controller **2200** über einen gemeinsamen Kanal kommunizieren. In einem Ausführungsbeispiel kann die Mehrzahl von nicht-flüchtigen Speicher-Chips über eine Mehrzahl von Kanälen CH1 bis CHk mit dem Controller **2200** kommunizieren.

[0503] Jeder der nicht-flüchtigen Speicher-Chips kann dem von einer der nicht-flüchtigen Speichervorrichtungen **100** bis **500** gemäß Ausführungsbeispielen der erfinderischen Idee im Wesentlichen gleich sein. Das heißt, die nicht-flüchtige Speichervorrichtung **2100** kann eine Mehrzahl von Zellenfolgen CS 11, CS12, CS21 und CS22 aufweisen, die auf einem Substrat **111** vorgesehen sind, und jede der Zellenfolgen CS11, CS12, CS21 und CS22 kann eine Mehrzahl von Zellentransistoren CT aufweisen, die in senkrechter Richtung zum Substrat **111** gestapelt sind. Die nicht-flüchtige Speichervorrichtung **2100** kann eine Löschoption gemäß dem oben beschriebenen Lösungsverfahren durchführen. Die nicht-flüchtige Speichervorrichtung **2100** kann eine Vorab-Leseoperation gemäß dem oben beschriebenen Vorab-Leseverfahren durchführen.

[0504] Wie mit Bezug auf [Fig. 54](#) bis [Fig. 61](#) beschrieben wird, kann der Controller **2200** verschiedene Operationen als Antwort auf Off-String-Informationen von der nichtflüchtigen Speichervorrichtung **2100** durchführen.

[0505] In [Fig. 62](#) wird als Beispiel der Fall beschrieben, dass ein Kanal mit einer Mehrzahl von nicht-flüchtigen Speicher-Chips verbunden ist. Jedoch kann das Speichersystem **2000** so modifiziert sein, dass ein Kanal mit einem nicht-flüchtigen Speicher-Chip verbunden ist.

[0506] [Fig. 63](#) ist ein Diagramm, das eine Speicherkarte **3000** gemäß einem Ausführungsbeispiel der vorliegenden allgemeinen erfinderischen Idee darstellt. Hier ist die Speicherkarte **3000** als elektronisches Gerät dargestellt, das mindestens eine nicht-flüchtige Speichervorrichtung aufweist. Wie in [Fig. 63](#) dargestellt ist, kann die Speicherkarte **3000** eine nicht-flüchtige Speichervorrichtung **3100**, einen Controller **3200** und einen Verbinder **3300** aufweisen.

[0507] Die nicht-flüchtige Speichervorrichtung **3100** kann im Wesentlichen identisch sein mit der einen von den nicht-flüchtigen Speichervorrichtungen **100** bis **500**, die in [Fig. 1](#), [Fig. 15](#), [Fig. 18](#), [Fig. 19](#) bzw. [Fig. 22](#) dargestellt sind, und die einem Ausführungsbeispiel der erfinderischen Idee entsprechen. Das heißt, die nicht-flüchtige Speichervorrichtung **3100** kann eine Mehrzahl von Zellenfolgen CS11, CS12, CS21 und CS22 aufweisen, die auf einem Substrat **111** vorgesehen sind, und jede der Zellenfolgen CS 11, CS12, CS21 und CS22 kann eine Mehrzahl von Zellentransistoren CT aufweisen, die in senkrechter Richtung zum Substrat **111** gestapelt sind. Die nicht-flüchtige Speichervorrichtung **3100** kann eine Löschoption gemäß dem oben beschriebenen Lösungsverfahren durchführen. Die nicht-flüchtige Speichervorrichtung **3100** kann eine Vorab-Leseoperation gemäß dem oben beschriebenen Vorab-Leseverfahren durchführen.

[0508] Wie mit Bezug auf [Fig. 54](#) bis [Fig. 61](#) beschrieben wird, kann der Controller **3200** verschiedene Operationen unter Verwendung von Off-String-Informationen von der nichtflüchtigen Speichervorrichtung **3100** durchführen.

[0509] Der Verbinder **3300** kann die Speicherkarte **3000** elektrisch mit einem Host verbinden, um ein Signal, das Daten entspricht, einen Befehl, Leistung usw. zu senden oder zu empfangen.

[0510] Die Speicherkarte **3000** kann von Speicherkarten wie einer PC(PCMCIA)-Karte, einer CF-Karte, einer SM(oder SMC)-Karte, einem Speicherstift, einer Multimedia-Karte (MMC, RS-MMC, MMCmicro), einer Sicherheitskarte (SD, miniSD, microSD, SDHC), einer Universal-Flash-Storage(UFS)-Vorrichtung und dergleichen gebildet werden.

[0511] [Fig. 64](#) ist ein Diagramm, das ein Solid-State-Laufwerk **4000** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Hier ist das Solid-State-Laufwerk (SSD) **4000** als elektronische Vorrichtung dargestellt, die mindestens eine nicht-flüchtige Speichervorrichtung aufweist. Wie in [Fig. 64](#) dargestellt ist, kann das Solid-State-Laufwerk **4000** eine Mehrzahl von nicht-flüchtigen Speichervorrichtungen **4100**, einen Controller **4200** und einen Verbinder **4300** aufweisen.

[0512] Jede der nicht-flüchtigen Speichervorrichtungen **4100** kann im Wesentlichen identisch sein mit derjenigen von den nicht-flüchtigen Speichervorrichtungen **100** bis **500**, die in [Fig. 1](#), [Fig. 15](#), [Fig. 18](#), [Fig. 19](#) bzw. [Fig. 22](#) dargestellt sind und die Ausführungsbeispielen der erfinderischen Idee entsprechen. Das heißt, jede der nicht-flüchtigen Speichervorrichtungen **4100** kann eine Mehrzahl von Zellenfolgen CS11, CS12, CS21 und CS22 aufweisen, die auf einem Substrat **111** vorgesehen sind, und jede der Zellenfolgen CS11, CS12, CS21 und CS22 kann eine Mehrzahl von Zellentransistoren CT aufweisen, die in senkrechter Richtung zum Substrat **111** gestapelt sind. Jede der nicht-flüchtigen Speichervorrichtungen **4100** kann eine Löschoption gemäß dem oben beschriebenen Lösungsverfahren durchführen. Jede der nicht-flüchtigen Speichervorrichtungen **4100** kann eine Vorab-Leseoperation gemäß dem oben beschriebenen Vorab-Leseverfahren durchführen.

[0513] Wie mit Bezug auf [Fig. 54](#) bis [Fig. 61](#) beschrieben ist, kann der Controller **4000** verschiedene Operationen unter Verwendung von Off-String-Informationen von den nichtflüchtigen Speichervorrichtungen **4100** durchführen.

[0514] Der Verbinder **4300** kann das Solid-State-Laufwerk **4000** elektrisch mit einem Host verbinden, Signal, das Daten entspricht, einen Befehl, Leistung usw. zu senden oder zu empfangen.

[0515] [Fig. 65](#) ist ein Blockschema, das ein Rechensystem **5000** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Hier ist ein Rechensystem **5000** als elektronische Vorrichtung dargestellt, die mindestens eine nicht-flüchtige Speichervorrichtung aufweist. Wie in [Fig. 65](#) dargestellt ist, kann das Rechensystem **5000** eine zentrale Verarbeitungseinheit **5100**, einen RAM **5200**, eine Nutzer-Schnittstelle **5300**, ein Modem **5400** und ein Speichersystem **5600** aufweisen.

[0516] Das Speichersystem **5600** kann über einen Systembus **5500** elektrisch mit den Elementen **5100** bis **5400** verbunden sein. Daten, die über die Nutzer-schnittstelle **5300** eingegeben werden oder von der zentralen Verarbeitungseinheit **5100** verarbeitet werden, können im Speichersystem **5600** gespeichert werden.

[0517] Das Speichersystem **5600** kann eine nicht-flüchtige Speichervorrichtung **5610** und einen Controller **5620** aufweisen. Das Speichersystem **5600** kann aus einem von den Speichersystemen **1000** und **2000**, einer Speicherkarte **3000** und einem Solid-State-Laufwerk **4000** gemäß einem Ausführungsbeispiel der erfinderischen Idee gebildet sein.

[0518] [Fig. 66](#) ist ein Blockschema, das ein Testsystem **6000** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Hier ist das Testsystem **6000** als elektronische Vorrichtung dargestellt, die mindestens eine nicht-flüchtige Speichervorrichtung aufweist. Wie in [Fig. 66](#) dargestellt ist, kann das Testsystem **6000** eine nicht-flüchtige Speichervorrichtung **6100** und eine Testvorrichtung **6200** aufweisen.

[0519] Die nicht-flüchtige Speichervorrichtung **6100** kann der einen von den nichtflüchtigen Speichervorrichtungen **100** bis **500**, die in [Fig. 1](#), [Fig. 15](#), [Fig. 18](#), [Fig. 19](#) bzw. [Fig. 22](#) dargestellt sind, und die einem Ausführungsbeispiel der erfinderischen Idee entsprechen, im Wesentlichen gleich sein. Das heißt, die nicht-flüchtige Speichervorrichtung **6100** kann eine Mehrzahl von Zellenfolgen CS11, CS12, CS21 und CS22 aufweisen, die auf einem Substrat **111** vorgesehen sind, und jede von den Zellenfolgen CS11, CS12, CS21 und CS22 kann eine Mehrzahl von Transistoren CT aufweisen, die in senkrechter Richtung zum Substrat **111** gestapelt sind. Die nicht-flüchtige Speichervorrichtung **6100** kann eine Löschoperation gemäß dem oben beschriebenen Löschverfahren durchführen. Die nicht-flüchtige Speichervorrichtung **6100** kann eine Vorab-Leseoperation gemäß dem oben beschriebenen Vorab-Leseverfahren durchführen.

[0520] [Fig. 67](#) ist ein Ablaufschema, das ein Testverfahren des Testsystems **6000** gemäß einem Ausführungsbeispiel der erfinderischen Idee darstellt. Wie in [Fig. 66](#) und [Fig. 67](#) dargestellt ist, kann die Testvor-

richtung **6200** im Schritt S6100 einen Befehl an die nichtflüchtige Speichervorrichtung **6100** senden.

[0521] Im Schritt S6210 kann die nicht-flüchtige Speichervorrichtung **6100** eine Vorab-Leseoperation als Antwort auf einen Befehl durchführen. Off-String-Informationen können über die Vorab-Leseoperation erfasst werden.

[0522] Im Schritt S6130 kann die nicht-flüchtige Speichervorrichtung **6100** die Off-String-Informationen an die Testvorrichtung **6200** ausgeben.

[0523] Im Schritt S6140 kann die Testvorrichtung **6200** eine Reparierungsoperation durchführen. Beispielsweise kann die Testvorrichtung **6200** die Reparierungsoperation auf Basis der Off-String-Informationen oder anderer Testdaten durchführen. Wenn die Anzahl von Off-Strings in einem bestimmten Speicherblock beispielsweise über einem vorgegebenen Bezugswert liegt, kann die Testvorrichtung **6200** den bestimmten Speicherblock reparieren. Das Reparieren kann das Kontrollieren von Sicherungen (Lasersicherungen oder elektrischen Sicherungen) der nicht-flüchtigen Speichervorrichtung **6100** beinhalten, wobei das Kontrollieren von der Testvorrichtung **6200** durchgeführt wird.

[0524] Im Schritt S6150 kann die Testvorrichtung **6200** die Off-String-Informationen in die nicht-flüchtige Speichervorrichtung **6100** schreiben. Beispielsweise kann die Testvorrichtung **6200** die Off-String-Informationen in Pufferspeicherblöcke von Speicherblöcken BLK1 bis BLKz (siehe [Fig. 2](#)) der nicht-flüchtigen Speichervorrichtung **6100** schreiben.

[0525] Daten, die in die nicht-flüchtige Speichervorrichtung **6100** geschrieben werden, können verwendet werden, um die nicht-flüchtige Speichervorrichtung **6100** zu steuern.

[0526] Das oben beschriebene Speichersystem oder die oben beschriebenen Speichervorrichtungen, die ein elektronisches Gerät darstellen, können eine Funktionseinheit aufweisen, um eine Funktion des Systems oder der Vorrichtung auszuführen. Die Funktionseinheit kann eine Videobildeinheit sein, um Daten, die einem Bild entsprechen, das angezeigt werden soll, zu verarbeiten, eine Audio-Einheit, um Daten zu verarbeiten, die Tönen entsprechen, eine Signalverarbeitungseinheit, um Daten zu verarbeiten, die gesendet oder gespeichert werden sollen, usw.

[0527] Die vorliegende allgemeine erfinderische Idee kann auch als computerlesbare Codes auf einem computerlesbaren Medium verwirklicht werden. Das computerlesbare Medium kann ein computerlesbares Aufzeichnungsmedium und ein computerlesbares Sendemedium beinhalten. Das computerlesbare Aufzeichnungsmedium ist irgendeine Daten-

speichervorrichtung, die Daten als Programm speichern kann, die danach von einem Computersystem gelesen werden können. Beispiele für das computerlesbare Aufzeichnungsmedium beinhalten einen Nur-Lese-Speicher (ROM), einen Speicher mit wahlfreiem Zugriff (RAM), CD-ROMs, Magnetbänder, Floppy-Disks und optische Datenspeichervorrichtungen. Das computerlesbare Aufzeichnungsmedium kann auch über netzgekoppelte Computersysteme verteilt werden, so dass der computerlesbare Code auf verteilte Weise gespeichert und ausgeführt wird. Das computerlesbare Sendemedium kann Trägerwellen oder Signale (z. B. eine über Kabel erfolgende oder drahtlose Datenübertragung über das Internet) senden. Ebenso können Funktionsprogramme, Codes und Code-Segmente zur Verwirklichung der vorliegenden allgemeinen erfinderischen Idee durch Programmierer, die Kenntnisse auf dem entsprechenden technischen Gebiet haben, zu dem die vorliegende allgemeine erfinderische Idee gehört, ohne Weiteres erstellt werden.

[0528] Obwohl einige Ausführungsformen der vorliegenden allgemeinen erfinderischen Idee dargestellt und beschrieben worden sind, weiß ein Fachmann, dass Änderungen an diesen Ausführungsformen vorgenommen werden können, ohne von den Grundlagen und dem Gedanken der allgemeinen erfinderischen Idee abzuweichen, deren Bereich in den beigefügten Ansprüchen und ihren Entsprechungen definiert ist.

Patentansprüche

1. Lösungsverfahren für eine nicht-flüchtige Speichervorrichtung, wobei das Lösungsverfahren umfasst:
Anlegen einer Löschspannung an eine Mehrzahl von Speicherzellen;
Durchführen einer Leseoperation mit einer Lesespannung an Wortleitungen der Mehrzahl von Speicherzellen; und
Durchführen einer Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an mindestens einer von den Wortleitungen der Mehrzahl von Speicherzellen, wobei die Lösungsverifizierungsspannung niedriger ist als die Lesespannung.
2. Lösungsverfahren nach Anspruch 1, wobei die Lesespannung einen oder mehrere Spannungspegel aufweist, die an die entsprechenden Wortleitungen angelegt werden sollen.
3. Lösungsverfahren nach Anspruch 1, wobei die Lesespannung einen einzigen Spannungspegel aufweist, der an die Wortleitungen angelegt werden soll.
4. Lösungsverfahren nach Anspruch 1, wobei:
die Lösungsverifizierungsspannung in Bezug auf eine entsprechende von den Wortleitungen der Mehrzahl von Speicherzellen variabel ist; und

die variable Lösungsverifizierungsspannung niedriger ist als die Lesespannung.

5. Lösungsverfahren nach Anspruch 1, wobei die Lesespannung höher ist als eine Spannung einer Schwellenspannung eines Programmzustands der Mehrzahl von Speicherzellen.

6. Lösungsverfahren nach Anspruch 1, wobei:
die Mehrzahl von Speicherzellen mindestens eine Leerzelle und eine oder mehrere reguläre Speicherzellen aufweist; und
die mindestens eine Leerzelle bei der Leseoperation und der Lösungsverifizierungsoperation mit einer Spannung beliefert wird, die sich von einer Betriebsspannung, die zu den regulären Speicherzellen geliefert wird, unterscheidet.

7. Lösungsverfahren für eine nicht-flüchtige Speichervorrichtung, wobei das Lösungsverfahren umfasst:
Anlegen einer Löschspannung an eine Mehrzahl von Folgen, die jeweils eine Mehrzahl von Speicherzellen aufweisen;
Durchführen einer Leseoperation mit einer Lesespannung an Wortleitungen der Mehrzahl von Speicherzellen;
Bestimmen, dass eine oder mehrere Folgen gemäß der durchgeführten Leseoperation Off-Strings sind;
Verarbeiten eines Lösungsverifizierungs-Arbeitschritts an den Off-Strings; und
Durchführen einer Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an Wortleitungen der Mehrzahl von Speicherzellen.

8. Lösungsverfahren nach Anspruch 7, ferner umfassend:
Anlegen einer modifizierten Löschspannung an die Mehrzahl von Folgen gemäß der durchgeführten Lösungsverifizierungsoperation.

9. Lösungsverfahren nach Anspruch 8, wobei:
die Mehrzahl von Speicherzellen Off-Strings gemäß der Leseoperation als Off-String oder Non-Off-Strings bestimmt wird; und
die Lösungsverifizierungsoperation beinhaltet, dass die Durchführung einer Voraufladungsoperation an den Off-Strings verhindert wird.

10. Lösungsverfahren nach Anspruch 7, ferner umfassend:
Anlegen von unterschiedlichen Spannungen an Bitleitungen des Off-Strings und des Non-Off-Strings als Voraufładesspannung; und
Anlegen der Lösungsverifizierungsspannung an die entsprechenden Wortleitungen der Mehrzahl von Speicherzellen in der Lösungsverifizierungsoperation.

11. Lösungsverfahren nach Anspruch 7, wobei:

die Mehrzahl von Speicherzellen mindestens eine Leerzelle und eine oder mehrere reguläre Speicherzellen aufweist; und

an die mindestens eine Leerzelle bei der Leseoperation und der Lösungsverifizierungsoperation eine Spannung angelegt wird, die sich von einer Betriebsspannung, die an die regulären Speicherzellen angelegt wird, unterscheidet.

12. Nicht-flüchtige Speichervorrichtung, aufweisend:

ein Speicherzellen-Array mit einem Substrat und einer Mehrzahl von Blöcken, die jeweils eine Mehrzahl von Folgen mit jeweils einer Mehrzahl von Speicherzellen aufweisen, wobei die Mehrzahl von Folgen in senkrechter Richtung zum Substrat auf dem Substrat ausgebildet ist;

eine Steuereinheit, um eine Leseoperation mit einer Lesespannung an Wortleitungen der Mehrzahl von Folgen durchzuführen; und

eine Seitenspeichereinheit, um Informationen über einen oder mehrere Off-Strings unter der Mehrzahl von Folgen, die durch die Leseoperation bestimmt werden, zu speichern,

wobei die Steuereinheit eine Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an mindestens einer der Wortleitungen von der Mehrzahl von Speicherzellen durchführt, und die Lösungsverifizierungsspannung niedriger ist als die Lesespannung.

13. Nicht-flüchtige Speichervorrichtung nach Anspruch 12, wobei die Mehrzahl von Folgen von der Mehrzahl von Speicherzellen jeweils unterschiedliche Abmessungen aufweisen, wobei benachbarten Folgen durch eine Lücke voneinander getrennt sind.

14. Nicht-flüchtige Speichervorrichtung nach Anspruch 12, wobei:

die Steuereinheit gemäß der Leseoperation einen ersten Off-String unter den Folgen bestimmt und einen zweiten Off-String gemäß der Lösungsverifizierungsoperation bestimmt; und

die Steuereinheit eine Löschooperation mit einer modifizierten Löschooperation an den ersten und zweiten Off-Strings durchführt.

15. Nicht-flüchtige Speichervorrichtung nach Anspruch 12, wobei die Steuereinheit die Lösungsverifizierungsoperation an einem Non-Off-String durchführt, nachdem sie eine Lösungsverifizierungsoperation mit einer ersten Löschooperation an den Folgen durchgeführt hat, die den Off-String und den Non-Off-String beinhalten.

16. Nicht-flüchtige Speichervorrichtung nach Anspruch 12, wobei die Steuereinheit eine andere Löschooperation mit einer modifizierten Löschooperation an dem Off-String gemäß der Lösungsverifizierungsoperation durchführt.

17. Nicht-flüchtige Speichervorrichtung nach Anspruch 12, wobei die Steuereinheit eine andere Löschooperation steuert, die an der ausgewählten Folge gemäß der durchgeführten Lösungsverifizierungsoperation durchgeführt werden soll, wenn bestimmt wird, dass die ausgewählte Folge ein Off-String ist, der eine Folge darstellt, deren Löschen fehlgeschlagen ist.

18. Betriebsverfahren für ein Speichersystem, wobei das Verfahren umfasst:

Erzeugen eines Befehls von einem Controller, um eine Löschooperation an einer nicht-flüchtigen Speichervorrichtung durchzuführen, die ein Speicherzellen-Array mit einem Substrat und einer Mehrzahl von Folgen mit jeweils einer Mehrzahl von Speicherzellen aufweist, wobei die Mehrzahl von Folgen in senkrechter Richtung zum Substrat auf dem Substrat ausgebildet ist; und

Durchführen einer Löschooperation in der nicht-flüchtigen Speichervorrichtung gemäß dem erzeugten Befehl, wobei die Löschooperation beinhaltet:

Durchführen einer Löschooperation an der Mehrzahl von Folgen;

Durchführen einer Leseoperation mit einer Lesespannung an Wortleitungen von der Mehrzahl von Speicherzellen;

Bestimmen, dass eine oder mehrere Folgen gemäß der durchgeführten Leseoperation Off-Strings sind;

Verarbeiten eines Lösungsverifizierungs-Arbeitschritts an dem Off-String; und

Durchführen einer Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an den Wortleitungen der Mehrzahl von Folgen, wobei die Lösungsverifizierungsspannung niedriger ist als die Lesespannung.

19. Betriebsverfahren nach Anspruch 18, wobei das Verarbeiten der Lösungsverifizierungsoperation beinhaltet, dass verhindert wird, dass die Lösungsverifizierungsoperation an dem Off-String der ersten Bestimmung durchgeführt wird.

20. Betriebsverfahren nach Anspruch 18, ferner umfassend:

Durchführen einer zweiten Löschooperation mit einer zweiten Löschooperation an den Off-Strings der ersten Bestimmung und der zweiten Bestimmung.

21. Betriebsverfahren nach Anspruch 18, wobei die Leseoperation zwischen der Löschooperation und der Lösungsverifizierungsoperation nicht durchgeführt wird.

22. Betriebsverfahren nach Anspruch 18, wobei die Lösungsverifizierungsoperation an dem bestimmten Off-String nicht durchgeführt wird.

23. Betriebsverfahren nach Anspruch 18, ferner umfassend:

Senden eines ersten Antwortsignals auf die Löschooperation von der nicht-flüchtigen Speichervorrichtung an den Controller;

Erzeugen eines zweiten Befehls vom Controller, um die nicht-flüchtige Speichervorrichtung so zu steuern, dass diese eine zweite Löschooperation durchführt; und

Senden eines zweiten Antwortsignals auf die zweite Löschooperation von der nicht-flüchtigen Speichervorrichtung, so dass der Controller einen Fehlerprozess durchführt, um gemäß dem ersten Antwortsignal und dem zweiten Antwortsignal einen schädlichen Block zu bestimmen.

24. Betriebsverfahren nach Anspruch 18, ferner umfassend:

Senden von Off-String-Informationen an den Controller nach Abschluss der Löschooperation, so dass der Controller vorangehende Informationen mit den gesendeten Informationen aktualisiert.

25. Betriebsverfahren nach Anspruch 18, ferner umfassend:

Senden von Off-String-Informationen an den Controller;

Senden eines Lesebefehls an die nicht-flüchtige Speichervorrichtung, um eine zweite Leseoperation zum Auslesen von Daten aus den Folgen durchzuführen; und

Korrigieren eines Fehlers gemäß den ausgelesenen Daten und den Informationen über die Off-Strings.

26. Betriebsverfahren nach Anspruch 18, ferner umfassend:

Erzeugen eines Befehls an die nicht-flüchtige Speichervorrichtung, um eine Vorab-Leseoperation durchzuführen; und

Empfangen von Informationen über einen zweiten Off-String von der nichtflüchtigen Speichervorrichtung gemäß der Vorab-Leseoperation und Steuern der nichtflüchtigen Speichervorrichtung, um die Informationen über den zweiten Off-String in einem Pufferspeicherbereich der nicht-flüchtigen Speichervorrichtung zu speichern.

27. Betriebsverfahren nach Anspruch 26, ferner umfassend:

Erzeugen eines zweiten Befehls an die nicht-flüchtige Speichervorrichtung, um die gespeicherten Informationen über die Off-Strings an den Controller auszugeben;

Empfangen von zweiten Off-String-Informationen gemäß der Löschooperation; und

Aktualisieren von Informationen gemäß den zweiten Off-String-Informationen und den Off-String-Informationen.

28. Betriebsverfahren nach Anspruch 18, ferner umfassend:

Auswählen einer Folgenansteuerungsleitung, die eine vorgegebene Anzahl von Folgen verbindet, um die Leseoperation an der vorgegebenen Anzahl der Folgen der ausgewählten Folgenansteuerungsleitung durchzuführen, bis die ausgewählte Folgenansteuerungsleitung als letzte Folgenansteuerungsleitung der Folgen bestimmt worden ist.

29. Betriebsverfahren nach Anspruch 18, wobei: die Mehrzahl der Folgen in eine Mehrzahl von Gruppen unterteilt wird, die mit einer Mehrzahl von Folgenansteuerungsleitungen verbunden sind;

die Löschooperation das Auswählen einer ersten von der Mehrzahl von Folgenansteuerungsleitungen umfasst; und

die Leseoperation und die Löschungsverifizierungsoperation in Bezug auf die Folgen durchgeführt wird, die mit der ausgewählten Folgenansteuerungsleitung verbunden sind.

30. Betriebsverfahren nach Anspruch 18, ferner umfassend:

Wiederholen der Durchführung der Leseoperation und der Erfassung der Off-Strings, bis eine letzte Folgenansteuerungsleitung von einer Mehrzahl von Folgenansteuerungsleitungen ausgewählt worden ist, wobei die Mehrzahl von Folgenansteuerungsleitungen jeweils mit den entsprechenden Folgen verbunden ist und nacheinander ausgewählt werden.

31. Betriebsverfahren nach Anspruch 30, wobei das Wiederholen umfasst:

Auswählen einer zweiten Folgenansteuerungsleitung aus einer Mehrzahl von Folgenansteuerungsleitungen;

Durchführen der Leseoperation durch Anlegen einer hohen Spannung an Wortleitungen der Folgen, die mit der zweiten Ansteuerungsleitung verbunden sind; und

Bestimmen von einer oder mehreren Folgen als Off-Strings gemäß der durchgeführten Leseoperation.

32. Speichersystem, aufweisend:

eine nicht-flüchtige Speichervorrichtung, die ein Speicherzellen-Array mit einem Substrat und einer Mehrzahl von Folgen aufweist, die jeweils eine Mehrzahl von Speicherzellen aufweisen, wobei die Mehrzahl von Folgen in senkrechter Richtung zum Substrat auf dem Substrat ausgebildet ist; und

einen Controller, um einen Befehl zur Durchführung einer Löschooperation an der nicht-flüchtigen Speichervorrichtung zu erzeugen, so dass die nicht-flüchtige Speichervorrichtung:

die Mehrzahl von Folgen löscht;

eine Leseoperation mit einer Lesespannung an Wortleitungen von der Mehrzahl von Speicherzellen durchführt;

eine oder mehrere Folgen gemäß der durchgeführten Leseoperation als Off-Strings bestimmt;

einen Lösungsverifizierungs-Arbeitsschritt an dem Off-String verarbeitet; und
eine Lösungsverifizierungsoperation mit einer Lösungsverifizierungsspannung an Wortleitungen von der Mehrzahl von Folgen durchführt, wobei die Lösungsverifizierungsspannung niedriger ist als die Lesespannung.

33. Speichersystem nach Anspruch 32, wobei die Folgen durch eine Lücke voneinander beabstandet sind, in der eine Kanalschichteinheit ausgebildet ist, um die Speicherzellen der Folge miteinander zu verbinden, und die Kanalschichteinheit einen Defekt aufweist, der den Off-String bewirkt.

34. Speichersystem nach Anspruch 33, wobei die nicht-flüchtige Speichervorrichtung einen Drain und eine Kanalschichteinheit aufweist, die mit den Folgen verbunden ist, und der Off-String mit der Kanalschichteinheit ausgebildet ist, die keinen elektrischen Kontakt mit dem Substrat aufweist.

35. Speichersystem nach Anspruch 33, wobei die nicht-flüchtige Speichervorrichtung einen Drain und eine Kanalschichteinheit aufweist, die mit der Folge verbunden ist, und der Off-String mit der Kanalschichteinheit ausgebildet ist, die keinen elektrischen Kontakt mit dem Substrat aufweist.

36. Speichersystem nach Anspruch 32, wobei die nicht-flüchtige Speichervorrichtung verhindert, dass die Lösungsverifizierungsoperation an den Off-Strings der ersten Bestimmung durchgeführt wird.

37. Speichersystem, aufweisend:
eine nicht-flüchtige Speichervorrichtung; und
einen Controller, der so gestaltet ist, dass er die nicht-flüchtige Speichervorrichtung steuert, wobei die nicht-flüchtige Speichervorrichtung aufweist:
ein Speicherzellen-Array, das eine Mehrzahl von Folgen aufweist, wobei jede Folge eine Mehrzahl von Speicherzellen aufweist;
eine Lese-/Schreibeinheit, die so gestaltet ist, dass sie als Antwort auf einen Befehl, der vom Controller gesendet wird, eine Leseoperation durchführt und ein Leseergebnis ausgibt, wobei die Leseoperation durch Anlegen einer hohen Spannung an Wortleitungen, die mit der Mehrzahl von Folgen verbunden ist, durchgeführt wird;
eine Zähleinheit, die so gestaltet ist, dass sie das ausgegebene Leseergebnis empfängt und die Anzahl der Off-Strings zählt, die in der Leseoperation als abgeschaltet gelesen werden; und
eine Daten-Eingabe-/Ausgabeschaltung, die so gestaltet ist, dass sie das Leseergebnis oder das Zählergebnis als Informationen im Zusammenhang mit Off-Strings ausgibt; und
wobei der Controller so gestaltet ist, dass er die nicht-flüchtige Speichervorrichtung auf Basis von Informa-

tionen steuert, die mit den Off-Strings im Zusammenhang stehen.

38. Speichersystem nach Anspruch 37, wobei:
die nicht-flüchtige Speichervorrichtung ein Substrat aufweist;
die Mehrzahl der Folgen in senkrechter Richtung zum Substrat auf dem Substrat angeordnet ist und in eine Mehrzahl von Gruppen aus Folgen unterteilt ist, wobei die Gruppen mit einer Mehrzahl von Folgenansteuerungsleitungen verbunden sind;
der Controller die nicht-flüchtige Speichervorrichtung so steuert, dass diese eine Löschoption an den Folgen der Gruppen der Mehrzahl von Folgenansteuerungsleitungen durchführt; und
der Controller die nicht-flüchtige Speichervorrichtung so steuert, dass diese eine oder mehrere Off-Strings als erfolgreich gelöscht verarbeitet und eine Lösungsverifizierungsoperation an den anderen Folgen in der Einheit jeder Gruppe durchführt.

39. Speichersystem nach Anspruch 38, wobei die benachbarten Folgen durch eine Säule voneinander beabstandet sind, die eine Kanalschicht aufweist, die elektrisch mit den Speicherzellen jeder Folge verbunden ist.

40. Speichersystem nach Anspruch 39, wobei die Säule eine Breite aufweist, die entsprechend dem Abstand zum Substrat größer ist.

41. Speichersystem nach Anspruch 39, wobei die Säule eine Breite aufweist, die entsprechend dem Abstand zum Substrat größer ist.

42. Speichersystem nach Anspruch 38, wobei die Speicherzellen jeder Folge eine Länge aufweisen, die gemäß einem Abstand zum Substrat geringer ist.

43. Betriebsverfahren für ein Speichersystem, das eine nicht-flüchtige Speichervorrichtung, die eine Mehrzahl von Folgen aufweist, und einen Controller aufweist, der so gestaltet ist, dass er die nicht-flüchtige Speichervorrichtung steuert, wobei jede Folge eine Mehrzahl von Speicherzellen aufweist, wobei das Betriebsverfahren umfasst:
Senden eines Befehls vom Controller an die nicht-flüchtige Speichervorrichtung;
Durchführen einer Leseoperation an der nicht-flüchtigen Speichervorrichtung als Antwort auf den Befehl, wobei die nicht-flüchtige Speichervorrichtung durch Anlegen einer hohen Spannung an sämtliche Wortleitungen, die mit der Mehrzahl von Folgen verbunden sind, durchgeführt wird;
Senden von Informationen im Zusammenhang mit Off-Strings, die in der Leseoperation als abgeschaltet gelesen werden, von der nicht-flüchtigen Speichereinheit an den Controller; und
Speichern der gesendeten Informationen im Controller.

44. Betriebsverfahren nach Anspruch 43, ferner umfassend:

Senden der gespeicherten Informationen im Zusammenhang mit den Off-Strings und eines Lesebefehls vom Controller an die nicht-flüchtige Speichervorrichtung; und

Durchführen einer Leseoperation an der nicht-flüchtigen Speichervorrichtung als Antwort auf die gespeicherten Informationen im Zusammenhang mit den Off-Strings und dem Löschbefehl.

45. Betriebsverfahren nach Anspruch 44, wobei, wenn ein Ergebnis der Löschoption einen Lösungsfehlschlag anzeigt, das Senden eines Befehls, das Durchführen einer Leseoperation, das Senden von Informationen und das Speichern der gesendeten Informationen erneut durchgeführt werden.

46. Betriebsverfahren nach Anspruch 43, ferner umfassend:

Senden eines Lesebefehls vom Controller an die nicht-flüchtige Speichervorrichtung;

Senden eines Leseergebnisses gemäß dem Lesebefehl an den Controller von der nicht-flüchtigen Speichervorrichtung; und

Korrigieren eines Fehlers des gesendeten Leseergebnisses unter Verwendung der gespeicherten Informationen im Zusammenhang mit den Off-Strings, wobei die Korrektur vom Controller durchgeführt wird.

47. Betriebsverfahren nach Anspruch 43, ferner umfassend:

Erzeugen eines Code-Worts unter Verwendung von Schreibdaten und der gespeicherten Informationen im Zusammenhang mit den Off-Strings, wobei die Erzeugung durch den Controller durchgeführt wird;

Senden des erzeugten Code-Worts und eines Schreibbefehls vom Controller an die nicht-flüchtige Speichervorrichtung; und

Schreiben des gesendeten Code-Worts in die nicht-flüchtige Speichervorrichtung als Antwort auf den Schreibbefehl.

48. Betriebsverfahren nach Anspruch 43, ferner umfassend:

Senden der gespeicherten Informationen im Zusammenhang mit den Off-Strings und eines zweiten Befehls vom Controller an die nicht-flüchtige Speichervorrichtung; und

Schreiben der gesendeten Informationen im Zusammenhang mit den Off-Strings in die nicht-flüchtige Speichervorrichtung als Antwort auf den zweiten Befehl.

Es folgen 64 Blatt Zeichnungen

Anhängende Zeichnungen

Fig. 1

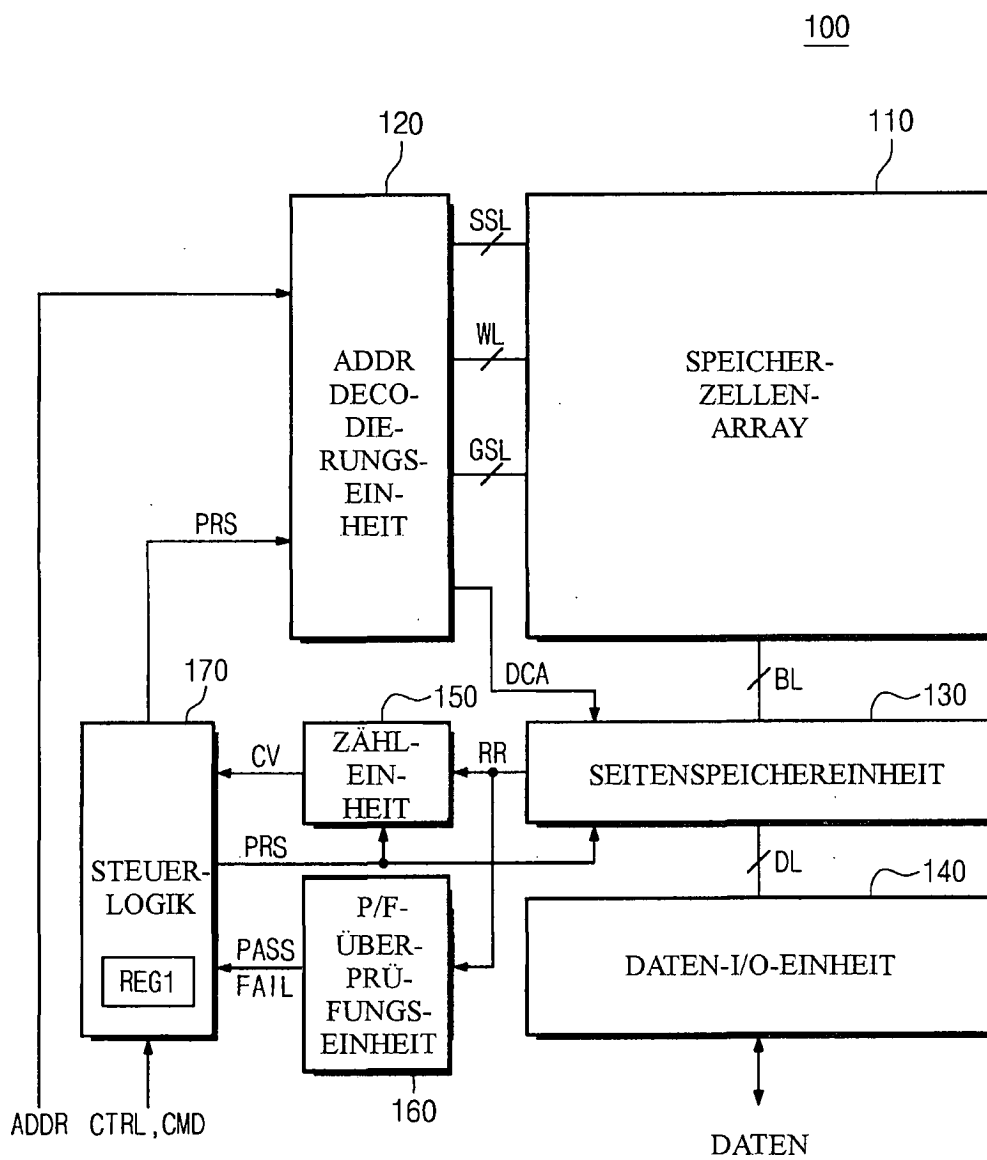


Fig. 2

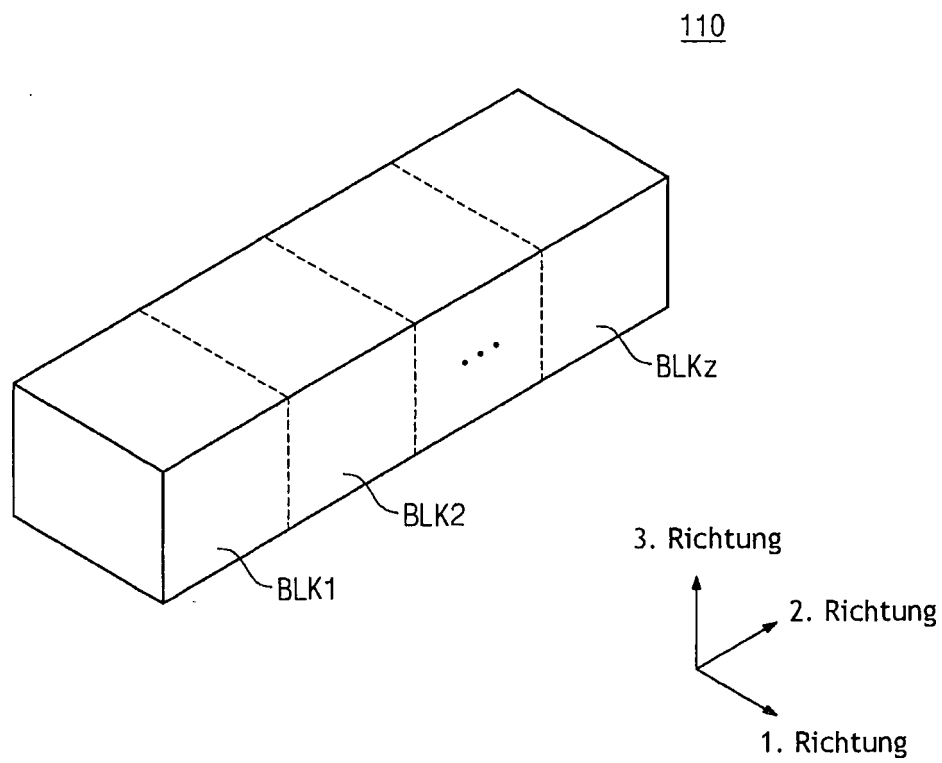


Fig. 3

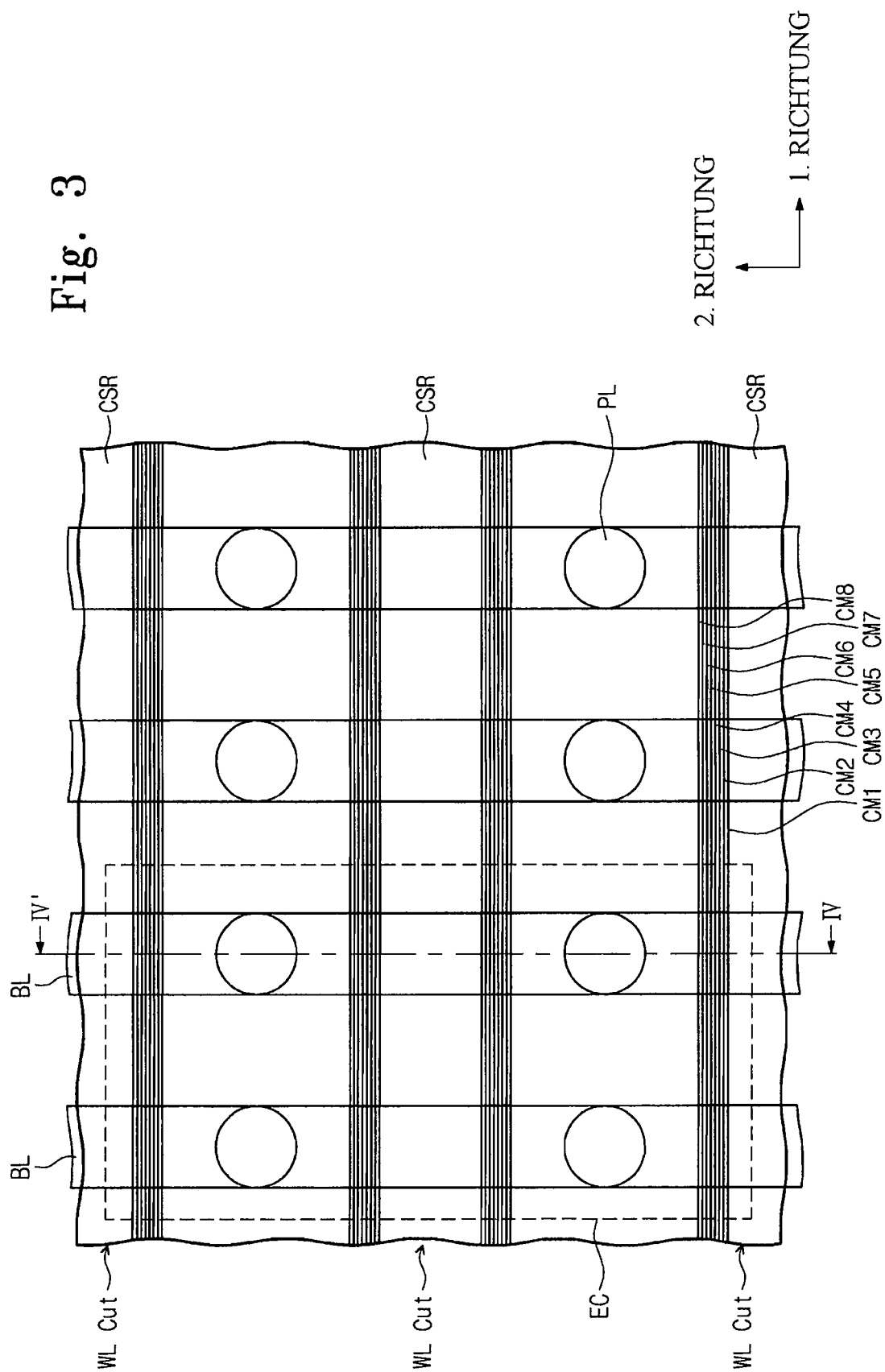


Fig. 4

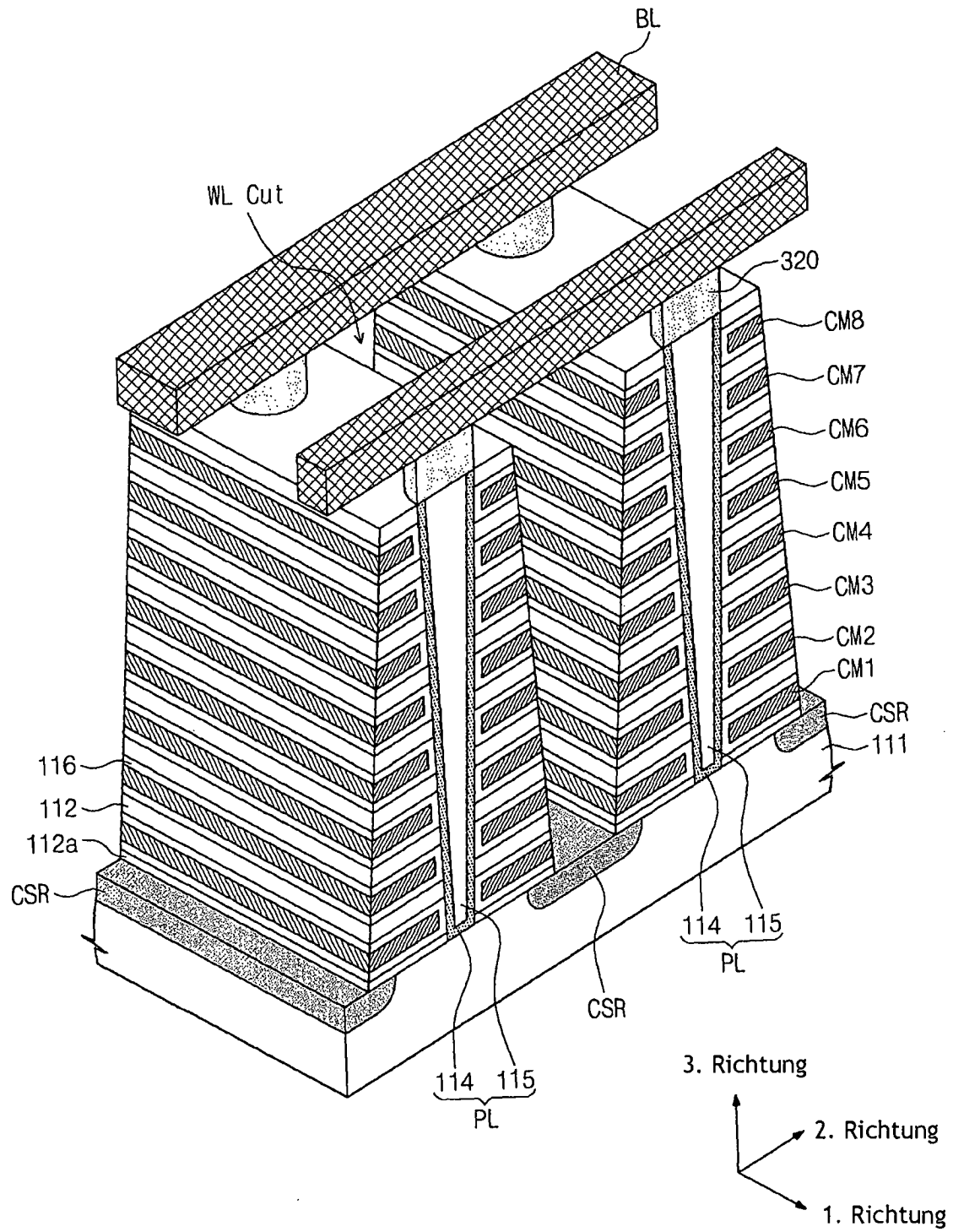


Fig. 5

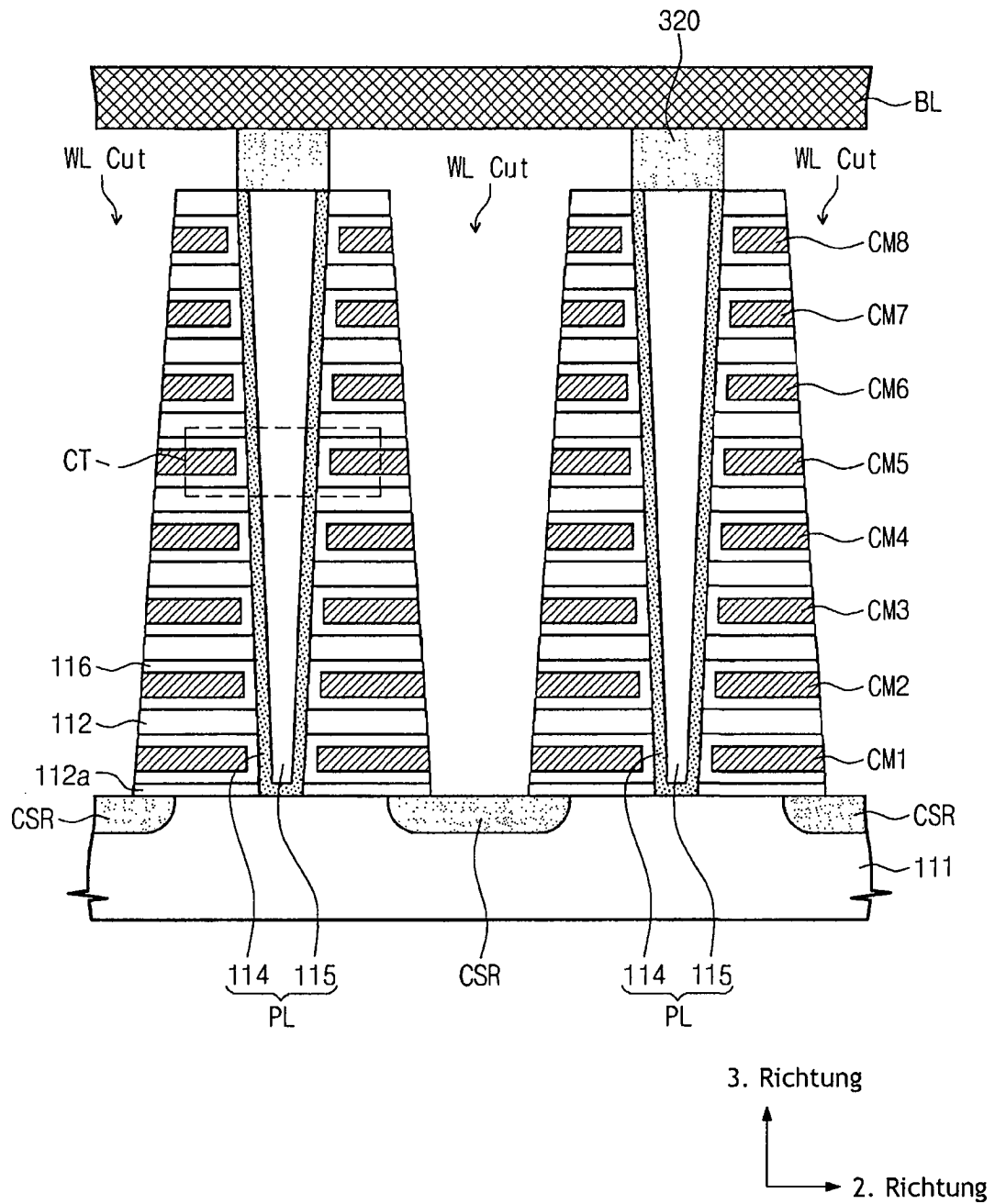


Fig. 6

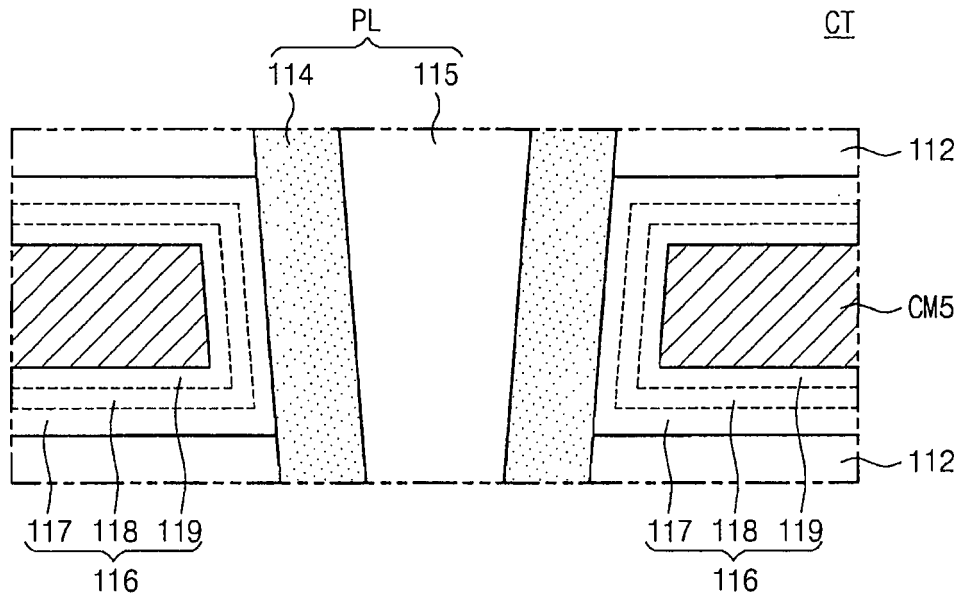


Fig. 7

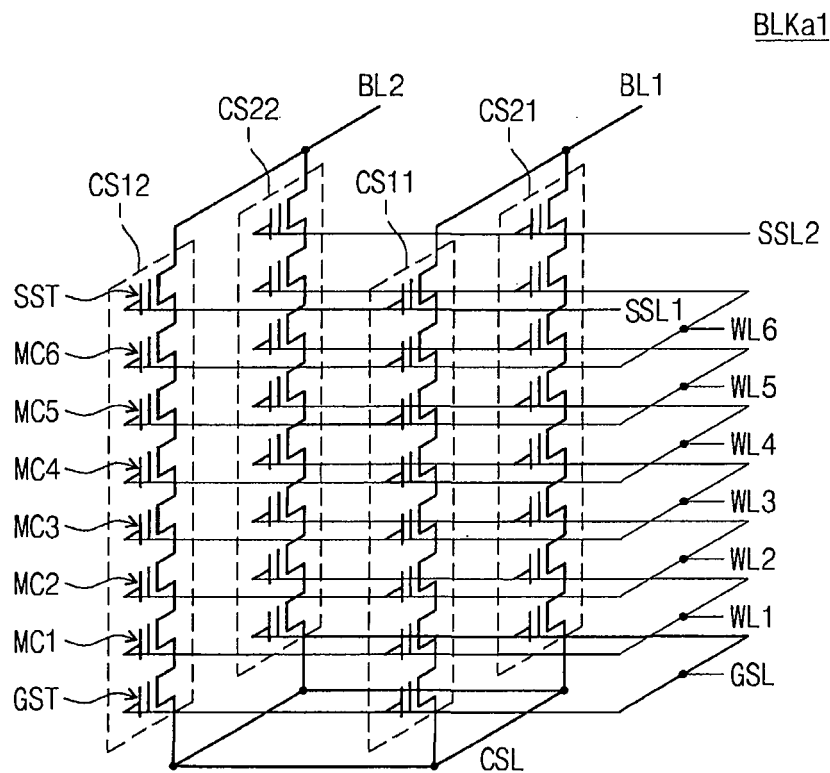


Fig. 8

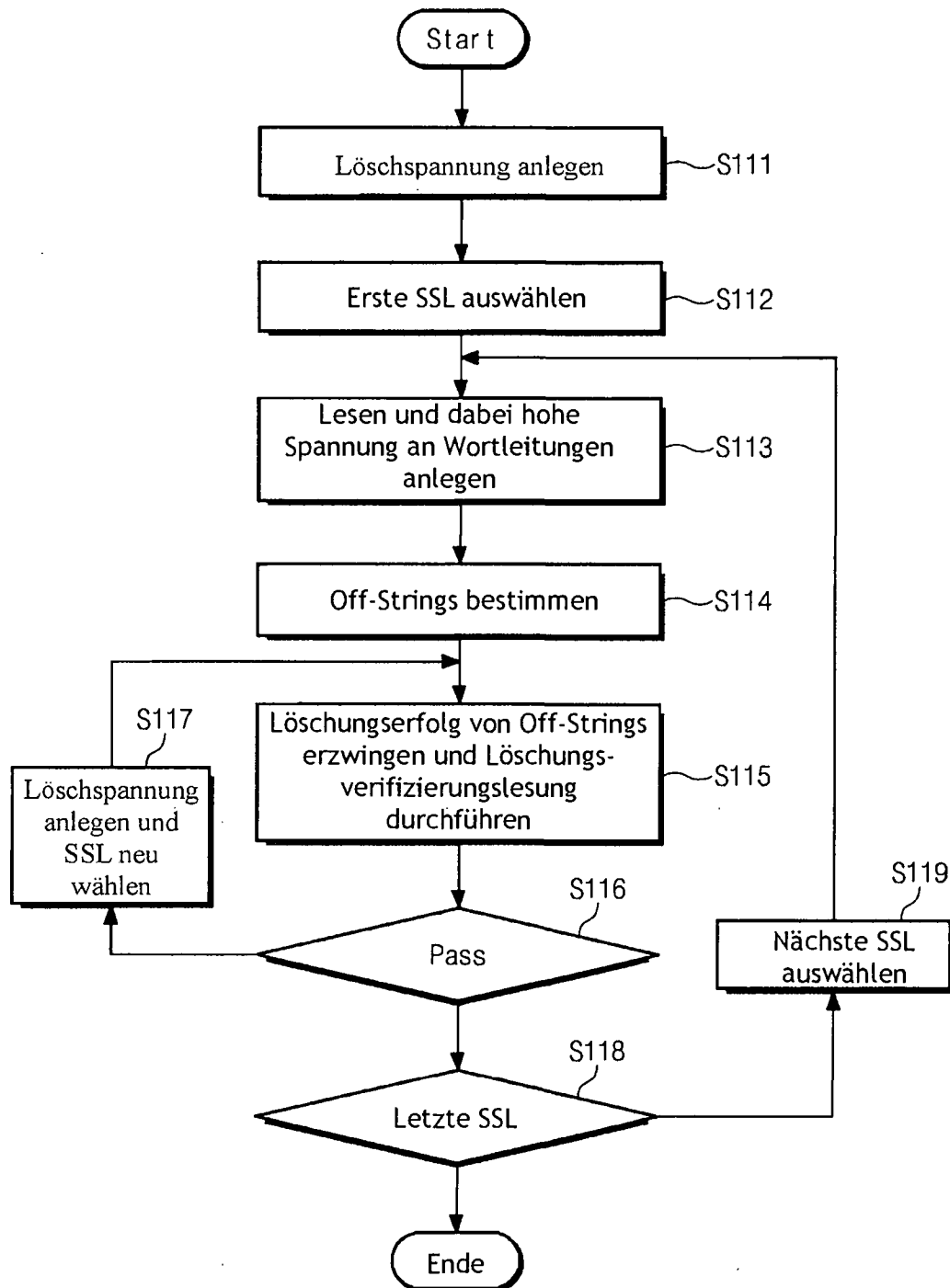


Fig. 9

	S111	S113	S115
BL	Float	VBL1(VCC)	Normal; VBL2(VCC)
			Off; VBL3(VSS)
Ausgewählte SSL	Float oder VSSL1	VSSL2(On)	VSSL4(On)
Nicht ausgewählte SSL		VSSL3(Off)	VSSL5(Off)
WL	Vwe1(VSS)	VH1(Vread)	VFY1
GSL	Float oder VGSL1	VGSL2(On)	VGSL3(On)
CSL	Float	VCSL1(VSS)	VCSL2(VSS)
Substrat	Vers1	VSUB1(VSS)	VSUB2(VSS)

Fig. 10

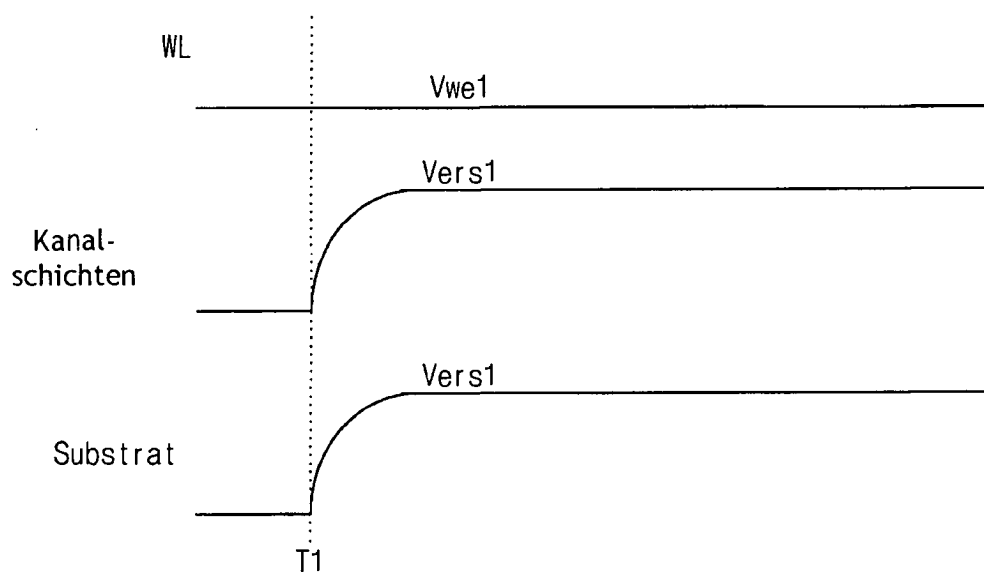


Fig. 11

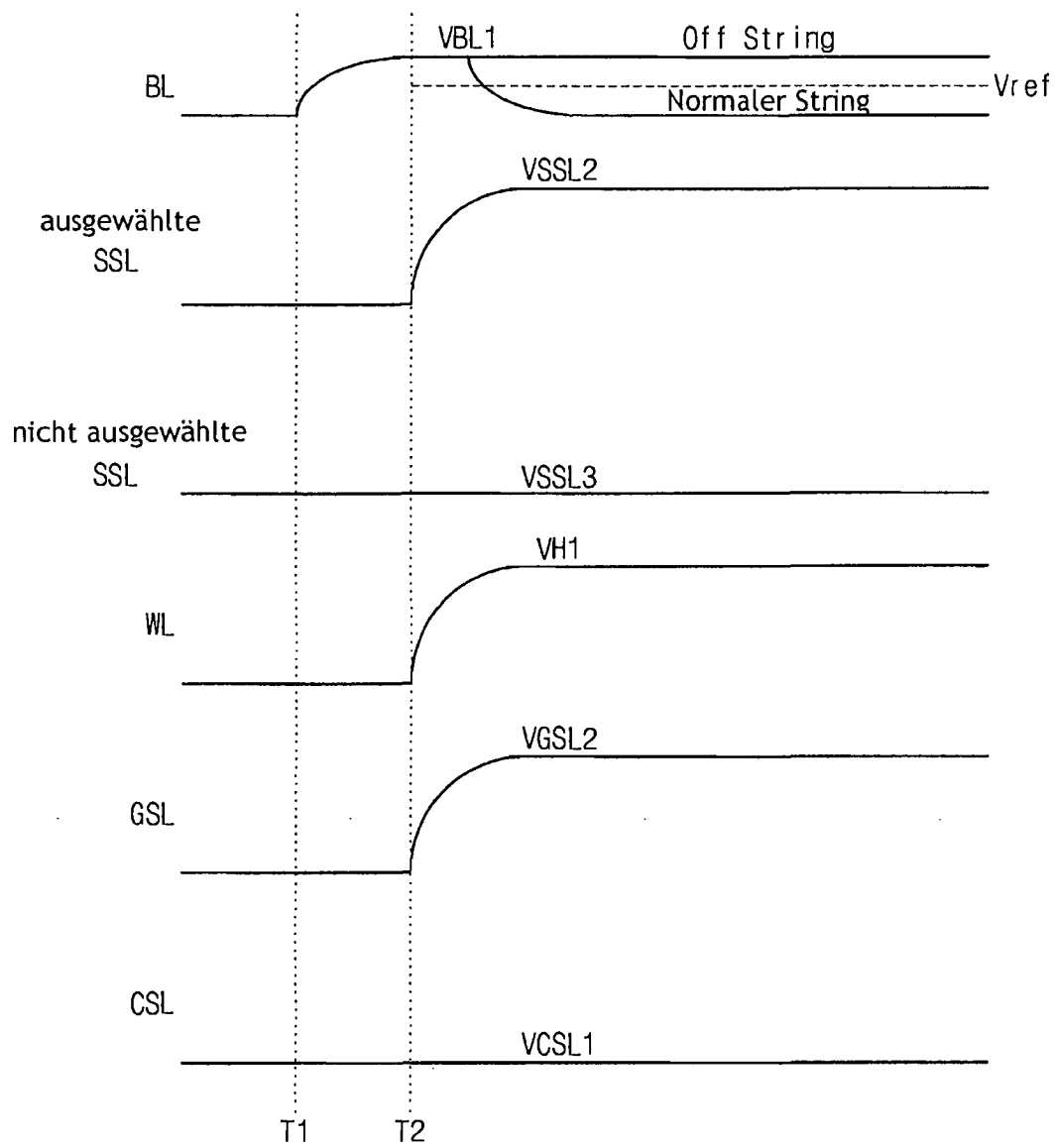


Fig. 12

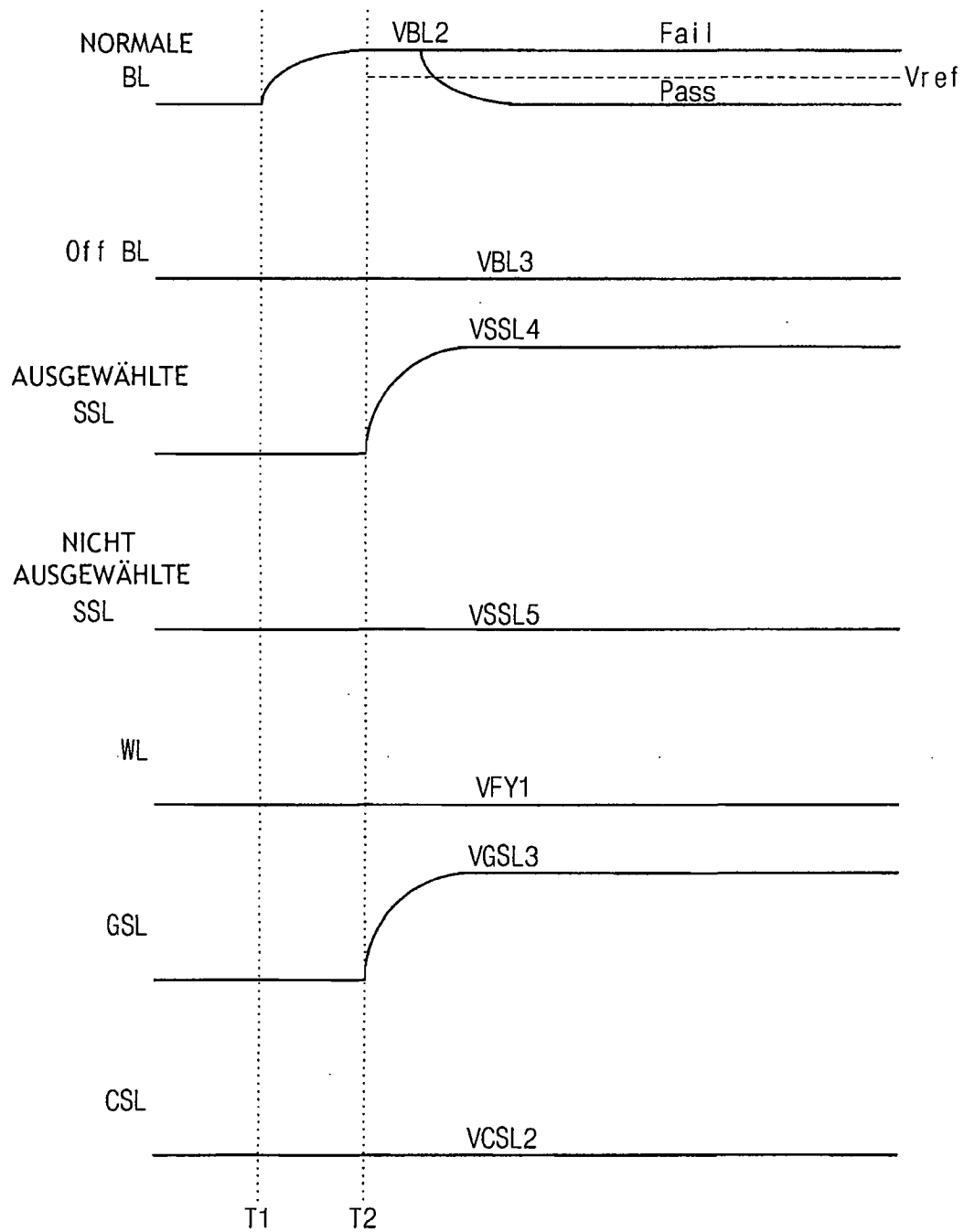


Fig. 13A

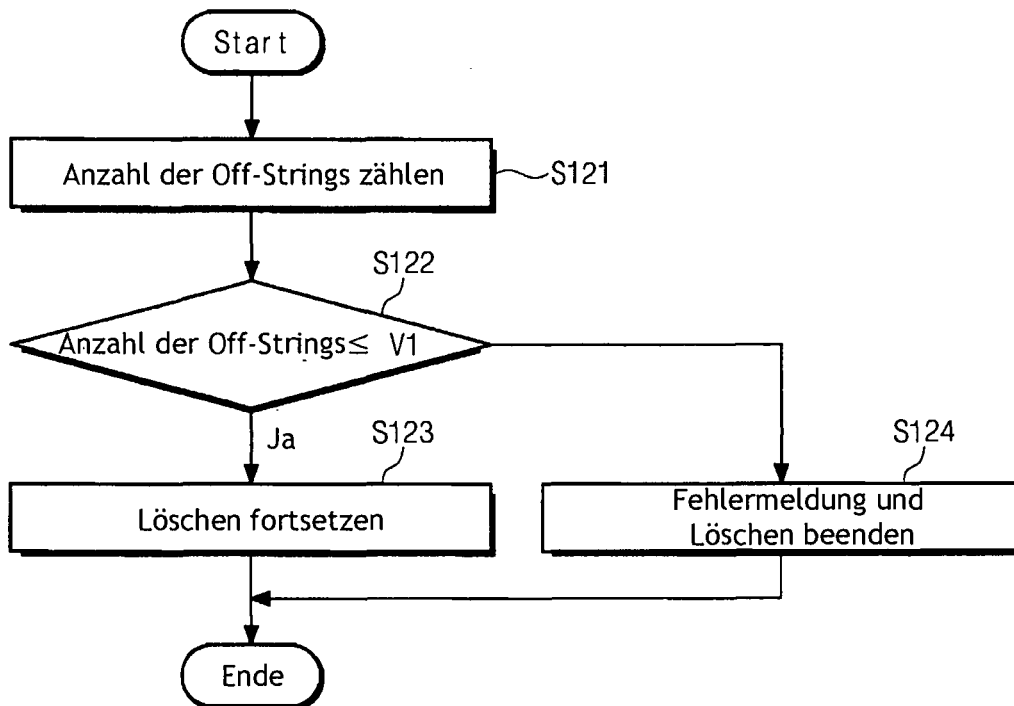


Fig. 13B

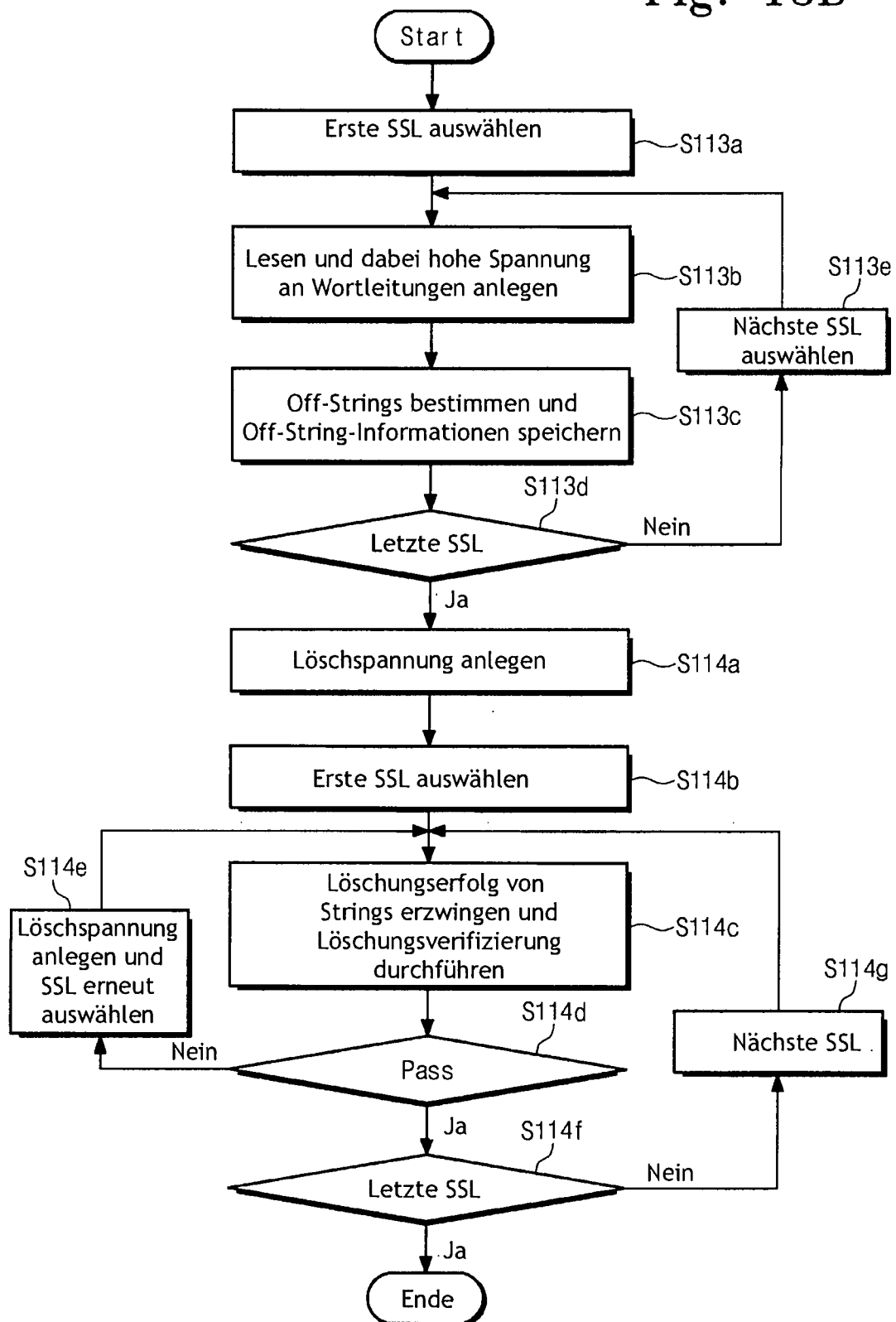


Fig. 14

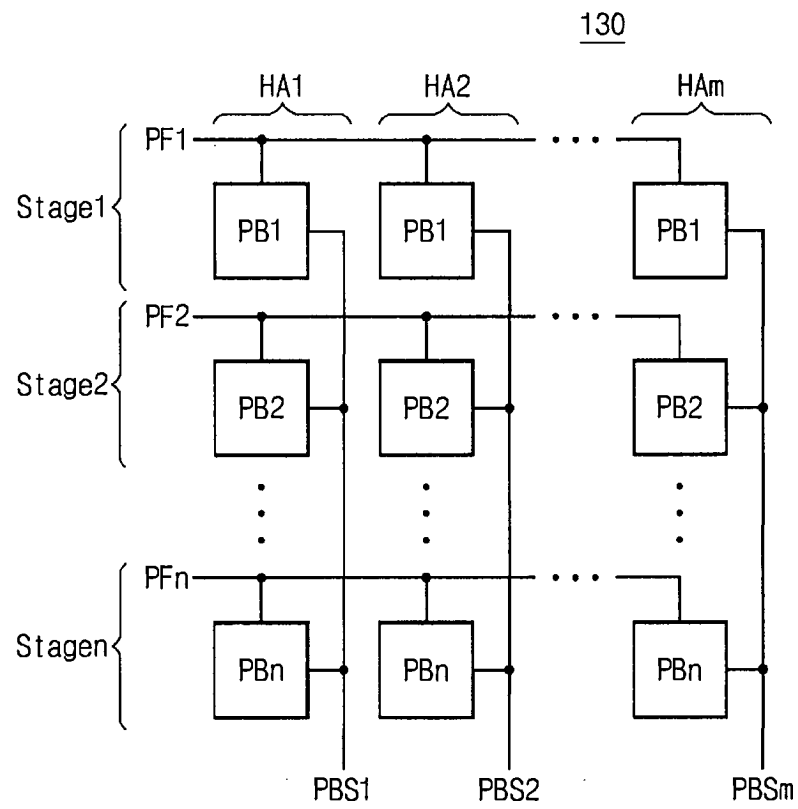


Fig. 15

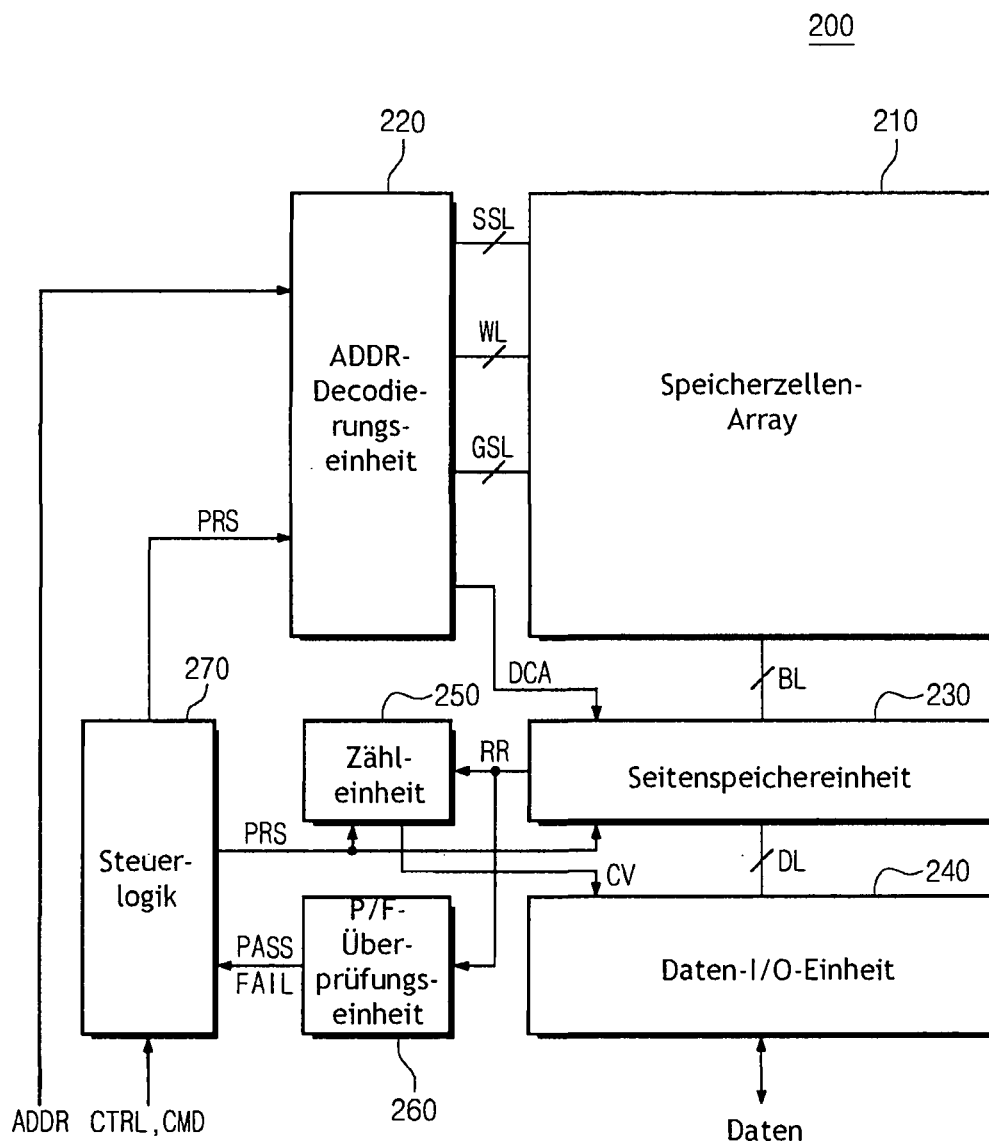


Fig. 16

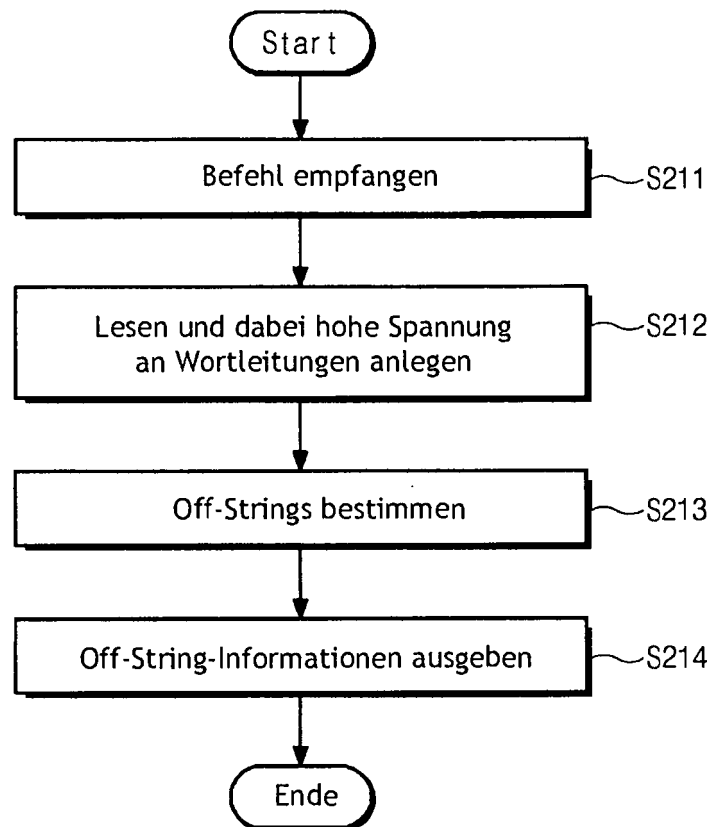


Fig. 17

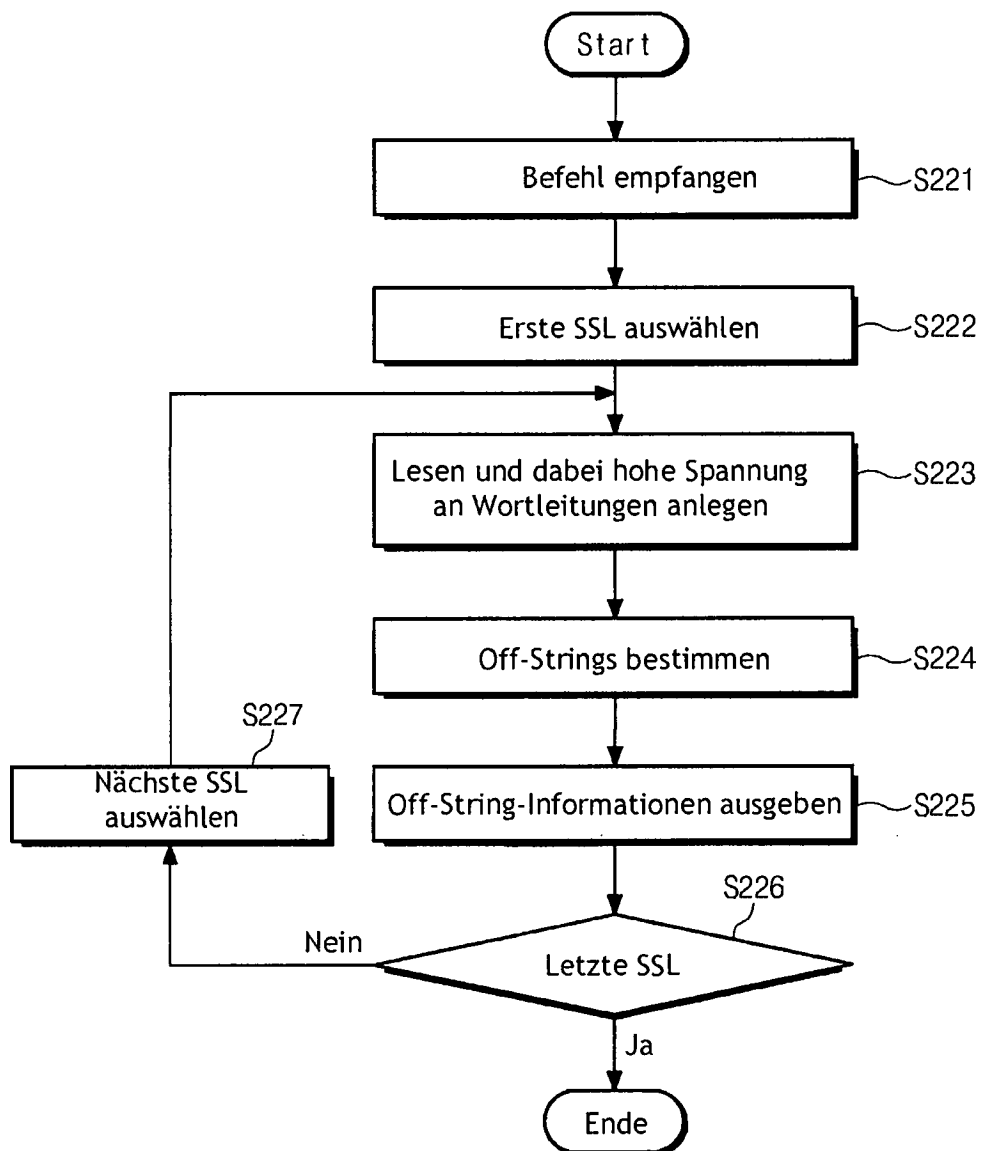


Fig. 18

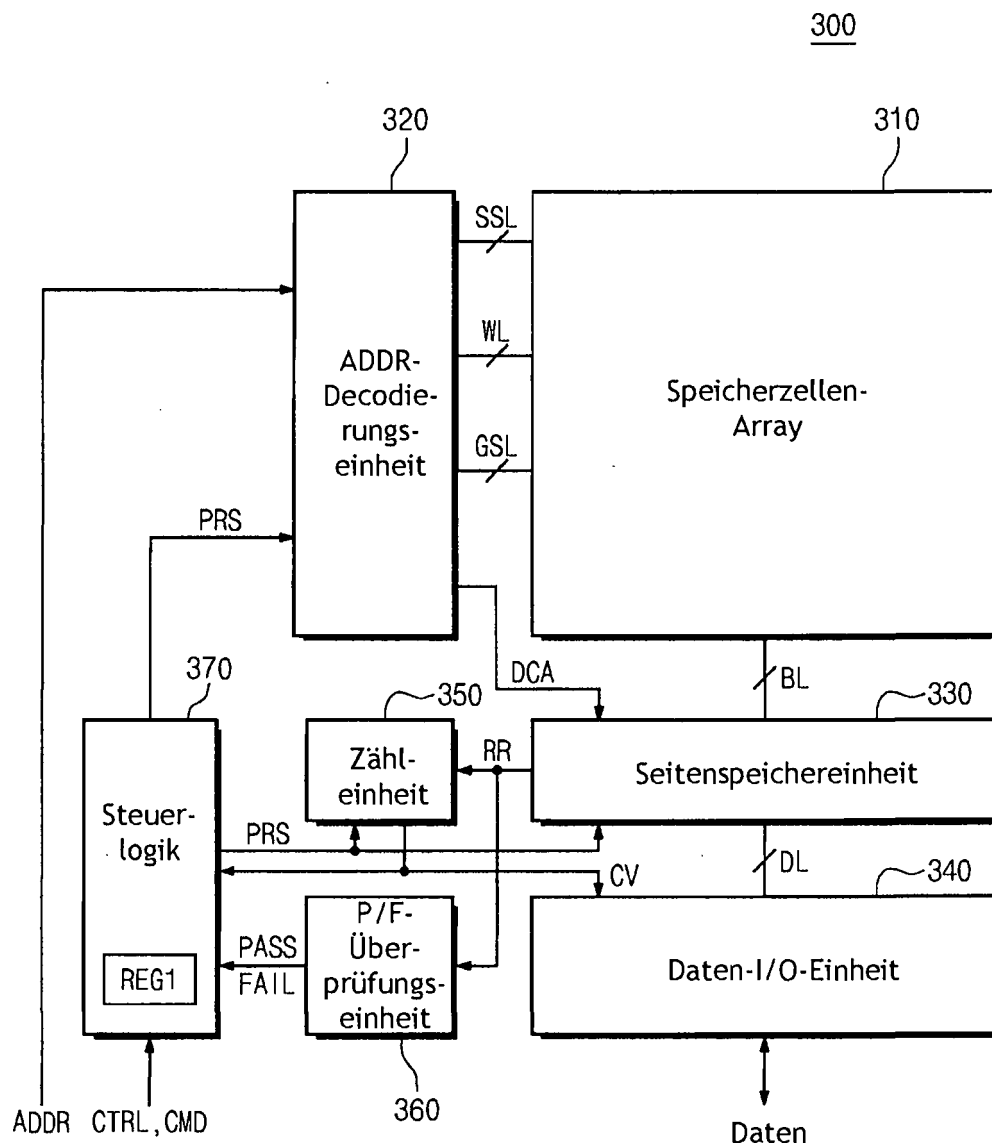


Fig. 19

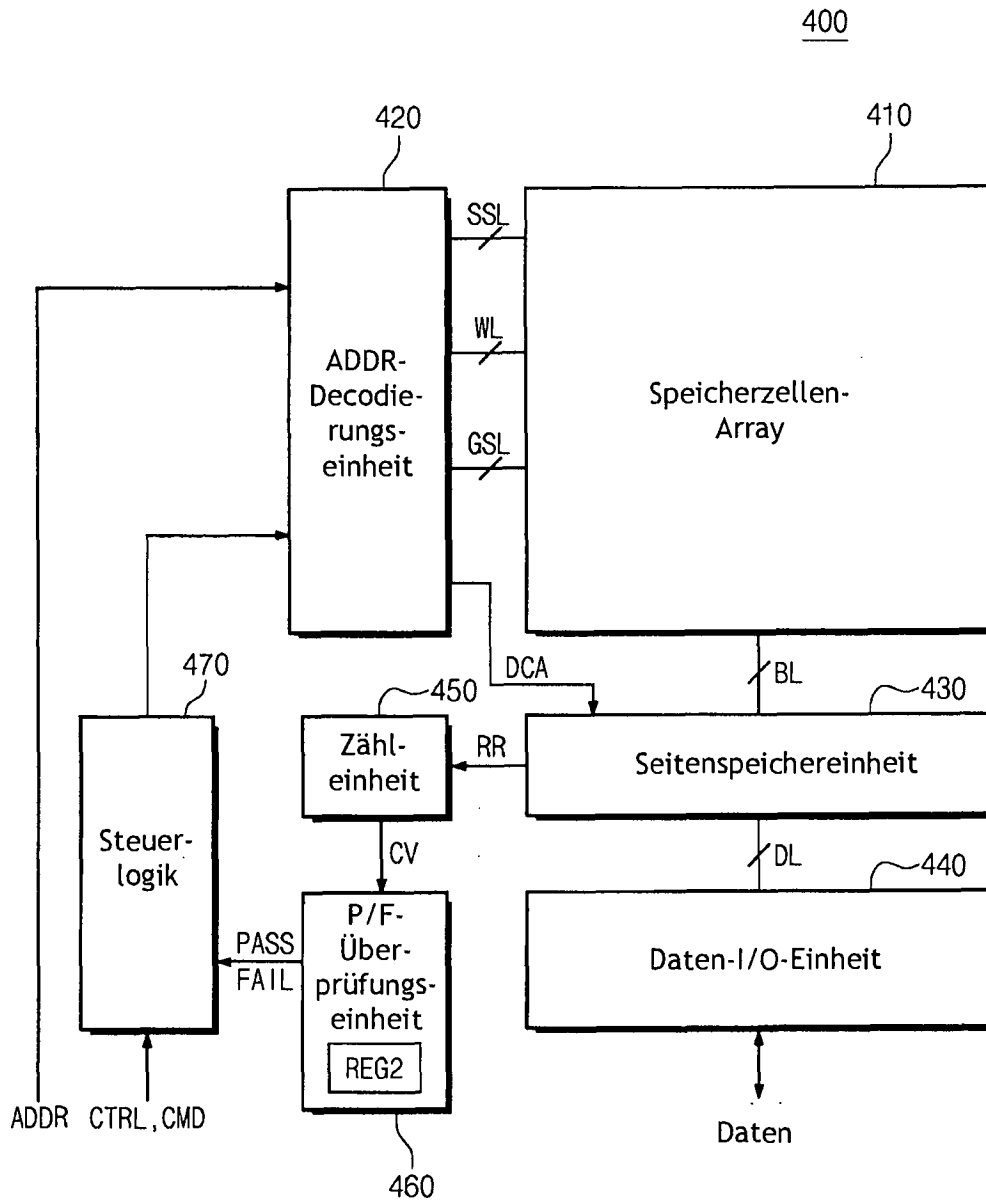


Fig. 20

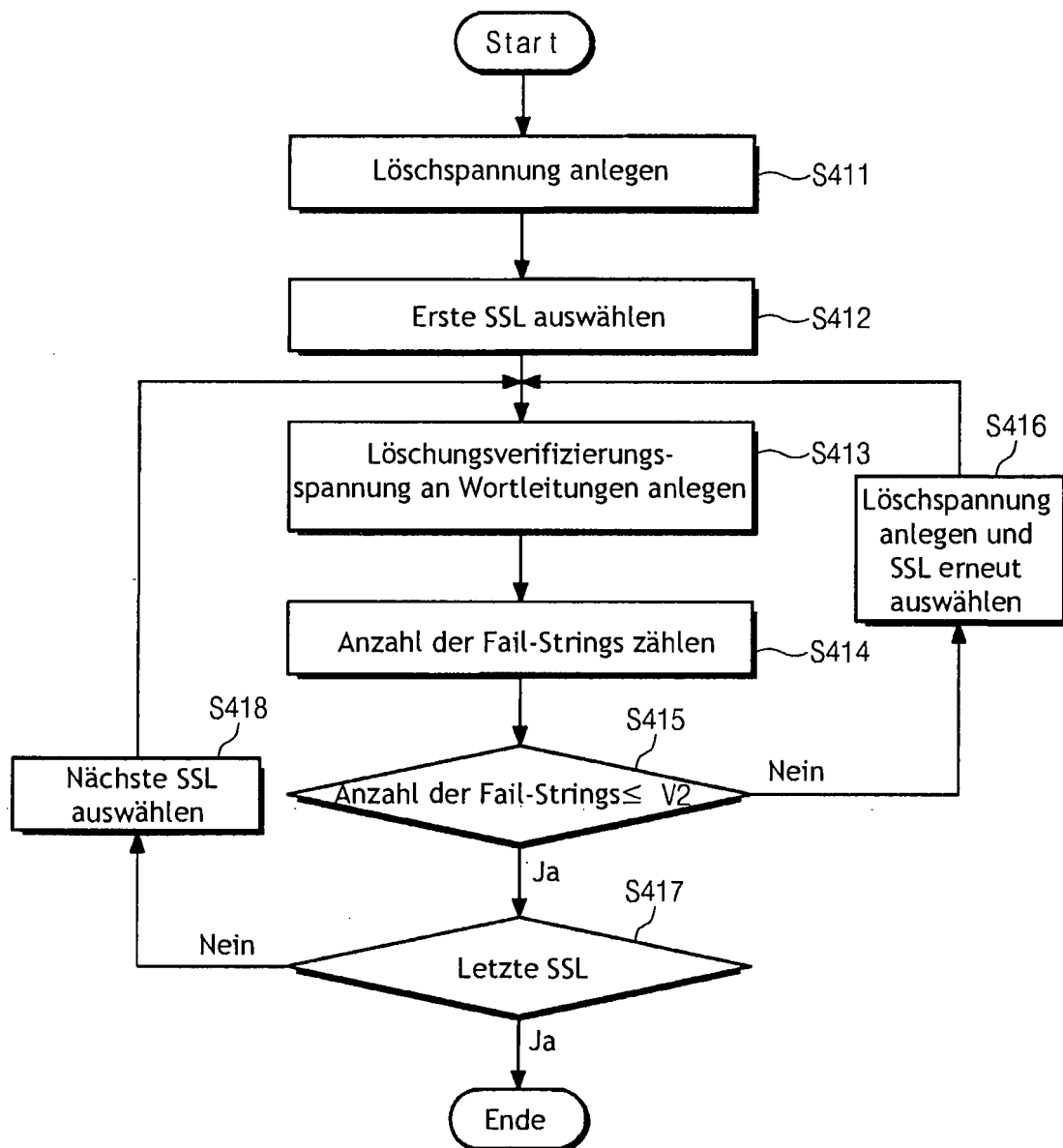


Fig. 21

		S411	S413
	BL	Float	VBL4(VCC)
	Ausgewählte SSL	Float oder VSSL6	VSSL7(On)
	Nicht ausgewählte SSL		VSSL8(Off)
	WL	Vwe2(VSS)	VFY2
	GSL	Float oder VGSL4	VGSL5(On)
	CSL	Float	VCSL3(VSS)
	Substrat	Vers2	VSUB3(VSS)

Fig. 22

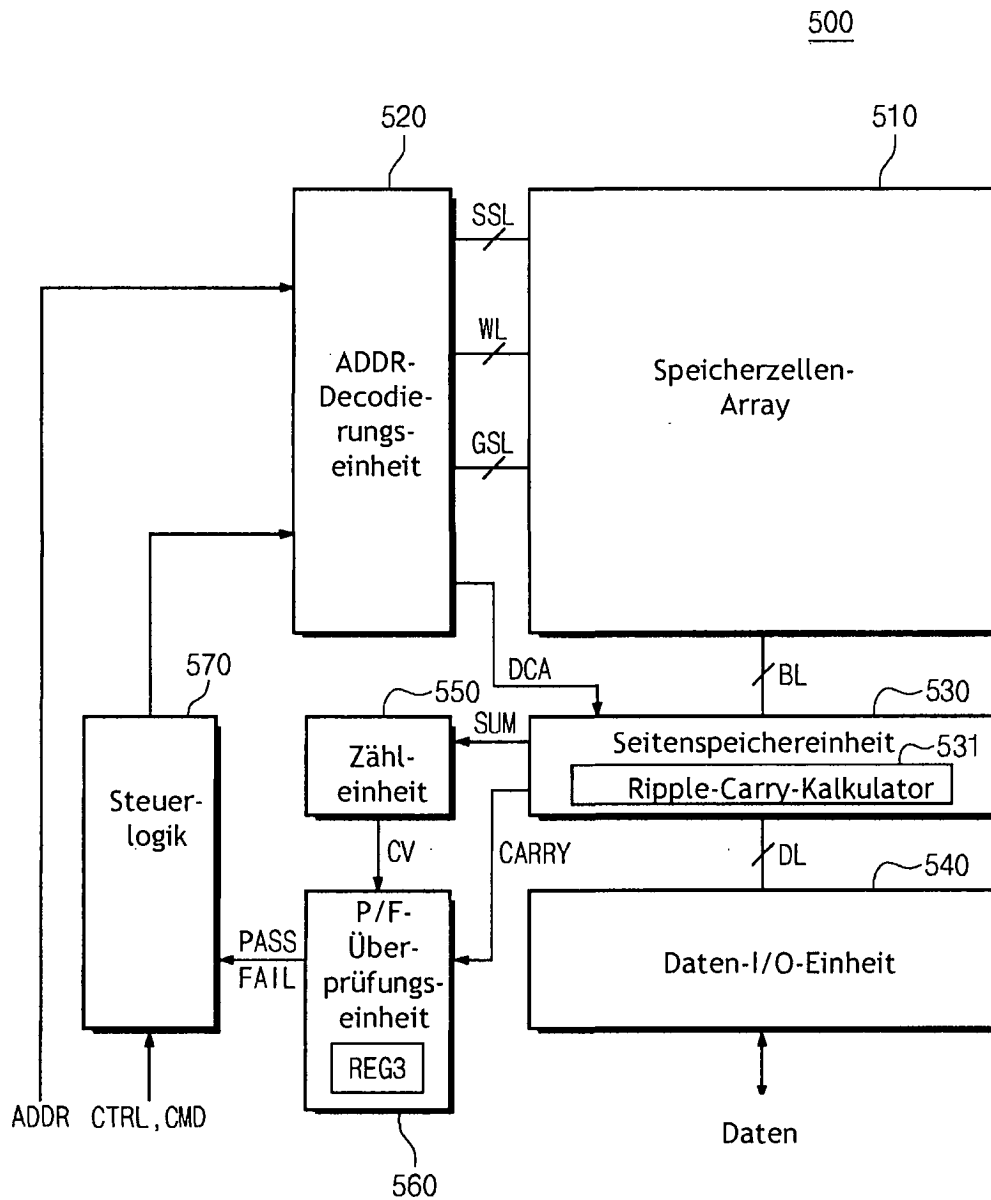


Fig. 23

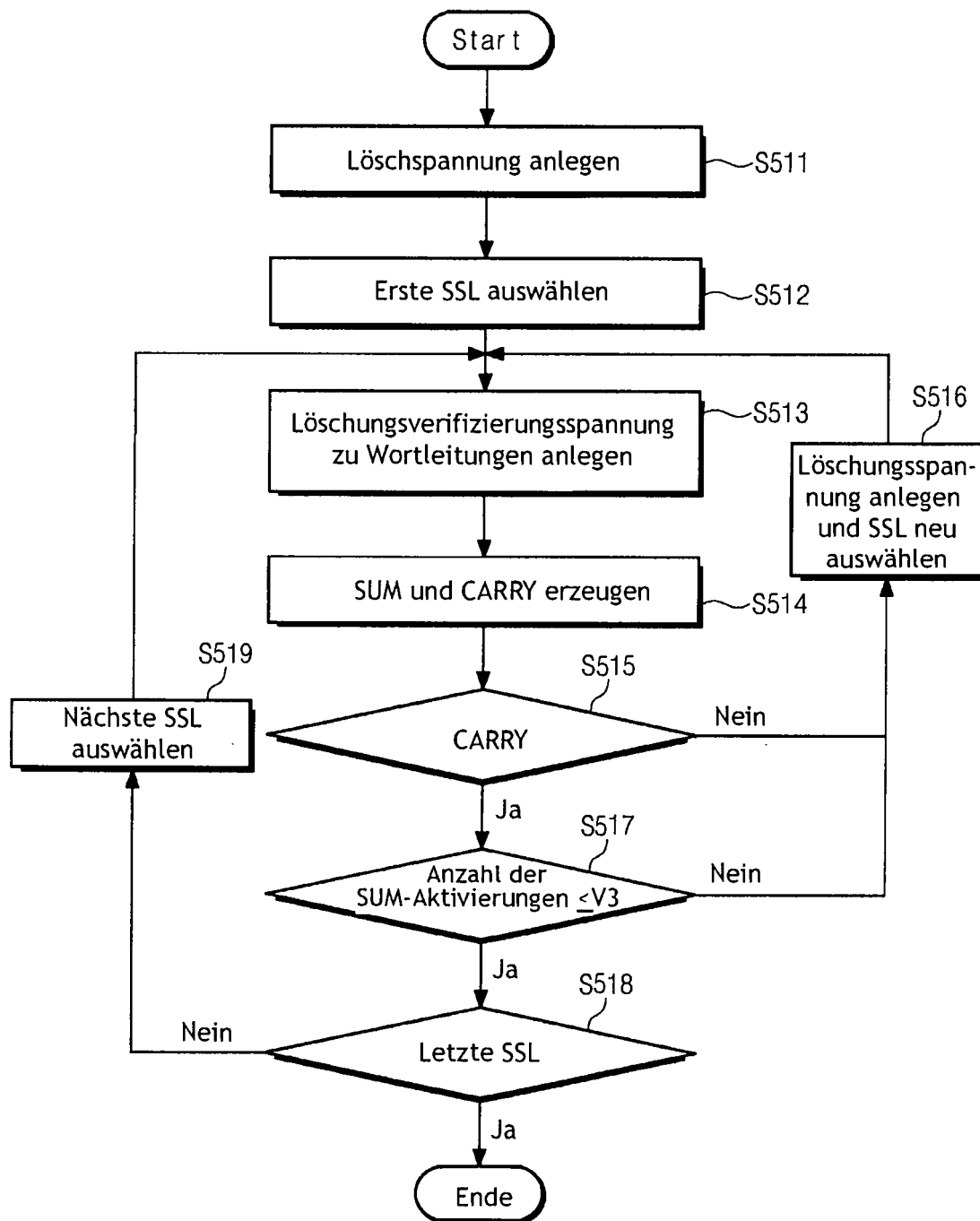


Fig. 24

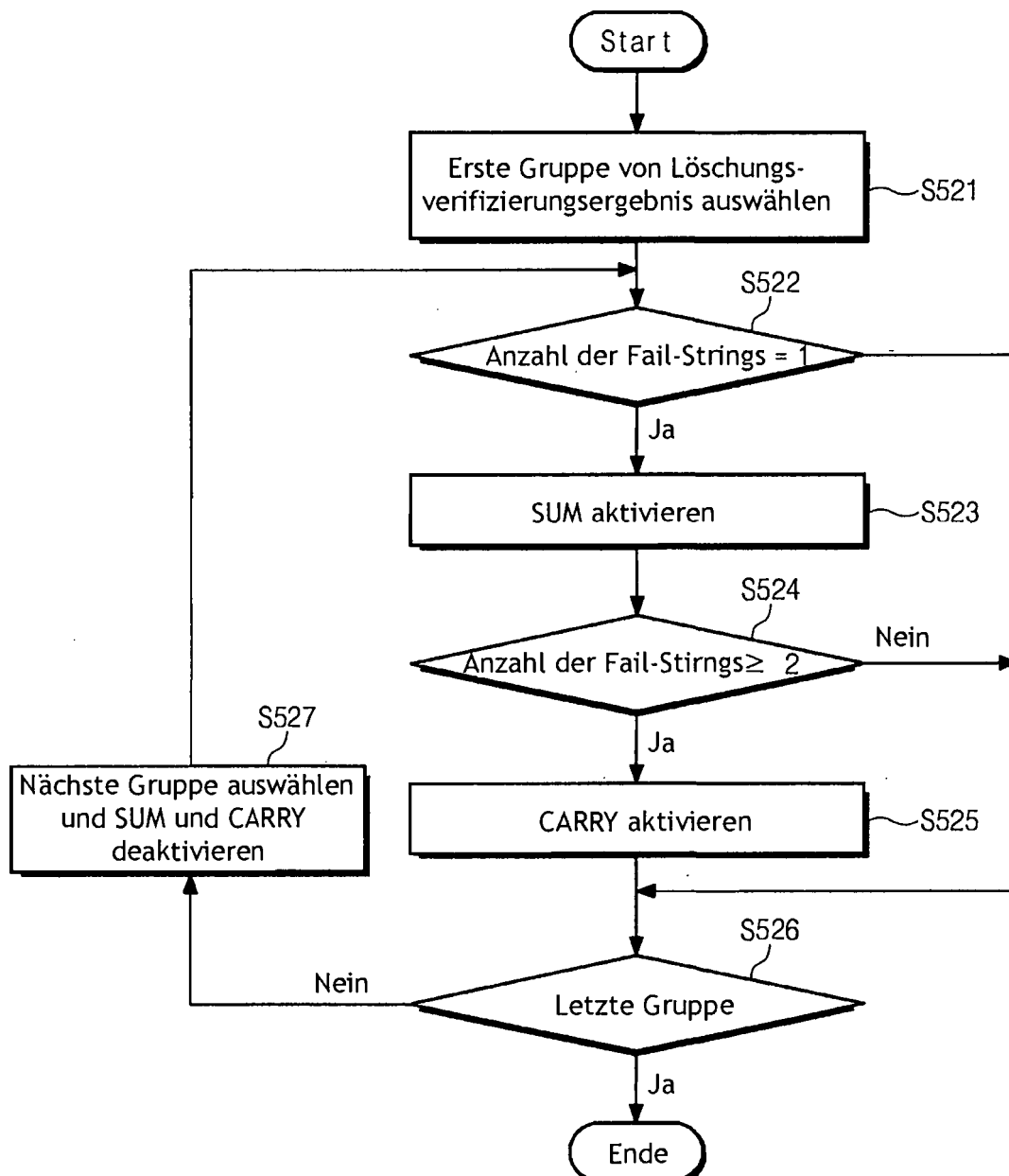


Fig. 25

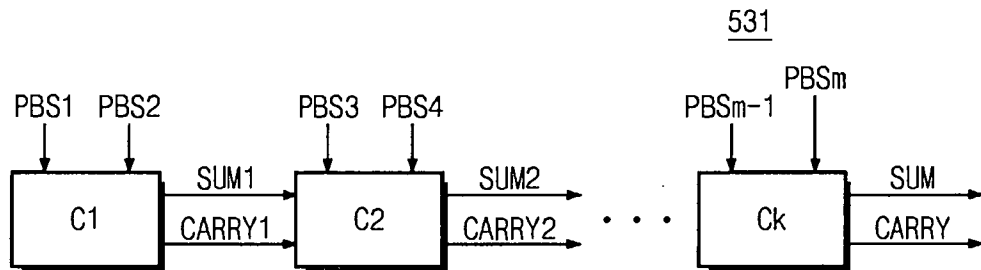


Fig. 26

BLKa2

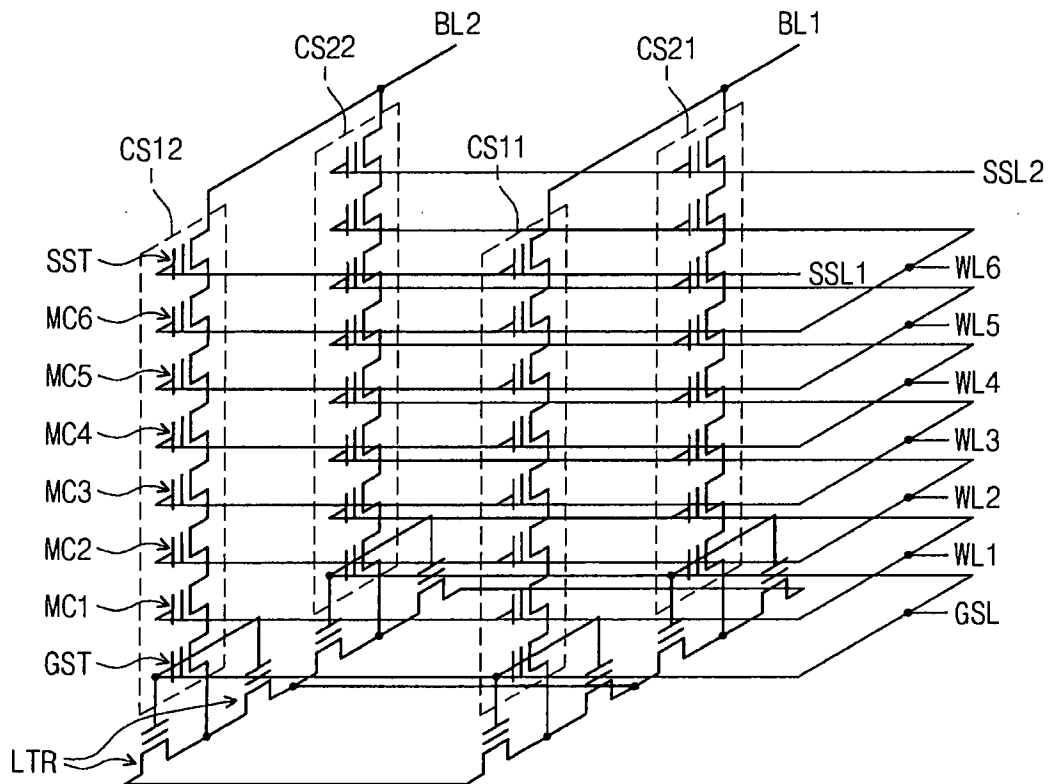


Fig. 27

BLKa3

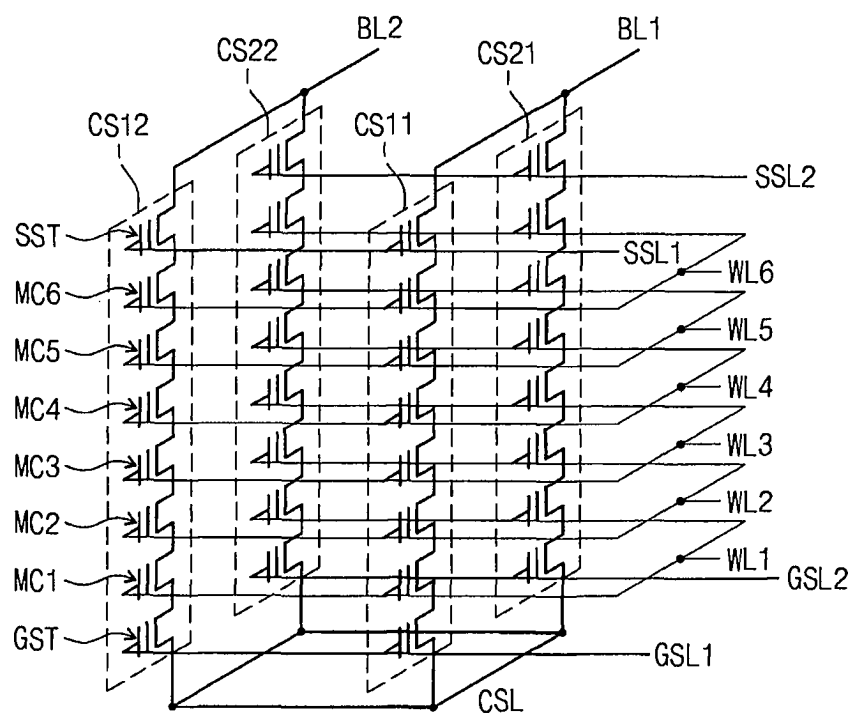


Fig. 28

BLKa4

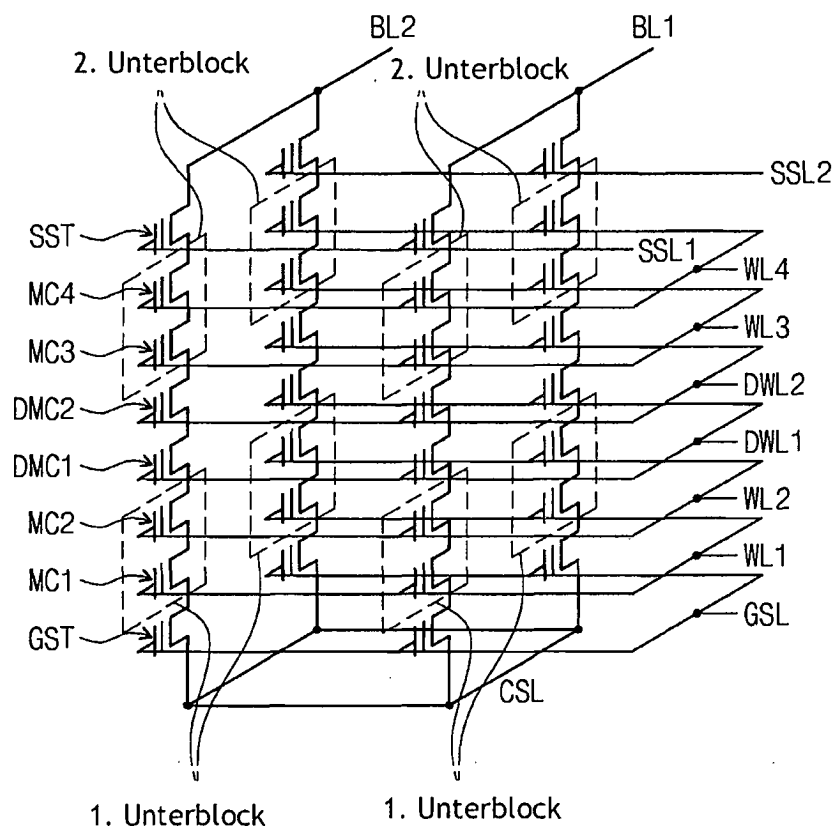


Fig. 29

	S111	S113	S115
BL	Float	VBL1(VCC)	Normal; VBL2(VCC)
			Off; VBL3(VSS)
ausgewählte SSL	FloatoderVSSL1	VSSL2(On)	VSSL4(On)
nicht ausgewählte SSL		VSSL3(Off)	VSSL5(Off)
ausgewählte DL	Vwe1(VSS)	VH1(Vread)	VFY1
DWL	FloatoderVDWL1	VDWL2	VDWL3
nicht ausgewählte DL	FloatoderVWL1	VH1(Vread)	VH2(Vread)
GSL	FloatoderVGSL1	VGSL2(On)	VGSL3(On)
CSL	Float	VCSL1(VSS)	VCSL2(VSS)
Substrat	Vers1	VSUB1(VSS)	VSUB2(VSS)

Fig. 30

	S411	S413
BL	Float	VL4(VCC)
ausgewählte SSL	Float oder VSSL6	VSSL7(On)
nicht ausgewählte SSL		VSSL8(Off)
ausgewählte WL	Vwe2(VSS)	VFY2
DWL	Float oder VDWL4	VDWL5
nicht ausgewählte WL	Float oder VWL2	VWL3(Vread)
GSL	Float or VGSL4	VGSL5(On)
CSL	Float	VCSL3(VSS)
Substrat	Vers2	VSUB3(VSS)

Fig. 31

BLKa5

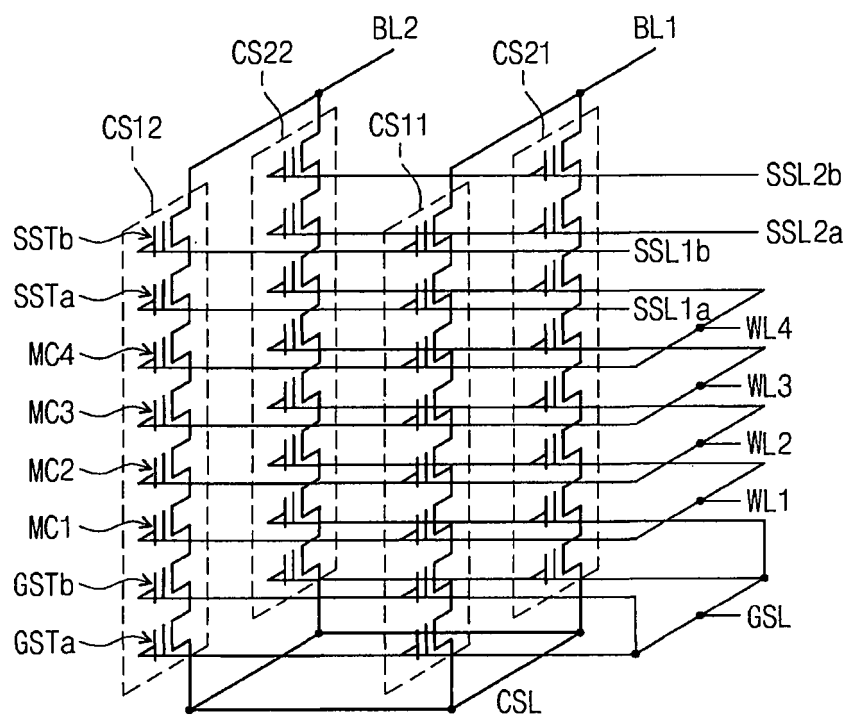


Fig. 32

BLKa6

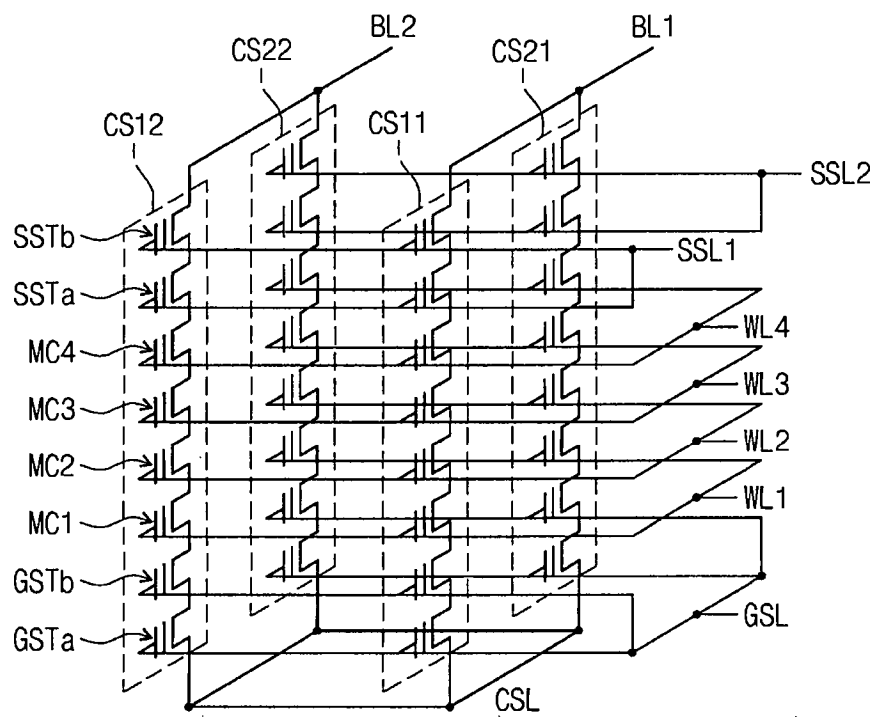


Fig. 33

BLKa7

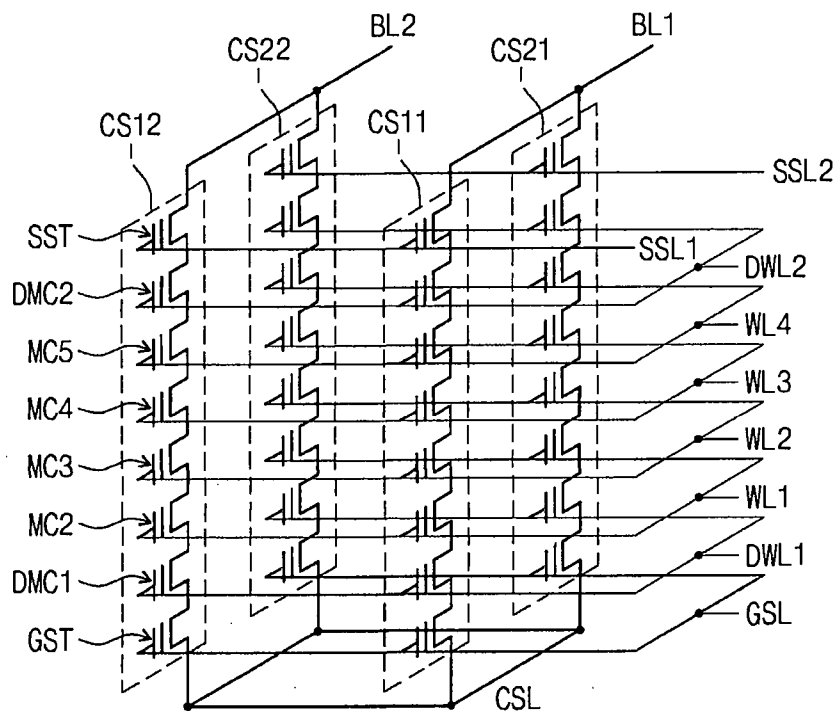


Fig. 34

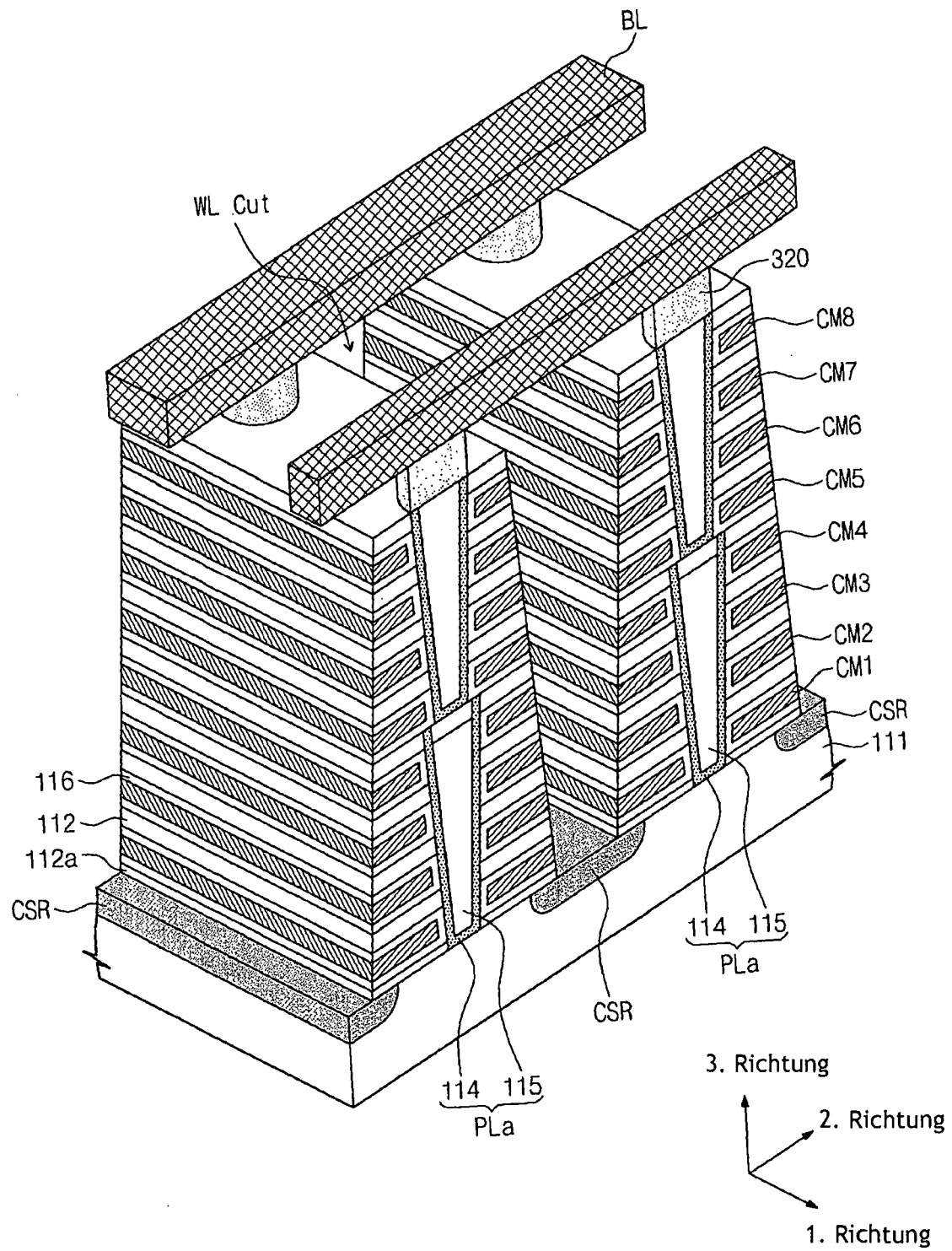
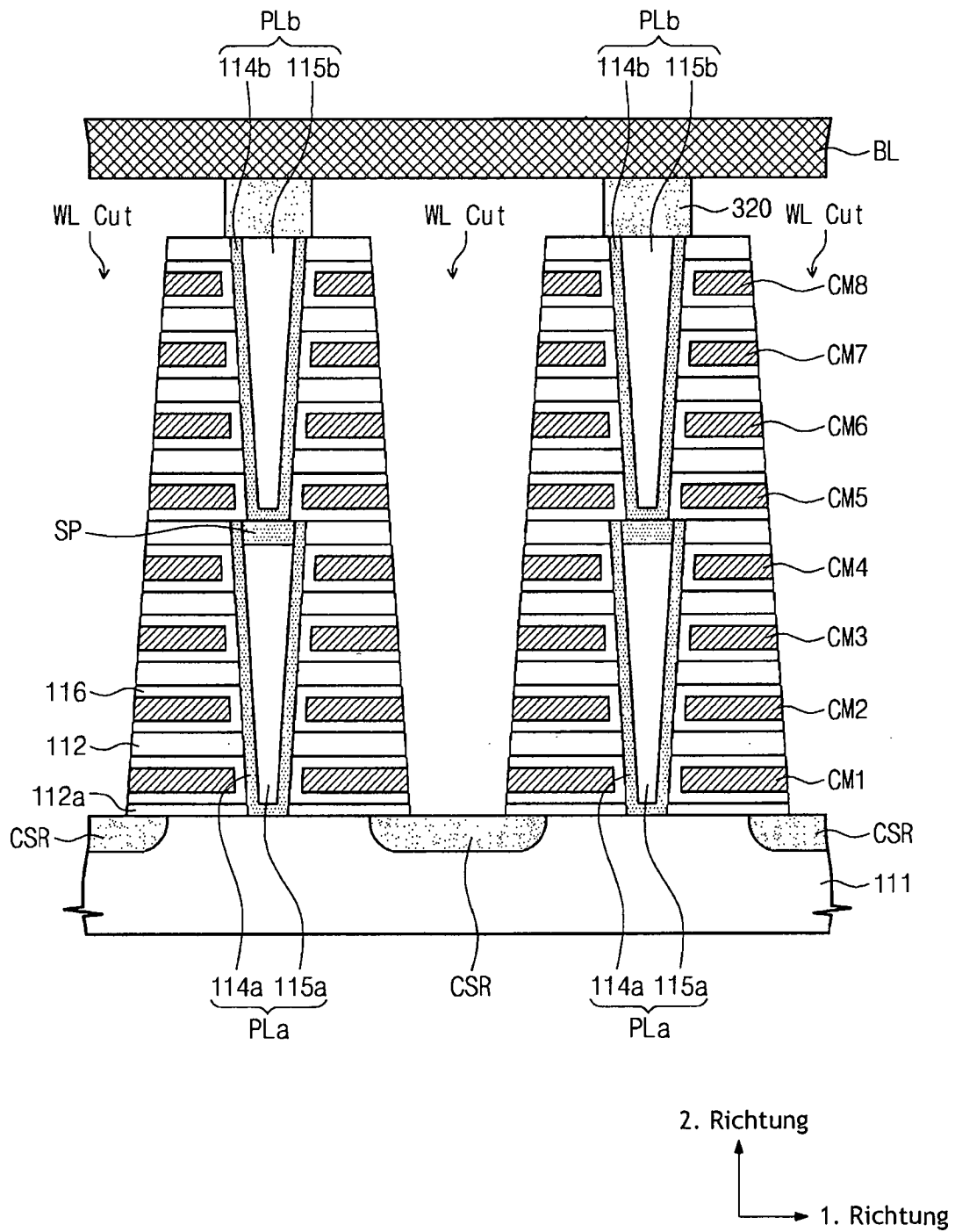


Fig. 35



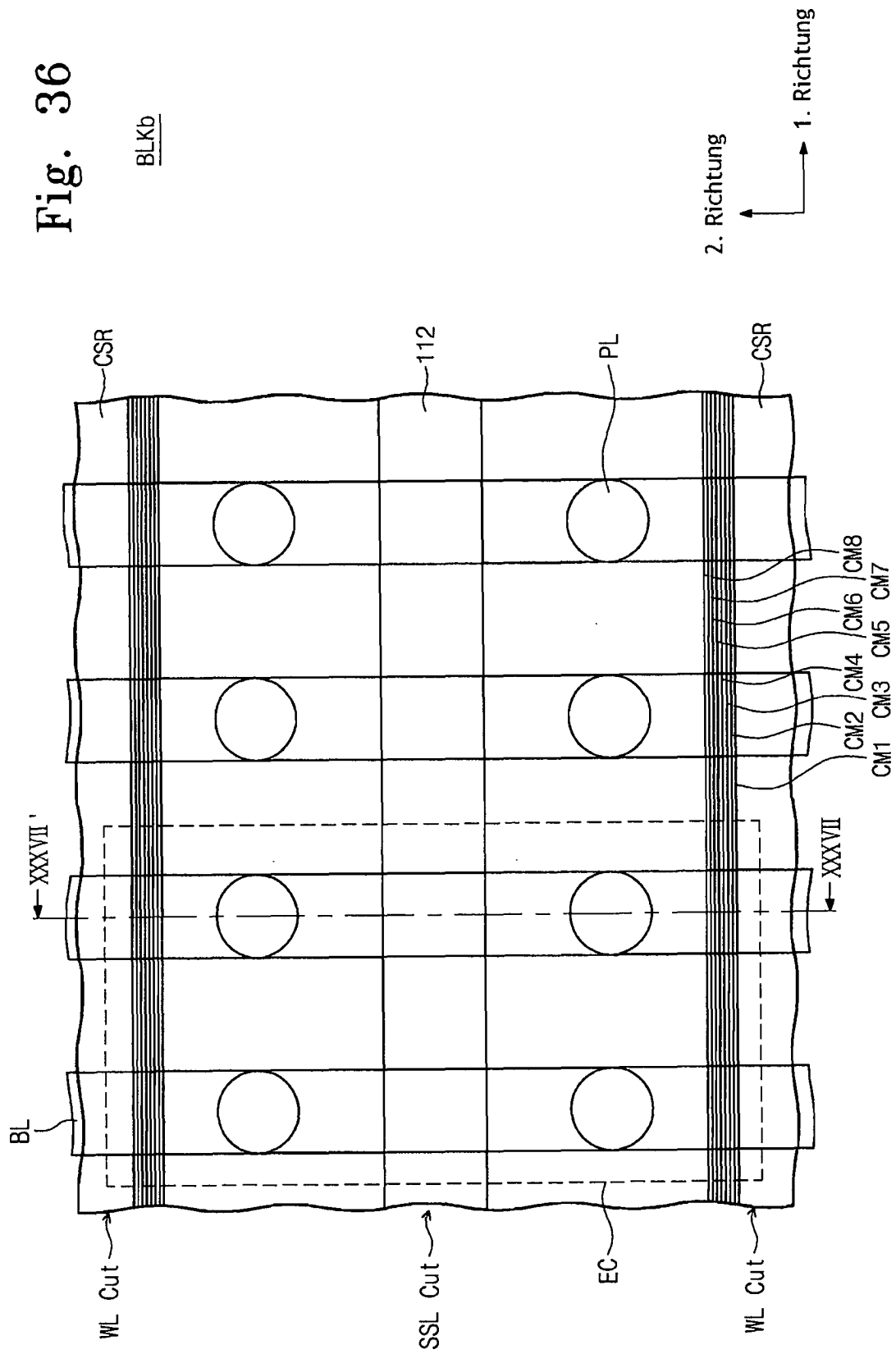


Fig. 37

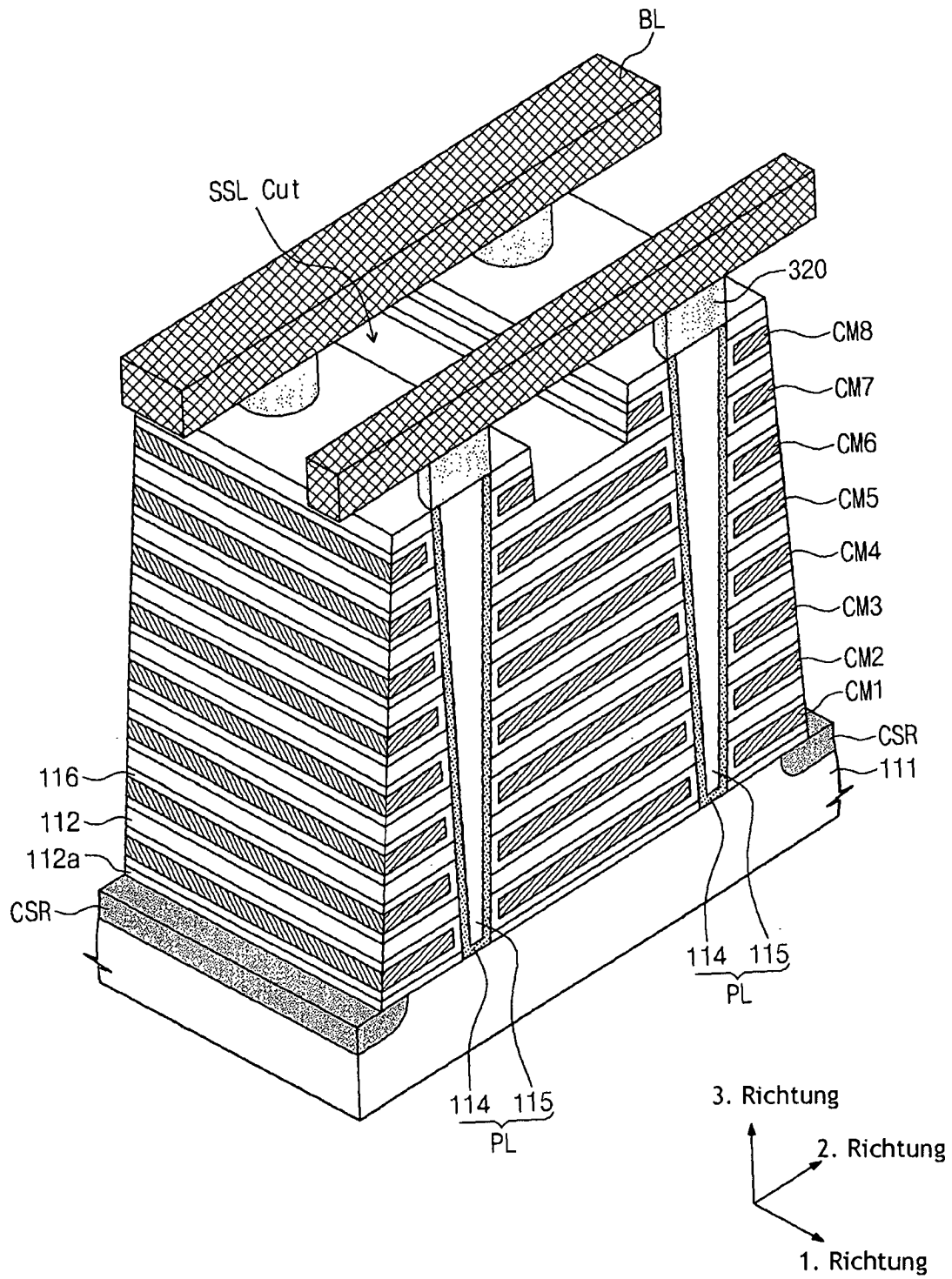


Fig. 38

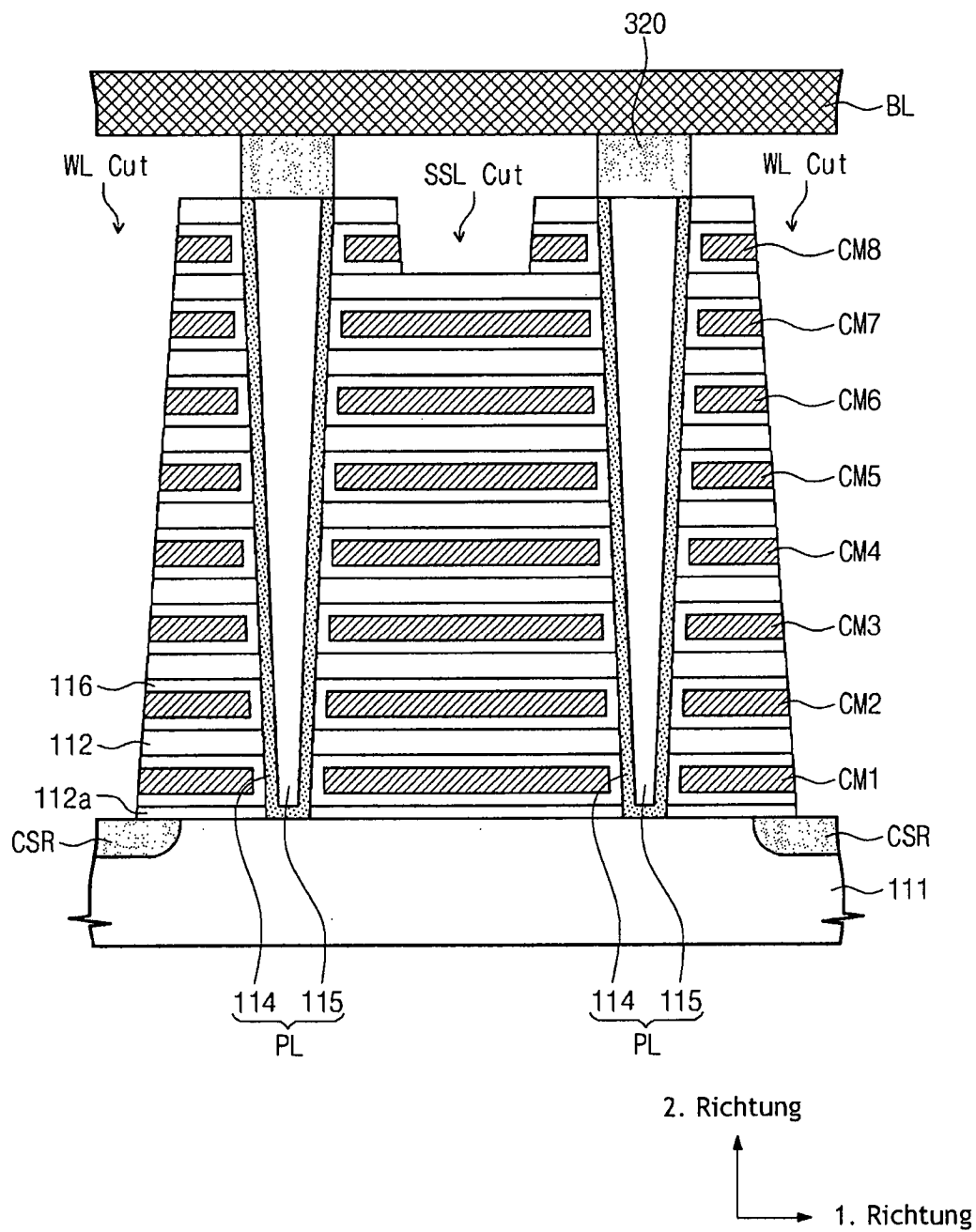


Fig. 39

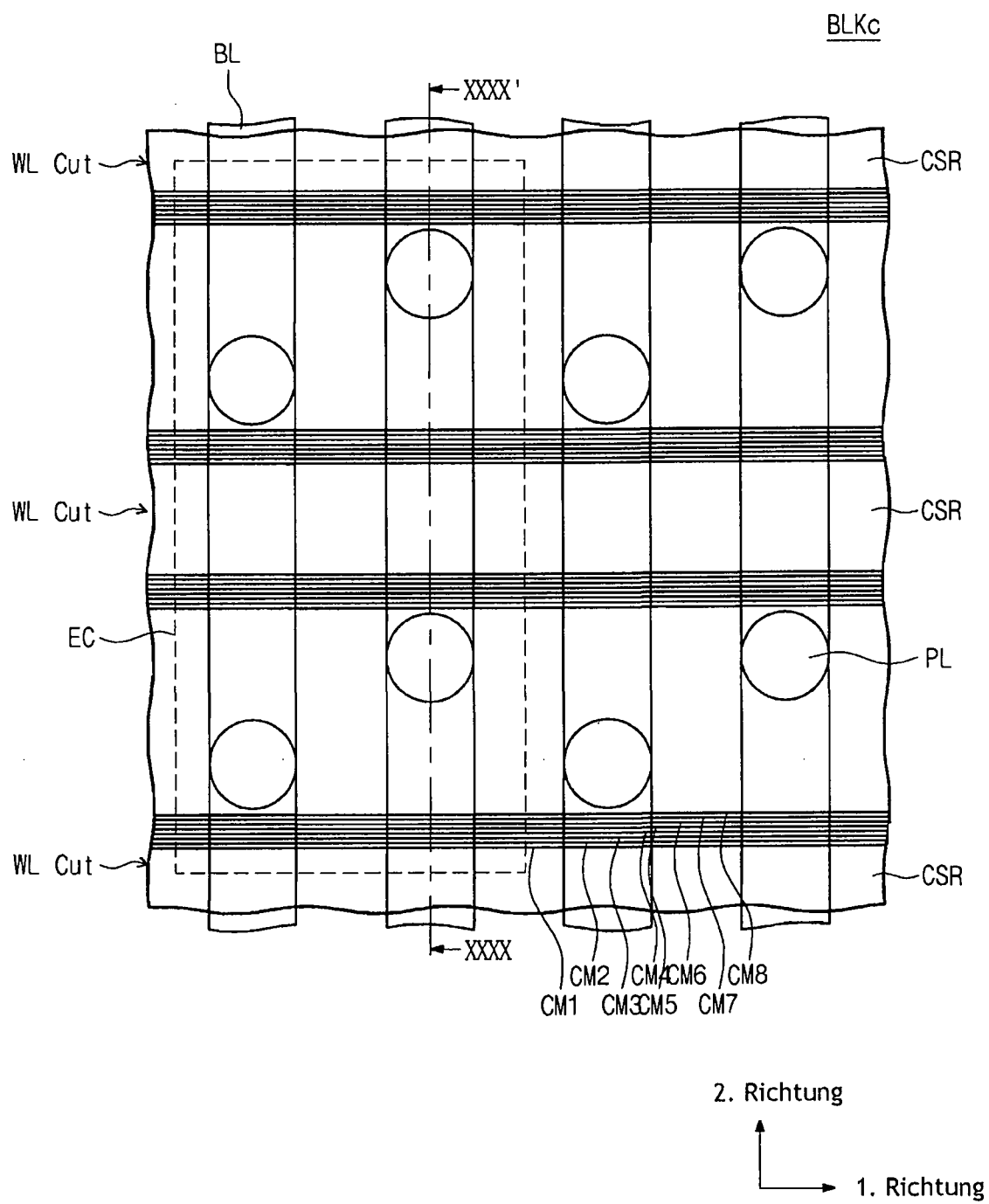


Fig. 40

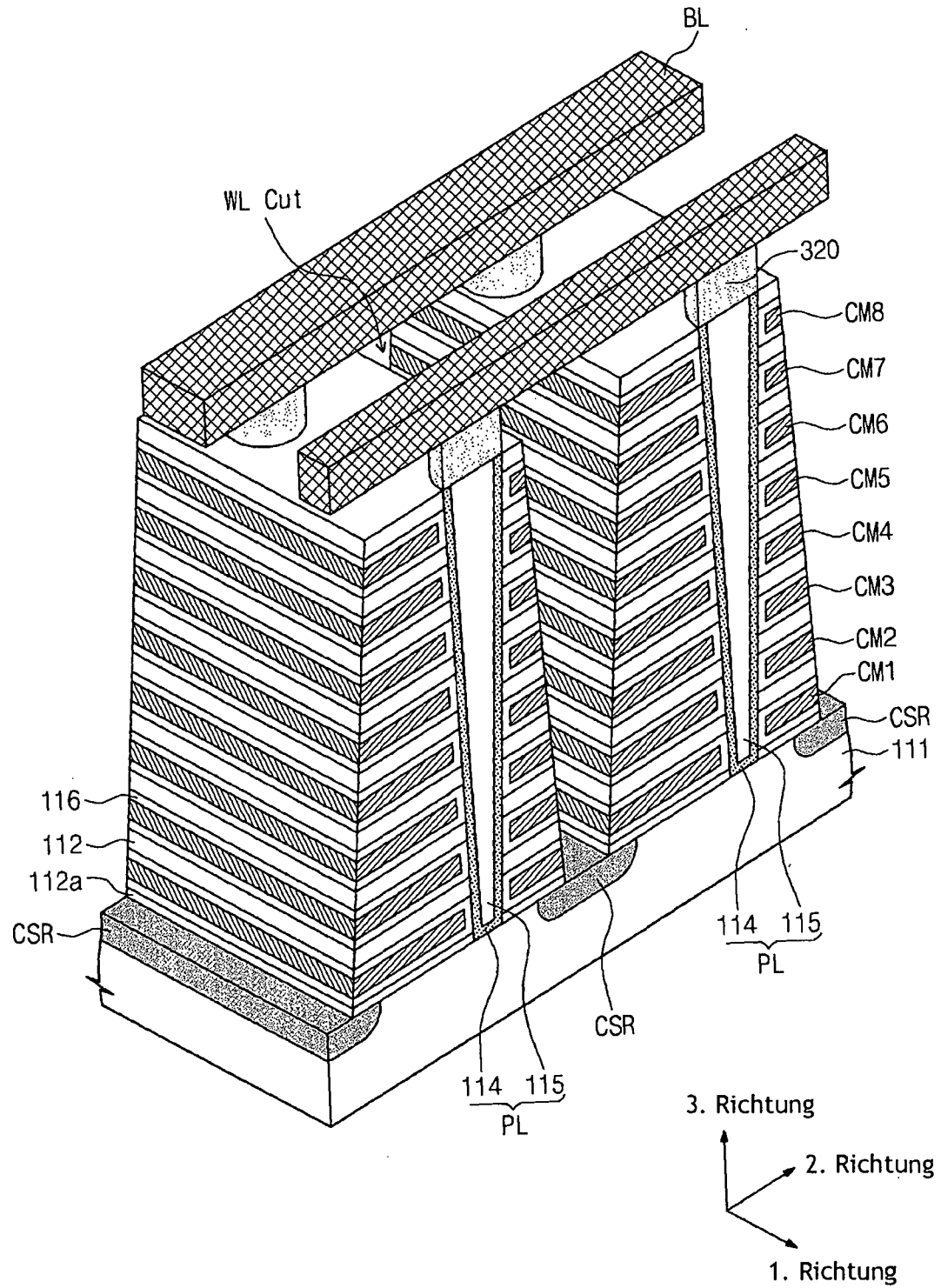


Fig. 41

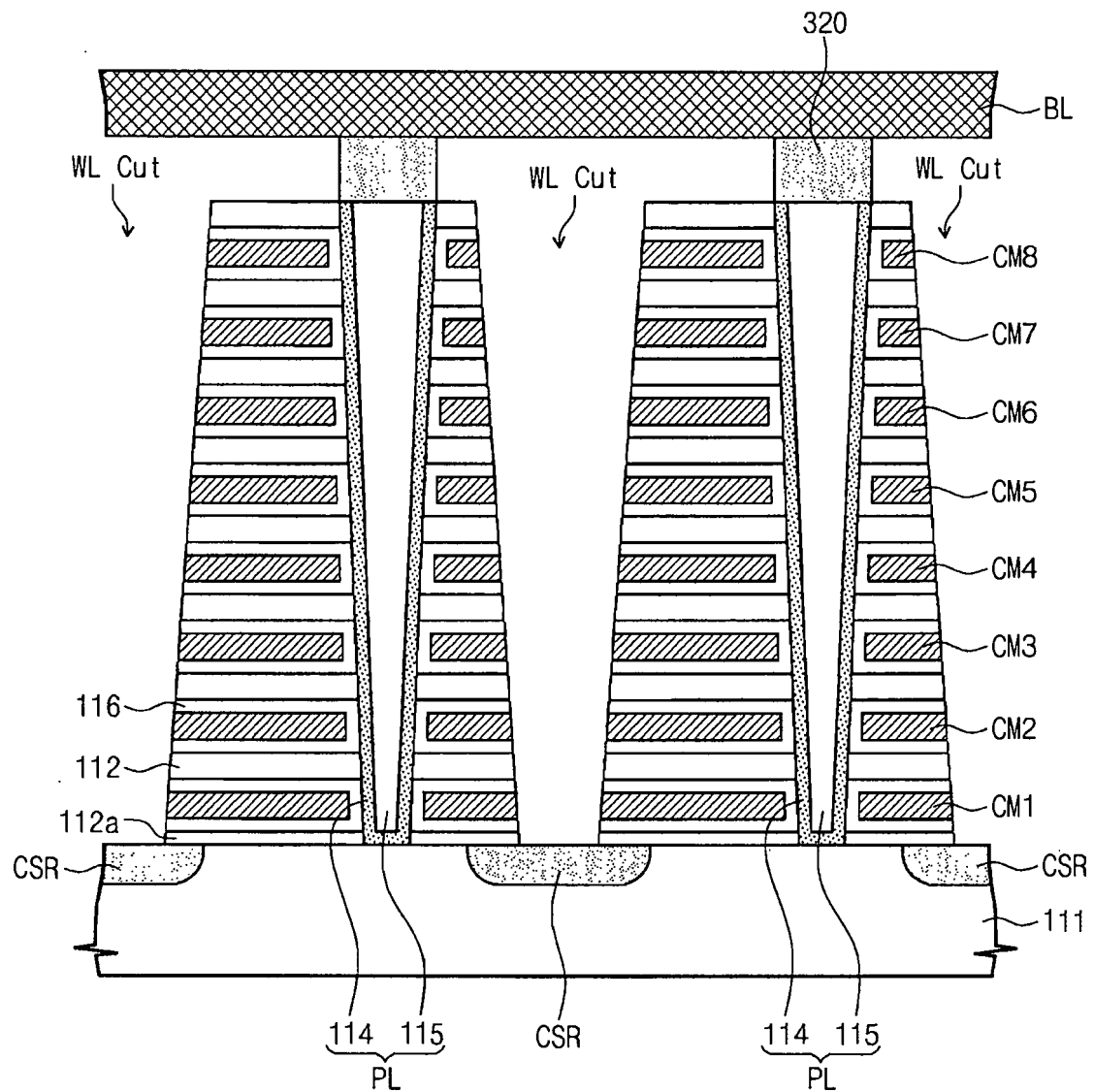


Fig. 42

BLKd

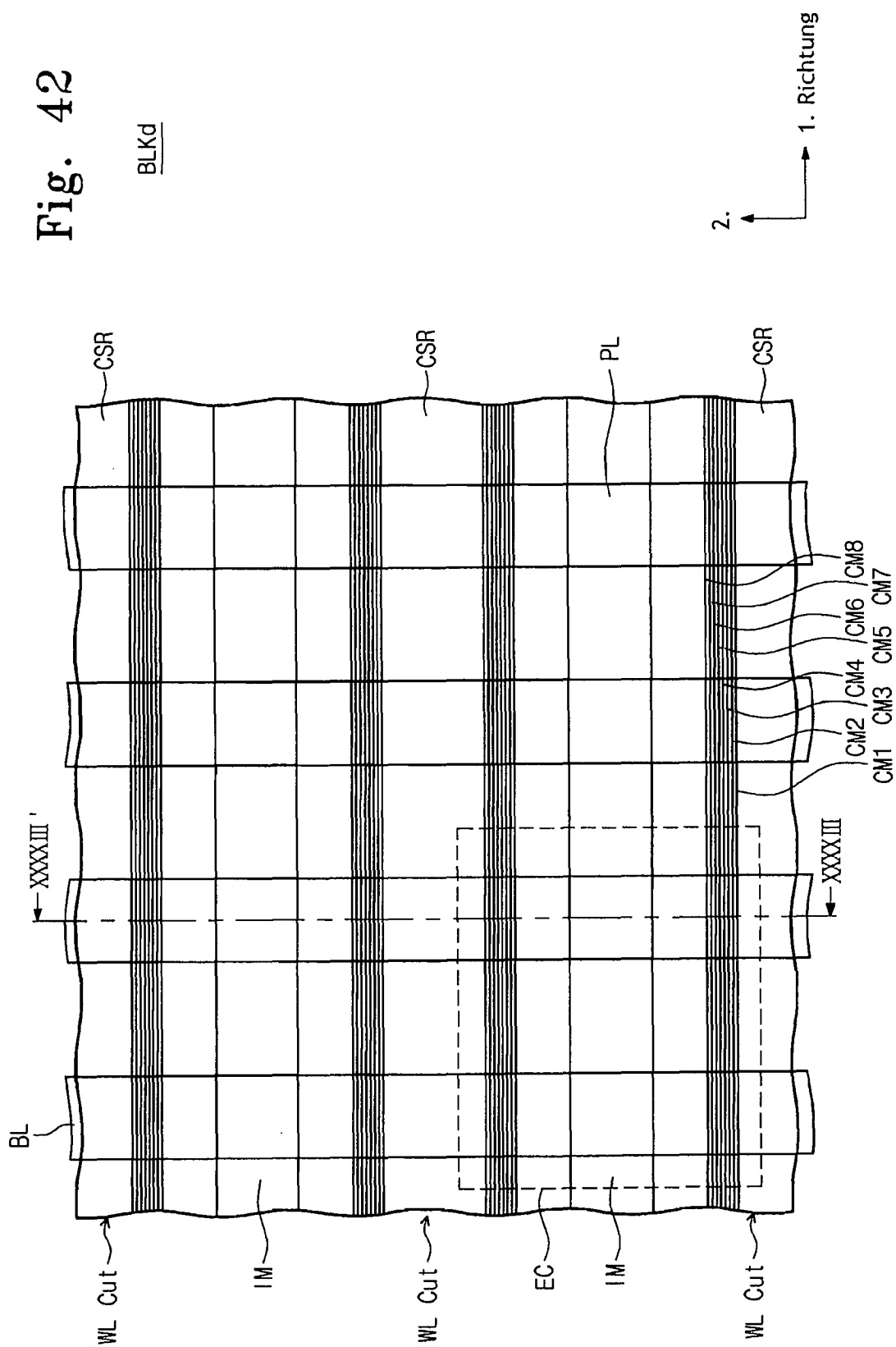


Fig. 43

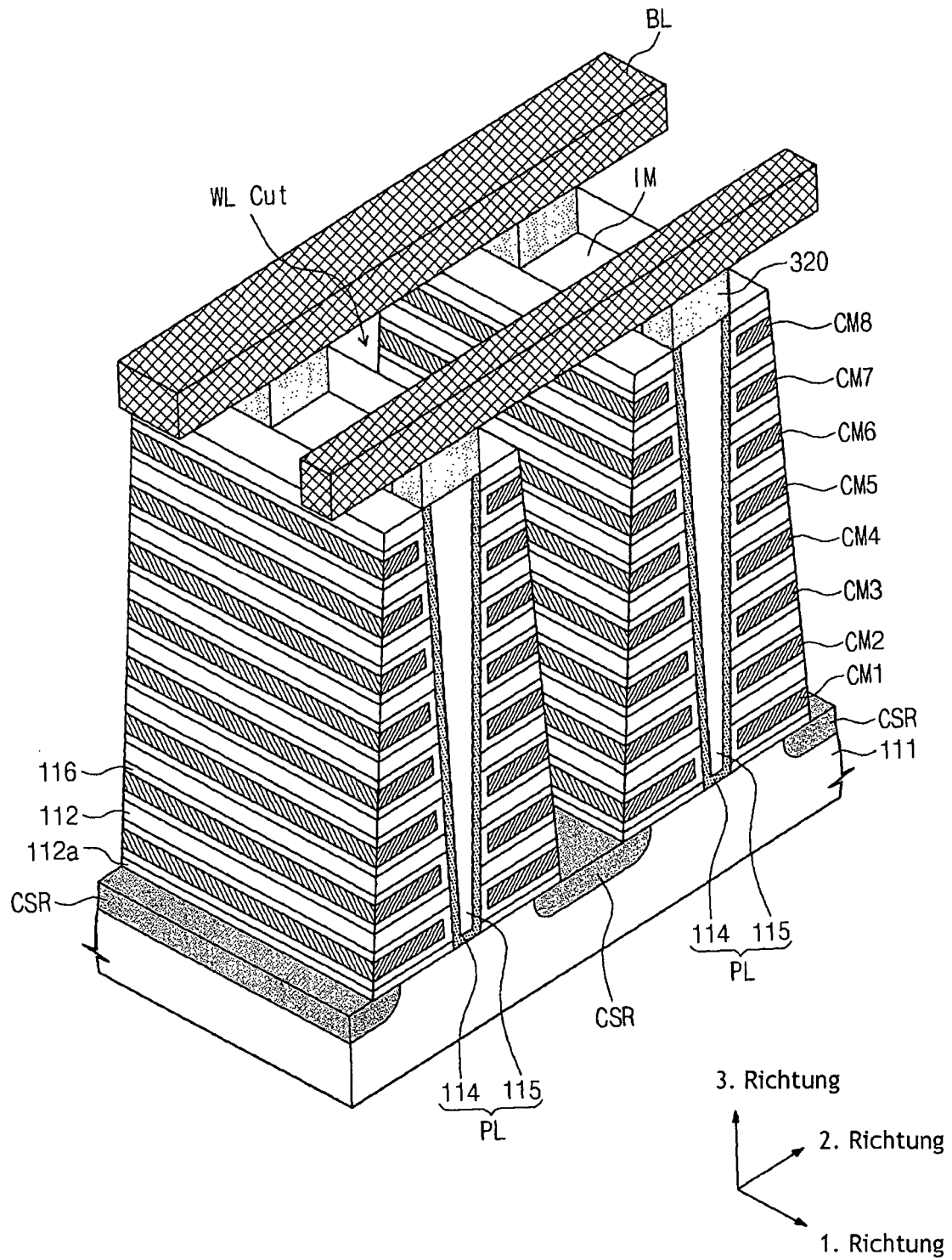


Fig. 44

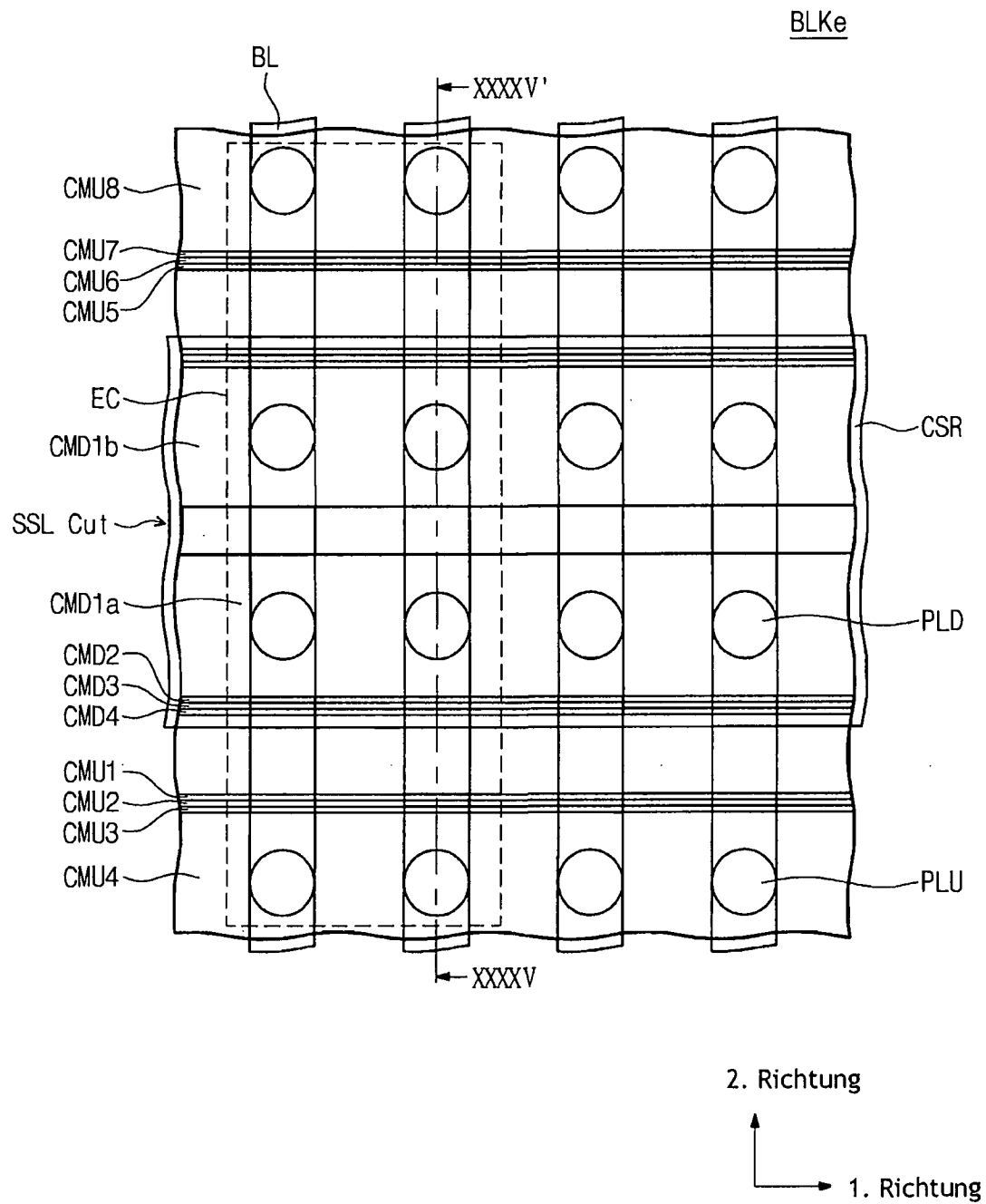


Fig. 45

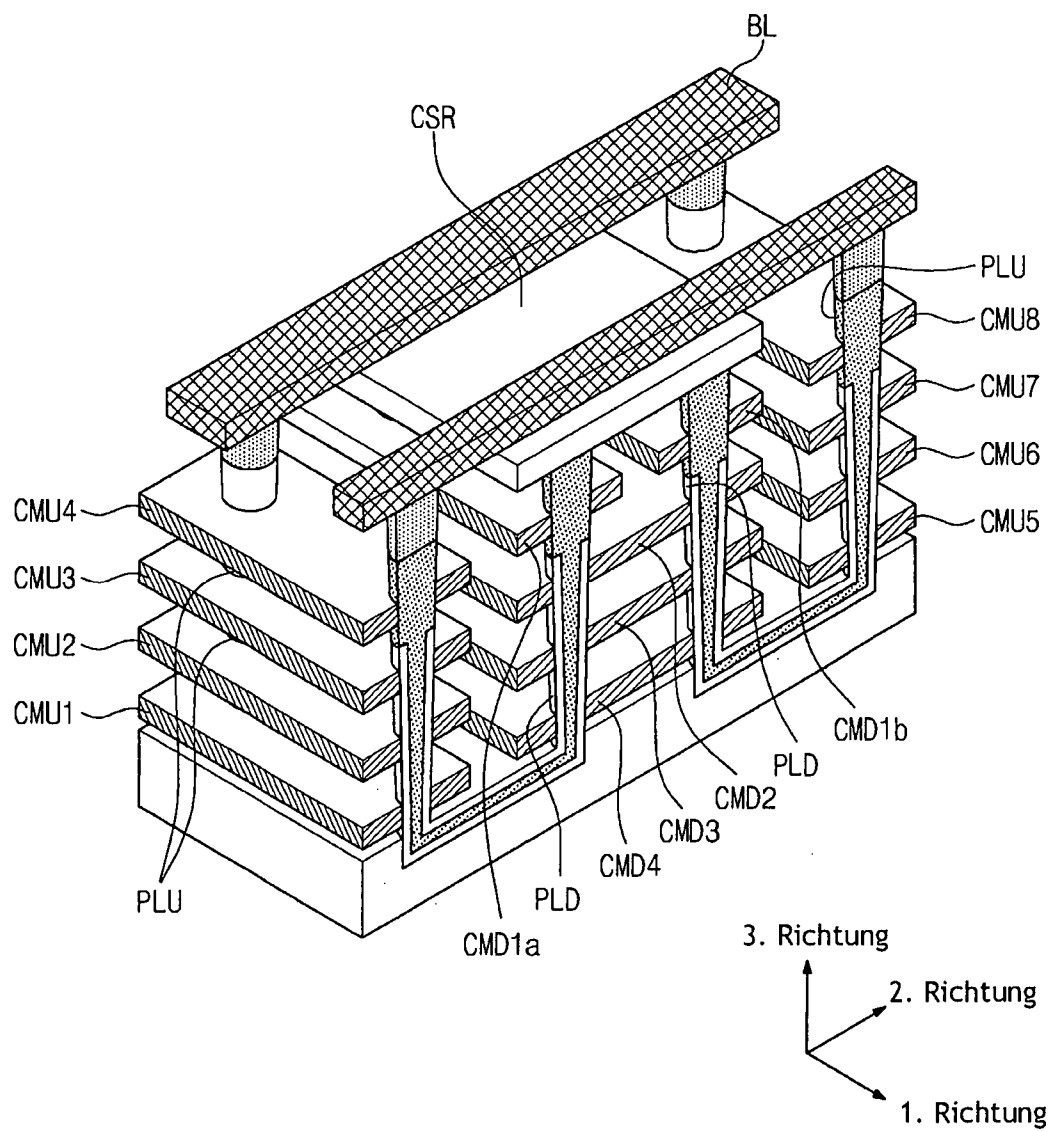


Fig. 46

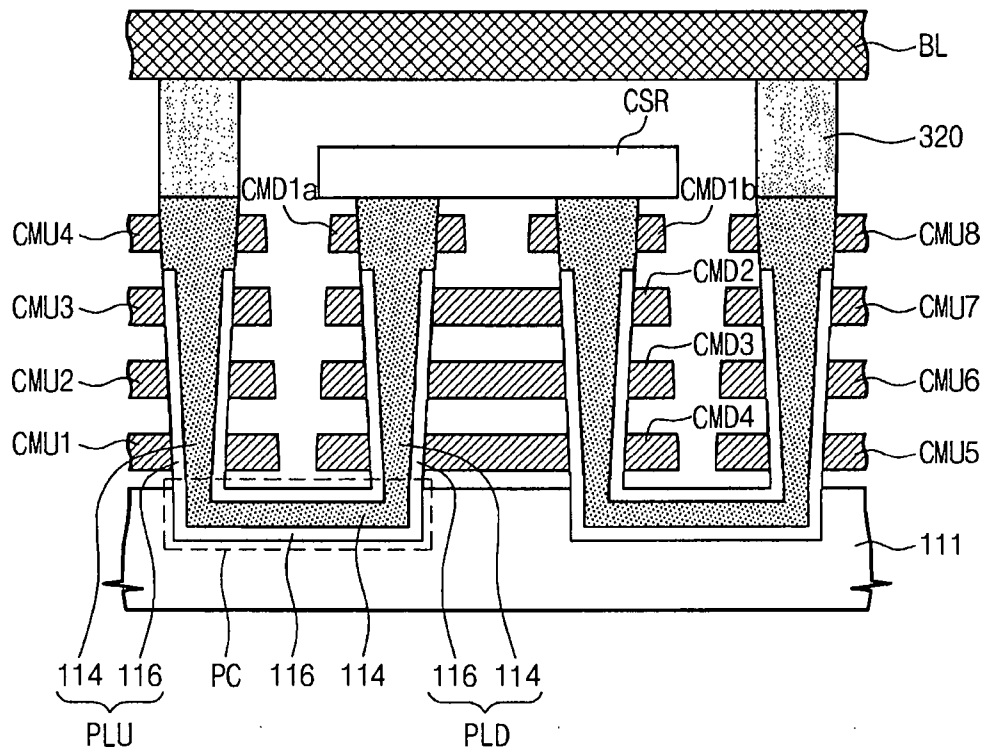


Fig. 47

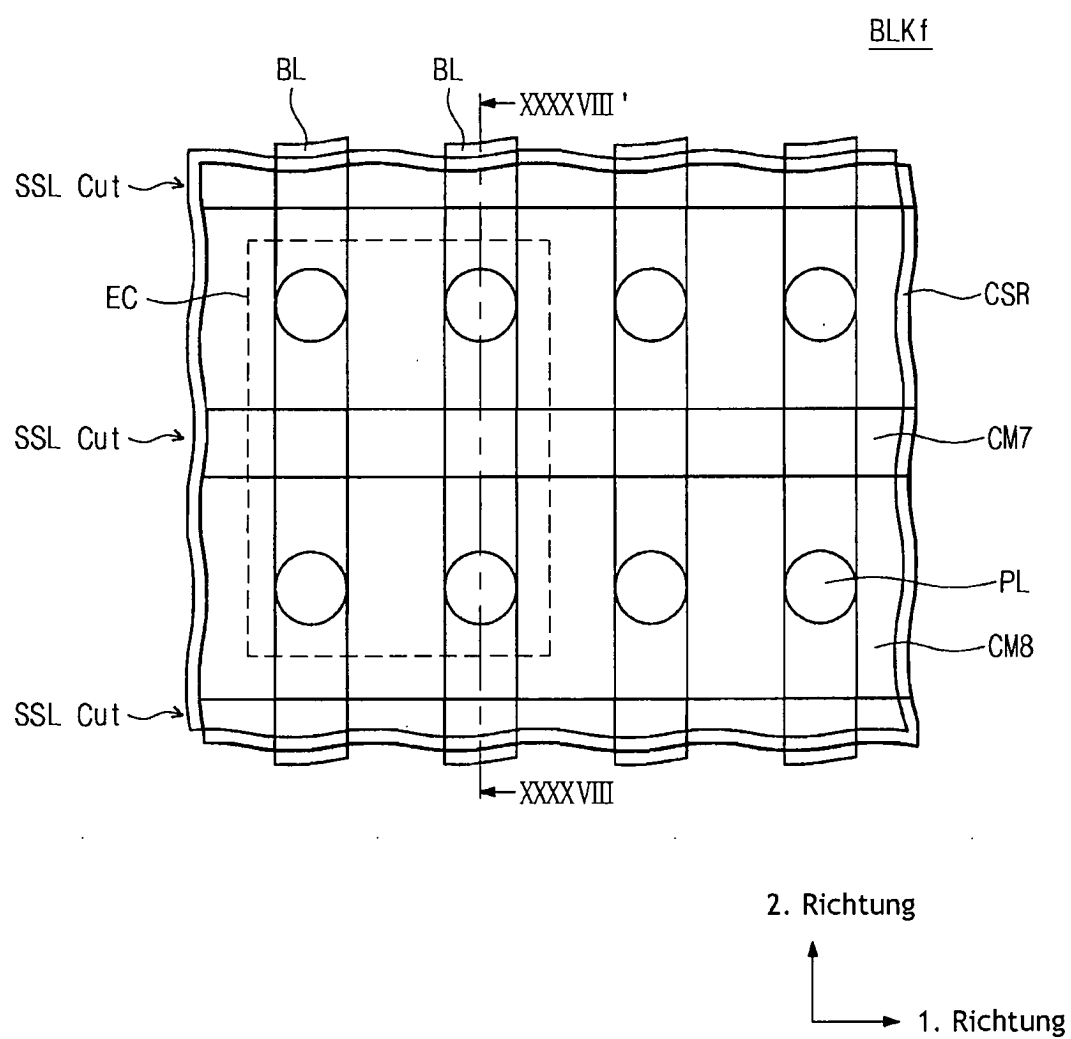


Fig. 48

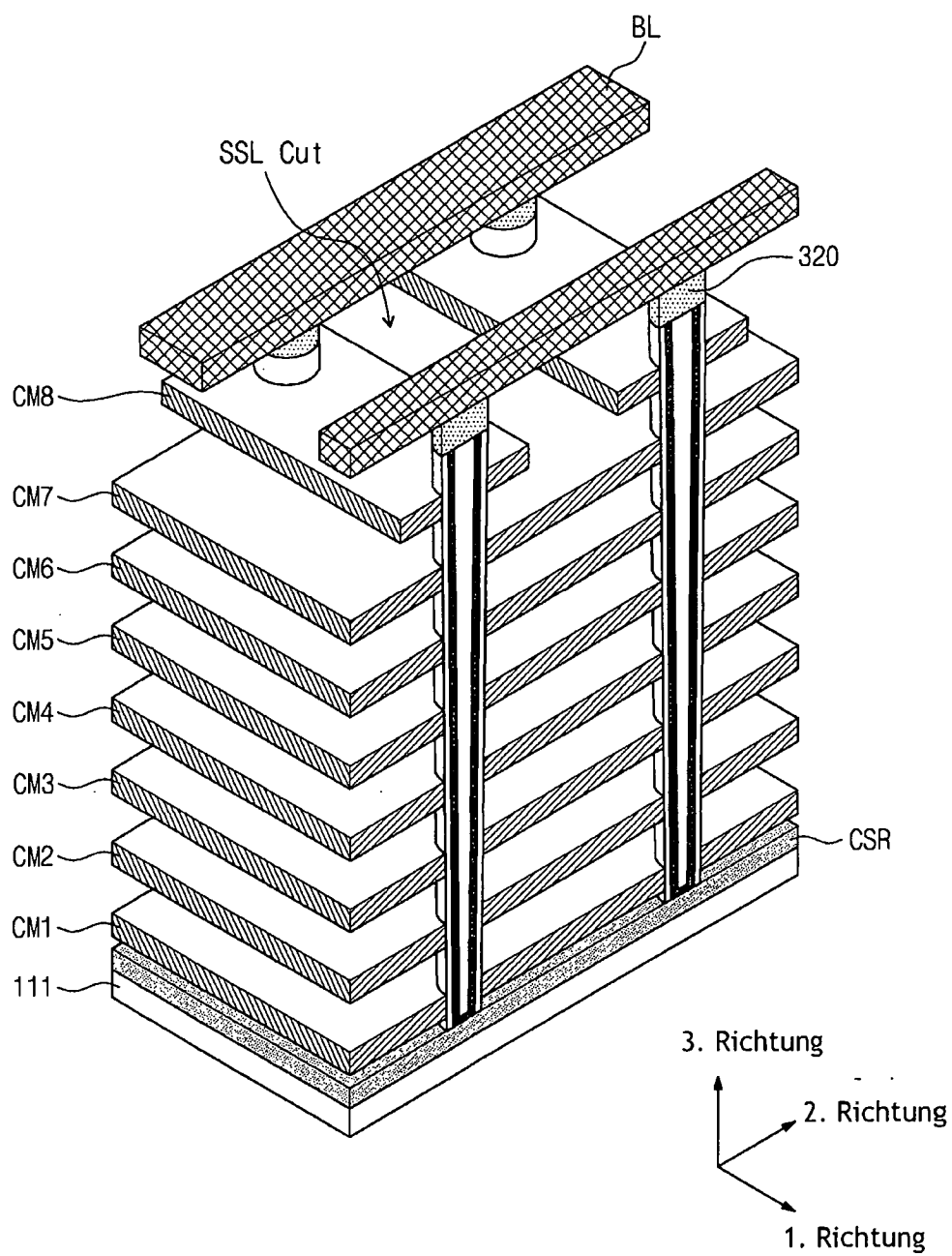


Fig. 49

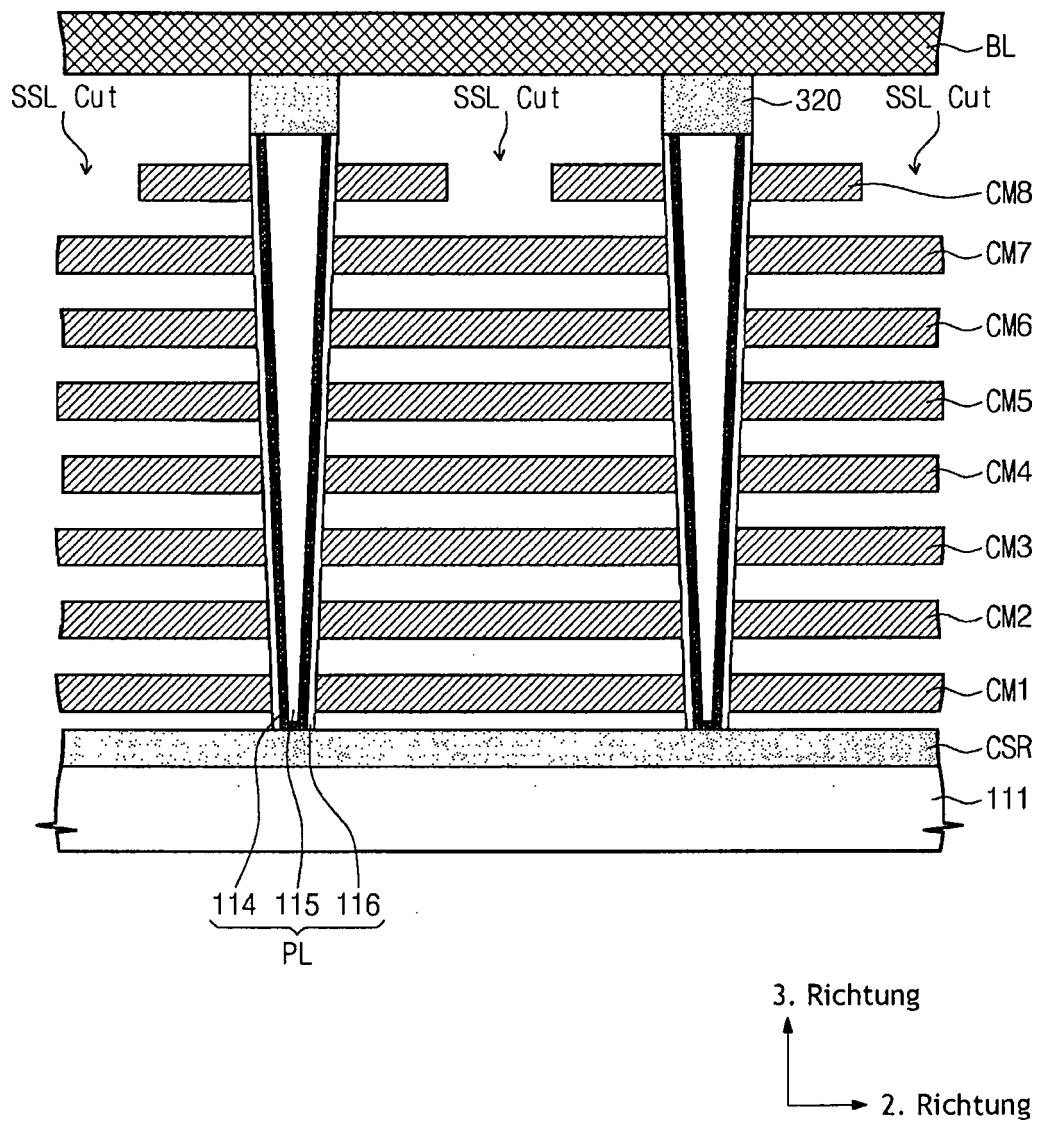


Fig. 50

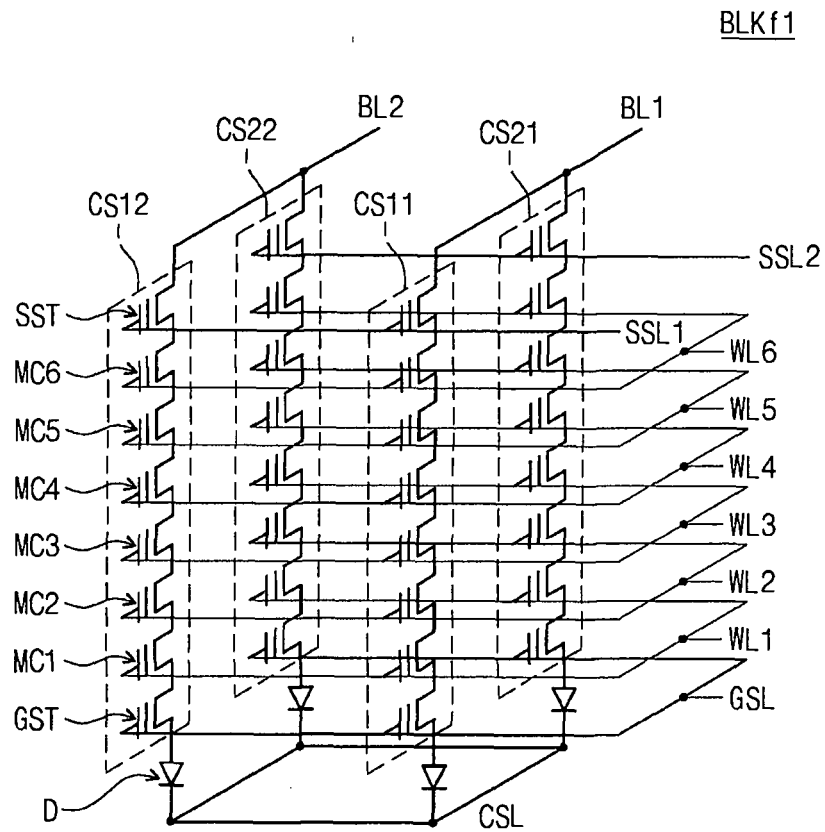


Fig. 51

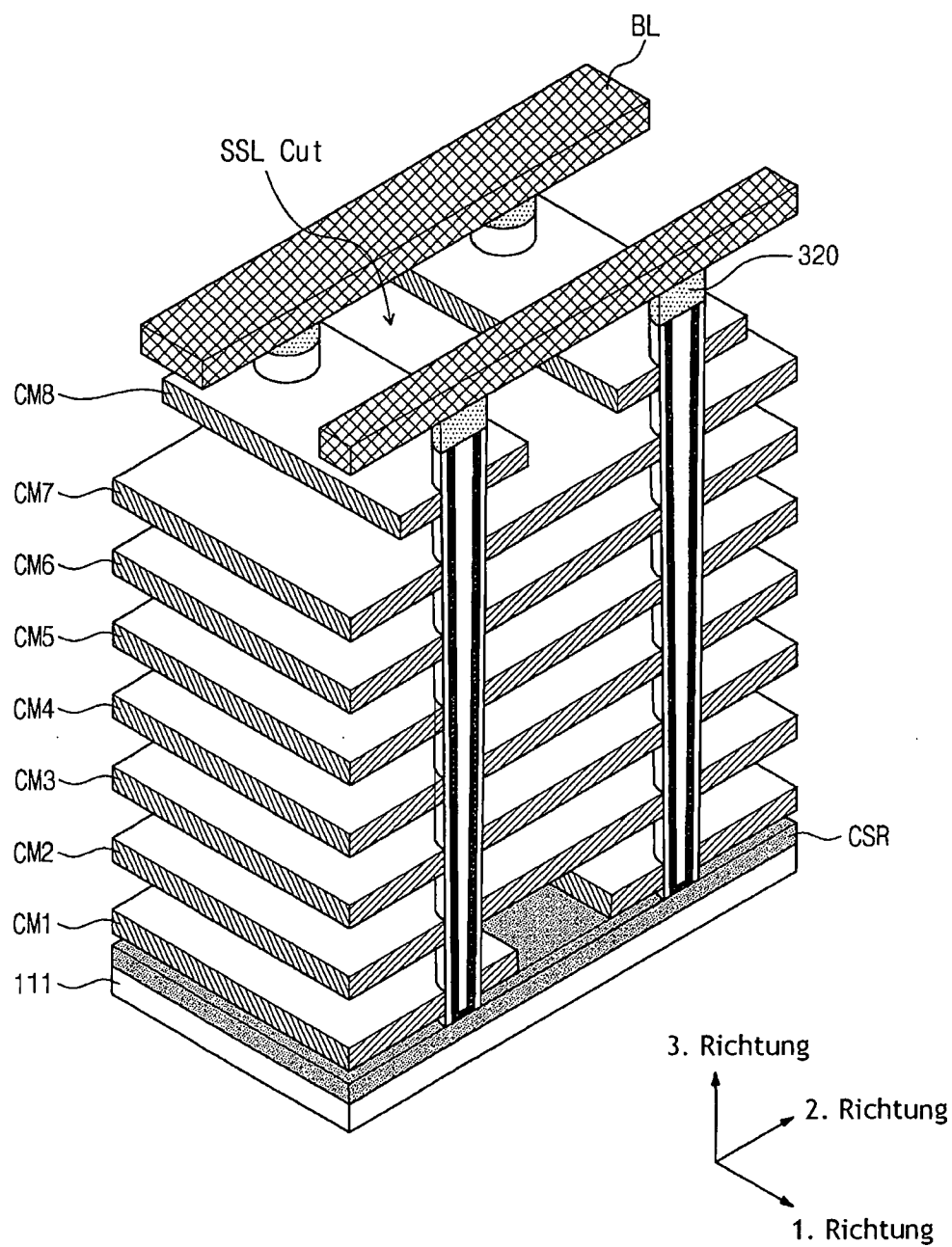


Fig. 52

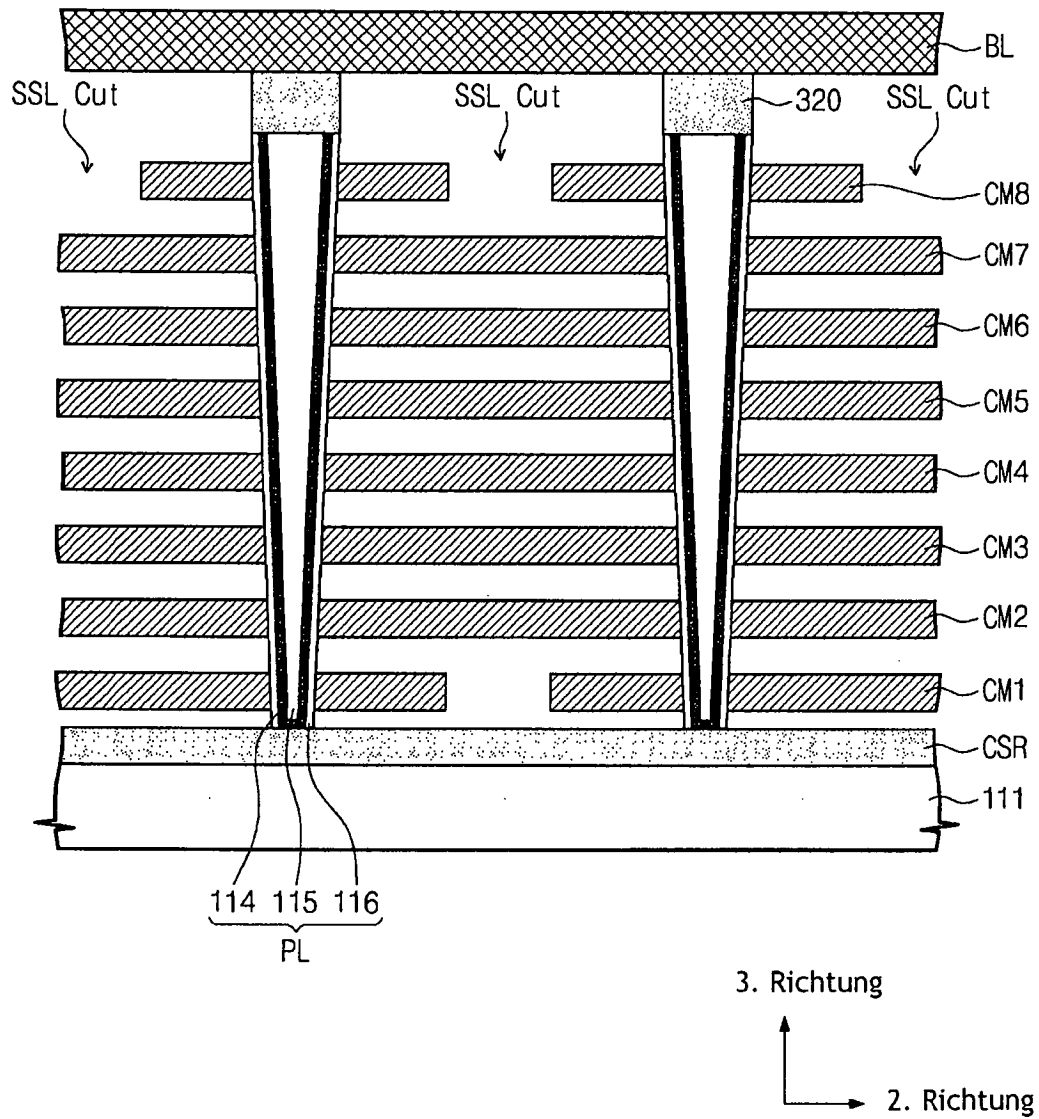


Fig. 53

BLKf2

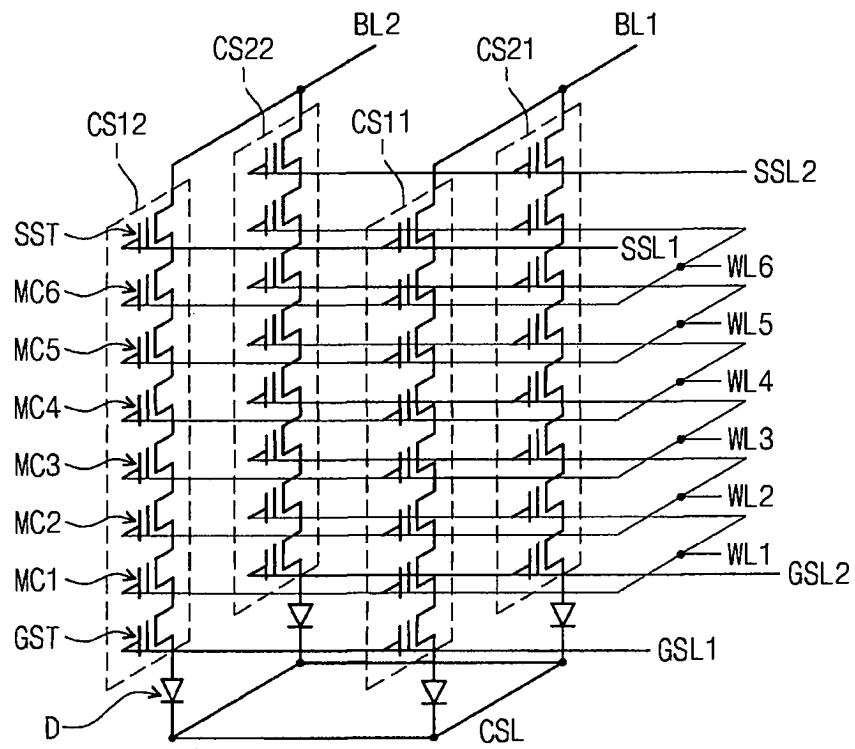


Fig. 54

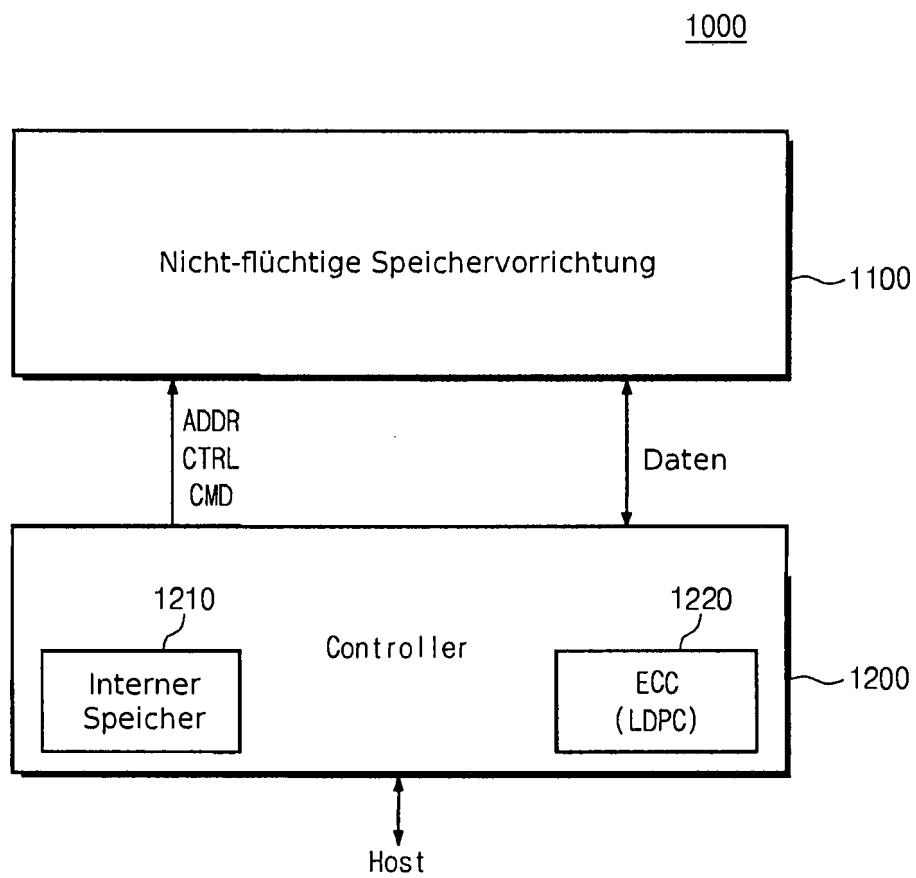


Fig. 55

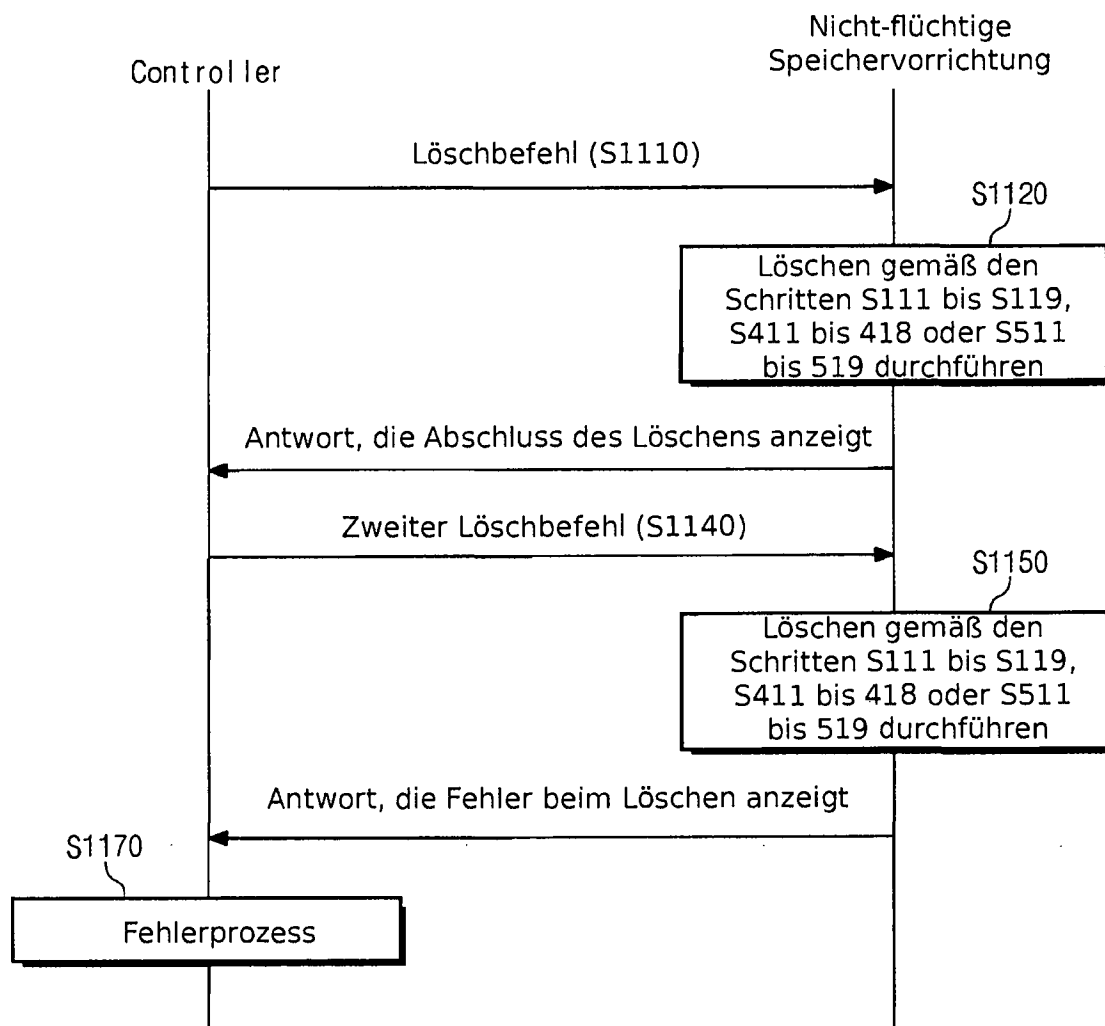


Fig. 56

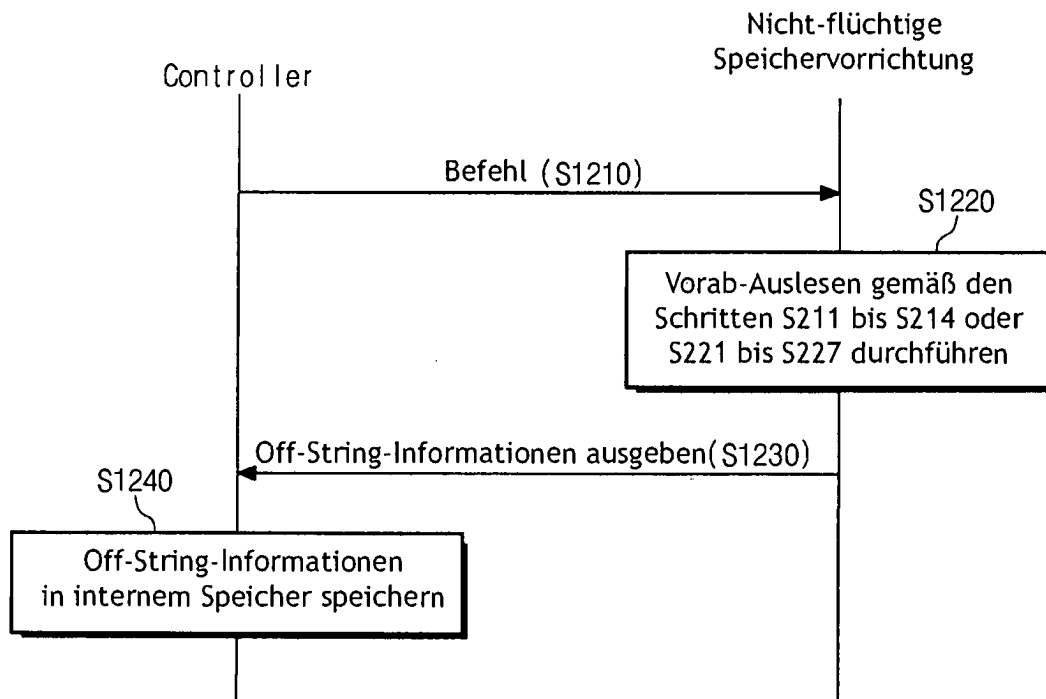


Fig. 57

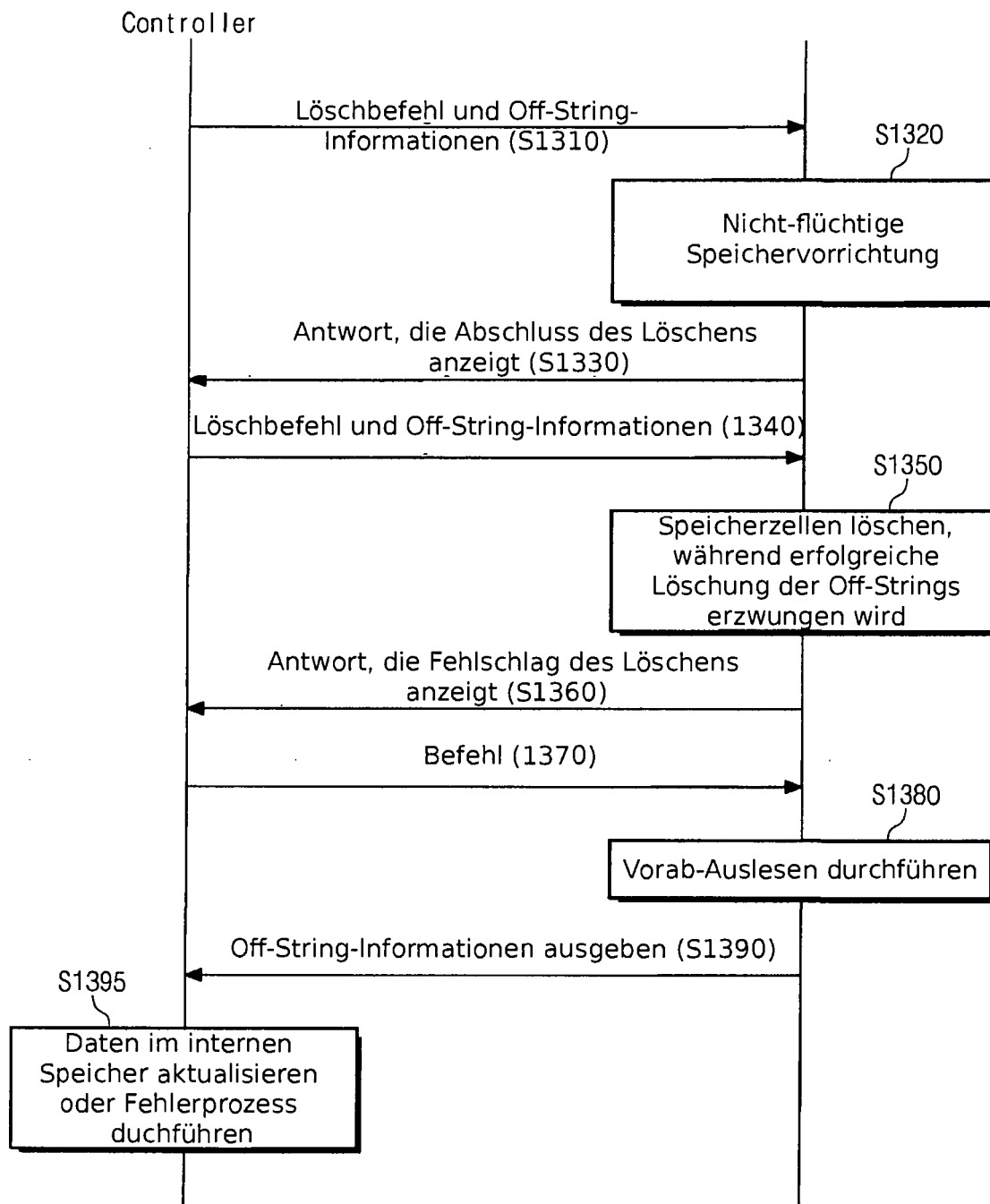


Fig. 58

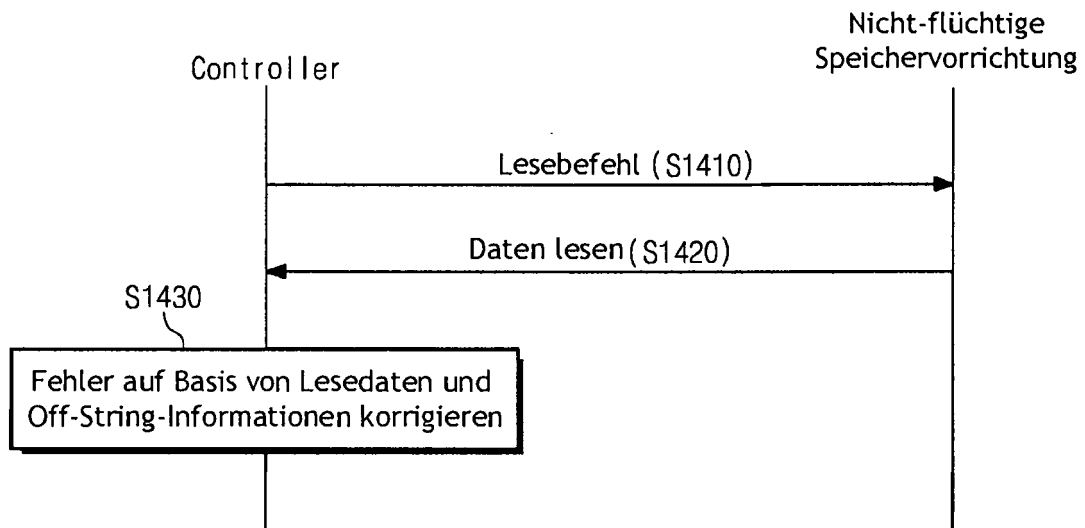


Fig. 59

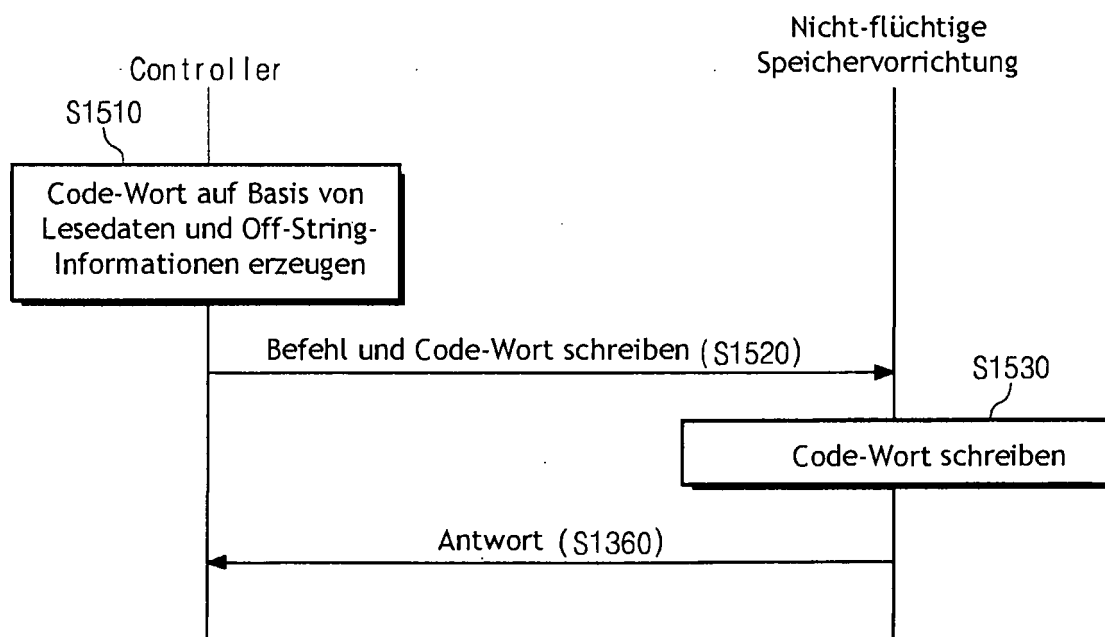


Fig. 60

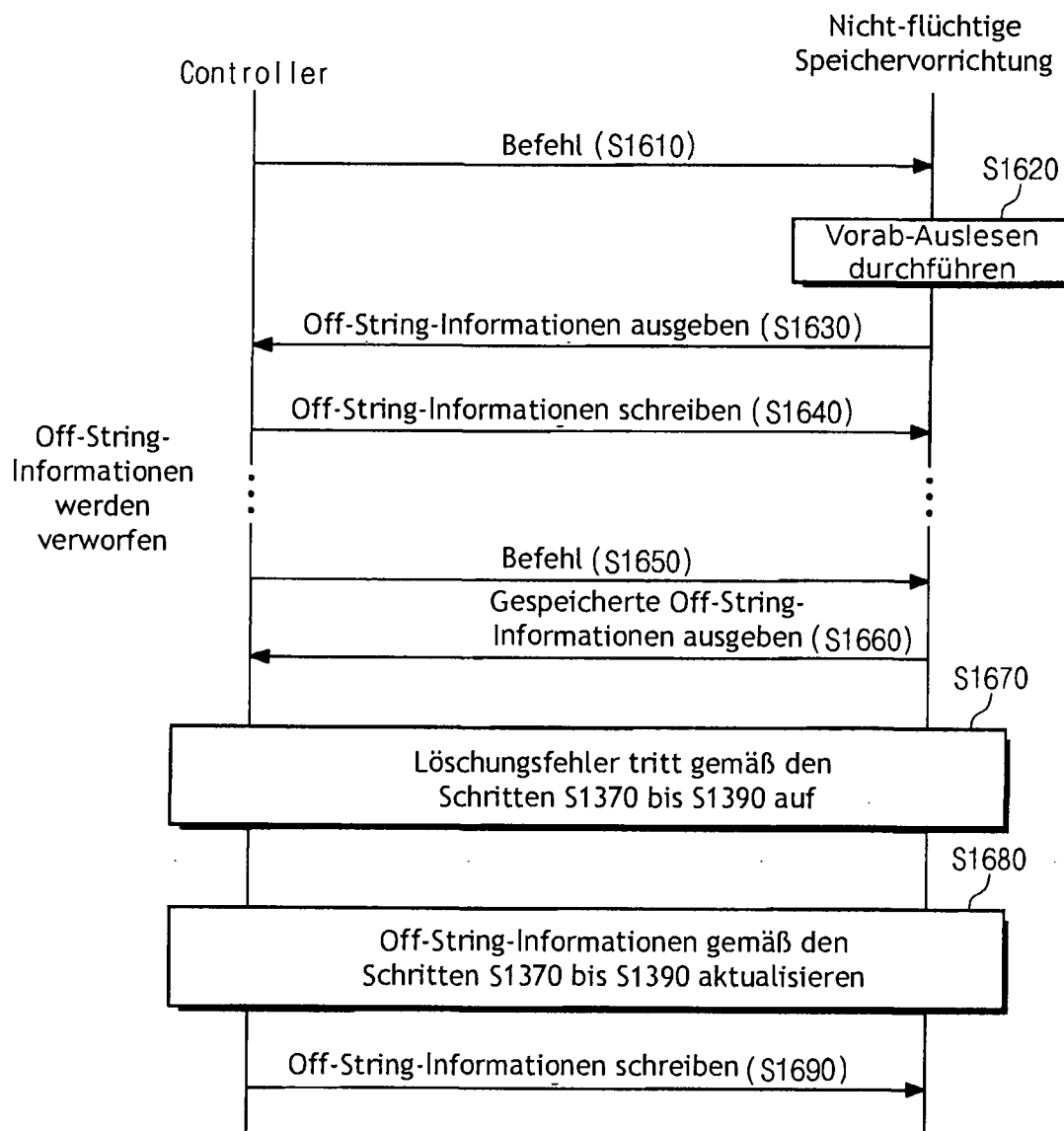


Fig. 61

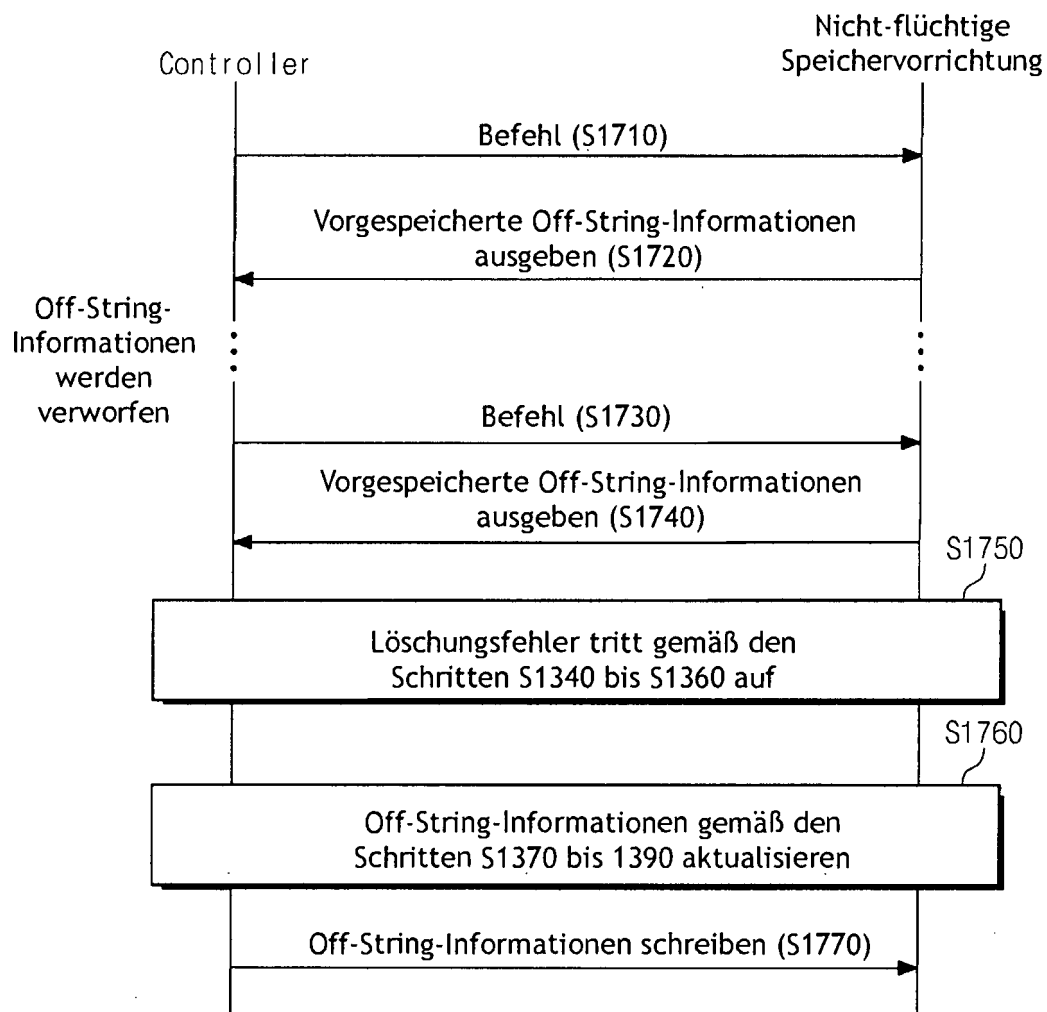


Fig. 62

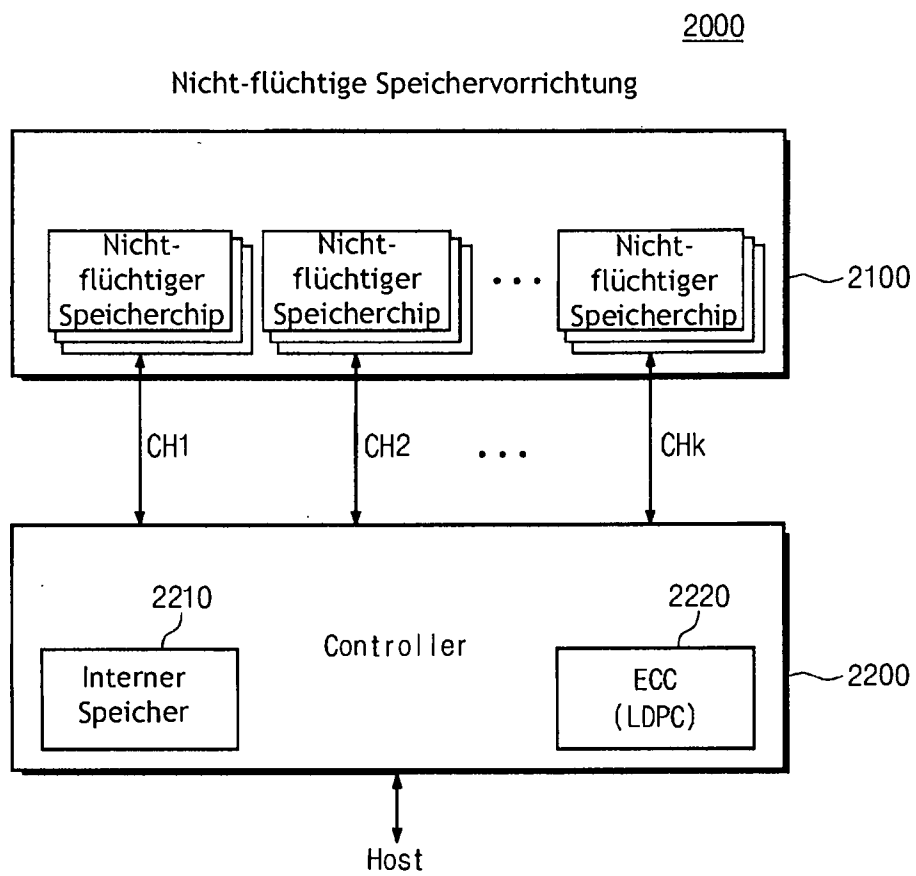


Fig. 63

3000

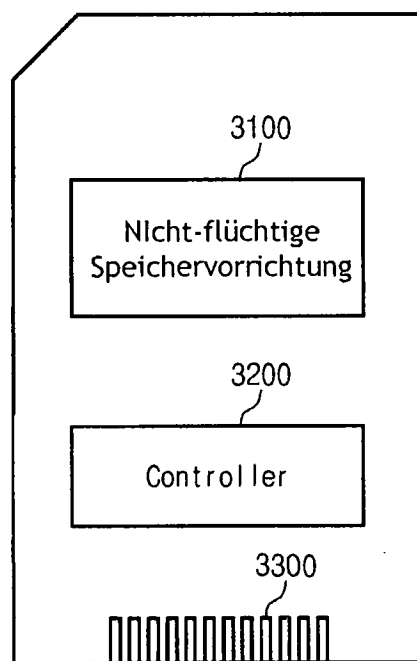


Fig. 64

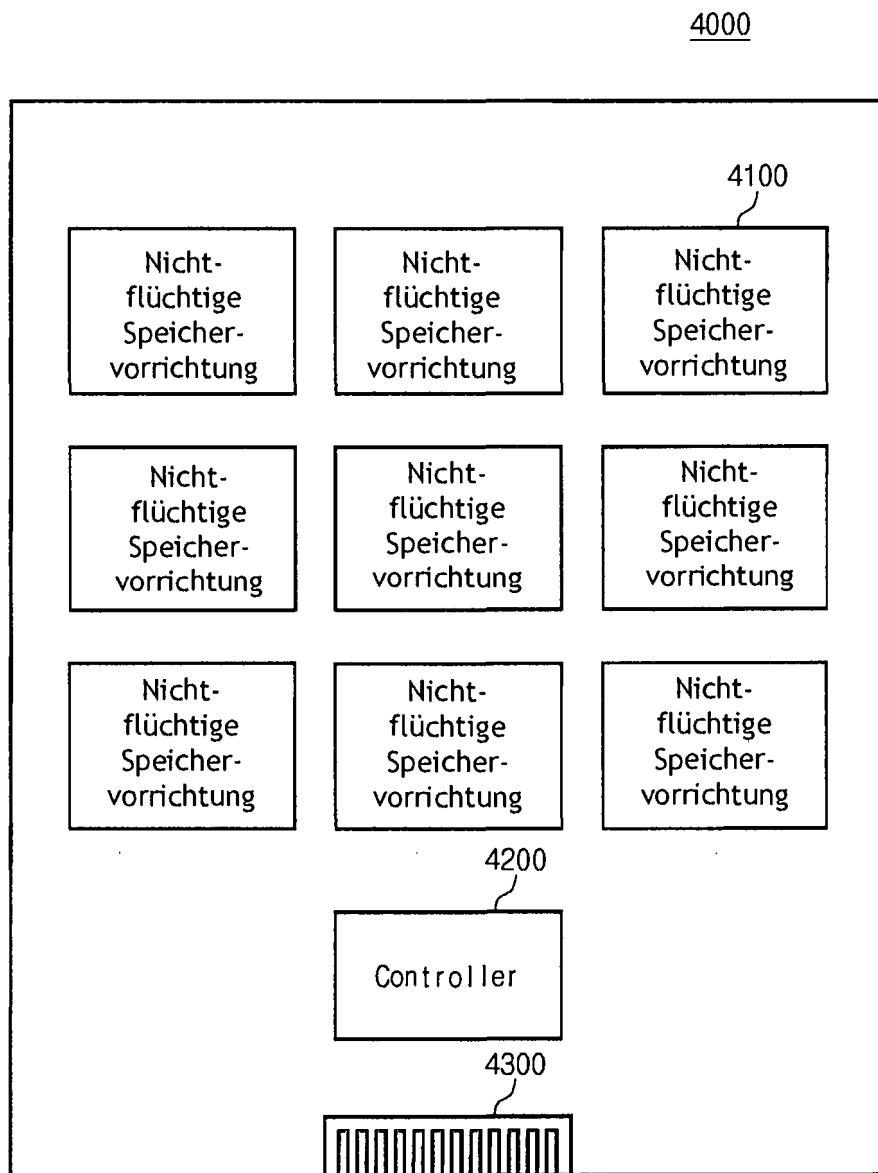


Fig. 65

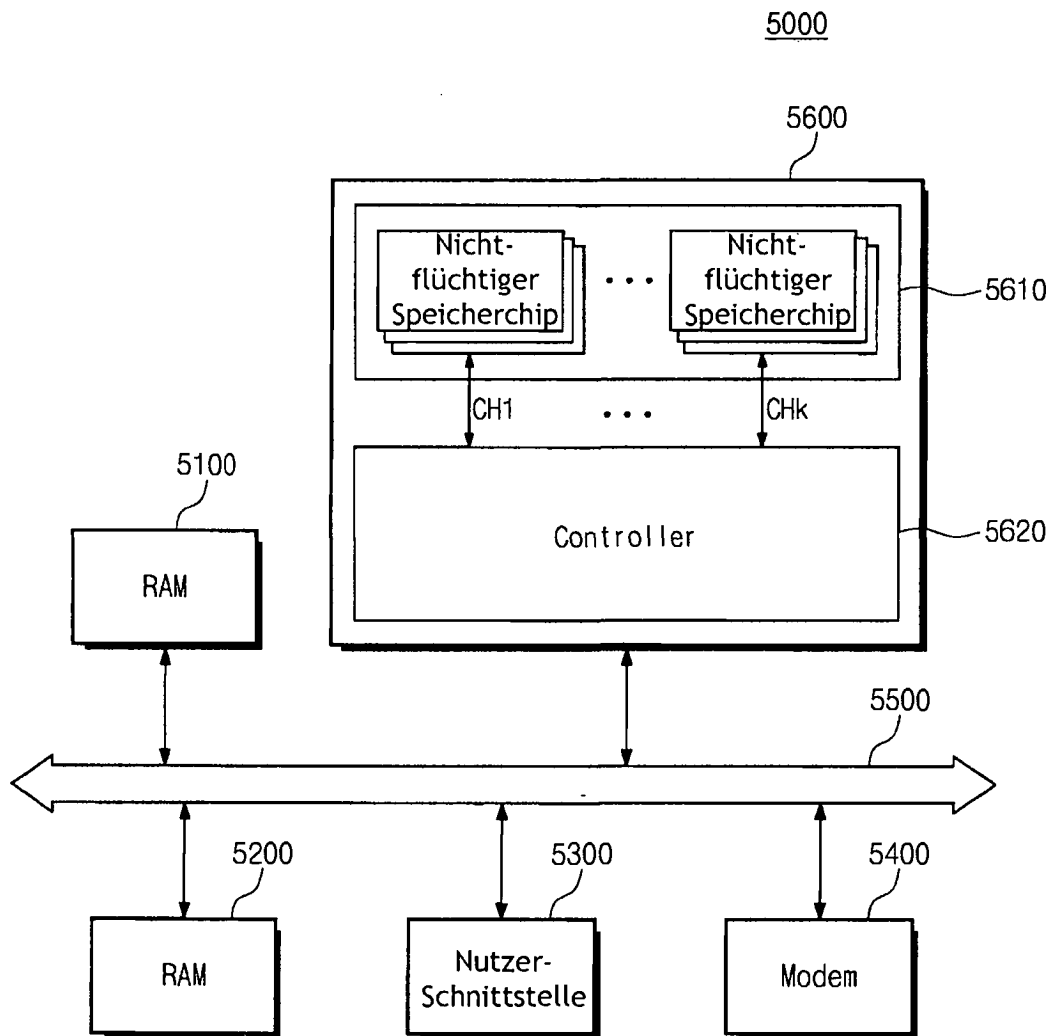


Fig. 66

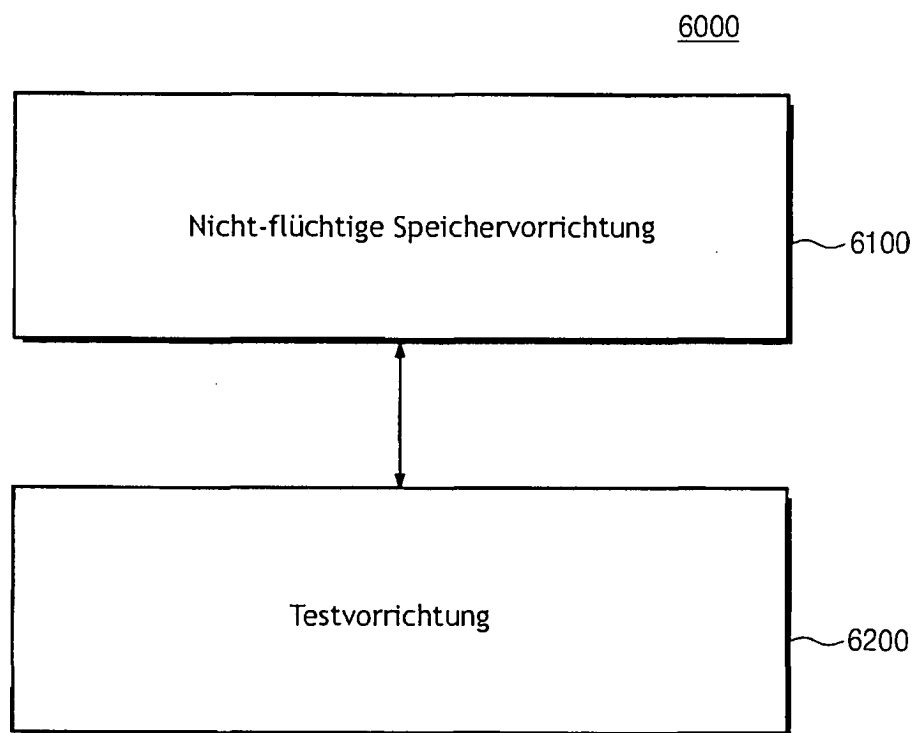


Fig. 67

