



(10) 申请公布号 CN 117242568 A

(43) 申请公布日 2023.12.15

(21) 申请号 202280031069.3

(22) 申请日 2022.03.30

(30) 优先权数据

63/169,658 2021.04.01 US

(85) PCT国际申请进入国家阶段日

2023.10.26

(86) PCT国际申请的申请数据

PCT/US2022/022532 2022.03.30

(87) PCT国际申请的公布数据

W02022/212492 EN 2022.10.06

(71) 申请人 泰瑞赛克斯公司

地址 美国加利福尼亚州

(72) 发明人 J·夏茨

(74) 专利代理机构 北京市铸成律师事务所

11313

专利代理师 王珺 李文颖

(51) Int.Cl.

H01L 23/29 (2006.01)

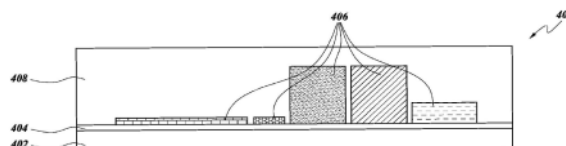
权利要求书2页 说明书14页 附图7页

(54) 发明名称

用于包埋集成电路组件的组件及其用途及其制作方法

(57) 摘要

描述了用于集成电路制造或用在集成电路制造中的组件和叠层,以及制作和使用的方法。组件可以包括通过释放层或通过施加到多孔衬底的真空保持在适当位置的紧密间隔的部件、以及至少一种包埋材料,沉积该至少一种包埋材料以包封部件,同时使部件的包括焊盘的一侧不进行涂覆,从而形成部件和包埋材料的叠层。



1. 一种用于集成电路制造的组件,包括:
衬底;
释放层,设置在所述衬底上方;
多个部件,设置在所述释放层上方,其中,所述多个部件各自包括与所述释放层接触的有源面;以及
包埋材料层,所述包埋材料层包封所述多个部件。
2. 如权利要求1所述的组件,其中,所述部件的所述有源面中的每一者基本上不接触所述包埋材料。
3. 如权利要求1或2所述的组件,其中,所述包埋材料层包括多个包埋材料子层。
4. 如权利要求1至3中任一项所述的组件,其中,所述包埋材料层包括汞合金。
5. 如权利要求4所述的组件,其中,所述汞合金是低CTE汞合金,其CTE约为 $-5\text{ppm}/^{\circ}\text{C}$ 至约 $5\text{ppm}/^{\circ}\text{C}$ 。
6. 如权利要求4或5所述的组件,其中,所述汞合金包括基质金属、合金金属和低CTE材料。
7. 如权利要求6所述的组件,其中,所述基质金属包括Ga。
8. 如权利要求6或7所述的组件,其中,所述合金金属选自以下各项构成的组:Cu、Ni、Ag、Ce及其组合。
9. 如权利要求6至8中任一项所述的组件,其中,所述低CTE材料选自以下各项构成的组: ZrW_2O_8 、 HfW_2O_8 、 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 及其组合。
10. 如权利要求4至9中任一项所述的组件,其中,所述汞合金还包括选自以下各项构成的组的元素:附加的低CTE材料、钝化材料、液体、还原剂及其组合。
11. 如权利要求1至10中任一项所述的组件,其中,所述释放层包括定位在所述释放层与所述多个部件中的至少一个部件之间的底切区域。
12. 如权利要求11所述的组件,其中,所述底切区域包括沉积材料。
13. 如权利要求1至12中任一项所述的组件,其中,所述衬底包括孔隙。
14. 一种制作如权利要求1至13中任一项所述的组件的工艺,所述工艺包括:
将所述多个部件沉积到所述释放层上,其中,所述释放层设置在所述衬底上方;以及
用所述包埋材料层包住所述多个部件。
15. 如权利要求14所述的工艺,其中,用所述包埋材料层包住所述多个部件通过喷射工艺进行。
16. 一种将组件集成到集成电路中的工艺,所述工艺包括:
将所述释放层从与由如权利要求1至13中任一项所述的组件的所述包埋材料层包封的所述多个部件分离出,以形成叠层;以及
在所述多个部件的暴露表面中的每一者上方沉积互连材料,以形成布线叠层。
17. 如权利要求16所述的工艺,还包括将所述布线叠层放置到器件中,并将所述布线叠层电连接到所述器件。
18. 一种用于集成到电路器件中的叠层,所述叠层包括:
多个部件,各自包括多个包封表面和暴露表面;以及
包埋材料,包封所述多个部件的所述多个包封表面。

19. 如权利要求18所述的叠层,其中,所述暴露表面中的每一者包括焊盘。
20. 如权利要求18或19所述的叠层,其中,所述暴露表面中的每一者基本上彼此共面。
21. 如权利要求18至20中任一项所述的叠层,还包括设置在所述暴露表面中的每一者上方的互连材料。
22. 如权利要求18至21中任一项所述的叠层,其中,所述包埋材料包括汞合金。
23. 如权利要求22所述的叠层,其中,所述汞合金包括基质金属、合金金属和低CTE材料。
24. 如权利要求22或23所述的叠层,其中,所述汞合金是低CTE汞合金,其CTE为约-5ppm/°C至约5ppm/°C。

用于包埋集成电路组件的组件及其用途及其制作方法

[0001] 相关申请的交叉引用

[0002] 与本申请一起提交的申请数据表或请求中确定的外国或国内优先权要求的任何和所有申请均特此按照37CFR 1.57以及条款4.18和条款20.6通过引用并入本文。于2021年4月1日提交的申请号为63/169658的美国临时申请的全部内容特此通过引用并入本文。

技术领域

[0003] 本发明针对微电子部件的组件的形成。

背景技术

[0004] 比如包装的集成电路、电容器、电阻器和电感器之类的部件通常放置在印刷电路板(“PCB”)上,PCB具有多层预成型布线,多层预成型布线终止于焊盘(landing pad),焊盘又通过焊料被连接到部件。典型地,集成电路(“IC”)包装的输入/输出(“I/O”)端子上的焊球或凸块被对齐并放置到印刷在PCB上的焊膏上;然后,组件通过称为回流焊炉的炉子,炉子熔化焊料,使其形成接点。无源部件具有相对较大的镀金属端子,这些镀金属端子被类似地对齐并放置在PCB上的丝网印刷焊膏图案上。

[0005] 这种方法有若干缺点。必须将组件加热到250至260℃左右的温度,以熔化焊料(比如“SAC”之类的焊料,其常见组成为96.5% Sn、3% Ag和0.5% Cu),随后让其在焊盘上方自由流动,其中,220℃以上的温度施加一分钟或更长时间。当电路板冷却时,由于不同材料(如焊料、PCB中的聚合物,特别是Cu和Si)的热膨胀系数(CTE)差异很大,往往会产生严重的应力。Si的CTE为2.7ppm/℃,Cu的CTE为17ppm/℃,SAC的CTE为约23ppm/℃,FR4(其为用于PCB构造的一系列二氧化硅填充的环氧复合材料的名称)的CTE为约14-16ppm/℃,并且底部填充聚合物和/或各种环氧树脂在接近环境温度时的CTE为约15至超过30ppm/℃(高于其玻璃化转变温度时可能会高得多)。这些应力可能并经常导致电路故障,这是由于焊点断裂或者焊料从部件(例如IC)焊盘上剥离。在使用中的热循环期间,例如,其中,由于运行时产生的热量,IC温度可能会上升到85℃或更高,出现故障的可能性更大。

[0006] 因此,不减轻这样的缺点和故障点的架构和制造方法可能是有益的。

发明内容

[0007] 为总结本发明及优于现有技术的优点,本文描述了本发明的某些目的和优点。不是所有这样的目的或优点都可以在任何特定实施例中实现。因此,例如,本领域的技术人员将认识到,本发明可以实现或优化本文教导的一个优点或一组优点的方式来体现或执行,而不必实现本文教导或建议的其他目的或优点。

[0008] 一方面,公开了用于集成电路制造的组件。该组件包括:衬底;设置在衬底上方的释放层;设置在释放层上方的多个部件,其中,所述多个部件各自包括与释放层接触的有源面;以及包封该多个部件的包埋材料层。

[0009] 在一些实施例中,部件的活性面中的每一者基本上不接触包埋材料。在一些实施

例中,包埋材料层包括多个包埋材料子层。在一些实施例中,包埋材料层包括汞合金。在一些实施例中,汞合金是低CTE汞合金,其CTE为约-5ppm/°C至约5ppm/°C。在一些实施例中,汞合金包括基质金属、合金金属和低CTE材料。在一些实施例中,基质金属包括Ga。在一些实施例中,合金金属选自以下各项构成的组:Cu、Ni、Ag、Ce及其组合。在一些实施例中,低CTE材料选自以下各项构成的组: ZrW_2O_8 、 HfW_2O_8 、 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 及其组合。在一些实施例中,汞合金还包括选自以下各项构成的组的元素:附加的低CTE材料、钝化材料、液体、还原剂及其组合。在一些实施例中,释放层包括定位在释放层与多个部件中的至少一个部件之间的底切区域。在一些实施例中,底切区域包括沉积材料。在一些实施例中,衬底包括孔隙。

[0010] 另一方面,描述了制作组件的工艺。该工艺包括:将多个部件沉积到释放层上,其中,释放层设置在衬底上方;以及用包埋材料层包住多个部件。

[0011] 在一些实施例中,用包埋材料层包住多个部件通过喷射工艺进行。

[0012] 另一方面,描述了一种将组件集成到集成电路中的工艺。该工艺包括:将释放层从由组件的包埋材料层包封的多个部件中分离出,以形成叠层;以及在多个部件的每个暴露表面上方沉积布线层料,以形成布线叠层。

[0013] 在一些实施例中,该工艺还包括将布线叠层放入器件中,并将布线叠层电连接到器件。

[0014] 另一方面,描述了一种用于集成到电路器件中的叠层。该叠层包括:多个部件,多个部件各自包括多个包封表面以及暴露表面;以及包封多个部件的多个包封表面的包埋材料。

[0015] 在一些实施例中,暴露表面中的每一者包括焊盘。在一些实施例中,暴露表面中的每一者基本上彼此共面。在一些实施例中,叠层还包括设置在暴露表面中的每一者上方的互连材料。在一些实施例中,包埋材料包括汞合金。在一些实施例中,汞合金包括基质金属、合金金属和低CTE材料。在一些实施例中,汞合金是低CTE汞合金,其CTE约为-5ppm/°C至约5ppm/°C。

附图说明

[0016] 本公开的这些和其他特征、方面和优点参考特定实施例的附图进行描述,这些附图旨在例示特定实施例,而非限制本发明。

[0017] 图1是描绘汞合金在不同温度下的硬化动力学的折线图。

[0018] 图2是喷雾器系统和汞合金喷射沉积使用方法的图示。

[0019] 图3是可以用于汞合金喷射沉积的喷雾器的图示。

[0020] 图4是根据一些实施例的具有包封部件的包埋材料的组件的图示。

[0021] 图5是根据一些实施例的具有包封部件的多种包埋材料的组件的图示。

[0022] 图6是根据一些实施例的包埋材料沉积在部件下方的底切区域中的组件的图示。

[0023] 图7是根据一些实施例的具有包埋材料和多孔衬底的组件的图示,包埋材料沉积在部件上,其中,对多孔衬底施加真空。

具体实施方式

[0024] 尽管下文描述了某些实施例和示例,但本领域技术人员将理解,本发明超出具体

公开的实施例和/或用途及其明显的修改和等同物。因此,意图是本文公开的本发明的范围不应该受到下面描述的任何特定实施例的限制。

[0025] 提供了包含部件的组件和叠层,以及它们的使用和制作方法。该组件可以包括通过释放层或通过施加到多孔衬底的真空保持在适当位置的紧密间隔的部件、以及至少一种沉积的包埋材料,以包封部件,同时使部件的包括焊盘的一侧不被涂覆,从而形成部件和包埋材料的叠层。一旦叠层形成,就可以将它从衬底和释放层分离,以进一步处理,比如添加互连件和/或集成到器件中。包埋材料可以选择为具有有利的CTE、电绝缘/导电和/或导热特性。此外,这样的组件可以包括使一个部件与另一个部件绝缘的沉积材料。

[0026] 要在小于约 $50\mu\text{m}$ 的分辨率下印刷,在预布线PCB(其焊盘尺寸适于焊料的丝网印刷)上放置部件相对困难。此外,在这样的工艺中使用典型地由轧制的Cu箔(例如,其厚度为 $17\mu\text{m}$ 或 $35\mu\text{m}$)形成图案的布线典型地会导致部件之间的I/O端子分离至少1毫米。即使使用芯片级包装(CSP),其中,包装至多是裸管芯的1.3倍,从I/O晶体管端子到最近的部件(例如,旁路电容器)也可能有至少1mm的距离。更常见的是,两个IC的端子之间的距离可以是几厘米。部件之间的这些间距伴随着阻性损耗,以及IC附近不需要的电感。

[0027] 此外,互连件的尺寸可能受所用图案化技术的影响。用于图案化Cu层的工艺利用相对较大的纵横比,其中,迹线典型地比它们的高度宽,以便利用各向同性湿法蚀刻获得令人满意的几何形状,这些工艺迫使互连迹线(interconnect trace)宽几十微米(例如,通常至少千分之二或千分之三英寸或更宽)。这样的互连限制又增加了面密度和所需的互连件层的数量。

[0028] 除横向相对较大外,所得结构既厚又硬(例如,印刷电路板典型地约1mm厚,并且包装IC约0.5mm厚或更厚)。此外,通过IC包装材料和PCB的散热相对较差,这是因为使用了导热率为Si的导热率的0.01%的有机聚合物。

[0029] 集成电路包装过程中出现类似问题。传统上,在分割处理过的晶元之后,通过拾取和放置机器将裸Si管芯放置在包封衬底上,该包封衬底类似于PCB,可以具有预先形成的布线,以将IC的I/O焊盘连接到包装的I/O焊盘,该包装的I/O焊盘相对于IC的I/O焊盘典型地更大且间隔更宽。在形成互连件(例如,通过回流焊、引线键合或另一种技术)之后,可以通过注射成型将管芯及其衬底和布线包封在保护性聚合物中。许多相同的问题,例如材料CTE的不匹配和互连件的额外长度,也存在于这些工艺中。

[0030] 在解决这些问题的尝试中,一些人利用了重构晶元,其中,使用释放层型粘合剂将来自不同源晶元的硅片放置在临时衬底上,并以晶元形式包埋在环氧树脂成型材料中。然后从衬底上释放这样的“重构晶元”,并在形成最终包装的多管芯产品之前进一步处理以添加互连件。已经生产出了这一构思的几种变型,包括STATSChipPAC、Amkor、ASE和其他公司生产的产品。然而,环氧树脂包装仍然导致大量的CTE失配,并且这些结构容易因为这些因素而产生很大程度的翘曲。散热也是问题。包装的多管芯系统仍然必须与其他包装的IC和部件一起放置在PCB上,其具有与上述相同的问题。

[0031] 理想的架构将是这样的架构,其中,电路所需的所有IC和其他部件,无论其尺寸大小,均以裸露形式尽可能紧密地放置在一起(例如,优选地,它们之间不超过几微米),且除了一个表面(例如,底表面)之外,其所有表面都由导热包埋介质或材料包围,导热包埋介质或材料的CTE类似于Si,且其表面与IC共面。IC将是薄的(例如,小于 $50\mu\text{m}$),这将使产品变

薄,并且在一些实施例中是柔性的。这样的薄度有利于制造连续的包埋或包封层,因为很难使可固化材料均匀地流入到几微米宽、250微米高的空间中。此外,部分由于材料的CTE失配,薄的厚度使IC法线方向上的应力最小化,并且薄但高导热的包埋介质允许有效的散热。

[0032] 在将IC放置在彼此的微米范围内的情况下,可以通过直接在包埋介质的平坦表面上制作互连迹线来有利地形成互连迹线,其尺寸与每个IC内的互连件的最后一层的尺寸大致相同。两个或更多这样的IC,或者具有一些相对小的无源部件的IC,将有效地作为一个大的IC。由于产量减少和光刻设备的尺寸限制,这样的结构很难或不可能利用光刻来制造。根据具体的电气要求,连接不直接相邻的两个I/O焊盘的迹线的宽度和厚度可以大于连接相邻焊盘的迹线的宽度和厚度。然而,两个I/O焊盘的这样的迹线可能仍然比普通PCB迹线小,因为电流传输的距离更小。例如,由于IC中的顶层互连件的级别为厚度约为 $2\mu\text{m}$ 并且宽度约为 $4-5\mu\text{m}$,因此这些部件间的迹线将比传统技术中的迹线小一个数量级或更小,这将允许更紧凑的布线,并进一步节省电路面积,同时由于更短的迹线而改善了电性能。

[0033] 一旦制造了所需数量的互连件层(由介电层分隔),就可以通过一个或多个保护层来包封叠层,使其可以用于产品中。这些层将典型地根据具体要求来选择,并可以使用本领域公知的材料来形成,比如金属(例如铝或铜)、陶瓷(例如氧化物和氮化物)、聚酰亚胺、聚酯(例如聚对苯二甲酸乙二醇酯)、聚氨酯等。如果需要,可以通过终止于衬底边缘处并没有被最终包封覆盖的金属迹线,或者通过穿过保护性包封形成的通孔,来提供与其他部件的连接。因为根据本发明,可以在一个单元中制作完整的功能电路,所以可能需要相对少量的I/O连接。

[0034] 这样的结构可以用于任何程度的集成,从常规上包含在单个芯片内的电路到目前占据大型PCB的电路。一种应用是所谓的“多管芯包装”或“系统级包装”器件,这些器件可以在一个包装中包含少量甚至几个IC片,但是仍然打算与其他器件一起放置在常规的PCB上,以形成最终的功能系统。另一个应用是相对较大且复杂的芯片,比如高端微处理器、现场可编程门阵列等。这些芯片可以由“小芯片”制作,这些小芯片可能不单独工作,因为它们的功能IC的子单元,并被适当地组合以形成独立电路。例如,这样的子单元可以是微处理器的框图的元素(例如,核心、I/O部分、直接存储器存取(“DMA”)控制器、定时区段等)。这样的架构的优点包括能够容易地升级系统,改进特定子系统,而不必为整个芯片制作全新的掩模,能够快速设计新系统,和/或能够降低功耗和由于长互连迹线引起的信号衰减。

[0035] 在一些实施例中,将包埋材料流体涂覆在设置在临时释放层上方的一套部件上方,其中,该流体渗透部件之间的微米级间隙,且可以在低温下固化成固体(例如,柔性固体)包埋材料,并包封部件。流体和固体组成可以选择为具有与硅相当或接近匹配的热导率和CTE,并可以是导电的或绝缘的。

[0036] 释放层及其使用方法在第6,946,178号美国专利和第7,141,348号美国专利中进行了讨论,它们出于所有目的通过引用并入本文。触发过程可以用于从释放层分离部件。如第6,946,178号美国专利所述,触发过程包括在单个步骤中将释放层暴露于热和光中,以降解释放层。用光(例如,光化性光)照射可以用于选择性地激活用户希望转移的部件下面的释放层的化合物(例如,聚合物),同时留下同一衬底上的其他部件未被激活。将释放层的化合物(也称为数字释放材料(例如,数字释放粘合剂(“DRA”))加热到适当的温度(例如,低于约 150°C),可以使释放层蒸发并释放部件,而留下未被激活的器件仍然附着在供体衬底上。

通过这种方法,当包埋材料在除了面向释放层的侧面之外的所有侧面上包封部件时,部件可以被释放层保持在非常接近的位置,并且随后释放层可以被分解以转移组件和/或暴露部件的未包封侧面用于互连件的应用。在一些实施例中,转移过程包括光聚合物部件组装(“PCA”)和光诱导正向转移(“LIFT”)。

[0037] 在一些实施例中,包埋材料包括镓和另一种金属(例如,铜和/或镍)颗粒的汞合金混合物。这样的汞合金在第一次混合时可能是流体,但是当元素相互扩散时,形成高熔点的固体。例如,约65% Ga、30% Cu和5% Ni的合金的熔点在超过500℃时熔化,但在环境温度(例如,约25℃或约30℃)下从流体混合物固化。例如,美国专利#5,053,195和“Amalgams for Improved Electronics Interconnection(用于改进的电子互连的汞合金)”(IEEE Micro(IEEE微处理机与微型计算机杂志),第46-58页,1993)中描述了这样的汞合金,这两篇文献的全部内容通过引用并入本文。

[0038] 一些液态汞合金在不加热的情况下可能需要几天时间才能发生完全硬化。图1描绘了镓汞合金(5% Ni,30% Cu)的硬化动力学。然而,硬化结果类似于图1所描绘的硬化结果的这样的镓汞合金已典型地使用平均粒径在几微米到几十微米范围内的粉末。尽管已经公布了证据(例如T.Okabe和R.J.Mitchell在“Setting Reactions In Dental Amalgam Part 2.The Kinetics Of Amalgamation(牙科汞合金中的固化反应第2部分.汞合金化的动力学)”,Critical Reviews of Oral and Biological Medicine(口腔和生物医学评论),第7卷,第23-35页)证明,在汞合金中,液体金属原子沿晶界的扩散相对较快,但是已经证明较小的颗粒将导致更均匀的混合(例如,A.B.Shubin等人,“The Diffusion of Gallium into Copper-Tin Alloy Particles(镓扩散到铜锡合金颗粒中)”,Defect and Diffusion Forum(缺陷和扩散论坛),第283-286卷(2009年),第238-242页)。这样的更小的颗粒可能没有被使用,因为混合物易于硬化得太快而不能从形成这些汞合金前体的研钵和研杵或汞合金混合胶囊转移,因此难以处理。

[0039] 为避免过早硬化并允许使用亚微米颗粒(例如,纳米级颗粒),在一些实施例中,可以在超声波混合器或喷射设备中混合颗粒。在超声波喷射涂布机(例如,由纽约州米尔顿市的索诺-泰克公司(Sono-tek Corporation)制造的涂布机)中,液体原料在涂布前立即通过超声波雾化器转化成气溶胶。图2描绘了第6,358,567号美国专利中讨论的用于喷射沉积的这种喷涂设备(即喷雾器),该专利的全部内容出于所有目的通过引入并入本文。系统包括从液体泵4泵送到超声波换能器6的液体2,超声波换能器6用于引起液体中的振动,以将喷射的液体分解成气溶胶的小(例如,亚微米大小的)液滴,这些小液滴被喷射到设置在加热器上方的衬底8上。制造多种颗粒类型的气溶胶喷雾有多种选择。在一些实施例中,液体可以包括存在于混合物(例如,溶液)中的金属颗粒。例如,大多数金属(例如,Cu和Ni)彼此之间的反应性并不比它们自身之间的反应性更强。因此,如果金属颗粒已经被稳定以防止团聚,则金属颗粒可以在单一溶液或分散体中结合,并向金属颗粒提供期望的气溶胶颗粒流。在一些实施例中,液体包括钝化材料。在一些实施例中,金属颗粒包括钝化层。

[0040] 在一些实施例中,不同的液体流可以在进入喷雾器时合并,以尽量减少不同颗粒暴露于彼此的时间。图3示意性地描绘了来自索诺-泰克公司的商用喷雾器300,其中,两个输入流被合并。喷雾器300包括液体A供给通道302和液体B供给通道306,液体A供给通道302包括微孔管304,液体B供给通道306围绕液体A供给通道302和微孔管304并被包封在壳体

314中。在喷雾器300的远端处,液体A 306和液体B 310在雾化表面312处合并,并从喷雾器300喷出。在一些实施例中,气体流可以用于将来自分离的液体流的气溶胶粒子流朝向彼此引导,以便将它们混合。这样的成形流例如被索诺-特克公司用于一些喷涂喷嘴中,并且成形流的一些方面在第2010/0078496号美国公布中公开,其全部内容通过引用并入本文。其他射流系统,例如由Optomec (Albuquerque, NM)、nScrypt (Orlando, FL) 或其他公司制造的喷流系统,可以用于形成用于混合和沉积的纳米粒子流。在一些实施例中,流或液体可以包括不同量的溶剂。在一些实施例中,溶剂可以是低沸点溶剂,使得它一旦从表面沉积就快速蒸发。在一些实施例中,溶剂可有助于在沉积表面上产生均匀、紧密堆积的颗粒分布。在一些实施例中,在这样的系统中液滴的速度大约为几微米/秒、几十米/秒或几百米/秒(例如1-900m/s)的情况下,分配器尖端与衬底之间的距离大约为几毫米,并最多在几毫秒内穿过,因此允许使用相对较小的金属颗粒,而不会在沉积之前硬化所形成的汞合金。

[0041] 金属(如镓)纳米颗粒可以通过多种方法合成。M.F.Meléndrez等人在Journal of Colloid and Interface Science《胶体和界面科学杂志》,第346卷,第279-287页(2010)中描述了一种合成镓纳米粒子的示例方法,该文献的所有内容出于所有目的通过引用并入本文。由于镓的熔点约为29°C,所以颗粒可以保持固体形式或以液体形式递送。在一些实施例中,Ga可以通过本文所述的超声喷雾器与纳米颗粒金属混合,这允许在混合后几毫秒或更短时间内沉积。在一些实施例中,可以沉积Ga和其他纳米粒子的交替薄层。在一些实施例中,加热Ga和其他纳米粒子的交替薄层的所得膜,以熔化Ga并便于粒子在流体基质中的均匀分布的形成,或者其中,流体占据空隙。

[0042] 在一些实施例中,金属纳米粒子被稳定化以防止团聚,因为许多裸金属表面是反应性的,且倾向于粘附到其他类似表面。可以在低温下去除的薄钝化涂层的示例是已知的,并且是可商购的。例如,用于Cu的钝化涂层由纽约罗切斯特的零价纳米金属公司(Zerovalent NanoMetals)制造,或者可以氧化金属颗粒的外部表面以形成钝化涂层。在一些实施例中,还原剂可以用于去除金属颗粒表面上形成的氧化物。在一些实施例中,合成气体(例如,在N₂中的4% H₂和/或甲酸)可以用于本申请器件(例如,喷雾器)的气流中,或者以单独的气流施加到沉积表面。

[0043] 尽管描述了超声波气溶胶发生器及其相关联喷雾沉积,但也可利用形成和沉积纳米颗粒混合物的其他方法。例如,颗粒表面的适当钝化可以通过氧化物的形成和/或相对不稳定的有机配体的附着来实现。在一些实施例中,相对不反应的颗粒的溶液或悬浮液可以与Ga颗粒的溶液或悬浮液在设备(例如,快速混合设备)中混合,然后通过多种技术中的一者(例如,喷涂、缝模(即,弯月面)涂覆、超声波涂覆和压力下射流(例如,喷墨印刷))沉积。保护性钝化可以通过加热、化学处理(例如合成气体、甲酸等)来去除,和/或光解。

[0044] 虽然图1示出,无需将物体加热到高于环境温度(即,约25°C)即可以形成高熔点固体,但加热汞合金混合物(例如,加热至约85°C或100°C)以更快完成固化可以是有利的。电子产品在正常运行时经常会经历这样的温度,因此电路在任何情况下都可能会偏离这些值。在一些实施例中,汞合金的CTE与电路材料(例如,Si)匹配或基本上匹配,以减轻或防止这些偏离导致相对于典型架构的损坏。

[0045] 在一些实施例中,使用低CTE汞合金。在一些实施例中,汞合金(例如,低CTE汞合金)包括基质金属和合金金属。在一些实施例中,汞合金(例如,低CTE汞合金)还包括低CTE

材料。在一些实施例中,汞合金(例如,低CTE汞合金)包括基质金属,基质金属的量为、约为、至少为、或至少约为40重量%、约45重量%、约50重量%、55重量%、60重量%、65重量%、70重量%、75重量%、80重量%、85重量%、90重量%、92重量%或95重量%,或者其间的任何值范围。在一些实施例中,基质金属包括Ga。在一些实施例中,合金金属选自Cu、Ni、Ag、Ce及其组合。在一些实施例中,低CTE材料选自 ZrW_2O_8 、 HfW_2O_8 和/或 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 。在一些实施例中,低CTE汞合金还包括附加的低CTE材料。在一些实施例中,额外的低CTE材料选自 SiO_2 、 Si_3N_4 、 Al_2O_3 、Si、其非化学计量形式及其组合。在一些实施例中,汞合金(例如,低CTE汞合金)还包括钝化材料。在一些实施例中,汞合金(例如,低CTE汞合金)还包括液体(例如,溶剂)。在一些实施例中,液体是低粘度液体。在一些实施例中,汞合金(例如,低CTE汞合金)还包括还原剂。

[0046] 在一些实施例中,汞合金(如镓汞合金)的CTE约为15-20ppm/°C,并可以根据汞合金的具体组成而变化。在一些实施例中,较低的CTE值可能是期望的。有些材料的CTE非常接近于零(即小于Si),且在某些情况下甚至为负的。例如,二氧化硅(SiO_2)具有约0.5ppm/°C的CTE。因此,在一些实施例中,二氧化硅和汞合金以适当比例的混合物可以将CTE降低到更接近所需值。尽管混合物的CTE通常不精确等于各去除的质量加权平均值,但是在很宽的组成范围内,质量分数与CTE之间的关系通常接近线性或近似线性。在一些实施例中,汞合金的CTE为或约为-25ppm/°C、-20ppm/°C、-19ppm/°C、-18ppm/°C、-17ppm/°C、-16ppm/°C、-15ppm/°C、-14ppm/°C、-13ppm/°C、-12ppm/°C、-11ppm/°C、-10ppm/°C、-9ppm/°C、-8ppm/°C、-7ppm/°C、-6ppm/°C、-5ppm/°C、-4ppm/°C、-3ppm/°C、-2ppm/°C、-1ppm/°C、-0.75ppm/°C、-0.5ppm/°C、-0.25ppm/°C、-0.1ppm/°C、0ppm/°C、0.1ppm/°C、0.25ppm/°C、0.5ppm/°C、0.75ppm/°C、1ppm/°C、1.5ppm/°C、2ppm/°C、2.5ppm/°C、3ppm/°C、4ppm/°C、5ppm/°C、6ppm/°C、7ppm/°C、8ppm/°C、9ppm/°C、10ppm/°C、11ppm/°C、12ppm/°C、13ppm/°C、14ppm/°C、15ppm/°C、16ppm/°C、17ppm/°C、18ppm/°C、19ppm/°C、20ppm/°C或25ppm/°C,或者其间的任何值范围。

[0047] 负CTE的一个示例由 ZrW_2O_8 提供,约为-7.2ppm/°C。为了使具有负CTE和正CTE的材料的混合物具有在两种单独化合物的CTE之间的净值,而不经历不期望的应力,化合物的颗粒应该尽可能小(例如,纳米颗粒)。已经合成了 ZrW_2O_8 的纳米粒子(参见例如H. Wu, “Physical and Thermal Properties of Zirconium Tungstate Nanoparticles with Different Morphologies from Hydrothermal Synthesis(来自水热合成的具有不同形貌的钨酸锆纳米粒子的物理和热性质)”,硕士学位论文,爱荷华州立大学,2012年;和“Optical and Dielectric studies in zirconium(IV) tungstate nanoparticles prepared by chemical co-precipitation method(通过化学共沉淀法制备的钨酸锆(IV)纳米颗粒的光学和介电研究)”,伊朗化学研究杂志(J. Iranian Chem. Res.) 5 (2) (2012) 109-118)。

[0048] 为了用作微电路的包埋材料层,复合汞合金材料应优选在电路部件可承受的温度下形成均匀的固体。 ZrW_2O_8 在超过1000°C的温度下烧结,因此单独使用或与其他耐火材料结合使用可能不实用。这个问题实际上阻止了低CTE材料或零CTE材料在许多应用中的使用,如第6,132,676号美国专利所述。然而,通过将适量的 ZrW_2O_8 混合到Ga汞合金前体中,可以在低温和低压下(例如,大气压和低于150°C或低于100°C的温度)形成均匀的固体。如果汞合

金组合物包括足够的初始液态Ga来填充固体颗粒之间的空隙,则可以以相同的方式添加其他组合材料。在均匀排列的大小相等的球形颗粒中,自由体积约占总体积的33%,这取决于填充情况。然而,通过组合多峰分布,自由体积可以大大减少。例如,对于三种颗粒尺寸,剩余的自由体积可以是大约4-5%。

[0049] 陶瓷材料 ZrW_2O_8 的热导率不如典型金属或元素晶体(比如硅)的热导率高。根据C.A.Kennedy等人在Solid State communications(固态通信)第134卷第271-276页(2005)中所述,与Si的 $149\text{W/m}\cdot\text{K}$ 和Cu的 $401\text{W/m}\cdot\text{K}$ 相比,其约为 $1\text{W/m}\cdot\text{K}$ 。然而,取决于具体的组成,汞合金(例如,Ga汞合金)可以具有远高于单独的基质金属(例如,Ga)的热导率,对于Ga,热导率为 $40.6\text{W/m}\cdot\text{K}$ 。用 ZrW_2O_8 和Cu的1:1体积混合物,压缩至3GPa,然后加热至 500°C ,X.Li等人能够获得Ga汞合金的 $165\text{W/m}\cdot\text{K}$ 的热导率(“High-pressure and high-temperature synthesis and study of the thermal properties of $\text{ZrW}_2\text{O}_8/\text{Cu}$ composites($\text{ZrW}_2\text{O}_8/\text{Cu}$ 复合材料的热性质的高压和高温合成和研究”);物理学报B:Physica B:Physics of Condensed Matter(凝聚态物理学),第487卷,第27-41页(2016))。因此,通过使用汞合金(例如Ga汞合金)可获得更紧密的界面接触,有可能实现接近基质中硅CTE和热导率的CTE以及热导率。在一些实施例中,Ga汞合金包括Ga-M和负CTE材料(例如, ZrW_2O_8),其中,“M”代表一个或多个金属原子。在一些实施例中,M选自Cu、Ni、Ag、Ce及其组合。在一些实施例中,负CTE材料选自 ZrW_2O_8 、 HfW_2O_8 和/或 $\text{Sc}_2\text{W}_3\text{O}_{12}$ 。在一些实施例中,Ga汞合金还包括低CTE材料。在一些实施例中,低CTE材料选自 SiO_2 、 Si_3N_4 、 Al_2O_3 、Si、其非化学计量形式及其组合。

[0050] 虽然基质金属(例如Ga)通常与许多其他元素形成合金,但基质金属可能不会与所有其他元素混合。例如,Si在Ga中的溶解度约为 10^{-7} 原子%。在一些实施例中,为了期望的机械性能,不同微晶之间的界面应该尽可能强。在一些情况下,基质金属(例如Ga)的合金可能不会与氧化物(例如 ZrW_2O_8)形成明确且牢固的键。然而,通过使用原子层沉积来涂覆纳米颗粒,可以使纳米颗粒更加相容于彼此以形成合金,原子层沉积是特别适于在许多金属与氧之间形成特定键的技术。在一些实施例中,基质金属的D50平均粒径为、约为、至多为、或至多约为5nm、10nm、15nm、20nm、25nm、30nm、35nm、40nm、50nm、60nm、70nm、80nm、100nm、150nm、200nm、250nm、300nm、400nm、500nm、600nm、700nm、800nm、900nm或1000nm,或其间的任何值范围限定的粒径分布。在一些实施例中,合金化金属的D50平均粒径为、约为、至多为、至多约为5nm、10nm、15nm、20nm、25nm、30nm、35nm、40nm、50nm、60nm、70nm、80nm、100nm、150nm、200nm、250nm、300nm、400nm、500nm、600nm、700nm、800nm、900nm或1000nm,或其间的任何值范围限定的粒径分布。在一些实施例中,低CTE材料的D50平均粒径为、约为、至多为、或至多约为5nm、10nm、15nm、20nm、25nm、30nm、35nm、40nm、50nm、60nm、70nm、80nm、100nm、150nm、200nm、250nm、300nm、400nm、500nm、600nm、700nm、800nm、900nm或1000nm,或其间的任何值范围限定的粒径分布。在一些实施例中,附加的低CTE材料的D50平均粒径为、约为、至多为、或至多约为5nm、10nm、15nm、20nm、25nm、30nm、35nm、40nm、50nm、60nm、70nm、80nm、100nm、150nm、200nm、250nm、300nm、400nm、500nm、600nm、700nm、800nm、900nm或1000nm,或其间的任何值范围限定的粒径分布。在一些实施例中,汞合金包括多峰粒径分布的颗粒。

[0051] 在一些实施例中,也可以通过原子层沉积(“ALD”)来沉积薄的纯金属层,其通过键(例如,化学键)与衬底具有强粘附力。以这种方式,金属可以牢固结合到与Ga合金更相容的给定类型的纳米粒子的表面,从而可以随后形成更强的牢固结合。例如,Cu是与ALD沉积的

Ga层具有高相容性的金属,但是其他金属也是已知的,包括例如W、Pt、Co、Fe、Ag和Ni。使用流化床技术(例如,如由科罗拉多布鲁姆菲尔德的ALD纳米解决方案公司(ALD Nanosolutions)所实践),可以将这些涂层置于纳米粒子上。

[0052] 在一些实施例中,汞合金是导电的,例如,其中,基质金属(例如,Ga)构成大部分体积的汞合金。在一些实施例中,汞合金是绝缘的,例如其中陶瓷材料(例如 ZrW_2O_8)占体积的大部分的汞合金。在一些实施例中,导电汞合金的优点是它可以作为集成电路的接地面,消除了电路的互连部分中对一层的需求。在这样的实施例中,在施加包括导电汞合金组合物的包埋材料之前,可以通过沉积绝缘层(例如,绝缘包埋材料的绝缘层)来将部件彼此电隔离。在一些实施例中,绝缘层可以是薄的(例如,至多约 $1\mu\text{m}$)氧化物层,例如 SiO_2 层。在一些实施例中,绝缘层通过等离子体增强化学气相沉积(PECVD)或任何其他沉积技术形成。在一些实施例中,绝缘材料和/或绝缘汞合金材料包括选自 ZrW_2O_8 、 SiO_2 、 Al_2O_3 、 Si_3N_4 、聚合物材料(例如,聚酰亚胺、液晶聚合物和苯并环丁烯基聚合物)、其非化学计量比及其组合的介电材料。

[0053] 图4示出了包括多个部件406的组件400,该多个部件406设置在设置在临时衬底402上方的释放层404上方并由释放层404保持在适当位置,其中,部件406由单层包埋材料408包封。在一些实施例中,包埋材料408是本文所述的汞合金。在一些实施例中,通过本文描述的方法(例如,喷射沉积或多层沉积)来沉积包埋材料408以包住部件406。尽管应当理解,图4不是按比例绘制的,但是组件400的相对高度和宽度旨在表明在一些实施例中可能存在大的组件纵横比。如图4所示,多个部件中的每个部件可以具有与其他部件相同、相似和/或不同的高度、宽度或形状。在一些实施例中,部件的高度可以为、约为、至多为或至多约为 $2\mu\text{m}$ 、 $3\mu\text{m}$ 、 $5\mu\text{m}$ 、 $8\mu\text{m}$ 、 $10\mu\text{m}$ 、 $15\mu\text{m}$ 、 $20\mu\text{m}$ 、 $25\mu\text{m}$ 、 $30\mu\text{m}$ 、 $35\mu\text{m}$ 、 $40\mu\text{m}$ 、 $45\mu\text{m}$ 、 $50\mu\text{m}$ 、 $60\mu\text{m}$ 、 $70\mu\text{m}$ 、 $80\mu\text{m}$ 、 $90\mu\text{m}$ 、 $100\mu\text{m}$ 、 $150\mu\text{m}$ 、 $200\mu\text{m}$ 、 $300\mu\text{m}$ 、 $400\mu\text{m}$ 、 $500\mu\text{m}$ 、 $600\mu\text{m}$ 、 $700\mu\text{m}$ 、 $800\mu\text{m}$ 或 $1000\mu\text{m}$,或者其间的任何值范围。例如,在一些实施例中,就高度而言,最薄的部件可以是 $25\mu\text{m}$ 高或更薄。在一些实施例中,两个相邻组件之间的间距为、约为、至多为或至多约为 $0.1\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $1\mu\text{m}$ 、 $2\mu\text{m}$ 、 $3\mu\text{m}$ 、 $4\mu\text{m}$ 、 $5\mu\text{m}$ 、 $6\mu\text{m}$ 、 $7\mu\text{m}$ 、 $8\mu\text{m}$ 、 $9\mu\text{m}$ 、 $10\mu\text{m}$ 、 $12\mu\text{m}$ 、 $15\mu\text{m}$ 或 $20\mu\text{m}$,或其间的任何值范围。例如,在一些实施例中,两个相邻部件之间的间距可以是 $5-10\mu\text{m}$ 或更小。在一些实施例中,部件的宽度可以为、约为、至少为或至少约为 $3\mu\text{m}$ 、 $4\mu\text{m}$ 、 $5\mu\text{m}$ 、 $6\mu\text{m}$ 、 $7\mu\text{m}$ 、 $8\mu\text{m}$ 、 $9\mu\text{m}$ 、 $10\mu\text{m}$ 、 $12\mu\text{m}$ 、 $15\mu\text{m}$ 、 $20\mu\text{m}$ 、 $25\mu\text{m}$ 、 $30\mu\text{m}$ 、 $35\mu\text{m}$ 、 $40\mu\text{m}$ 、 $45\mu\text{m}$ 、 $50\mu\text{m}$ 、 $60\mu\text{m}$ 、 $70\mu\text{m}$ 、 $80\mu\text{m}$ 、 $90\mu\text{m}$ 、 $100\mu\text{m}$ 、 $150\mu\text{m}$ 、 $200\mu\text{m}$ 、 $300\mu\text{m}$ 、 $400\mu\text{m}$ 、 $500\mu\text{m}$ 、 $600\mu\text{m}$ 、 $700\mu\text{m}$ 、 $800\mu\text{m}$ 、 $900\mu\text{m}$ 、 1mm 、 2mm 、 3mm 、 4mm 或 5mm ,或者其间的任何值范围。例如,在一些实施例中,部件的宽度可以在约 $25\mu\text{m}$ 至几毫米之间。如图所示,部件406颠倒放置,使得它们的活性面或侧面(例如,焊盘)与释放层404接触,因此活性侧面不与包埋材料408接触。在一些实施例中,一旦沉积了包埋材料408,就硬化该包埋材料408。在一些实施例中,通过加热和/或允许包埋材料在静止时固化来进行硬化。在一些实施例中,在包埋材料的沉积和/或硬化之后,包括部件406和包埋材料的叠层从释放层404和衬底402分离。在一些实施例中,从释放层释放叠层。在一些实施例中,分解释放层(例如,利用光和/或热)以将叠层与衬底402分离。在一些实施例中,部件可以是无源部件。在一些实施例中,无源部件是电容器或电阻器。在一些实施例中,部件约为 $150\mu\text{m}$ 高(即厚)或更高。在一些实施例中,部件的宽度约为其高度(即,厚度)的两倍。在一些实施例中,具有保护敏感内部结构的初级包装的微机电系统(“MEMS”)部件的级别可以是约 $100\mu\text{m}$ 高(例如厚)或更高,和/或小几百到

几百微米宽。在一些实施例中,包埋材料由包括液体的汞合金施加。在一些实施例中,液体是低粘度前体液体,其可以允许用包埋材料完全填充高部件之间的狭窄裂缝。在一些实施例中,组件还包括临时边界或坝,其可以用于在组件的边缘容纳汞合金(例如,在材料硬化时)。在一些实施例中,释放层的厚度为或约为 $0.5\mu\text{m}$ 、 $1\mu\text{m}$ 、 $2\mu\text{m}$ 、 $3\mu\text{m}$ 、 $4\mu\text{m}$ 、 $5\mu\text{m}$ 、 $6\mu\text{m}$ 、 $7\mu\text{m}$ 、 $8\mu\text{m}$ 、 $9\mu\text{m}$ 、 $10\mu\text{m}$ 、 $12\mu\text{m}$ 、 $15\mu\text{m}$ 、 $20\mu\text{m}$ 或 $25\mu\text{m}$,或其间的任何值范围。例如,在一些实施例中,释放层大约 $1-2\mu\text{m}$ 厚,这足以将部件保持在平坦表面上。在一些实施例中,衬底表面的平均表面高度变化为、约为、至多为或至多约为 $0.01\mu\text{m}$ 、 $0.05\mu\text{m}$ 、 $0.1\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $1\mu\text{m}$ 、 $2\mu\text{m}$ 、 $3\mu\text{m}$ 、 $4\mu\text{m}$ 或 $5\mu\text{m}$,或其间值的任何范围。

[0054] 图5示出了包括多个部件506的组件500,该多个部件506设置在设置在临时衬底502上方的释放层504上方并由释放层504保持在适当位置,其中,部件506由第一层包埋材料508和第二层包埋材料510包封。在一些实施例中,第一层包埋材料508可以包括凹陷和/或裂缝,其中,表面仅被流动部分平坦化。在一些实施例中,可以使用任何数量的包埋材料层来包封部件,例如或至少1、2、3、4、5、6、7、8、9或10层,或其间任何范围的值。在一些实施例中,一层可以包括相同或不同组成的两个或更多个子层。在一些实施例中,包埋材料层中的每一者可以具有相同、相似或不同的相对高度(即厚度)。在一些实施例中,第一和/或第二层的包埋材料可以包括绝缘材料、汞合金材料、或其组合。在一些实施例中,这些层的包埋材料中的至少一者包括汞合金材料。图5的组件500的元件及其过程可以类似于本文参考图4描述的那些。

[0055] 在一些实施例中,在部件的活性面上形成互连件后,进行部件的包封。在一些实施例中,在部件的有源侧面上形成互连件之前,执行部件的包封。在一些实施例中,可以施加包埋材料的各种组成来包封部件。在一些实施例中,可以首先将第一层施加到部件,并且允许第一层至少部分固化。在一些实施例中,可以选择第一层的组成以尽可能接近地匹配硅的CTE,使得在热循环期间,硅IC中及其周围的应力尽可能小。在一些实施例中,这样的组成可以增加金属互连线与IC I/O焊盘之间的接触的可靠性。在一些实施例中,具有第二组成的第二层可以随后被施加于第一层上方的部件。在一些实施例中,第二层组成选择为实现高热导率。在一些实施例中,例如,在部件中的至少一些部件上升到第一层的高度以上的情况下,第一层相对于硅的适度的CTE失配是可以容忍的。这样的适度的CTE失配是可接受的,例如,在第一层中的所有关键部件都高出第一层并且没有被第一层完全包封,并且因此关键部件将大致同等地受到第二层的热致膨胀和收缩的影响的情况下。在一些实施例中,与第一层和第二层都接触的更宽或更大的部件,比如无源器件(例如电阻器和陶瓷电容器),受CTE失配的影响更小,因为它们更大的接触面积为互连件提供了更大的总粘附面积,因此更不容易失效。

[0056] 在一些实施例中,在两层中使用两种不同的包埋材料组成。在一些实施例中,两种不同的包埋材料组成配置成同时优化器件(例如,电路)的热膨胀匹配和热导率。在一些实施例中,包埋材料层中的每一者的厚度可以灵活选择和配置。在一些实施例中,多个层可以具有相同、相似或不同的相对厚度。在一些实施例中,第一层的包埋材料可以是绝缘体材料(例如,绝缘汞合金材料),作为示例,这可以消除对电介质层的需要。在一些实施例中,第二层或后续层的包埋材料可以是导体,作为示例,该导体可以形成接地面,并在一些情况下可以接触一些无源部件,比如都接地的旁路电容器。

[0057] 在一些实施例中,本文所述的叠层和组件可以适用于超薄部件,或可以用于未减薄且可能更厚的部件。例如,可以使用厚度为或大约为250 μm 或500 μm 的部件,这是可能出现在商业产品中的硅晶元厚度的示例。可以使用任何部件放置工艺;例如在第6,946,178号和第7,141,348号美国专利中公开的常规的拾取和放置工艺,这些专利的全部内容通过引用并入本文。

[0058] 在一些实施例中,一个目的是提供一种包埋层,其表面与部件表面共面,例如如图4所描绘,以便可以通过对表面进行最少的进一步处理来制作高分辨率互连件。例如,常规注射成型包埋产生的一个问题是,部件可能被推入临时释放层,然后在施加成型或包埋化合物并释放之后,出现芯片与包埋材料之间的高度不连续,称为模具溢料。这在例如第8,922,021号美国专利中有所描述,该专利的全部内容出于所有目的通过引用并入本文。第8,922,021号美国专利描述了通过用一层绝缘体覆盖表面,然后形成到I/O焊盘的通孔来改善该问题,这使表面平面化,但是增加了相当大的费用和工艺复杂性。

[0059] 在一些实施例中,释放层(例如,临时粘合剂聚合物)具有本文所述的厚度(例如,约1-2 μm)。释放层厚度可以配置成使得足以将如本文所述的部件(例如,典型的表面安装部件)临时保持在衬底上。在一些实施例中,衬底是或基本上是平坦的(即,低平均表面高度变化),如本文所述(例如,在小于约正负1 μm 的变化内)。在一些实施例中,与一些注射成型工艺相反,施加包埋材料的工艺不涉及强横向力。在一些实施例中,部件以、约以、至多以、或至多约以释放层厚度的1%、5%、10%、20%、30%、40%、50%、60%或70%或者其间的任何值范围渗透到释放层(例如,聚合物膜)中。在一些实施例中,沉积的部件边缘处的释放层的所得不连续性为、约为、至多为或至多约为0.01 μm 、0.05 μm 、0.1 μm 、0.2 μm 、0.4 μm 、0.5 μm 、0.6 μm 、0.7 μm 、0.8 μm 、0.9 μm 、1 μm 、1.2 μm 、1.5 μm 或2 μm ,或者其间的任何值范围。在一些实施例中,沉积的部件边缘处的释放层的不连续性与成品IC上通常存在的形貌变化相当。在一些实施例中,本文所述的组件和工艺可以有利地减少模制期间存在的干扰力,从而减少对可能发生大量部件渗透的厚释放层(例如,临时粘合剂层)的需求。

[0060] 在一些实施例中,释放层(例如,临时粘合剂聚合物)为光致抗蚀剂,其因曝光和/或热显影而损失一小部分质量。在一些实施例中,这样的光致抗蚀剂在微光刻工业中是常见的,并基于叔丁氧基羰基部分的损失,其损失可能导致膜厚度的大约15%的损失。在一些实施例中,这种分解产生气体产物,并降低(例如,暂时或永久地)附着到膜的任何表面的粘附力。在一些实施例中,当分解发生时,衬底和包括部件的叠层可以进行分层(例如,拉开)。在一些实施例中,释放层的分解将衬底和包括部件的叠层分开。

[0061] 在一些实施例中,可以蚀刻(例如,成像和显影)释放层材料(例如,光致抗蚀剂聚合物),以在部件与释放层之间产生小凹陷。图6示出了组件600,其中,沉积材料612沉积在分别在部件608和610下方的释放层604的底切区域606A和606B的壁上和底切区域606A和606B中。在一些实施例中,沉积材料是如本文所述的包埋材料。在一些实施例中,沉积材料是绝缘和/或介电材料。释放层604设置在衬底602上方,并且部件608和610设置在释放层604上方。在一些实施例中,衬底602(例如,临时衬底)是多孔材料。在一些实施例中,底切区域606A和606B可以通过释放层604的材料(例如,聚合物)的曝光和/或热显影来形成。在一些实施例中,部件悬于释放层(例如,聚合物)的底切区域之上的距离可以是几微米。在一些实施例中,部件悬于释放层(例如,聚合物)的底切区域之上的距离为、大约为、最多为或最

多约为0.1 μm 、0.2 μm 、0.5 μm 、1 μm 、2 μm 、3 μm 、4 μm 、5 μm 、6 μm 、7 μm 、8 μm 、9 μm 、10 μm 、12 μm 、15 μm 或20 μm ,或其间的任何值范围(例如,大约2-10 μm)。图6示出了其中底切区域606A的厚度小于底切区域606B的厚度,并且其中直接位于组件608下方的释放层604的厚度小于组件610下方的厚度。在一些实施例中,底切区域和/或释放层区域的厚度可以相对于两个部件下面的另一个底切区域和/或释放层区域减小,这是因为部件中的一者定位(例如,压入或已经推入)到释放层(例如,聚合物)中更深。在一些实施例中,部件凹陷到释放层中的深度为、约为、最多为或最多约为25nm、50nm、75nm、100nm、125nm、150nm、200nm、250nm、300nm、400nm、500nm、600nm、800nm或1000nm,或其间的任何值范围(例如,大约150-300nm,当原始释放层厚度膜约为1-2 μm ;或者当原始释放层薄膜厚度约为2-10 μm 时,形成相对较深的凹陷)。在一些实施例中,在将部件设置在释放层和底切区域上方之前,用光照射释放层。在一些实施例中,对释放层的照射形成敏化的释放层。在一些实施例中,当施加足够的热量时,敏化的释放层分解。在一些实施例中,释放层作为敏化的释放层沉积在衬底上。在一些实施例中,在将部件设置在释放层和底切区域上方之后,用光照射释放层。在一些实施例中,一旦部件设置在释放层和底切区域上方,沉积材料(例如,介电膜)然后就沉积在部件的壁上和底切区域内。在一些实施例中,通过溅射或PECVD进行沉积材料的沉积。在一些实施例中,沉积材料的反应性分子的平均自由程足够小,使得它们中的至少一些在沉积之前扩散到突出部(overhang)下方,从而产生进一步进入底切区域的具有锥形厚度的薄层,如图4所示。

[0062] 在一些实施例中,沉积材料跨部件边缘形成平滑过渡。在一些实施例中,沉积的材料覆盖部件的边缘,否则部件的边缘的锐度可能会使得稍后难以制作互连件。在一些实施例中,沉积的材料使部件(例如芯片)与后来沉积的互连件绝缘,并且例如可以绝缘,而不管什么金属结构可能是靠近其边缘的IC的一部分。在一些实施例中,沉积材料的这种平滑过渡可以补偿由于释放层内部件(例如,聚合物)的不同渗透量而可能存在的任何高度差异。在一些实施例中,组件600可以被进一步处理以用包埋材料包住部件608和610和/或从释放层604和衬底602释放部件。在一些实施例中,在沉积材料(例如,电介质)沉积之后,加热释放层(例如,光致抗蚀剂膜)以引起释放材料(例如,叔丁氧羰基)分解和粘附力降低。在一些实施例中,当沉积材料是电介质时,将形成较厚的分级沉积物,它可以用于覆盖部件的一些边缘缺陷或结构。

[0063] 在一些实施例中,释放层为可热分解的聚合物,比如第7,300,824号和第7,863,762号美国专利中所公开,这些专利的全部内容出于所有目的通过引用并入本文。在一些实施例中,释放层(例如,具有或不具有光敏剂的聚合物膜)可以形成在可以用作多孔真空卡盘的多孔衬底上。在一些实施例中,例如,在已经将用于电路的所有部件放置在释放层上并且沉积了至少沉积材料(例如,介电层)之后,将释放层加热到分解温度,同时将真空施加到多孔真空卡盘,从而导致释放层的分解产物通过多孔真空卡盘的孔隙排出,同时多孔真空卡盘将部件叠层保持在适当的位置。在一些实施例中,包埋材料可以在释放层分解之前或之后施加。

[0064] 在一些实施例中,可以在沉积剥离材料(例如,电介质)之前分解释放层。在一些实施例中,来自多孔真空卡盘的真空将单个部件保持在适当位置,即使存在底切区域也是如此,因为这个区域是总面积的一小部分,并且尽管有开口区域,也可以在部件上保持足够的压差。在一些实施例中,然后使用大气压工艺(例如,大气压PECVD)沉积沉积材料(例如,介

电膜)。在一些实施例中,部件的表面与衬底(例如,多孔真空卡盘)的表面直接接触。在一些实施例中,多孔真空卡盘限定平坦的平面表面或基本上平坦的平面表面,而不管部件渗入释放层(例如,聚合物)的程度有任何差异。这样的组件700的结构如图7所示。图7示出了在去除释放层(例如,临时粘合层)并沉积沉积材料(例如,绝缘电介质)之后,设置在衬底702(例如,临时衬底)上方的部件704和706。在一些实施例中,绝缘材料在去除释放层(例如,粘合剂)之前或之后沉积。在一些实施例中,当剥离部件叠层(例如,电路叠层)时,可以分离(例如,断开)沉积材料(例如,介电膜)与衬底702之间的接触(例如,粘附),因为它仅包括总面积的一小部分。在一些实施方案中,为了便于部件与衬底的分离,衬底可以用低表面能涂层(例如薄涂层)处理。在一些实施例中,低表面能涂层选自等离子体沉积的碳氟化合物膜、碳氟化合物的自组装单层、或其组合。在一些实施例中,组件700可以被进一步处理以用包埋材料包住部件704和706和/或从衬底702释放部件。在一些实施例中,可以进一步处理分离的部件叠层,以将互连件添加到组件的有源面。

[0065] 在一些实施例中,多孔真空卡盘包括多个孔隙。在一些实施例中,孔隙具有纳米级直径和/或微米级直径。在一些实施例中,孔隙的平均直径为、约为、至多为、或至多约为5nm、10nm、20nm、30nm、40nm、50nm、75nm、100nm、150nm、200nm、300nm、400nm、500nm、600nm、800nm、1 μ m、1.5 μ m、2 μ m、3 μ m、5 μ m或10 μ m,或其间的任何值范围。在一些实施例中,衬底(例如,多孔真空卡盘)包括硅。

[0066] 在一些实施例中,在部件沉积之前,将释放层沉积在多孔真空卡盘上。在一些实施例中,在部件放置过程中,真空卡盘可能不用于保持部件,因为,例如,最初所有的区域都是暴露的,并且放置的第一个部件不会受到足够的保持力。在一些实施例中,一旦释放层和部件被放置在衬底上,就可以施加真空,并且由于在释放层(例如,临时粘合剂)分解之前或之后多孔真空卡盘上暴露面积的减少(例如,紧密间隔的部件之间的暴露空间),真空足以保持部件。

[0067] 虽然已描述了某些实施例,但这些实施例仅以示例方式呈现,并非旨在限制本公开的范围。实际上,本文描述的新颖方法和系统可以以各种其他形式来体现。此外,在不脱离本公开的精神的情况下,可以对本文描述的系统和方法进行各种省略、替换和改变。所附权利要求及其等同物旨在覆盖落入本公开的范围和精神内的这些形式或修改。

[0068] 结合特定方面、实施例或实例描述的特征、材料、特性或组合应理解为适用于本节或本说明书其他地方描述的任何其他方面、实施例或示例,除非与其不相容。本说明书(包括任何所附权利要求、摘要和附图)中公开的所有特征、和/或如此公开的任何方法或过程的所有步骤可以以任何组合进行组合,除了其中这样的特征和/或步骤中的至少一些这样的特征和/或步骤相互排斥的组合之外。保护不限于任何前述实施例的细节。本保护延伸到本说明书(包括任何所附权利要求、摘要和附图)中公开的特征的任何新颖的一个或任何新颖的组合,或者延伸到如此公开的任何方法或过程的步骤的任何新颖的一个或任何新颖的组合。

[0069] 此外,在单独实施方式的背景下,本公开中描述的某些特征也可以在单一实施方式中组合实施。相反,在单个实施方式的上下文中描述的各种特征也可以在多个实施方式中单独实施或者在任何合适的子组合中实施。此外,尽管特征可以在上面被描述为在某些组合中起作用,但是在一些情况下,来自所要求保护的组合的一个或多个特征可以从该组

合中删除,并且该组合可以被要求保护为子组合或子组合的变型。

[0070] 此外,虽然操作可以在附图中以特定顺序描绘或在说明书中以特定顺序描述,但这样的操作无需以所示特定次序或以顺序次序执行,或执行所有操作,以实现所需结果。未被描绘或描述的其他操作可以结合到示例方法和过程中。例如,可以在任何所述操作之前、之后、同时或之间执行一个或多个附加操作。此外,在其他实施方式中,操作可以进行重新排列或重新排序。本领域技术人员将会理解,在一些实施例中,所例示和/或所公开的过程中所采取的实际步骤可能与附图中所示的不同。根据实施例,可以删除上述的某些步骤,可以添加其他步骤。此外,以上公开的特定实施例的特征和属性可以以不同的方式组合以形成附加实施例,所有附加实施例都落入本公开的范围。此外,上述实施方式中的各种系统部件的分离不应被理解为在所有实施方式中都需要这样的分离,并且应当理解,所描述的部件和系统通常可以一起集成在单个产品中或者包装到多个产品中。例如,本文描述的用于能量存储系统的部件中的任何一者可以单独提供,或者集成在一起(例如,包装在一起,或者附接在一起)以形成能量存储系统。

[0071] 出于本公开的目的,本文描述了某些方面、优点和新颖特征。根据任何特定实施例,不一定可以实现所有这些优点。因此,例如,本领域的技术人员将认识到,本公开可以实现本文教导的一个优点或一组优点的方式来体现或执行,而不一定实现本文教导或提出的其他优点。

[0072] 条件语言,比如“可以(can)”、“可(could)”、“也许(might)”或“可能(may)”,除非另有特别说明,或在所使用的上下文中另有理解,通常旨在传达某些实施例包括,而其他实施例不包括,某些特征、元素和/或步骤。因此,这样的条件语言通常不旨在暗示一个或多个实施例以任何方式需要特征、元素和/或步骤,或者一个或多个实施例必须包括用于在有或没有用户输入或提示的情况下决定这些特征、元素和/或步骤是否被包括在任何特定实施例中或将在任何特定实施例中执行的逻辑。

[0073] 除非另有明确说明,否则连接性语言,比如短语“X、Y和Z中的至少一者”应与上下文一起理解为通常用于传达项目、术语等可以是X、Y或Z。因此,这样的连接性语言通常不旨在暗示某些实施例需要X中的至少一者、Y中的至少一者、以及Z中的至少一者的存在。

[0074] 本文使用的程度语言,比如本文使用的术语“近似”、“约”、“一般”和“基本上”代表接近所述值、量或特性的值、量或特性,且其仍执行所需功能或实现所需结果。例如,术语“大致”、“约”、“一般”和“基本上”可以指所述量的小于10%、小于5%、小于1%、小于0.1%和小于0.01%内的量,这取决于期望的功能或期望的结果。

[0075] 本公开的范围不受本节或本说明书其他地方的优选实施例的具体公开内容的限制,并可以由本节或本说明书其他地方的权利要求或未来的权利要求限定。权利要求的语言将基于权利要求中使用的语言进行广义解读,且不限于本说明书中或在申请过程中描述的示例,这些示例将被解释为非排他性的。

[0076] 本文提供的标题(如有)仅为方便起见,不一定影响本文公开的器件和方法的范围或含义。

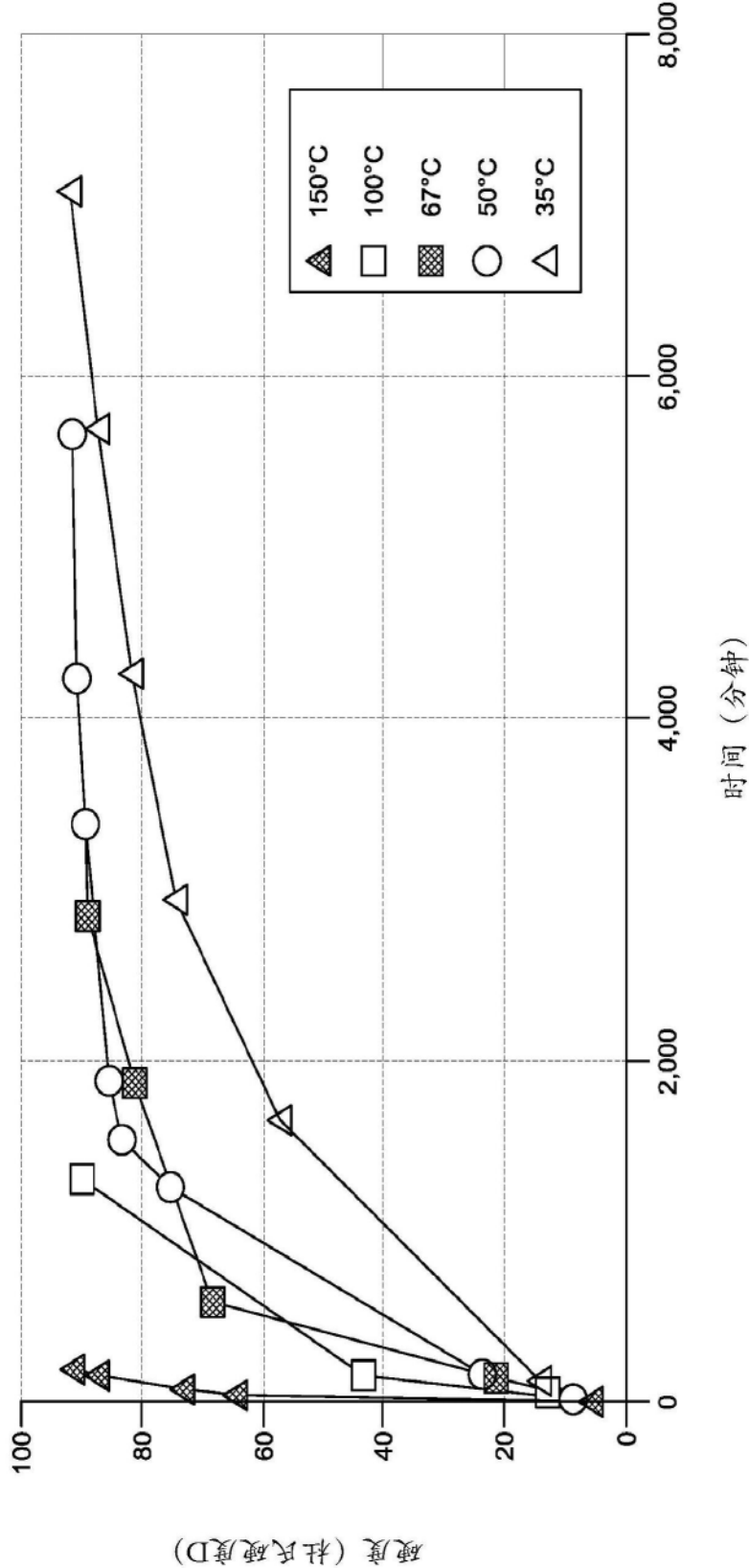


图1

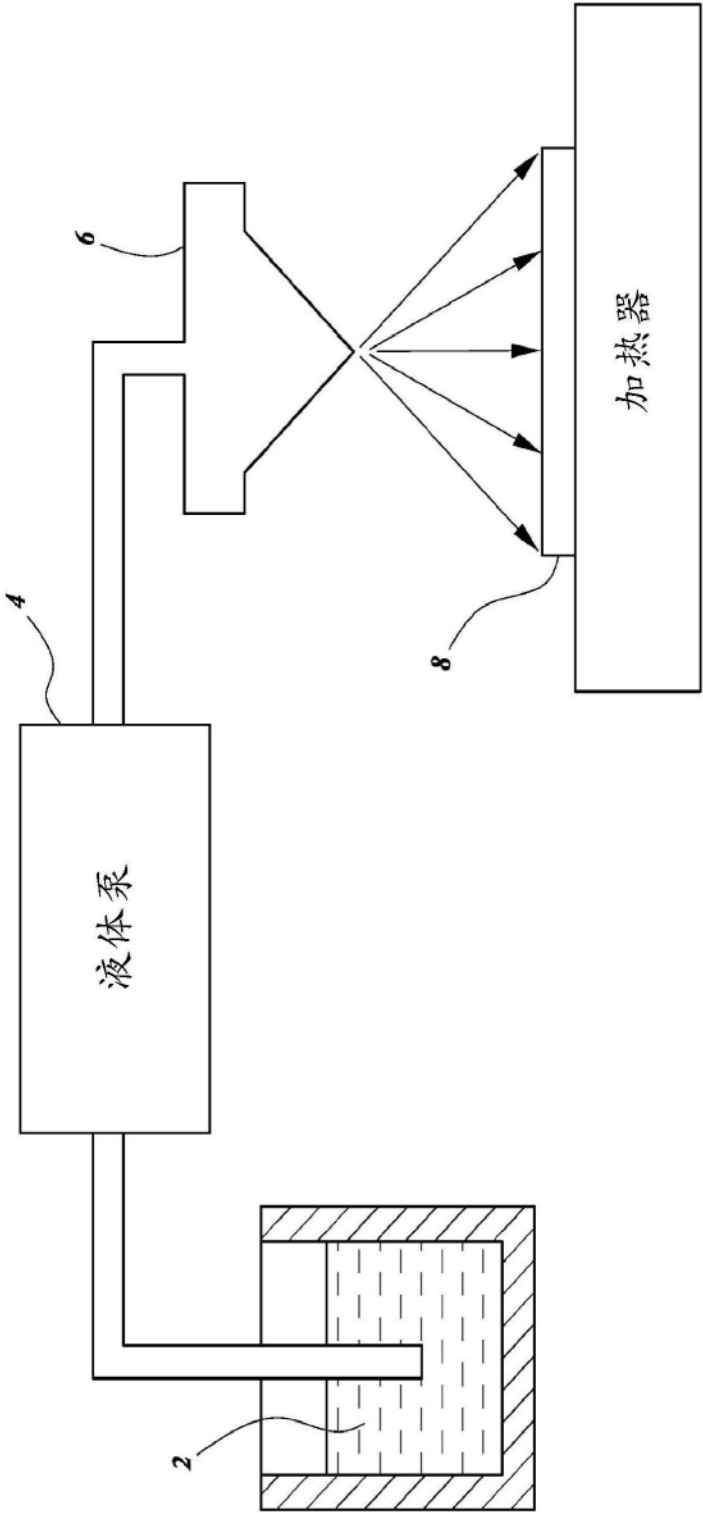


图2

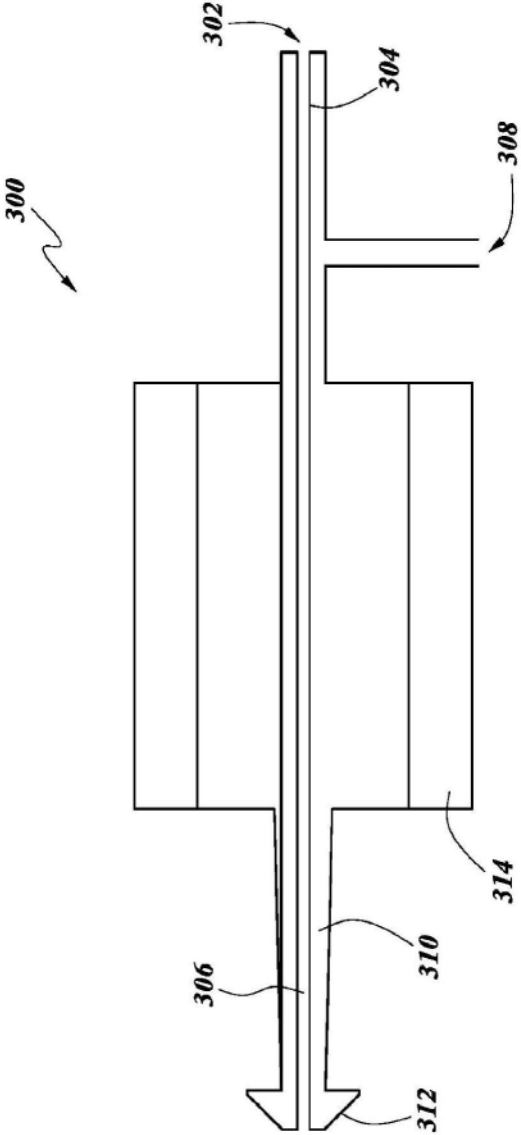


图3

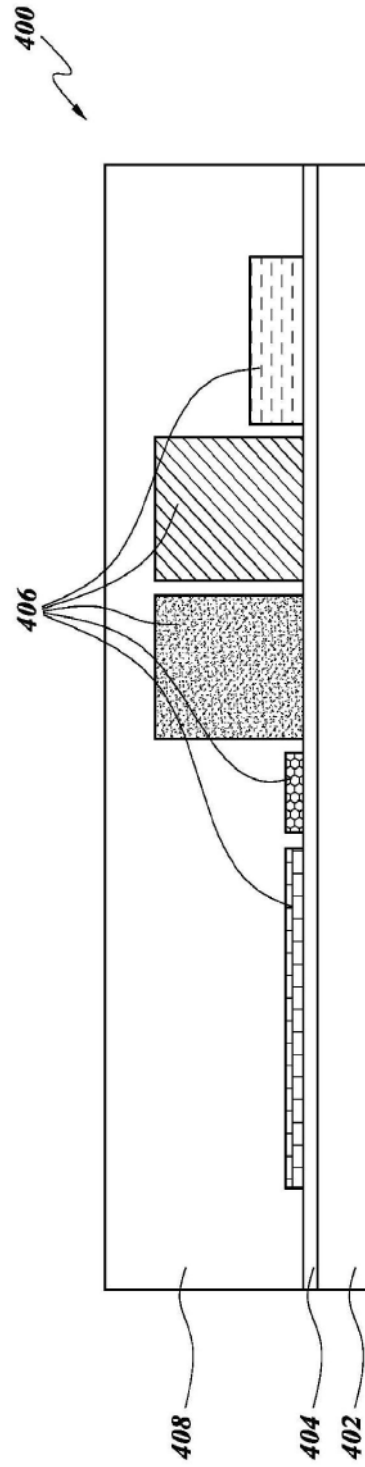


图4

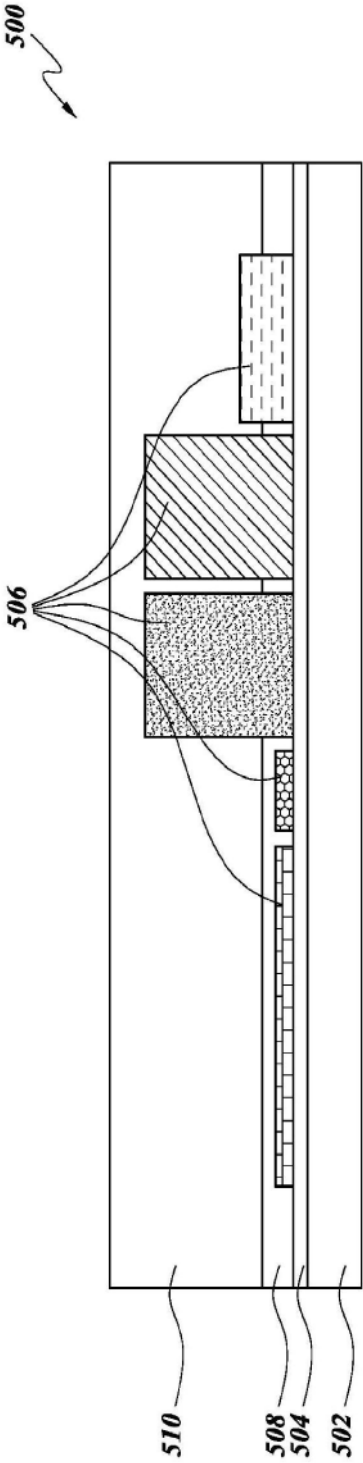


图5

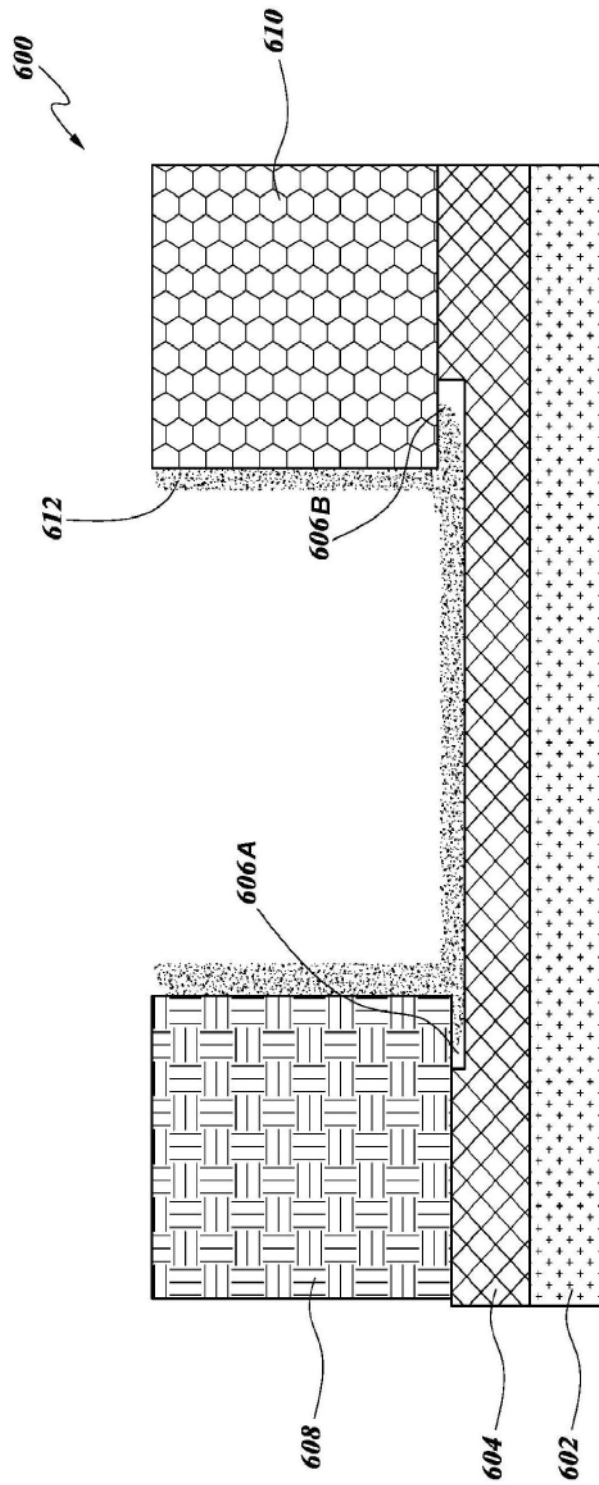


图6

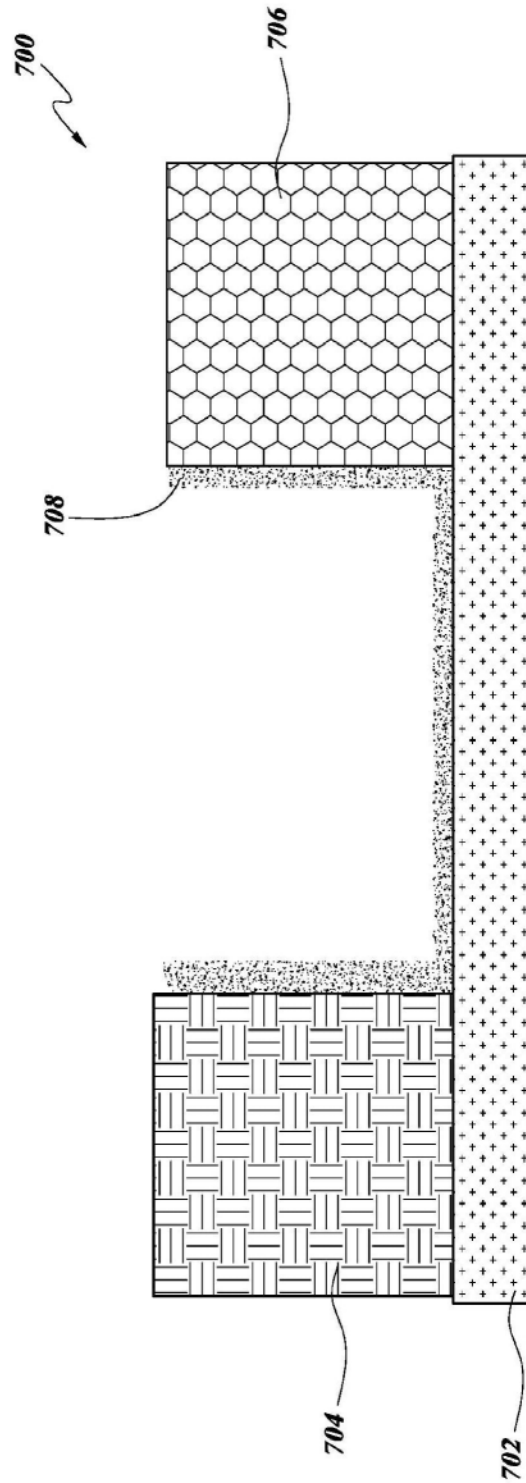


图7