



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0006358  
(43) 공개일자 2008년01월16일

(51) Int. Cl.

G11C 16/10 (2006.01) G11C 16/04 (2006.01)

(21) 출원번호 10-2006-0065469

(22) 출원일자 2006년07월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박윤동

경기 용인시 기흥구 농서동 산14-1 삼성종합기술원 기숙사

조경래

경기 수원시 팔달구 인계동 한신아파트 108-406

(뒷면에 계속)

(74) 대리인

리엔목특허법인

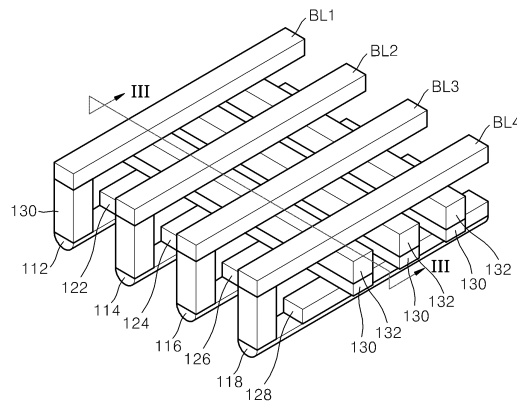
전체 청구항 수 : 총 18 항

(54) 비휘발성 메모리 소자의 동작 방법

(57) 요약

낮은 동작 전류로 동작하고 고집적화가 가능한 비휘발성 메모리 소자의 멀티-비트 동작 방법이 제공된다. 비휘발성 메모리 소자의 동작방법은 제 1 매물 전극을 제 1 비트 라인으로 이용하고, 제 2 매물 전극을 제 2 비트 라인으로 이용하고, 그리고 게이트 전극을 워드 라인으로 이용한다. 그리고, 비휘발성 메모리 소자의 동작방법은 제 1 및 제 2 저항층들에 2 비트의 데이터를 프로그램하는 단계; 및 제 1 및 제 2 저항층들에 프로그램된 2 비트의 데이터를 읽는 단계를 포함한다.

대표도 - 도1



(72) 발명자  
**현재웅**  
경기 의정부시 가능동 751

**변성재**  
경기 성남시 분당구 금곡동 트리폴리스 B-2111

---

## 특허청구의 범위

### 청구항 1

반도체 기관;

상기 반도체 기관의 표면 부근에 각각 형성되고, 가변 저항 상태를 저장하는 제 1 및 제 2 저항층들;

상기 제 1 저항층 아래의 상기 반도체 기관 부분에 형성되고, 상기 제 1 저항층과 연결된 제 1 매물 전극;

상기 제 2 저항층 아래의 상기 반도체 기관 부분에 형성되고, 상기 제 2 저항층과 연결된 제 2 매물 전극;

상기 반도체 기관 상에 형성되고, 상기 제 1 및 제 2 저항층들 상을 가로질러 신장하는 게이트 전극; 및

상기 반도체 기관 및 상기 게이트 전극 사이의 게이트 절연막을 포함하는 비휘발성 메모리 소자의 동작 방법으로서,

상기 제 1 매물 전극을 제 1 비트 라인으로 이용하고, 상기 제 2 매물 전극을 제 2 비트 라인으로 이용하고, 상기 게이트 전극을 워드 라인으로 이용하여,

상기 제 1 및 제 2 저항층들에 2 비트의 데이터를 프로그램하는 단계; 및

상기 제 1 및 제 2 저항층들에 프로그램된 2 비트의 데이터를 읽는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

### 청구항 2

제 1 항에 있어서, 상기 2 비트의 데이터를 프로그램하는 단계는 상기 제 1 및 제 2 저항층들의 저항을 각각 두 상태로 변화시켜 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

### 청구항 3

제 2 항에 있어서, 상기 프로그램하는 단계에서 상기 제 1 저항층의 저항 변화는,

상기 제 1 비트 라인에 프로그램 전압을 인가하고, 상기 제 2 매물 전극 및 상기 제 1 저항층을 연결하는 깊은 채널이 형성되도록 상기 워드 라인에 턴-온 전압을 인가하여 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

### 청구항 4

제 2 항에 있어서, 상기 프로그램하는 단계에서 상기 제 2 저항층의 저항 변화는,

상기 제 2 비트 라인에 프로그램 전압을 인가하고, 상기 제 1 매물 전극 및 상기 제 2 저항층을 연결하는 깊은 채널이 형성되도록 상기 워드 라인에 턴-온 전압을 인가하여 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

### 청구항 5

제 1 항에 있어서, 상기 2 비트의 데이터를 읽는 단계는,

상기 매물 전극들의 하나와 인접한 저항층들의 하나를 연결하도록 깊은 채널을 형성하고, 상기 제 1 비트 라인 및 상기 제 2 비트 라인 사이의 양방향 전류값들을 순차로 측정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

### 청구항 6

제 1 항에 있어서, 상기 2 비트의 데이터를 읽는 단계는,

상기 제 1 저항층 및 상기 제 2 저항층을 연결하도록 얇은 채널을 형성하고, 상기 제 1 비트 라인 및 상기 제 2 비트 라인 사이의 적어도 한 방향 전류값을 측정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 7**

제 6 항에 있어서, 상기 한 방향 전류값을 측정하는 단계는 적어도 두 레벨의 읽기 전압에서 수행되는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 8**

제 1 항에 있어서, 상기 제 1 저항층 및 상기 제 2 저항층에 저장된 데이터를 동시에 지우는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 9**

제 8 항에 있어서, 상기 데이터를 동시에 지우는 단계는,  
상기 제 1 저항층 및 상기 제 2 저항층을 연결하도록 얇은 채널을 형성하고, 상기 제 1 비트 라인 및 상기 제 2 비트 라인 사이에 소거 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 10**

제 1 항에 있어서, 상기 제 1 및 제 2 저항층들은  $Nb_2O_5$ , Cr 도핑된  $SrTiO_3$ ,  $ZrO_x$ ,  $GST(GeSb_xTe_y)$ , NiO, ZnO,  $TiO_2$  및 HfO<sub>2</sub>로 이루어진 군에서 선택된 적어도 하나를 각각 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작 방법.

**청구항 11**

반도체 기관;  
상기 반도체 기관의 표면 부근에 각각 형성되고, 가변 저항 상태를 저장하는 복수의 저항층들;  
상기 복수의 저항층들 아래의 상기 반도체 기관 부분에 각각 형성되고, 상기 복수의 저항층들과 각각 연결된 복수의 매물 전극들;  
상기 복수의 저항층들 상을 가로질러 신장하는 게이트 전극; 및  
상기 반도체 기관 및 상기 게이트 전극 사이의 게이트 절연막을 포함하는 비휘발성 메모리 소자의 동작 방법으로서,  
상기 복수의 매물 전극들을 복수의 비트 라인들로 이용하고, 상기 게이트 전극을 워드 라인으로 이용하여,  
상기 복수의 저항층들 중 인접하는 두 저항층들에 2 비트의 데이터를 프로그램하는 단계; 및  
상기 인접하는 두 저항층들에 프로그램된 2 비트의 데이터를 읽는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 12**

제 11 항에 있어서, 상기 2 비트의 데이터를 프로그램하는 단계는 상기 인접하는 두 저항층들의 저항을 각각 두 상태로 변화시켜 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 13**

제 12 항에 있어서, 상기 프로그램하는 단계에서 상기 인접하는 두 저항층들의 하나의 저항 변화는,  
상기 두 저항층들의 하나와 인접한 상기 매물 전극들의 하나를 연결하는 깊은 채널을 형성하고, 상기 두 저항층들의 하나에 연결된 비트 라인에 프로그램 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 14**

제 12 항에 있어서, 상기 2 비트의 데이터를 읽는 단계는,

상기 인접한 두 저항층들의 하나와 인접한 상기 매물 저항층들의 하나를 연결하도록 깊은 채널을 형성하고, 상기 인접한 두 저항층들에 연결된 비트 라인들 사이의 양방향 전류값들을 순차로 측정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 15**

제 12 항에 있어서, 상기 2 비트의 데이터를 읽는 단계는,

상기 인접한 두 저항층들을 연결하도록 얇은 채널을 형성하고, 상기 인접한 두 저항층들에 연결된 비트 라인들 사이의 적어도 한 방향 전류값을 측정하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 16**

제 15 항에 있어서, 상기 한 방향 전류값을 측정하는 단계는 적어도 두 레벨의 읽기 전압에서 수행되는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 17**

제 11 항에 있어서, 상기 복수의 저항층들 중 연속된 소정의 개수의 저항층들에 저장된 데이터를 동시에 지우는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**청구항 18**

제 17 항에 있어서, 상기 데이터를 동시에 지우는 단계는,

상기 연속된 소정의 개수의 저항층들을 연결하도록 얇은 채널을 형성하고, 상기 연속된 소정의 개수의 저항층들의 양 단부의 저항층들에 연결된 비트 라인들에 소거 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 동작방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <9> 본 발명은 반도체 소자에 관한 것으로서, 특히 저항 노드를 이용한 비휘발성 메모리 소자의 동작 방법에 관한 것이다.
- <10> 비휘발성 메모리 소자, 예컨대 상전이 메모리(PRAM) 소자 또는 저항 메모리(RRAM) 소자는 저항 노드의 가변 저항 상태를 이용하여 동작한다. 최근, 고용량의 데이터 처리를 요하는 반도체 제품의 증가로, 이러한 비휘발성 메모리 소자의 집적도의 증가 또는 동작 비트의 증가가 요구되고 있다. 예를 들어, 멀티-비트로 동작 가능한 비휘발성 메모리 소자에 대한 필요성이 증가하고 있다.
- <11> 한편, 비휘발성 메모리 소자는 전술한 바와 같이 고용량화 됨과 동시에 고속도화 되고 있다. 즉, 고용량의 데이터를 처리하기 위해서는 빠른 데이터 처리 속도가 요구되고 있다. 따라서, 비휘발성 메모리 소자의 동작 속도의 증가, 예컨대 플래시 메모리 소자에서와 같은 블록 소거 또는 플래시 지우기 특성이 요구되고 있다.
- <12> 또한, 비휘발성 메모리 소자의 집적도의 증가에 따라서, 동작 전류를 감소시키기 위한 노력이 행해지고 있다. 하지만, 저항 노드를 이용한 비휘발성 메모리 소자들은 비교적 높은 동작 전류를 필요로 하고 있다. 동작 전류의 감소는 저항 노드의 가변 저항 상태에 영향을 미칠 수 있다. 따라서, 종래의 비휘발성 메모리 소자들은 동작 전류를 감소시키는 데 있어서 그 한계를 가지고 있다.
- <13> 예를 들어, 상전이 메모리 소자는 상전이 저항체의 결정 상태의 변화에 따른 저항 변화를 이용하여 데이터를 저장한다. 하지만, 상전이 메모리 소자의 결정 상태를 변화시키기 위해서는 높은 전류 밀도가 필요하고, 이에 따라 동작 전류가 높아진다는 문제가 있다. 이러한 동작 전류의 증가는 단채널 효과를 유발하여, 상전이 메모리 소자의 집적도의 증가에 장애가 될 수 있다. 따라서, 상전이 저항체의 결정 상태 변화 영역을 감소시켜 적은 동

작 전류로 높은 전류 밀도를 얻으려는 노력이 행해지고 있다.

**발명이 이루고자 하는 기술적 과제**

<14> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 전술한 문제점을 극복하기 위한 것으로서, 낮은 동작 전류로 동작하고 고집적화가 가능한 비휘발성 메모리 소자의 멀티-비트 동작 방법을 제공하는 데 있다.

**발명의 구성 및 작용**

<15> 상기 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 비휘발성 메모리 소자의 동작방법이 제공된다. 상기 비휘발성 메모리 소자는 반도체 기관; 상기 반도체 기관의 표면 부근에 각각 형성되고, 가변 저항 상태를 저장하는 제 1 및 제 2 저항층들; 상기 제 1 저항층 아래의 상기 반도체 기관 부분에 형성되고, 상기 제 1 저항층과 연결된 제 1 매물 전극; 상기 제 2 저항층 아래의 상기 반도체 기관 부분에 형성되고, 상기 제 2 저항층과 연결된 제 2 매물 전극; 상기 반도체 기관 상에 형성되고, 상기 제 1 및 제 2 저항층들 상을 가로질러 신장하는 게이트 전극; 및 상기 반도체 기관 및 상기 게이트 전극 사이의 게이트 절연막을 포함한다. 상기 비휘발성 메모리 소자의 동작방법은 상기 제 1 매물 전극을 제 1 비트 라인으로 이용하고, 상기 제 2 매물 전극을 제 2 비트 라인으로 이용하고, 그리고 상기 게이트 전극을 워드 라인으로 이용한다. 그리고, 상기 비휘발성 메모리 소자의 동작방법은 상기 제 1 및 제 2 저항층들에 2 비트의 데이터를 프로그램하는 단계; 및 상기 제 1 및 제 2 저항층들에 프로그램된 2 비트의 데이터를 읽는 단계를 포함한다.

<16> 상기 본 발명의 일 측면에 따르면, 상기 2 비트의 데이터를 프로그램하는 단계는 상기 제 1 및 제 2 저항층들의 저항을 각각 두 상태로 변화시켜 수행할 수 있다.

<17> 상기 본 발명의 다른 측면에 따르면, 상기 2 비트의 데이터를 읽는 단계는 상기 제 1 저항층 및 상기 제 2 저항층의 저항값의 변화로 인한 상기 제 1 비트 라인 및 상기 제 2 비트 라인 사이의 전류의 변화를 측정하여 수행할 수 있다.

<18> 상기 본 발명의 또 다른 측면에 따르면, 상기 2 비트의 데이터를 읽는 단계는, 상기 매물 전극들의 하나와 인접한 저항층들의 하나를 연결하도록 깊은 채널을 형성하고, 상기 제 1 비트 라인 및 상기 제 2 비트 라인 사이의 양방향 전류값들을 순차로 측정하는 단계를 포함할 수 있다.

<19> 상기 본 발명의 또 다른 측면에 따르면, 상기 비휘발성 메모리 소자의 동작방법은 상기 제 1 저항층 및 상기 제 2 저항층에 저장된 데이터를 동시에 지우는 단계를 더 포함할 수 있다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 형태에 따른 비휘발성 메모리 소자의 동작방법이 제공된다. 상기 비휘발성 메모리 소자는 반도체 기관; 상기 반도체 기관의 표면 부근에 각각 형성되고, 가변 저항 상태를 저장하는 복수의 저항층들; 상기 복수의 저항층들 아래의 상기 반도체 기관 부분에 각각 형성되고, 상기 복수의 저항층들과 각각 연결된 복수의 매물 전극들; 상기 복수의 저항층들 상을 가로질러 신장하는 게이트 전극; 및 상기 반도체 기관 및 상기 게이트 전극 사이의 게이트 절연막을 포함한다. 상기 비휘발성 메모리 소자의 동작방법은 상기 복수의 매물 전극들을 복수의 비트 라인들로 이용하고, 그리고 상기 게이트 전극을 워드 라인으로 이용한다. 그리고, 상기 비휘발성 메모리 소자의 동작방법은 상기 복수의 저항층들 중 인접하는 두 저항층들에 2 비트의 데이터를 프로그램하는 단계; 및 상기 인접하는 두 저항층들에 프로그램된 2 비트의 데이터를 읽는 단계를 포함한다.

<21> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장될 수 있다.

<22> 본 발명의 실시예들에 따른 비휘발성 메모리 소자는 저항 노드 또는 저항층을 이용하여 데이터를 저장할 수 있다. 따라서, 본 발명의 실시예들에 따른 비휘발성 메모리 소자는 그 저항 노드 또는 저항층의 종류에 따라서, 다른 이름으로 불릴 수도 있다. 예를 들어, 본 발명의 실시예들에 따른 비휘발성 메모리 소자는 상전이 메모리 (PRAM) 소자 또는 저항 메모리(RRAM) 소자를 포함할 수 있지만, 본 발명의 범위는 이러한 이름에 제한되지 않는다.

<23> 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이고, 도 2는 도 1의 비휘발성 메모리 소자의 II-II'선에서 절취한 단면도이다.

- <24> 도 1 및 도 2를 참조하면, 비휘발성 메모리 소자는 반도체 기관(102)을 포함한다. 다만, 도 1에는 설명의 편의를 위해 반도체 기관(102)이 도시되지 않았다. 반도체 기관(102)은 실리콘(Si) 웨이퍼, 게르마늄(Ge) 웨이퍼 또는 금속-절연체 천이(metal-insulator transition; MIT) 물질을 포함할 수 있다. 예를 들어, 금속-절연체 천이 물질은 천이 금속 산화물, 예컨대  $V_2O_5$ ,  $TiO_x$ 를 포함할 수 있다. 이러한 금속-절연체 천이 물질은 소정의 임계 전압 이상의 전압이 인가되면 절연체에서 금속으로 변화될 수 있다. 이러한 금속-절연체 천이 물질은 다층 반도체 소자를 형성하는 데 이용될 수 있다.
- <25> 복수의 저항층들(122, 124, 126, 128)은 반도체 기관(102)의 표면 부근에 각각 형성된다. 복수의 매몰 전극들(112, 114, 116, 118)은 저항층들(122, 124, 126, 128) 아래의 반도체 기관(102) 부분에 각각 형성된다. 게이트 전극(132)은 반도체 기관(102) 상에 형성되고 저항층들(122, 124, 126, 128)을 가로질러 신장하도록 배치될 수 있다. 게이트 절연막(130)은 반도체 기관(102) 및 게이트 전극(132) 사이에 개재될 수 있다. 선택적으로 비트 라인들(BL1, BL2, BL3, BL4)이 반도체 기관(102) 상에 더 형성될 수 있다.
- <26> 예를 들어, 매몰 전극들(112, 114, 116, 118)은 반도체 기관(102) 내에 매몰된 형태로 제공될 수 있다. 매몰 전극들(112, 114, 116, 118)은 그 기능 또는 배치에 따라서 다양한 형태로 불릴 수 있고, 그 이름에 의해 본 발명의 범위가 제한되지 않는다. 예를 들어, 매몰 전극들(112, 114, 116, 118)은 순차로 소오스(S) 및 드레인(D)으로 불릴 수도 있고, 또는 매몰 전극들(112, 114, 116, 118)은 그 위치 상의 배치에 의해 하부 전극으로 불릴 수도 있다.
- <27> 예를 들어, 매몰 전극들(112, 114, 116, 118)은 반도체 기관(102)에 불순물을 도핑하여 형성될 수 있다. 이 경우, 반도체 기관(102)이 제 1 도전형의 불순물로 도핑된 경우, 매몰 전극들(112, 114, 116, 118)은 제 1 도전형과 반대인 제 2 도전형의 불순물로 도핑될 수 있다. 이에 따라, 매몰 전극들(112, 114, 116, 118) 및 반도체 기관(102)은 다이오드 접합을 형성할 수 있다. 제 1 도전형 및 제 2 도전형은 n형 및 p형에서 각각 선택된 어느 하나일 수 있다.
- <28> 다른 예로, 매몰 전극들(112, 114, 116, 118)은 금속층 또는 금속 실리사이드층을 포함할 수 있다. 이 경우, 매몰 전극들(112, 114, 116, 118)은 반도체 기관(102)과 쇼트키(shottky) 접합을 형성할 수 있다. 이러한 쇼트키 접합으로 인해, 매몰 전극들(112, 114, 116, 118) 및 반도체 기관(102) 사이의 전류의 흐름은 정류 특성을 가질 수 있다.
- <29> 게이트 절연막(130)은 게이트 전극(132)을 반도체 기관(102)과 절연시키는 역할을 할 수 있다. 나아가, 게이트 절연막(130)이 저항층들(112, 114, 116, 118) 상으로 더 신장됨으로써, 저항층들(112, 114, 116, 118)을 게이트 전극(132)과 더 절연시키는 역할을 할 수 있다. 게이트 절연막(130)의 두께는 동작 전압에 따라서 적절하게 선택될 수 있고, 도 1 및 도 2의 도시된 크기에 의해 제한되지 않는다. 예를 들어, 게이트 전극(132)은 도전성 물질, 예컨대, 폴리실리콘층, 또는 금속층을 포함할 수 있다.
- <30> 비트 라인들(BL1, BL2, BL3, BL4)은 층간 절연막(160)을 개재하여 게이트 전극(132) 상에 형성된다. 비트 라인들(BL1, BL2, BL3, BL4)은 매몰 전극들(112, 114, 116, 118) 각각과 연결된다. 예를 들어, 비트 라인들(BL1, BL2, BL3, BL4)은 게이트 전극(132)의 신장 방향과는 다른 방향, 예컨대 매몰 전극들(112, 114, 116, 118)과 평행한 방향으로 신장할 수 있다. 예를 들어, 비트 라인들(BL1, BL2, BL3, BL4)은 금속층을 포함할 수 있다.
- <31> 복수의 저항층들(122, 124, 126, 128)은 가변 저항 상태를 저장할 수 있고, 이러한 가변 저항 상태는 데이터 비트로서 저장될 수 있다. 예를 들어, 저항층들(122, 124, 126, 128)은 저저항 상태와 고저항 상태를 가질 수 있고, 이러한 저저항 상태 및 고저항 상태는 각각 데이터 상태 "0" 또는 "1"에 대응할 수 있다. 저항층들(122, 124, 126, 128)을 두 개 이상 조합하면, 2 비트 이상의 데이터 상태를 만들 수도 있다. 예를 들어, 두 개의 저항층들을 이용하면, (0, 0), (0, 1), (1, 0) 및 (1, 1) 상태의 2 비트의 데이터 상태가 만들어질 수 있다.
- <32> 예를 들어, 저항층들(122, 124, 126, 128)은 양단에 인가된 전압에 따라 그 저항 상태가 달라지는 물질을 포함할 수 있고, 예컨대,  $Nb_2O_5$ , Cr 도핑된  $SrTiO_3$ ,  $ZrO_x$ , GST( $GeSb_xTe_y$ ), NiO, ZnO,  $TiO_2$  및 HfO<sub>2</sub>으로 이루어진 군에서 선택된 적어도 하나 이상을 각각 포함할 수 있다. 예를 들어, GST는 그 결정 상태의 변화에 따라서 그 저항이 달라진다는 점에서 상전이 메모리 소자(PRAM)에 이용될 수 있다. 다른 예로,  $Nb_2O_5$ , Cr 도핑된  $SrTiO_3$ , NiO 또는 ZnO는 결정 상태의 변화 없이 그 저항이 달라진다는 점에서 저항 메모리 소자(RRAM)에 이용될 수 있다.
- <33> 도 4를 참조하여, 저항 메모리 소자에 이용되는 저항층의 전압-전류 특성을 예시적으로 보다 상세하게 설명한다. 도 4는 저항층로서 NiO를 예로 한 것으로서, 저항층의 물질에 따라서는 다른 모양의 그래프가 형성될

수도 있다. 다만, 인가된 전압에 따라서 저항이 변할 수 있다는 점에서는 공통된다.

- <34> 도 4를 참조하면, 저항층에 초기 전압이 인가되면(P10), 셋 전압, 예컨대 NiO의 경우 4.5V 까지는 전류가 거의 흐르지 않는다. 즉, 저항층은 높은 저항값을 보인다(리셋 상태). 하지만, 셋 전압을 넘어서면 전류가 급격히 증가한다. 일단, 셋 전압 이상의 전압이 가해지고 난 후, 다시 0부터 전압을 인가하면(P20), 높은 전류가 흐른다. 즉, 저항층은 낮은 저항값을 보인다(셋 상태). 하지만, 다시 리셋 전압이상으로 전압이 증가하면 전류는 급격히 감소한다(P30). 즉, 저항층의 저항이 다시 리셋 상태의 높은 저항값으로 환원된다. 이후 셋 전압에 이르기 전까지 전압을 계속 증가시키면(P40), 초기 리셋 상태와 동일한 경로를 보인다.
- <35> 즉, 저항층은 임계전압, 예컨대 셋 전압 또는 리셋 전압을 경계로 비저항(resistivity)이 변하게 되며, 이러한 비저항 변화는 인가 전압이 없어진 후에도 일정 범위의 전압 구간 내에서는 유지된다. 따라서, 저항층은 비휘발성 메모리 소자의 저장 매체로 이용될 수 있다.
- <36> 도 4의 저항층에 대한 설명은 저항 메모리 소자(RRAM)에 이용되는 것을 예로서 설명한 것이고, 상전이 메모리 소자(PRAM)에 이용되는 저항층은 다른 방식으로 저항 변화를 겪을 수 있다. 상전이 메모리 소자에 이용되는 저항층은 상전이 저항체로 불리고, 이러한 상전이 저항체는 구조의 변화, 예컨대 비정질 상태 및 결정질 상태로의 전이를 통해서 저항 상태가 변화될 수 있다. 이러한 상전이 저항체의 저항 변화 특성은 해당 기술분야에서 통상의 지식을 가진 자에게 잘 알려져 있으므로 그 상세한 설명은 생략한다.
- <37> 한편, 전술한 이 실시예에서, 저항층들(122, 124, 126, 128) 중 인접한 한 쌍, 예컨대 제 1 저항층(122) 및 제 2 저항층(124)이 단위셀 구조를 형성할 수 있다. 이 경우, 제 1 매물 전극(112), 제 2 매물 전극(114), 제 1 비트 라인(BL1) 및 제 2 비트 라인(BL2)이 이러한 단위셀 구조의 일 부분이 될 수 있다.
- <38> 본 발명의 이 실시예에 따른 비휘발성 메모리 소자는 도 1 및 도 2의 배치에 제한되지 않는다. 따라서, 비휘발성 메모리 소자는 하나의 단위셀 구조를 포함할 수도 있고 또는 복수의 단위셀 구조들을 포함할 수도 있다. 즉, 저항층들(122, 124, 126, 128), 매물 전극들(112, 114, 116, 118), 및 비트 라인들(BL1, BL2, BL3, BL4)은 쌍으로 제공될 뿐, 그 수가 본 발명의 범위를 제한하지 않는다.
- <39> 이하에서는 전술한 비휘발성 메모리 소자의 동작 특성을 설명한다.
- <40> 도 4 및 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 프로그램 동작을 보여주는 단면도들이다.
- <41> 도 4 및 도 5를 참조하면, 이 실시예에서, 제 1 저항층(122) 및 제 2 저항층(124)이 하나의 단위셀을 형성하고, 제 3 저항층(126) 및 제 4 저항층(128)이 다른 단위셀을 형성한다. 도 4 및 도 5에서 두 단위셀들이 동시에 동작하는 것으로 도시되었지만, 두 단위셀들이 별도로 동작하는 것도 가능하다. 나아가, 단위셀의 구성은 다른 형태로 제공될 수 있고, 예를 들어, 제 2 저항층(124) 및 제 3 저항층(126)이 하나의 단위셀을 형성하도록 제공될 수도 있다. 한편, 게이트 전극(132)은 워드 라인으로 이용될 수 있다.
- <42> 도 4를 참조하면, 두 단위셀들에서 각각 선택된 하나의 저항층들, 예컨대, 제 1 저항층(122) 및 제 3 저항층(126)의 프로그램 동작이 예시적으로 설명된다. 이 프로그램 동작에서 제 1 저항층(122)의 우측 부분 및 제 3 저항층(126)의 우측 부분에 데이터가 저장될 수 있다. 이러한 데이터 프로그램은 전술한 바와 같이, 제 1 및 제 3 저항층들(122, 126)의 저항을 각각 두 상태로 변화시켜 수행할 수 있다.
- <43> 예를 들어, 제 1 비트 라인(BL1)에 프로그램 전압을 인가하고, 제 2 매물 전극(114) 및 제 1 저항층(122)을 연결하는 깊은 채널(104)이 형성되도록 워드 라인, 즉 게이트 전극(132)에 턴-온 전압을 인가한다. 깊은 채널(104)은 제 1 비트 라인(BL1) 부근보다 제 2 비트 라인(BL2) 부근에서 더 깊게 형성된다. 예를 들어, 깊은 채널(104)의 깊이는 게이트 전극(132)에 가해지는 턴-온 전압 또는 반도체 기관(102)의 불순물 농도를 조절하여 제어할 수 있다.
- <44> 이에 따라, 프로그램 전류( $I_{P1}$ )는 제 1 비트 라인(BL1)으로부터 제 1 매물 전극(112), 제 1 저항층(122), 깊은 채널(104) 및 제 2 매물 전극(114)을 거쳐서 제 2 비트 라인(BL2) 방향으로 흐른다. 깊은 채널(104)이 제 1 저항층(122)과 제 2 매물 전극(114)을 연결하기 때문에, 상대적으로 저항이 높은 제 2 저항층(124)을 경유하는 프로그램 전류( $I_{P1}$ )의 양은 무시할 수 있다.
- <45> 유사하게, 제 3 비트 라인(BL3)에 프로그램 전압을 인가하고, 제 4 매물 전극(118) 및 제 3 저항층(126)을 연결하는 깊은 채널(104)이 형성되도록 워드 라인, 즉 게이트 전극(132)에 턴-온 전압을 인가한다. 이에 따라, 프로그램 전류( $I_{P2}$ )는 제 3 비트 라인(BL3)으로부터 제 3 매물 전극(116), 제 3 저항층(126), 깊은 채널(104) 및 제

4 매물 전극(118)을 거쳐서 제 4 비트 라인(BL4) 방향으로 흐른다.

- <46> 따라서, 제 1 저항층(122) 및 제 3 저항층(126)에 프로그램 전류가 흐르고, 제 1 저항층(122) 및 제 3 저항층(126)의 저항이 달라질 수 있다. 예를 들어, 프로그램하기 전을 저저항 상태, "0" 상태로 하면, 프로그램에 의해 제 1 저항층(122) 및 제 3 저항층(126)은 고저항 상태, "1" 상태가 될 수 있다. 예를 들어, 프로그램 전압은 상전이 저항체를 비정질 상태로 만들기 위한 전압일 수 있다. 하지만, 데이터 상태들 "0" 및 "1"은 그 반대로 표시될 수도 있다.
- <47> 결과적으로, 도 4의 프로그램 동작에 의해, 두 단위셀들은 각각 (0, 0) 상태에서 (1, 0) 상태로 변환될 수 있다. 예를 들어, (0, 0) 상태는 단위셀들 내의 두 저항층들, 예컨대 제 1 및 제 2 저항층들(122, 124) 또는 제 3 및 제 4 저항층들(126, 128)이 모두 저저항 상태인 경우를 나타낸다. (1, 0) 상태는 단위셀들 내의 좌측 저항층들, 예컨대 제 1 저항층(122) 또는 제 3 저항층(126)이 고저항 상태이고, 우측 저항층들, 예컨대 제 2 저항층(124) 또는 제 4 저항층(128)이 저저항 상태인 경우를 나타낸다.
- <48> 도 5를 참조하면, 두 단위셀들에서 각각 선택된 다른 저항층들, 예컨대, 제 2 저항층(124) 및 제 4 저항층(128)의 프로그램 동작이 예시적으로 설명된다. 이 프로그램 동작에서 제 2 저항층(124)의 좌측 부분 및 제 4 저항층(128)의 좌측 부분에 데이터가 저장될 수 있다. 도 5의 프로그램 동작은 도 4의 프로그램 동작에서 전류 방향을 반대 방향으로 함으로써 수행할 수 있다.
- <49> 예를 들어, 제 2 및 제 4 비트 라인들(BL2, BL4)에 프로그램 전압을 인가하고, 제 1 매물 전극(112)과 제 2 저항층(124), 또는 제 3 매물 전극(116)과 제 4 저항층(128)을 각각 연결하는 깊은 채널(104)이 형성되도록 워드 라인, 즉 게이트 전극(132)에 턴-온 전압을 인가한다.
- <50> 이에 따라, 프로그램 전류( $I'_{p1}$ )는 제 2 비트 라인(BL2)에서 제 1 비트 라인(BL1) 방향으로 흐르고, 프로그램 전류( $I'_{p2}$ )는 제 4 비트 라인(BL4)에서 제 3 비트 라인(BL3) 방향으로 흐른다. 이에 따라, 제 2 저항층(124) 및 제 4 저항층(128)에 프로그램 전류가 흐르고, 제 2 저항층(124) 및 제 4 저항층(128)의 저항이 달라질 수 있다.
- <51> 결과적으로, 도 5의 프로그램 동작에 의해, 두 단위셀들은 각각 (0, 0) 상태에서 (0, 1) 상태로 변환될 수 있다. (0, 1) 상태는 단위셀들 내의 우측 저항층들, 예컨대 제 2 저항층(124) 또는 제 4 저항층(128)이 고저항 상태이고, 좌측 저항층들, 예컨대 제 1 저항층(122) 또는 제 3 저항층(126)이 저저항 상태인 경우를 나타낸다.
- <52> 한편, 두 단위셀들에 도 4 및 도 5의 프로그램 동작을 순차로 수행하면, 두 단위셀들은 각각 (0, 0) 상태에서, (1, 0) 상태를 거쳐 (1, 1) 상태로 변환될 수 있다. (1, 1) 상태는 단위셀들 내의 두 저항층들, 예컨대 제 1 및 제 2 저항층들(122, 124) 또는 제 3 및 제 4 저항층들(126, 128)이 모두 고저항 상태인 경우를 나타낸다. 따라서, 도 4 및/또는 도 5의 프로그램 동작을 이용하면, 단위셀들은 각각 네 가지의 상태, 즉 (0, 0), (1, 0), (0, 1) 및 (1, 1)의 상태를 가질 수 있고, 따라서 2 비트의 데이터를 저장할 수 있다.
- <53> 전술한 프로그램 동작에서, 저항층들의 저항 변화 영역은 깊은 채널(104)과 접하는 국부적인 부분이 될 것이다. 따라서, 낮은 프로그램 전류( $I_{p1}$ ,  $I_{p2}$ ,  $I'_{p1}$ ,  $I'_{p2}$ ) 만으로 프로그램 동작이 수행될 수 있다.
- <54> 도 6 및 도 7은 본 발명의 일 실시예에 따른 읽기 동작을 보여주는 단면도들이다.
- <55> 도 6을 참조하면, 제 1 및 제 3 비트 라인들(BL1, BL3)에 읽기 전압을 각각 인가하고, 제 2 매물 전극(114)과 제 1 저항층(122), 또는 제 4 매물 전극(118)과 제 3 저항층(126)을 각각 연결하는 깊은 채널(104)이 형성되도록 워드 라인, 즉 게이트 전극(132)에 턴-온 전압을 인가한다. 읽기 전압은 저항층들(122, 124, 126, 128)의 저항 변화를 초래하지 않도록 낮은 전압일 수 있고, 따라서 프로그램 전압보다 작을 수 있다.
- <56> 이에 따라, 읽기 전류( $I_{R1}$ )는 제 1 비트 라인(BL1)으로부터 제 1 매물 전극(112), 제 1 저항층(122), 깊은 채널(104) 및 제 2 매물 전극(114)을 거쳐서 제 2 비트 라인(BL2) 방향으로 흐른다. 읽기 전류( $I_{R2}$ )는 제 3 비트 라인(BL3)으로부터 제 3 매물 전극(116), 제 3 저항층(126), 깊은 채널(104) 및 제 4 매물 전극(118)을 거쳐서 제 4 비트 라인(BL4) 방향으로 흐른다.
- <57> 따라서, 읽기 전류들( $I_{R1}$ ,  $I_{R2}$ )의 레벨로부터 각각 제 1 저항층(122) 및 제 3 저항층(126)의 저항 레벨이 구해질 수 있다. 전술한 바와 같이, 제 2 저항층(124) 및 제 4 저항층(128)으로는 거의 읽기 전류( $I_{R1}$ ,  $I_{R2}$ )가 흐르지 않기 때문에, 제 1 저항층(122) 및 제 3 저항층(126)의 저항 레벨이 각각 구해질 수 있다. 이에 따라, 제 1 저항층(122) 및 제 3 저항층(126) 각각의 데이터 상태, 즉 "0" 또는 "1" 상태가 읽어들 수 있다.

- <58> 도 7을 참조하면, 제 2 및 제 4 비트 라인들(BL2, BL4)에 읽기 전압을 각각 인가하고, 제 1 매물 전극(112)과 제 2 저항층(124), 또는 제 3 매물 전극(116)과 제 4 저항층(128)을 각각 연결하는 깊은 채널(104)이 형성되도록 워드 라인, 즉 게이트 전극(132)에 턴-온 전압을 인가한다.
- <59> 이에 따라, 읽기 전류( $I'_{R1}$ )는 제 1 비트 라인(BL2)으로부터 제 2 매물 전극(114), 제 2 저항층(124), 깊은 채널(104) 및 제 1 매물 전극(112)을 거쳐서 제 1 비트 라인(BL1) 방향으로 흐른다. 읽기 전류( $I'_{R2}$ )는 제 4 비트 라인(BL4)으로부터 제 4 매물 전극(118), 제 4 저항층(128), 깊은 채널(104) 및 제 3 매물 전극(116)을 거쳐서 제 3 비트 라인(BL3) 방향으로 흐른다. 따라서, 읽기 전류들( $I'_{R1}$ ,  $I'_{R2}$ )의 레벨로부터 각각 제 2 저항층(124) 및 제 4 저항층(128)의 저항 레벨이 구해질 수 있다. 이에 따라, 제 2 저항층(124) 및 제 4 저항층(128) 각각의 데이터 상태, 즉 "0" 또는 "1" 상태가 읽어들 수 있다.
- <60> 따라서, 도 6 및 도 7에 도시된 바와 같이, 깊은 채널(104)을 형성하고, 제 1 비트 라인(BL1) 및 제 2 비트 라인(BL2) 사이에 양방향 전류들( $I_{R1}$ ,  $I'_{R1}$ )을 측정함으로써, 단위셀의 제 1 저항층(122) 및 제 2 저항층(124)에 프로그램된 2 비트의 데이터를 읽을 수 있다. 유사하게, 깊은 채널(104)을 형성하고, 제 3 비트 라인(BL3) 및 제 4 비트 라인(BL4) 사이에 양방향 전류들( $I_{R2}$ ,  $I'_{R2}$ )을 측정함으로써, 단위셀의 제 3 저항층(126) 및 제 4 저항층(128)에 프로그램된 2 비트의 데이터를 읽을 수 있다.
- <61> 도 8은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 읽기 동작을 보여주는 단면도이다.
- <62> 도 8을 참조하면, 제 1 비트 라인(BL1)에 읽기 전압을 인가하고, 제 1 저항층(122) 및 제 2 저항층(124)을 연결하도록 반도체 기관(102)에 얇은 채널(104')을 형성한다. 이에 따라, 읽기 전류( $I''_{R1}$ )는 제 1 비트 라인(BL1)으로부터 제 1 매물 전극(112), 제 1 저항층(122), 얇은 채널(104'), 제 2 저항층(124) 및 제 2 매물 전극(114)을 거쳐서 제 2 비트 라인(BL2)으로 흐른다. 얇은 채널(104')은 저항층들(122, 124)을 직접 연결하고, 매물 전극들(112, 114)을 직접 연결하지 않도록 얇은 깊이로 형성된다. 예를 들어, 워드 라인, 즉 게이트 전극(132)에 가해지는 턴-온 전압을 높임으로써 얇은 채널(104')을 형성할 수 있다.
- <63> 유사하게, 제 3 비트 라인(BL3)에 읽기 전압을 인가하고, 제 3 저항층(126) 및 제 4 저항층(128)을 연결하도록 반도체 기관(102)에 얇은 채널(104')을 형성한다. 이에 따라, 읽기 전류( $I''_{R2}$ )는 제 3 비트 라인(BL3)으로부터 제 3 매물 전극(116), 제 3 저항층(126), 얇은 채널(104'), 제 4 저항층(128) 및 제 4 매물 전극(118)을 거쳐서 제 4 비트 라인(BL4)으로 흐른다.
- <64> 읽기 전류( $I''_{R1}$ )를 측정함으로써, 제 1 저항층(122) 및 제 2 저항층(124)의 저항 레벨, 즉 데이터 상태가 동시에 구해지고, 읽기 전류( $I''_{R2}$ )를 측정함으로써 제 3 저항층(126) 및 제 4 저항층(128)의 저항 레벨, 즉 데이터 상태가 동시에 구해질 수 있다. 왜냐하면, 제 1 저항층(122) 및 제 2 저항층(124) 각각의 저항 레벨에 따라서 읽기 전류( $I''_{R1}$ )가 달라지고, 제 3 저항층(126) 및 제 4 저항층(128) 각각의 저항 레벨에 따라서 읽기 전류( $I''_{R2}$ )가 달라지기 때문이다.
- <65> 이와 같은 읽기 전류( $I''_{R1}$ ,  $I''_{R2}$ )의 차이는 얇은 채널(104')을 형성하기 위한 문턱 전압( $V_{th}$ )이 반도체 기관(102)에 대한 소오스의 전위( $V_{BS}$ )에 의존하기 때문이다. 여기에서 소오스는 얇은 채널(104')과 접하는 제 2 매물 전극(114) 및/또는 제 2 저항층(124)의 단부, 또는 제 4 매물 전극(118) 및/또는 제 4 저항층(128)의 단부가 될 수 있다. 소오스의 전위( $V_{BS}$ )는 제 1 저항층(122) 및 제 2 저항층(124)의 저항 레벨, 또는 제 3 저항층(126) 및 제 4 저항층(128)의 저항 레벨에 따라 달라질 것이다.
- <66> 도 10은 도 8의 비휘발성 메모리 소자의 읽기 동작의 시뮬레이션 결과를 보여주는 그래프이다. 이 시뮬레이션에서 저항층들의 "0" 상태의 저항은 1 k $\Omega$ 으로 "1" 상태의 저항은 1 M $\Omega$ 으로 하였다.
- <67> 도 10을 참조하면, 읽기 전압이  $V_b$ 일 때, 읽기 전류는 (1, 1), (1, 0), (0, 1) 및 (0, 0) 상태의 순서로 증가하였다. 다만, (1, 0) 및 (1, 1) 상태를 더 확실하게 구분하기 위해서,  $V_a$ 에서 읽기 전류를 더 비교할 수 있다. 예를 들어,  $V_a$ 는 약 0.6 V이고  $V_b$ 는 약 1 V일 수 있다. 이와 같이, 하나 또는 두 읽기 전류를 비교함으로써, 단위셀의 저항층의 데이터 상태를 읽어낼 수 있다. 예를 들어, 데이터 상태는 측정된 읽기 전류값과 이미 알려진 데이터 상태의 읽기 전류를 비교하여 알 수 있다.

- <68> 도 9는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 지우기 동작을 보여주는 단면도이다.
- <69> 도 9를 참조하면, 소정의 개수의 저항층들, 예컨대 저항층들(122, 124, 126, 128)의 데이터가 동시에 지워질 수 있다. 이러한 지우기 동작은 블록 소거 또는 플래시 소거로도 불린다.
- <70> 예를 들어, 저항층들(122, 124, 126, 128)을 연결하도록 얇은 채널(104')을 형성하고, 저항층들(122, 124, 126, 128)의 가장자리에 위치한 비트 라인들, 즉 제 1 및 제 4 비트 라인들(BL1, BL4) 사이에 소거 전압을 인가한다. 이에 따라서, 제 1 비트 라인(BL1)에서 저항층들(122, 124, 126, 128)을 경유하여 제 4 비트 라인(BL4)으로 소거 전류( $I_E$ )가 흐른다.
- <71> 소거 전류( $I_E$ )에 의해 저항층들(122, 124, 126, 128)의 데이터는 모두 동시에 지워질 수 있다. 예를 들어, 저항층들(122, 124, 126, 128)의 저항은 낮은 레벨로 변경되고, 그 데이터 상태는 모두 "0"이 될 수 있다. 소거 전압은 선택된 저항층들(122, 124, 126, 128)의 수에 따라서 달라질 수 있다.
- <72> 이 실시예에서 저항층들(122, 124, 126, 128)의 데이터는 일시에 지워질 수 있고, 따라서 매우 빠른 지우기 속도를 가질 수 있다.
- <73> 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

**발명의 효과**

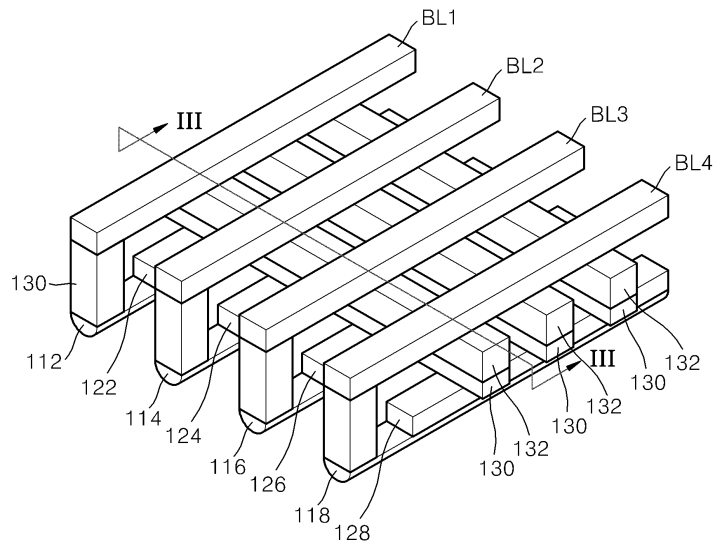
- <74> 본 발명에 따른 비휘발성 메모리 소자의 동작방법에 따르면, 동작 전류, 예컨대 낮은 프로그램 전류가 낮아질 수 있다.
- <75> 또한, 본 발명에 따른 비휘발성 메모리 소자의 동작방법에 따르면, 하나의 단위셀로 2 비트의 데이터를 처리할 수 있다.
- <76> 또한, 본 발명에 따른 비휘발성 메모리 소자의 동작방법에 따르면, 블록 소거 또는 플래시 지우기가 가능하고, 따라서 동작 속도가 향상될 수 있다.

**도면의 간단한 설명**

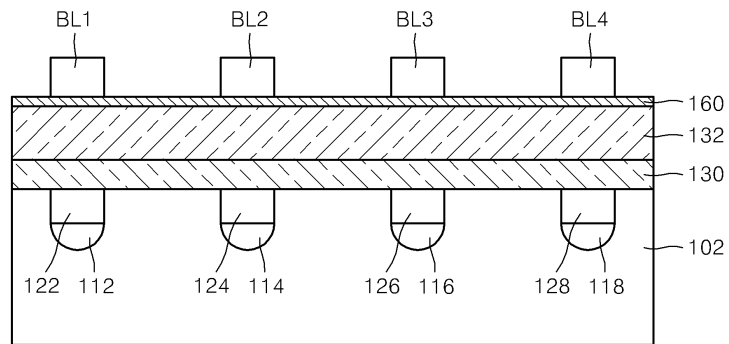
- <1> 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이고;
- <2> 도 2는 도 1의 비휘발성 메모리 소자의 II-II'선에서 절취한 단면도이고;
- <3> 도 3은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 저항층의 예시적인 전압-전류 특성을 보여주는 그래프이고;
- <4> 도 4 및 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 프로그램 동작을 보여주는 단면도들이고;
- <5> 도 6 및 도 7은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 읽기 동작을 보여주는 단면도들이고;
- <6> 도 8은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 읽기 동작을 보여주는 단면도이고;
- <7> 도 9는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 지우기 동작을 보여주는 단면도이고; 그리고
- <8> 도 10은 도 8의 비휘발성 메모리 소자의 읽기 동작의 시뮬레이션 결과를 보여주는 그래프이다.

도면

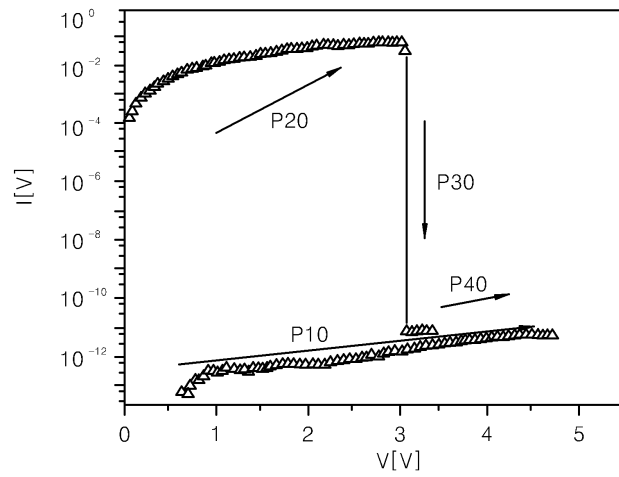
도면1



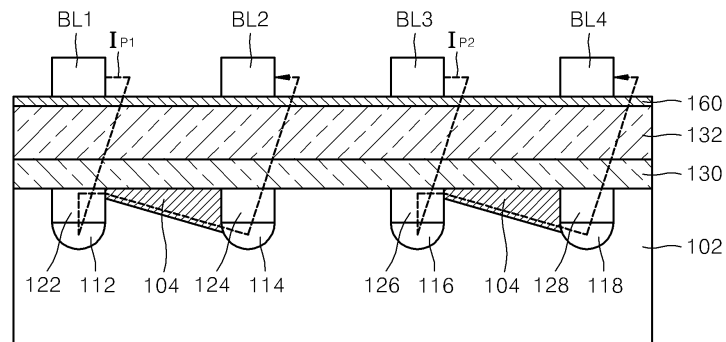
도면2



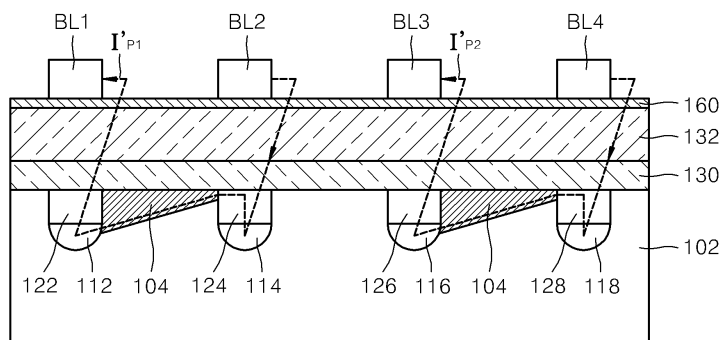
도면3



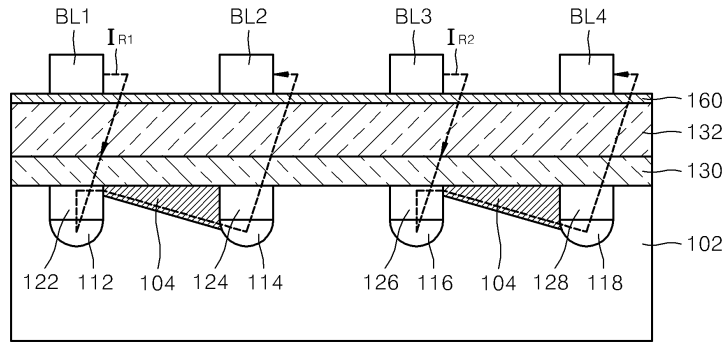
도면4



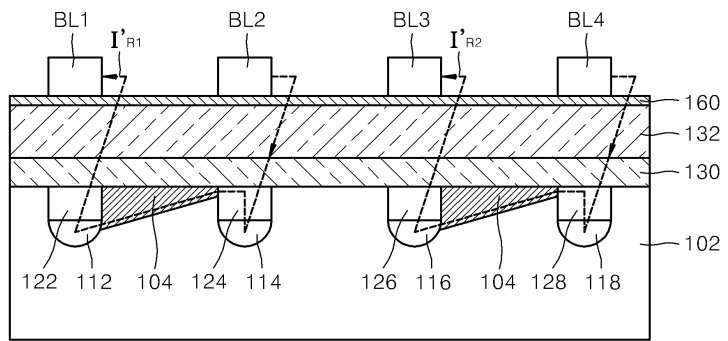
도면5



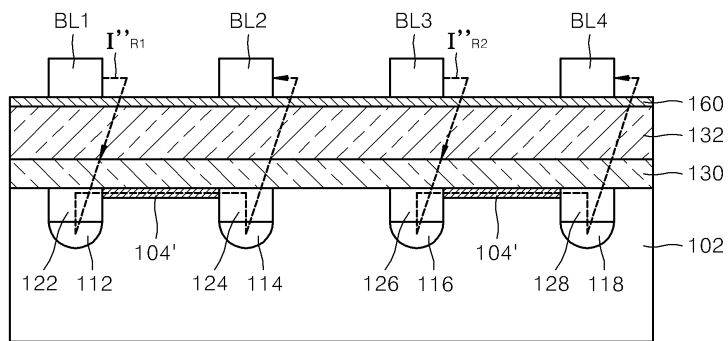
도면6



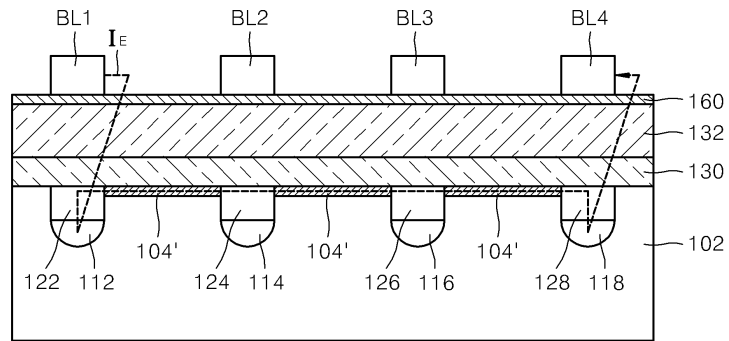
도면7



도면8



도면9



도면10

