

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成21年2月5日(2009.2.5)

【公開番号】特開2007-164922(P2007-164922A)

【公開日】平成19年6月28日(2007.6.28)

【年通号数】公開・登録公報2007-024

【出願番号】特願2005-362322(P2005-362322)

【国際特許分類】

G 1 1 C 11/413 (2006.01)

H 0 3 K 19/0948 (2006.01)

H 0 3 K 17/22 (2006.01)

H 0 3 K 17/687 (2006.01)

【F I】

G 1 1 C 11/34 3 0 2 A

H 0 3 K 19/094 B

H 0 3 K 17/22 E

H 0 3 K 17/687 F

【手続補正書】

【提出日】平成20年12月15日(2008.12.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の基準ノードと第2の基準ノードとの間に直列に接続される第1および第2のトランジスタと、

前記第1のトランジスタと第2のトランジスタとの接続ノードと前記第2の基準ノードとの間に直列に接続される第3および第4のトランジスタとを備え、

前記第1のトランジスタは、前記第2の基準ノードと前記第2のトランジスタとの間に接続され、第1の信号をゲートに受け、

前記第2のトランジスタは、前記第1のトランジスタと前記第1の基準ノードとの間に接続され、前記第1の信号に対応する第2の信号をゲートに受け、

前記第3のトランジスタは、前記第2の基準ノードと前記第4のトランジスタとの間に接続され、第3の信号をゲートに受け、

前記第4のトランジスタは、前記第3のトランジスタと前記接続ノードとの間に接続され、前記第3の信号に対応する第4の信号をゲートに受け、

前記第1, 第2, および第4のトランジスタの各々は、互いに同極性であることを特徴とするデコーダ回路。

【請求項2】

請求項1において、

前記第1のトランジスタは、前記第2の基準ノードと前記第2のトランジスタとの間に直列に接続された複数のトランジスタによって構成され、

前記複数のトランジスタの各々は、前記第1の信号をゲートに受けることを特徴とするデコーダ回路。

【請求項3】

請求項1において、

逆バイアス電圧を出力する基板制御回路をさらに備え、
前記第1のトランジスタは、前記基板制御回路からの逆バイアス電圧を基板に受ける
ことを特徴とするデコーダ回路。

【請求項4】

請求項3において、
前記基板制御回路は、前記第1の信号の信号レベルに応じて、順バイアス電圧および逆
バイアス電圧のうちいずれか一方を出力し、
前記第1および第4のトランジスタの各々は、前記基板制御回路からの出力を基板に受
ける
ことを特徴とするデコーダ回路。

【請求項5】

第1の基準ノードと第2の基準ノードとの間に直列に接続される第1および第2のト
ランジスタと、

前記第1のトランジスタと前記第2のトランジスタとの接続ノードと前記第2の基準ノ
ードとの間に直列に接続される第3および第4のトランジスタとを備え、

前記第1のトランジスタは、前記第2の基準ノードと前記第2のトランジスタとの間に
接続され、第1の信号をゲートに受け、

前記第2のトランジスタは、前記第1のトランジスタと前記第1の基準ノードとの間に
接続され、前記第1の信号に対応する第2の信号をゲートに受け、

前記第3のトランジスタは、前記第2の基準ノードと前記第4のトランジスタとの間に
接続され、第3の信号をゲートに受け、

前記第4のトランジスタは、前記第3のトランジスタと前記接続ノードとの間に接続さ
れ、前記第3の信号に対応する第4の信号をゲートに受け、

前記第1のトランジスタは、
オンになった後、前記接続ノードの電位が前記第2の基準ノードの電位に達する前にオ
フになる
ことを特徴とするデコーダ回路。

【請求項6】

請求項5において、
前記第1のトランジスタがオンであり前記第2のトランジスタがオフである期間は、前
記第1のトランジスタがオフであり前記第2のトランジスタがオンである期間よりも短い
ことを特徴とするデコーダ回路。

【請求項7】

請求項5において、
前記第1のトランジスタのゲート幅／ゲート長比（W／L比）は、前記第2のトランジ
スタのゲート幅／ゲート長比（W／L比）の2倍以下である
ことを特徴とするデコーダ回路。

【請求項8】

第1および第2のモードと、当該第1のモードから当該第2のモードへ移行するときま
たは当該第2のモードから第1のモードへ移行するときに実行される第3のモードとを有
するデコーダ回路であって、

第1の電位を受ける第1の基準ノードと接続ノードとの間に接続され、第1の信号をゲ
ートに受ける第1のトランジスタと、

第2の電位を受ける第2の基準ノードと前記接続ノードとの間に接続され、前記第1の
信号に対応する第2の信号をゲートに受ける第2のトランジスタと、

前記接続ノードと前記第2の基準ノードとの間に直列に接続される第3および第4のト
ランジスタと、

前記接続ノードにおける電位が前記第2の電位と所定電位との間であると前記第1およ
び第2のトランジスタの各々と前記接続ノードとを接続し、前記接続ノードにおける電位
が前記第1の電位と前記所定電位との間であると前記第1および第2のトランジスタの各

々と前記接続ノードとを非接続するスイッチ回路と、

前記第1または第2の電位に応じた電荷が蓄積される蓄積ノードと、

前記接続ノードと前記蓄積ノードとを接続または非接続するイコライズ回路とを備え、

前記所定電位は、前記第1の電位と前記第2の電位との間の電位であり、

前記第3のトランジスタは、前記第2の基準ノードと前記第4のトランジスタとの間に接続され、第3の信号をゲートに受け、

前記第4のトランジスタは、前記第3のトランジスタと前記接続ノードとの間に接続され、前記第3の信号に対応する第4の信号をゲートに受け、

前記第1のモードになると、前記イコライズ回路は非接続状態になり、前記第1のトランジスタはオンになり、前記第2のトランジスタはオフになり、前記蓄積ノードは前記第1の電位に応じた電荷が蓄積され、

前記第2のモードになると、前記イコライズ回路は非接続状態になり、前記第1のトランジスタはオフになり、前記第2のトランジスタはオンになり、前記蓄積ノードは前記第2の電位に応じた電荷が蓄積され、

前記第3のモードになると、前記イコライズ回路は接続状態になることを特徴とするデコーダ回路。

【請求項9】

第1の電圧を供給する電源制御回路と、

前記電源制御回路と第1の基準ノードとの間に直列に接続される第1および第2のトランジスタと、

前記第1のトランジスタと第2のトランジスタとの接続ノードと第2の基準ノードとの間に接続される第3および第4のトランジスタとを備え、

前記第1のトランジスタは、前記電源制御回路と前記第2のトランジスタとの間に接続され、第1の信号をゲートに受け、

前記第2のトランジスタは、前記第1のトランジスタと前記第1の基準ノードとの間に接続され、前記第1の信号に対応する第2の信号をゲートに受け、

前記第3のトランジスタは、前記第2の基準ノードと前記第4のトランジスタとの間に接続され、第3の信号をゲートに受け、

前記第4のトランジスタは、前記第3のトランジスタと前記接続ノードとの間に接続され、前記第3の信号に対応する第4の信号をゲートに受け、

前記第1の電圧と前記第1の基準ノードとの電位差は、前記第1の基準ノードと前記第2の基準ノードとの電位差よりも小さいことを特徴とするデコーダ回路。

【請求項10】

第1の基準ノードと第2の基準ノードとの間に直列に接続される第1，第2，および第3のトランジスタを備え、

前記第1のトランジスタは、前記第1の基準ノードと前記第2のトランジスタとの間に接続され、第1の信号をゲートに受け、

前記第2のトランジスタは、前記第1のトランジスタと前記第3のトランジスタとの間に接続され、第2の信号をゲートに受け、

前記第3のトランジスタは、前記第2のトランジスタと前記第2の基準ノードとの間に接続され、前記第2の信号に対応する第3の信号をゲートに受け、

前記第1のトランジスタは、前記第2のトランジスタと同極性であることを特徴とするデコーダ回路。

【請求項11】

請求項1，請求項5，請求項8，請求項9のうちいずれか1つにおいて、

前記第1および第2のトランジスタは、

第1および第2のモードと、

前記第1のモードから前記第2のモードへ移行するとき、または、前記第2のモードから前記第1のモードへ移行するときに実行される第3のモードとを有し、

前記第1のモードになると、前記第1のトランジスタはオンになり、前記第2のトランジスタはオフになり、

前記第2のモードになると、前記第1のトランジスタはオフになり、前記第2のトランジスタはオンになり、

前記第3のモードになると、前記第1および第2のトランジスタはオフになることを特徴とするデコーダ回路。

【請求項12】

請求項1, 請求項5, 請求項8, 請求項9のうちいずれか1つにおいて、

前記接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路をさらに備えることを特徴とするデコーダ回路。

【請求項13】

請求項10において、

前記第1のトランジスタと前記第2のトランジスタとの接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路をさらに備えることを特徴とするデコーダ回路。

【請求項14】

請求項1, 請求項5, 請求項8のうちいずれか1つにおいて、

前記第1の基準ノードと前記第2の基準ノードとの間に直列に接続される第1および第2のレプリカ用トランジスタと、

前記第1のレプリカ用トランジスタと前記第2のレプリカ用トランジスタとのレプリカ用接続ノードと前記第2の基準ノードの間に直列に接続される第3および第4のレプリカ用トランジスタと、

前記レプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とを含み、

前記第1のレプリカ用トランジスタは、前記第1のトランジスタと同様の特性を有し、且つ、前記第2の基準ノードと前記第2のレプリカ用トランジスタとの間に接続され、前記第1の信号をゲートに受け、

前記第2のレプリカ用トランジスタは、前記第2のトランジスタと同様の特性を有し、且つ、前記第1のレプリカ用トランジスタと前記第1の基準ノードとの間に接続され、前記第2の信号をゲートに受け、

前記第3のレプリカ用トランジスタは、前記第3のトランジスタと同様の特性を有し、且つ、前記第2の基準ノードと前記第4のレプリカ用トランジスタとの間に接続され、前記第3の信号をゲートに受け、

前記第4のレプリカ用トランジスタは、前記第4のトランジスタと同様の特性を有し、且つ、前記第3のレプリカ用トランジスタと前記レプリカ用接続ノードとの間に接続され、前記第4の信号をゲートに受けけることを特徴とするデコーダ回路。

【請求項15】

請求項9において、

前記電源制御回路と前記第1の基準ノードとの間に直列に接続される第1および第2のレプリカ用トランジスタと、

前記第1のレプリカ用トランジスタと前記第2のレプリカ用トランジスタとのレプリカ用接続ノードと前記第2の基準ノードとの間に直列に接続される第3および第4のレプリカ用トランジスタと、

前記レプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とをさらに備え、

前記第1のレプリカ用トランジスタは、前記第1のトランジスタと同様の特性を有し、且つ、前記電源制御回路と前記第2のレプリカ用トランジスタとの間に接続され、前記第

1の信号をゲートに受け、

前記第2のレプリカ用トランジスタは、前記第2のトランジスタと同様の特性を有し、且つ、前記第1のレプリカ用トランジスタと前記第1の基準ノードとの間に接続され、前記第2の信号をゲートに受け、

前記第3のレプリカ用トランジスタは、前記第3のトランジスタと同様の特性を有し、且つ、前記第2の基準ノードと前記第4のレプリカ用トランジスタとの間に接続され、前記第3の信号をゲートに受け、

前記第4のレプリカ用トランジスタは、前記第4のトランジスタと同様の特性を有し、且つ、前記第3のレプリカ用トランジスタと前記レプリカ接続ノードとの間に接続され、前記第4の信号をゲートに受け、

ことを特徴とするデコーダ回路。

【請求項16】

請求項10において、

前記第1の基準ノードと前記第2の基準ノードとの間に直列に接続される第1，第2，および第3のレプリカ用トランジスタと、

前記第1のレプリカ用トランジスタと第2のレプリカ用トランジスタとのレプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とをさらに備え、

前記第1のレプリカトランジスタは、前記第1のトランジスタと同様の特性を有し、前記第1の基準ノードと前記第2のレプリカ用トランジスタとの間に接続され、前記第1の信号をゲートに受け、

前記第2のレプリカ用トランジスタは、前記第1のレプリカ用トランジスタと前記第3のレプリカ用トランジスタとの間に接続され、前記第2の信号をゲートに受け、

前記第3のレプリカ用トランジスタは、前記第2のレプリカ用トランジスタと前記第2の基準ノードとの間に接続され、前記第3の信号をゲートに受け、

【請求項17】

請求項14または請求項15において、

前記第1および第4のレプリカ用トランジスタの各々の閾値電圧に応じた制御電圧を出力する基板制御回路をさらに備え、

前記第1および第4のレプリカ用トランジスタの各々は、前記基板制御回路からの制御電圧を基板に受ける

ことを特徴とするデコーダ回路。

【請求項18】

請求項1，請求項5，請求項8，請求項9のうちいずれか1つにおいて、

前記第4のトランジスタは、

半導体基板に形成され、且つ、所定の間隔で互いに平行に延びる第1，第2，第3の拡散層と、

前記半導体基板の上に形成され、当該第1および第2の拡散層に沿って延びる第1のゲート電極と、

前記半導体基板の上に形成され、当該第2および第3の拡散層に沿って延びる第2のゲート電極と、

前記第2の拡散層の上に形成され、且つ、前記第1のゲート電極と前記第2のゲート電極との間に位置し、当該第2の拡散層に沿って延びる第1層配線と、

前記第1および第2のゲート電極と前記第1層配線との上に形成され、かつ、当該第1層配線と電気的に接続され、前記第1および第2のゲート電極には電気的に接続されない第2層配線とを含む

ことを特徴とするデコーダ回路。

【請求項19】

請求項10において、

前記第2のトランジスタは、

半導体基板に形成され、且つ、所定の間隔で互いに平行に延びる第1，第2，第3の拡散層と、

前記半導体基板の上に形成され、当該第1および第2の拡散層に沿って延びる第1のゲート電極と、

前記半導体基板の上に形成され、当該第2および第3の拡散層に沿って延びる第2のゲート電極と、

前記第2の拡散層と電気的に接続され、且つ、前記第1のゲート電極と前記第2のゲート電極との間に位置し、当該第2の拡散層に沿って延びる第1層配線と、

前記第1および第2のゲート電極と前記第1層配線との上に形成され、かつ、当該第1層配線と電気的に接続され、前記第1および第2のゲート電極には電気的に接続されない第2層配線とを含む

ことを特徴とするデコーダ回路。

【請求項20】

請求項18または請求項19において、

前記第1層配線の長さは、

($(\text{ゲート幅} \times 0.1) / \text{ゲート電極の分割数}$)以上であり、

($(\text{ゲート幅} \times 1.0) / \text{ゲート電極の分割数}$)以下である

ことを特徴とするデコーダ回路。

【請求項21】

請求項1，請求項5，請求項8，請求項9において、

前記第4のトランジスタが有する閾値電圧の電圧値は、前記第1のトランジスタが有する閾値電圧の電圧値以上である

ことを特徴とするデコーダ回路。

【請求項22】

請求項10において、

前記第2のトランジスタが有する閾値電圧の電圧値は、前記第1のトランジスタが有する閾値電圧の電圧値以上である

ことを特徴とするデコーダ回路。

【請求項23】

第1の基準ノードと第2の基準ノードとの間に直列に接続される第1および第2のトランジスタと、

前記第1のトランジスタと前記第2のトランジスタとの接続ノードと前記第2の基準ノードとの間に直列に接続される第3および第4のトランジスタと、

前記第3のトランジスタと前記第4のトランジスタとの接続ノードに接続された入力端子を有するインバータと、

前記第3のトランジスタと前記第4のトランジスタとの接続ノードと前記第2の基準ノードとの間に接続され、前記インバータの出力をゲートに受ける第5のトランジスタとを備え、

前記第1のトランジスタは、前記第2の基準ノードと前記第2のトランジスタとの間に接続され、第1の信号をゲートに受け、

前記第2のトランジスタは、前記第1のトランジスタと前記第1の基準ノードとの間に接続され、前記第1の信号をゲートに受け、

前記第3のトランジスタは、前記第2の基準ノードと前記第4のトランジスタとの間に接続され、第3の信号をゲートに受け、

前記第4のトランジスタは、前記第3のトランジスタと前記第4のトランジスタとの間に接続され、前記第3の信号に対応する第4の信号をゲートに受け、

前記第1および第2のトランジスタは、互いに異極性である