

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成21年2月5日(2009.2.5)

【公開番号】特開2007-164922(P2007-164922A)

【公開日】平成19年6月28日(2007.6.28)

【年通号数】公開・登録公報2007-024

【出願番号】特願2005-362322(P2005-362322)

【国際特許分類】

G 1 1 C 11/413 (2006.01)

H 0 3 K 19/0948 (2006.01)

H 0 3 K 17/22 (2006.01)

H 0 3 K 17/687 (2006.01)

【F I】

G 1 1 C 11/34 3 0 2 A

H 0 3 K 19/094 B

H 0 3 K 17/22 E

H 0 3 K 17/687 F

【手続補正書】

【提出日】平成20年12月15日(2008.12.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の基準ノードと第 2 の基準ノードとの間に直列に接続される第 1 および第 2 のトランジスタと、

前記第 1 のトランジスタと第 2 のトランジスタとの接続ノードと前記第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のトランジスタとを備え、

前記第 1 のトランジスタは、前記第 2 の基準ノードと前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 1 の基準ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

前記第 1 , 第 2 , および第 4 のトランジスタの各々は、互いに同極性であることを特徴とするデコーダ回路。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタは、前記第 2 の基準ノードと前記第 2 のトランジスタとの間に直列に接続された複数のトランジスタによって構成され、

前記複数のトランジスタの各々は、前記第 1 の信号をゲートに受けることを特徴とするデコーダ回路。

【請求項 3】

請求項 1 において、

逆バイアス電圧を出力する基板制御回路をさらに備え、

前記第 1 のトランジスタは、前記基板制御回路からの逆バイアス電圧を基板に受けることを特徴とするデコーダ回路。

【請求項 4】

請求項 3 において、

前記基板制御回路は、前記第 1 の信号の信号レベルに応じて、順バイアス電圧および逆バイアス電圧のうちいずれか一方を出力し、

前記第 1 および第 4 のトランジスタの各々は、前記基板制御回路からの出力を基板に受ける

ことを特徴とするデコーダ回路。

【請求項 5】

第 1 の基準ノードと第 2 の基準ノードとの間に直列に接続される第 1 および第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードと前記第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のトランジスタとを備え、

前記第 1 のトランジスタは、前記第 2 の基準ノードと前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 1 の基準ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

前記第 1 のトランジスタは、

オンになった後、前記接続ノードの電位が前記第 2 の基準ノードの電位に達する前にオフになる

ことを特徴とするデコーダ回路。

【請求項 6】

請求項 5 において、

前記第 1 のトランジスタがオンであり前記第 2 のトランジスタがオフである期間は、前記第 1 のトランジスタがオフであり前記第 2 のトランジスタがオンである期間よりも短いことを特徴とするデコーダ回路。

【請求項 7】

請求項 5 において、

前記第 1 のトランジスタのゲート幅 / ゲート長比 ( $W / L$  比) は、前記第 2 のトランジスタのゲート幅 / ゲート長比 ( $W / L$  比) の 2 倍以下である

ことを特徴とするデコーダ回路。

【請求項 8】

第 1 および第 2 のモードと、当該第 1 のモードから当該第 2 のモードへ移行するときまたは当該第 2 のモードから第 1 のモードへ移行するときに実行される第 3 のモードとを有するデコーダ回路であって、

第 1 の電位を受ける第 1 の基準ノードと接続ノードとの間に接続され、第 1 の信号をゲートに受ける第 1 のトランジスタと、

第 2 の電位を受ける第 2 の基準ノードと前記接続ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受ける第 2 のトランジスタと、

前記接続ノードと前記第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のトランジスタと、

前記接続ノードにおける電位が前記第 2 の電位と所定電位との間であると前記第 1 および第 2 のトランジスタの各々と前記接続ノードとを接続し、前記接続ノードにおける電位が前記第 1 の電位と前記所定電位との間であると前記第 1 および第 2 のトランジスタの各

々と前記接続ノードとを非接続するスイッチ回路と、

前記第 1 または第 2 の電位に応じた電荷が蓄積される蓄積ノードと、

前記接続ノードと前記蓄積ノードとを接続または非接続するイコライズ回路とを備え、

前記所定電位は、前記第 1 の電位と前記第 2 の電位との間の電位であり、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

前記第 1 のモードになると、前記イコライズ回路は非接続状態になり、前記第 1 のトランジスタはオンになり、前記第 2 のトランジスタはオフになり、前記蓄積ノードは前記第 1 の電位に応じた電荷が蓄積され、

前記第 2 のモードになると、前記イコライズ回路は非接続状態になり、前記第 1 のトランジスタはオフになり、前記第 2 のトランジスタはオンになり、前記蓄積ノードは前記第 2 の電位に応じた電荷が蓄積され、

前記第 3 のモードになると、前記イコライズ回路は接続状態になることを特徴とするデコーダ回路。

【請求項 9】

第 1 の電圧を供給する電源制御回路と、

前記電源制御回路と第 1 の基準ノードとの間に直列に接続される第 1 および第 2 のトランジスタと、

前記第 1 のトランジスタと第 2 のトランジスタとの接続ノードと第 2 の基準ノードとの間に接続される第 3 および第 4 のトランジスタとを備え、

前記第 1 のトランジスタは、前記電源制御回路と前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 1 の基準ノードとの間に接続され、前記第 1 の信号に対応する第 2 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記接続ノードとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

前記第 1 の電圧と前記第 1 の基準ノードとの電位差は、前記第 1 の基準ノードと前記第 2 の基準ノードとの電位差よりも小さいことを特徴とするデコーダ回路。

【請求項 10】

第 1 の基準ノードと第 2 の基準ノードとの間に直列に接続される第 1 , 第 2 , および第 3 のトランジスタを備え、

前記第 1 のトランジスタは、前記第 1 の基準ノードと前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 3 のトランジスタとの間に接続され、第 2 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 のトランジスタと前記第 2 の基準ノードとの間に接続され、前記第 2 の信号に対応する第 3 の信号をゲートに受け、

前記第 1 のトランジスタは、前記第 2 のトランジスタと同極性である

ことを特徴とするデコーダ回路。

【請求項 11】

請求項 1 , 請求項 5 , 請求項 8 , 請求項 9 のうちいずれか 1 つにおいて、

前記第 1 および第 2 のトランジスタは、

第 1 および第 2 のモードと、

前記第 1 のモードから前記第 2 のモードへ移行するとき、または、前記第 2 のモードから前記第 1 のモードへ移行するとき実行される第 3 のモードとを有し、

前記第 1 のモードになると、前記第 1 のトランジスタはオンになり、前記第 2 のトランジスタはオフになり、

前記第 2 のモードになると、前記第 1 のトランジスタはオフになり、前記第 2 のトランジスタはオンになり、

前記第 3 のモードになると、前記第 1 および第 2 のトランジスタはオフになることを特徴とするデコーダ回路。

【請求項 12】

請求項 1、請求項 5、請求項 8、請求項 9 のうちいずれか 1 つにおいて、

前記接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路をさらに備える

ことを特徴とするデコーダ回路。

【請求項 13】

請求項 10 において、

前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路をさらに備える

ことを特徴とするデコーダ回路。

【請求項 14】

請求項 1、請求項 5、請求項 8 のうちいずれか 1 つにおいて、

前記第 1 の基準ノードと前記第 2 の基準ノードとの間に直列に接続される第 1 および第 2 のレプリカ用トランジスタと、

前記第 1 のレプリカ用トランジスタと前記第 2 のレプリカ用トランジスタとのレプリカ用接続ノードと前記第 2 の基準ノードの間に直列に接続される第 3 および第 4 のレプリカ用トランジスタと、

前記レプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とを含み、

前記第 1 のレプリカ用トランジスタは、前記第 1 のトランジスタと同様の特性を有し、且つ、前記第 2 の基準ノードと前記第 2 のレプリカ用トランジスタとの間に接続され、前記第 1 の信号をゲートに受け、

前記第 2 のレプリカ用トランジスタは、前記第 2 のトランジスタと同様の特性を有し、且つ、前記第 1 のレプリカ用トランジスタと前記第 1 の基準ノードとの間に接続され、前記第 2 の信号をゲートに受け、

前記第 3 のレプリカ用トランジスタは、前記第 3 のトランジスタと同様の特性を有し、且つ、前記第 2 の基準ノードと前記第 4 のレプリカ用トランジスタとの間に接続され、前記第 3 の信号をゲートに受け、

前記第 4 のレプリカ用トランジスタは、前記第 4 のトランジスタと同様の特性を有し、且つ、前記第 3 のレプリカ用トランジスタと前記レプリカ用接続ノードとの間に接続され、前記第 4 の信号をゲートに受ける

ことを特徴とするデコーダ回路。

【請求項 15】

請求項 9 において、

前記電源制御回路と前記第 1 の基準ノードとの間に直列に接続される第 1 および第 2 のレプリカ用トランジスタと、

前記第 1 のレプリカ用トランジスタと前記第 2 のレプリカ用トランジスタとのレプリカ用接続ノードと前記 第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のレプリカ用トランジスタと、

前記レプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とをさらに備え、

前記第 1 のレプリカ用トランジスタは、前記第 1 のトランジスタと同様の特性を有し、且つ、前記電源制御回路と前記第 2 のレプリカ用トランジスタとの間に接続され、前記第

1 の信号をゲートに受け、

前記第 2 のレプリカ用トランジスタは、前記第 2 のトランジスタと同様の特性を有し、且つ、前記第 1 のレプリカ用トランジスタと前記第 1 の基準ノードとの間に接続され、前記第 2 の信号をゲートに受け、

前記第 3 のレプリカ用トランジスタは、前記第 3 のトランジスタと同様の特性を有し、且つ、前記第 2 の基準ノードと前記第 4 のレプリカ用トランジスタとの間に接続され、前記第 3 の信号をゲートに受け、

前記第 4 のレプリカ用トランジスタは、前記第 4 のトランジスタと同様の特性を有し、且つ、前記第 3 のレプリカ用トランジスタと前記レプリカ接続ノードとの間に接続され、前記第 4 の信号をゲートに受ける

ことを特徴とするデコーダ回路。

【請求項 16】

請求項 10 において、

前記第 1 の基準ノードと前記第 2 の基準ノードとの間に直列に接続される第 1 , 第 2 , および第 3 のレプリカ用トランジスタと、

前記第 1 のレプリカ用トランジスタと第 2 のレプリカ用トランジスタとのレプリカ用接続ノードにおける電位の変動に応じて、センスアンプを駆動するためのタイミング信号を出力するセンスアンプタイミング生成回路とをさらに備え、

前記第 1 のレプリカ用トランジスタは、前記第 1 のトランジスタと同様の特性を有し、前記第 1 の基準ノードと前記第 2 のレプリカ用トランジスタとの間に接続され、前記第 1 の信号をゲートに受け、

前記第 2 のレプリカ用トランジスタは、前記第 1 のレプリカ用トランジスタと前記第 3 のレプリカ用トランジスタとの間に接続され、前記第 2 の信号をゲートに受け、

前記第 3 のレプリカ用トランジスタは、前記第 2 のレプリカ用トランジスタと前記第 2 の基準ノードとの間に接続され、前記第 3 の信号をゲートに受ける

ことを特徴とするデコーダ回路。

【請求項 17】

請求項 14 または請求項 15 において、

前記第 1 および第 4 のレプリカ用トランジスタの各々の閾値電圧に応じた制御電圧を出力する基板制御回路をさらに備え、

前記第 1 および第 4 のレプリカ用トランジスタの各々は、前記基板制御回路からの制御電圧を基板に受ける

ことを特徴とするデコーダ回路。

【請求項 18】

請求項 1 , 請求項 5 , 請求項 8 , 請求項 9 のうちいずれか 1 つにおいて、

前記第 4 のトランジスタは、

半導体基板に形成され、且つ、所定の間隔で互いに平行に延びる第 1 , 第 2 , 第 3 の拡散層と、

前記半導体基板の上に形成され、当該第 1 および第 2 の拡散層に沿って延びる第 1 のゲート電極と、

前記半導体基板の上に形成され、当該第 2 および第 3 の拡散層に沿って延びる第 2 のゲート電極と、

前記第 2 の拡散層の上に形成され、且つ、前記第 1 のゲート電極と前記第 2 のゲート電極との間に位置し、当該第 2 の拡散層に沿って延びる第 1 層配線と、

前記第 1 および第 2 のゲート電極と前記第 1 層配線との上に形成され、かつ、当該第 1 層配線と電氣的に接続され、前記第 1 および第 2 のゲート電極には電氣的に接続されない第 2 層配線とを含む

ことを特徴とするデコーダ回路。

【請求項 19】

請求項 10 において、

前記第 2 のトランジスタは、

半導体基板に形成され、且つ、所定の間隔で互いに平行に延びる第 1 , 第 2 , 第 3 の拡散層と、

前記半導体基板の上に形成され、当該第 1 および第 2 の拡散層に沿って延びる第 1 のゲート電極と、

前記半導体基板の上に形成され、当該第 2 および第 3 の拡散層に沿って延びる第 2 のゲート電極と、

前記第 2 の拡散層と電氣的に接続され、且つ、前記第 1 のゲート電極と前記第 2 のゲート電極との間に位置し、当該第 2 の拡散層に沿って延びる第 1 層配線と、

前記第 1 および第 2 のゲート電極と前記第 1 層配線との上に形成され、かつ、当該第 1 層配線と電氣的に接続され、前記第 1 および第 2 のゲート電極には電氣的に接続されない第 2 層配線とを含む

ことを特徴とするデコーダ回路。

【請求項 20】

請求項 18 または請求項 19 において、

前記第 1 層配線の長さは、

( ( ゲート幅  $\times$  0 . 1 ) / ゲート電極の分割数 ) 以上であり、

( ( ゲート幅  $\times$  1 . 0 ) / ゲート電極の分割数 ) 以下である

ことを特徴とするデコーダ回路。

【請求項 21】

請求項 1 , 請求項 5 , 請求項 8 , 請求項 9 において、

前記第 4 のトランジスタが有する閾値電圧の電圧値は、前記第 1 のトランジスタが有する閾値電圧の電圧値以上である

ことを特徴とするデコーダ回路。

【請求項 22】

請求項 10 において、

前記第 2 のトランジスタが有する閾値電圧の電圧値は、前記第 1 のトランジスタが有する閾値電圧の電圧値以上である

ことを特徴とするデコーダ回路。

【請求項 23】

第 1 の基準ノードと第 2 の基準ノードとの間に直列に接続される第 1 および第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタとの接続ノードと前記第 2 の基準ノードとの間に直列に接続される第 3 および第 4 のトランジスタと、

前記第 3 のトランジスタと前記第 4 のトランジスタとの接続ノードに接続された入力端子を有するインバータと、

前記第 3 のトランジスタと前記第 4 のトランジスタとの接続ノードと前記第 2 の基準ノードとの間に接続され、前記インバータの出力をゲートに受ける第 5 のトランジスタとを  
備え、

前記第 1 のトランジスタは、前記第 2 の基準ノードと前記第 2 のトランジスタとの間に接続され、第 1 の信号をゲートに受け、

前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 1 の基準ノードとの間に接続され、前記第 1 の信号をゲートに受け、

前記第 3 のトランジスタは、前記第 2 の基準ノードと前記第 4 のトランジスタとの間に接続され、第 3 の信号をゲートに受け、

前記第 4 のトランジスタは、前記第 3 のトランジスタと前記第 4 のトランジスタとの間に接続され、前記第 3 の信号に対応する第 4 の信号をゲートに受け、

前記第 1 および第 2 のトランジスタは、互いに異極性である  
ことを特徴とするデコーダ回路。