

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294415
(P2005-294415A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 33/00	HO 1 L 33/00 E	4M104
HO 1 L 21/28	HO 1 L 21/28 3O1B	5FO41
HO 1 L 29/861	HO 1 S 5/02	5FO49
HO 1 L 31/04	HO 1 S 5/347	5FO51
HO 1 L 31/10	HO 1 L 29/91 F	5F173

審査請求 未請求 請求項の数 9 O L (全 22 頁) 最終頁に続く

(21) 出願番号	特願2004-105125 (P2004-105125)	(71) 出願人	000113263 HOYA株式会社 東京都新宿区中落合2丁目7番5号
(22) 出願日	平成16年3月31日 (2004.3.31)	(74) 代理人	100103676 弁理士 藤村 康夫
		(72) 発明者	初田 美砂紀 東京都新宿区中落合2丁目7番5号 HOYA株式会社内
		(72) 発明者	柳田 裕昭 東京都新宿区中落合2丁目7番5号 HOYA株式会社内
		(72) 発明者	折田 政寛 東京都新宿区中落合2丁目7番5号 HOYA株式会社内

最終頁に続く

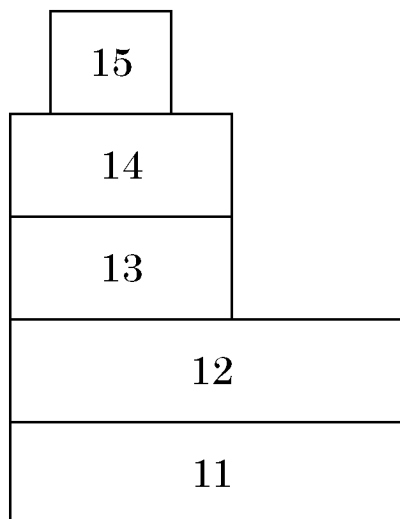
(54) 【発明の名称】 正孔注入電極及び半導体素子

(57) 【要約】

【課題】 ZnSe化合物半導体のような荷電子帯上端が真空準位から深い材料にも適用可能であり、電気特性の制御性の高く、該半導体との密着性が良く、長期安定性に優れた、正孔注入電極を得る。

【解決手段】 正孔注入電極15であって、組成式 (Pd_xPt_yNi_z)_uZnSe (ただし、uは4 u 6の実数であり、x、y、zはx+y+z=1、1>x>0、1>y>0、1>z>0の実数) で示される材料からなる電極層を有する。半導体素子であって、組成式 (Zn_{1-m-n}Mg_mCd_n)(Se_{1-m-n}S_mTe_n) (ただし、モル比m、nおよび、は、m+n=1、0 m 1、0 n 0.2、0 0.2、0 0.2) で示される材料からなるP型半導体層14と、電極層がP型半導体層14と接するように形成された正孔注入電極15と、を有してもよい。

【選択図】 図1



【特許請求の範囲】

【請求項1】

組成式 $(Pd_x Pt_y Ni_z)_u ZnSe$ (ただし、 u は $4 < u < 6$ の実数であり、 x 、 y 、 z は $x + y + z = 1$ 、 $1 > x > 0$ 、 $1 > y > 0$ 、 $1 > z > 0$ の実数) で示される材料からなる電極層を有することを特徴とする正孔注入電極。

【請求項2】

組成式 $(Zn_{1-m-n} Mg Cd)_m (Se_{1-m-n} S_m Te_n)$ (ただし、モル比 m 、 n および m 、 n は、 $m + n < 1$ 、 $0 < m < 1$ 、 $0 < n < 0.2$ 、 $0 < n < 0.2$) で示される材料からなる半導体層と、

請求項1に記載の正孔注入電極であって前記電極層が前記半導体層と接するように形成された正孔注入電極と、
を有することを特徴とする半導体素子。

10

【請求項3】

前記半導体層が $[001]$ 軸配向した単結晶からなり、かつ、前記電極層の $[001]$ 軸が前記半導体層の $[001]$ 軸と略平行であることを特徴とする請求項2に記載の半導体素子。

【請求項4】

前記半導体層が $[001]$ 軸優先配向した多結晶からなり、かつ、前記電極層の $[001]$ 軸が前記半導体層の $[001]$ 軸と略平行であることを特徴とする請求項2に記載の半導体素子。

20

【請求項5】

前記半導体層及び前記電極層は、ガラス基板上に形成されていることを特徴とする請求項4に記載の半導体素子。

【請求項6】

前記電極層の厚みが、 10 nm 以上 $10\text{ }\mu\text{m}$ 以下であることを特徴とする請求項2乃至5のいずれかに記載の半導体素子。

【請求項7】

前記半導体層が、 $1 \times 10^{18}\text{ cm}^{-3}$ 以上 $1 \times 10^{22}\text{ cm}^{-3}$ 以下の正孔濃度を有することを特徴とする請求項2乃至6のいずれかに記載の半導体素子。

30

【請求項8】

前記半導体層が、Cuドーパントを含むp型半導体層であることを特徴とする請求項2乃至7のいずれかに記載の半導体素子。

【請求項9】

前記半導体素子が発光ダイオード、ダイオード、レーザダイオード、フォトダイオード、もしくは、太陽電池であることを特徴とする請求項2乃至8のいずれかに記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、化合物半導体の結晶上に形成して用いるための正孔注入電極及び半導体素子に関する。

40

【背景技術】

【0002】

ZnSe化合物半導体は、バンドギャップが約 2.7 eV と大きく、青色LD、LEDなどオプトエレクトロニクス材料として有望視されている。しかし、ZnSeの価電子帯上端が真空準位から深いため、ZnSe化合物半導体の特性を十分に発揮するような実用的な正孔注入電極を得るのが困難であるという問題がある。従来は、この問題を克服するために、

【0003】

50

(1) 正孔注入電極の材料に、仕事関数の大きな金属(例えばAu、Ptなど)材料を使用する(特許文献1)、

【0004】

(2) ZnSe化合物半導体と正孔注入電極との界面に、高濃度にドーピングされた薄膜層を形成する(非特許文献1)、

【0005】

(3) ZnSe化合物半導体と正孔注入電極の材料との合金化反応によって、ショットキー障壁を小さくする(非特許文献2)、
などの手法が採用されている。

【特許文献1】特開平6-104421号公報

10

【非特許文献1】J. Crystal Growth 214/215、1064 (2000)

【非特許文献2】Solid-State Electronics、vol. 42、No. 1、pp. 139-144 (1998)

【発明の開示】

【発明が解決しようとする課題】

【0006】

(1)は従来広範な半導体材料に対して一般的に使われている手法であり、仕事関数の大きな金属(Au、Ptなど)の膜を、真空蒸着やスパッタなどにより半導体上に形成するというものである。しかし、p型ZnSeの価電子帯上端エネルギーは、例えばGaAsやSiなどの通常の半導体に比べて特に深いので、ZnSeに対して十分に大きな仕事関数を有する金属は存在しない。このため(1)の手法を用いた場合、無視できない程度の閾電圧が生じてしまい、その結果、動作電圧が高くなってしまうため、実用上、問題となる場合がある。また、AuやPtは、ZnSeに対して密着性が悪く、ワイヤボンディングなどの後工程で電極がはがれやすくなる場合がある。そのため、AuやPtを電極材料として用いた半導体素子は、必要な信頼性が得られない場合がある。

20

【0007】

(2)も、従来半導体材料全般に対して用いられてきた方法であり、例えば非特許文献1に示されている。これは、半導体と正孔注入電極との間に、キャリア濃度の大きい層を挿入する手法である。

30

【0008】

非特許文献1の半導体素子は、半導体としてのp-ZnSeと、正孔注入電極としてのAuとの間に、キャリア濃度の大きい層としてのp-ZnTe層と、p-ZnTe/p-ZnSeのMQW(多量子井戸)構造の層とが挿入された構造となっている。この構造では、半導体と正孔注入電極との間に生じるエネルギーの不連続を無くすことにより、ショットキー障壁を低減し、Au電極からp-ZnSeへのスムーズなキャリア(正孔)注入を実現している。

【0009】

ここで、キャリア濃度の大きい層としては、ZnTeやHgSeが用いられるが、これは、これらが容易にp型で低抵抗化が可能な材料であり、かつ、AuやPtなどの金属電極とオーミック接触が得られるからである。

40

【0010】

しかしこの場合、ZnTeやHgSeは、ZnSeとの間に約7~8%もの格子定数の不整合があるため、ZnSe上にZnTeやHgSeの結晶を成長させる時に欠陥が発生し、さらに、動作時の発熱によりさらに欠陥が増殖してしまう場合がある。非特許文献1においては、これを用いたLED(発光ダイオード)が、動作条件20、電流値20mAのとき、800時間の駆動で発光強度が初期強度の約50%まで減少すると記載されている。しかし、半導体素子の寿命は5000時間から10000時間以上が必要と考えられるため、欠陥の発生を抑制しなければならない場合が生じ得る。

【0011】

50

(3)の手法は、化合物半導体上に、化合物半導体と合金化可能な金属材料を形成し、これを短時間熱処理することにより、p型化合物半導体/金属材料の界面に合金層からなる電極を形成するものである。例えば、非特許文献2によると、p型ZnSe半導体上にスパッタ法にてPd金属膜を成膜した後、250で2分間アニールを行うと、半導体-金属間の接触抵抗が小さくなるため、閾電圧が小さくすることができると報告されている。

【0012】

しかし、半導体基板を、このような短時間で急速に温度変化させ、かつ、半導体基板全体の温度を均一かつ精密に制御することは、製造上、適用しにくい。また、厚さや大きさなどの異なる個々の基板の形状に応じて、加熱条件を微調整する必要がある。このため、半導体基板の加熱処理装置に、これらの要求を満たすための高い性能と、高精度な温度制御技術が求められ、アニール処理の条件設定が煩雑になる。

10

【0013】

さらに、化合物半導体と金属材料との界面には、種々の合金相が生じてしまうという問題もある。たとえば、非特許文献2によれば、アニール処理時間によってPdとZnSeとの界面にPd₅ZnSe、Pd₆Zn₃Se₆やPd₁₇Se₁₅などといった複数の相が形成されると記載されており、Pd₆Zn₃Se₆相とPd₁₇Se₁₅相が、電極層としての特性が良いことが示唆されている。

【0014】

しかし、複数の相が生じている電極層では、多種の反応相の形成を厳密に制御しなければ、性能にばらつきが生じてしまう。これら多種の反応相の厚さを制御することや、一種のみの相を形成するのは非常に困難であり、また、このような多種の反応相の存在により生じてしまう電極層性能のばらつきは、半導体素子の電気特性を精密に制御するのを妨げやすいため問題となる。

20

【0015】

本発明は、このような技術的背景のもとでなされたものであり、半導体との密着性が高く、長期安定性に優れた正孔注入電極を提供することを目的とする。また、本発明は、化学的に安定で、電気特性の制御性の高い、正孔注入電極を提供することを目的とする。さらに、これらの特性を有する正孔注入電極を備えた半導体素子を提供することを目的とする。

30

【課題を解決するための手段】

【0016】

本発明の第1の態様は、組成式(Pd_xPt_yNi_z)_uZnSe(uは4 u 6の実数であり、x、y、zはx+y+z=1、1>x 0、1>y 0、1>z 0の実数)で示される材料からなる電極層を有する正孔注入電極である。すなわち、少なくともPt又はNiを含む材料からなる正孔注入電極である。

【0017】

本発明の第1の態様により、半導体との密着性が高く、寿命が長く、長期安定性に優れた正孔注入電極を提供することが可能である。

【0018】

本発明の正孔注入電極の材料、(Pd_xPt_yNi_z)_uZnSeは、Pd₅TlAsと同じ結晶構造を有している。Pd₅TlAs型の結晶構造は、例えばZ.Metallick.de. BD.61(1970) H.8 p.579に報告されており、この結晶の有する空間群は、P4/mmmで表される。このPd₅TlAs型の結晶構造は、ZnSe系の半導体層との格子の不整合が小さく、低欠陥の正孔注入電極を形成させるのに有効である。なお、非特許文献2において多相の形成が確認されたうちの一種であるPd₅ZnSeは、このPd₅TlAs型の結晶構造であることが知られている。

40

【0019】

また、非特許文献2においては、Pd-ZnSe合金相のなかでは、Pd₅ZnSe単相の正孔注入電極の材料としての特性について触れられてはいなかったが、本発明者らは

50

、Pd₅ZnSe相の結晶構造が、ZnSe結晶と、エピタキシャル関係を持たせて形成することが可能であることに着目し、正孔注入電極の材料としてPd₅ZnSe相の使用を試みた。

【0020】

尚、本発明における「エピタキシャル関係」とは、通常用いられる単結晶同士の結晶軸関係を含むのは勿論であるが、多結晶同士における、単一の結晶子とその上の結晶子との結晶軸関係をも含むものとする。すなわち、上下の結晶が多結晶である多結晶同士において、下の結晶中の単一の結晶子と、その結晶子の上にある、上の結晶中の単一の結晶子が、エピタキシャル関係を有し、この関係を、多結晶のほぼ全体に亘って有している場合には、エピタキシャル関係を有する。

10

【0021】

しかし、Pd₅ZnSeを正孔注入電極の材料として用いたところ、経時的に特性が悪化し、実用化のための寿命が不十分となる場合があることが判明した。この原因として、発明者らはPd元素特有の性質に問題があると推定した。すなわち、第1の原因として、Pdは発熱的に水素を吸収する金属として知られており、例えば空気中に存在する水素を吸収した際の発熱により、結晶内に欠陥が生じたり、欠陥の増殖が生じたためであると考えた。第2の原因として、吸収した水素の拡散によって、Pd₅ZnSe電極とp型ZnSeとの界面に水素が生じ、それによりZnSe終端に表面準位ができる、アクセプタを不活性化する、などの悪影響を及ぼしているからであると考えた。

【0022】

そこで、本発明者らは、Pdの代わりに、Pt、Niを含有させることを試みたところ、格子の不整合を生じることなくエピタキシャル成長をさせることが出来、さらに、Pdの含有量を小さくすることで、寿命が長くすることが可能であることを見出した。

20

【0023】

本発明では、x、yおよびzは、 $x + y + z = 1$ の関係を有しており、Pd、Pt及びNiは、いずれも、Pd₅TlAs構造のPdサイトを占有していると考えられる。x、y、z、uの範囲が $4 < u < 6$ 、 $x + y + z = 1$ 、 $1 > x > 0$ 、 $1 > y > 0$ 、 $1 > z > 0$ であれば、Pd₅TlAs型の結晶構造を形成可能であり、格子定数の変化はほとんどない。uが4未満、もしくは、6を超えると、Pd₅TlAs構造が不安定化し、別の相が析出してしまうため、欠陥が生じたり、多相が存在するために性能のばらつきが生じてしまうため、有効な正孔注入電極を得ることが出来ない。

30

【0024】

尚、値xは、 $(Pd_x Pt_y Ni_z)_u ZnSe$ が固溶域の組成となる値であってよい。値xは、Pt、又はNiが別の相とならない範囲であってよい。値xは、例えば0.5以上、より好ましくは0.7以上、更に好ましくは0.8以上であってよい。この場合、電極層の組成を、安定に保つことができる。値xは、例えば0.5~0.95、より好ましくは0.8~0.9であってよい。

【0025】

なお、非特許文献2では、あらかじめZnSe上にPdを形成した後、熱処理により多種のPd-Zn-Se系合金相を形成しているが、本発明は、熱処理などの面倒な工程を経る必要がなく、分子線エピタキシャル成長法(MBE法)、真空蒸着法、CVD法、スパッタ法などの方法で成膜することにより形成することが可能である。

40

【0026】

また、本発明の正孔注入電極は、電極の全体が上記の組成式 $(Pd_x Pt_y Ni_z)_u ZnSe$ で形成されている必要は無く、この組成式で形成された電極層を有していれば良い。この組成式で形成された電極層が、半導体層と接して形成されていることが、半導体との密着性が高く、寿命が長く、長期安定性に優れた正孔注入電極を形成する上で特に有効である。

【0027】

本発明の第2の態様は、組成式 $(Zn_1 - m - n Mg Cd)_m Se_1 - m - n S_m$

50

$T e_n$) (ただし、モル比 m 、 n および α 、 β は、 $m+n=1$ 、 $0 \leq m \leq 1$ 、 $0 \leq n \leq 1$ 、 $0 \leq \alpha \leq 1$ 、 $0 \leq \beta \leq 1$) で示される材料からなる半導体層と、態様 1 の正孔注入電極であって電極層が半導体層と接するように形成された正孔注入電極と、を有する半導体素子である (態様 2)。

【0028】

従来、 $ZnSe$ の荷電子帯上端が真空準位から深いために、 $ZnSe$ 系化合物半導体の特性を十分に発揮するような正孔注入電極を得るのが困難であったが、本発明の正孔注入電極を用いれば、上記化合物半導体の特性を十分に発揮することが可能である。

【0029】

また、上述のように、本発明の正孔注入電極は、 Pd_5TlAs 型の結晶構造を有しているため、上記化合物半導体との格子定数の整合性が良い。 $ZnS_{0.3}Se_{0.7}$ (すなわち、 $\alpha=0$ 、 $\beta=0$ 、 $m=0.3$ 、 $n=0$) の場合は、本発明の正孔注入電極との格子定数の整合性が最も良いので、密着性がよくなり、また、寿命が長くなるため好ましい。尚、電極層と半導体層とが接していれば、格子の整合性が得られるので、電極層と半導体層の上下関係によらず、本発明の効果が得られる。

【0030】

態様 2 の $ZnSe$ 系半導体は、閃亜鉛鉱型結晶構造を有する直接遷移型のワイドギャップ半導体であり、発光ダイオードやレーザーダイオード用の半導体材料として適している。禁制帯幅を調整する目的等により、 Zn サイトの一部を Mg や Cd で置換してもよく、 Se サイトの一部を、 S や Te により置換してもよい。ただし、 Mg や Cd のモル比 α 、 β が 0.2 を超えると結晶が閃亜鉛鉱型構造ではなくなってしまうため適さない。また Te のモル比 n が 0.2 を超えると可視域の吸収が起こり、発光した光を吸収してしまうため不向きである。

【0031】

また、本発明の態様 2 の半導体素子において、半導体層が $[001]$ 軸配向した単結晶からなり、かつ、電極層の $[001]$ 軸が半導体層の $[001]$ 軸と略平行であることが好ましい (態様 3) また、半導体層が $[001]$ 軸配向した閃亜鉛鉱型単結晶からなり、かつ、電極層が $[001]$ 軸配向したヘテロエピタキシャル成長層であることが好ましい。

【0032】

本発明の正孔注入電極は、態様 2 の $ZnSe$ 系半導体層の (001) 面上に、エピタキシャル成長させることができる。すなわち、 $ZnSe$ 系半導体層の (001) 面上に、 $(Pd_xPt_yNi_z)_uZnSe$ を成長させる際、図 26、27 に示すように、 $ZnSe$ $[001] // (Pd_xPt_yNi_z)_uZnSe$ 、 $ZnSe$ $[110] // (Pd_xPt_yNi_z)_uZnSe$ 、 $ZnSe$ $[100]$ 、 $ZnSe$ $[-110] // (Pd_xPt_yNi_z)_uZnSe$ $[010]$ の軸関係を持って成長させることが出来る。たとえば、 $ZnSe$ 系半導体が $ZnSe$ の場合、 $ZnSe$ は閃亜鉛鉱型結晶構造を有し、立方晶系で格子定数は 5.7 [Å]、 $ZnSe$ (110) 面の面間隔は 4.0 [Å] である。 $(Pd_xPt_yNi_z)_uZnSe$ (100) の面間隔は、約 4.0 [Å] である。すなわち、 $(Pd_xPt_yNi_z)_uZnSe$ と $ZnSe$ に生じる格子不整合は約 1% 程度である。また、例えば、 $ZnSe$ 系 $ZnS_{0.3}Se_{0.7}$ ($\alpha=0$ 、 $\beta=0$ 、 $m=0.3$ 、 $n=0$) の場合は、 $(Pd_xPt_yNi_z)_uZnSe$ 電極ともっとも格子定数の整合性があり、格子不整合は、約 0% である。これらの値は、 $ZnTe$ や $HgSe$ が $ZnSe$ との間にある格子不整合 $7 \sim 8\%$ に比べると、はるかに小さい。このため、 $(Pd_xPt_yNi_z)_uZnSe$ と $ZnSe$ の界面には欠陥が生じにくく、また、両層の密着性が高い。さらに、界面を通して電流を流したとき、欠陥が増殖しにくく、半導体の寿命が長いため、好ましい。

【0033】

また、本発明の正孔注入電極における電極層と、 $ZnSe$ 系半導体層とを、両層の (001) 面を介して、エピタキシャル関係を形成させる場合には、従来法のようなアニール

10

20

30

40

50

処理が不要である。このため加熱処理装置の高い性能や高度な制御技術も不要になり、短時間かつ容易に製造可能である。また、 $(Pd_xPt_yNi_z)_uZnSe$ 相を制御性良く形成することは比較的容易であるので、好ましくない複数の結晶相が複製することが無く、電極層の性能にばらつきが生じることもなく、電気特性を精密に制御することが可能である。尚、上記のエピタキシャル関係においては、例えば半導体層上へのエピタキシャル成長により電極層が形成されてもよく、電極層上へのエピタキシャル成長により半導体層が形成されてもよい。

【0034】

また、本発明の態様2の半導体素子において、半導体層が $[001]$ 軸優先配向した多結晶からなり、かつ、電極層の $[001]$ 軸が半導体層の $[001]$ 軸と略平行であることが好ましい(態様4)。

10

【0035】

従来、半導体素子には単結晶からなるp型半導体層が用いられてきた。これは、多結晶ではp型半導体層に必要とされる電気伝導性が得られないためである。また、p型半導体層を単結晶とするために、基板として単結晶基板を用いる必要があった。

【0036】

しかし、本発明は、多結晶からなるp型半導体層をも用いることができるものである。すなわち、前記p型ZnSe系半導体層は、多結晶でもよい。また、本発明の正孔注入電極は、多結晶p型ZnSe系半導体層上にも成長させることができる。特に、p型ZnSe系半導体層中にCuをドーブした場合、正孔濃度を高くすることが可能となり、多結晶からなるp型半導体層として好ましい。Cuドーブp型ZnSeは多結晶でも十分に導電性があり、 $(Pd_xPt_yNi_z)_uZnSe$ を接合させた場合、閾電圧はなくオーミックに接合する。

20

【0037】

このように、p型半導体層として多結晶を用いることができるので、基板に単結晶基板を用いる必要がなく、多結晶基板やガラス基板等、基板の選択性を広げることが可能となる。また、生産効率やコストの面からも好ましい。半導体層、電極層のうち、下側の層が $[001]$ 軸配向して形成できる基板であればよく、これにより、半導体層と電極層とが、両層の (001) 面を介してエピタキシャル関係を形成することが可能となる。

【0038】

なお、基板として多結晶基板を用いる場合には、 $[001]$ 軸優先配向した基板を用い、この基板の (001) 面上に半導体層や電極層を形成するのが好ましい。これにより、態様4の構成を得やすいからである。

30

【0039】

また、本発明の態様4の半導体素子において、半導体層及び電極層は、ガラス基板上に形成されていてもよい(態様5)。

【0040】

また、本発明の態様2~5のいずれかの半導体素子において、電極層の厚みが、 10nm 以上 $10\mu\text{m}$ 以下であることが好ましい(態様6)。

【0041】

本発明の正孔注入電極における電極層の厚みは、 10nm 以上 $10\mu\text{m}$ 以下が好ましい。 $10\mu\text{m}$ 以上であると、半導体層との密着性が低下し、はがれやすくなり、また、 10nm 以下では電極としての性能(寿命、動作安定性)に支障をきたす。電極層の厚みは、 20nm 以上 $1\mu\text{m}$ 以下であると、半導体層との密着性が良く、電極としての性能(寿命、動作安定性)も良いため、さらに好ましい。

40

【0042】

また、本発明の態様2~6のいずれかの半導体素子において、半導体層が、 $1 \times 10^{18}\text{cm}^{-3}$ 以上 $1 \times 10^{22}\text{cm}^{-3}$ 以下の正孔濃度を有することが好ましい(態様7)。また、本発明の態様2~7のいずれかの半導体素子において、半導体層が、Cuドーパントを含むp型半導体層であることがさらに好ましい(態様8)。

50

【0043】

本発明の正孔注入電極は、ZnSe系半導体の中でも、特にp型ZnSe系半導体に接合し、半導体中に正孔を注入するのに用いると効果的である。p型ZnSe半導体は、半導体層の一例である。p型ZnSe半導体は、ドーパントによりp型特性を与えたZnSe系半導体であってよい。ここで、ZnSe系半導体にp型の極性を与えるドーパントとして、LiやNが知られている。Liを用いる場合には、ZnSe系半導体中の正孔濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度まで高めることができる。一方、Nを用いる場合には、正孔濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度まで高めることができる。これらのドーパントによりp型特性を与えたZnSe系半導体に、本発明の $(\text{Pd}_x \text{Pt}_y \text{Ni}_z)_u \text{ZnSe}$ 電極を接合することにより、半導体中に正孔を注入できる。

10

【0044】

ZnSe系半導体中の正孔濃度(正孔のキャリア密度)をより高くした場合、一例として、ドーパントとして数mol%のCuを与えた場合には、 $(\text{Pd}_x \text{Pt}_y \text{Ni}_z)_u \text{ZnSe}$ はp型ZnSe系半導体とオーミックに接合する。正孔濃度が高いほど、オーミックに接合され、効率が上がるので好ましい。ドーパントとしてCuを用いる場合には、高濃度の正孔(例えば $1 \times 10^{16} \sim 1 \times 10^{23} \text{ cm}^{-3}$)を注入できるので好ましい。

【0045】

尚、従来検討されていたCuドープZnSe半導体の正孔濃度は、せいぜい 10^{14} cm^{-3} であり、本願の添加濃度よりも格段と低いものである。これは、従来、Cuが深いアクセプタ準位を形成することが知られていたため、低抵抗化が困難であると考えられていたこと、Cuドープ量をそれ以上増やすと、発光効率が著しく劣化することが知られていたこと、等により、オプトエレクトロニクス材料として興味が持たれなかったという背景による。

20

【0046】

このような状況で、本発明では、従来検討されることの無かった高いCuドープ量について初めて検討したものであり、その検討の結果、低抵抗で、高い正孔濃度を有するCuドープZnSe半導体を見出したものである。

【0047】

本発明の正孔注入電極の仕事関数は、5~6eVの範囲にあり、ZnSeの価電子帯上端エネルギー6.3eVに近い。このため、p型ZnSeに接合したとき、ZnSeの価電子帯内に正孔を注入することが可能であるだけでなく、界面の接触抵抗が低いため、効率が良い。たとえば、Nドープp型ZnSeに接合した場合には約2Vの電圧を加えた場合に、正孔を注入できる。また特に、Nドープp型ZnSe系半導体よりも高濃度の正孔濃度を有するp型ZnSe系半導体、例えば、Cuドープp型ZnSe系半導体(例えば $1 \times 10^{16} \sim 1 \times 10^{23} \text{ cm}^{-3}$)に本発明の正孔注入電極を接合した場合には、オーミック接合が実現し、効率よく正孔を注入できる。

30

【0048】

また、本発明の態様2~8のいずれかの半導体素子は、発光ダイオード(LED)、ダイオード、レーザダイオード、フォトダイオード、もしくは、太陽電池とすることが可能である(態様9)。

40

【発明の効果】

【0049】

本発明によれば、ZnSe化合物半導体のような荷電子帯上端が真空準位から深い材料にも適用可能であり、電気特性の制御性の高く、該半導体との密着性が良く、長期安定性に優れた、正孔注入電極を得ることができる。またこれらの特性を備えた半導体素子を得ることができる。

【発明を実施するための最良の形態】

【0050】

本発明の代表的な形態として、 $(\text{Pd}_x \text{Pt}_y \text{Ni}_z)_u \text{ZnSe}$ 電極層を用いた半導体素子の例を説明する。図1は、本発明の代表的な発光ダイオードの断面図である。この

50

発光ダイオードは、基板 11 上に順に n 型用電極 12、n 型半導体 13、p 型半導体 14、p 型用電極 15 で形成されている。ここで、p 型用電極 15 は、本発明の正孔注入電極に相当し、p 型半導体 14 と接している電極層を含む。

【0051】

詳しくは、基板として用いたガラス基板 11 上に、順に n 型用電極としての ITO 層 12 (0.5 μm 厚)、n 型半導体としての Cl ドープ ZnS_{0.3}Se_{0.7} 層 13 (1 μm 厚)、p 型半導体としての Cu ドープ ZnS_{0.3}Se_{0.7} 層 14 (1 μm 厚)、p 型用電極としての組成式 (Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe の正孔注入電極 15 (0.1 μm 厚) を積層した。積層された (Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe は、電極層の一例である。ここで、形成された Cu ドープ ZnSe 半導体層は、
[001] 軸優先配向した多結晶であり、この上に形成された (Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe 電極層は、半導体層の [001] 軸に関してエピタキシャル関係を有するように形成され、すなわち、半導体層の [001] 軸と電極層の [001] 軸とは略平行となるように形成されていた。ZnSe 系化合物半導体を用いたのは、バンドギャップが 2.7 eV と大きいため、本発明の効果が顕著となるからである。ガラス基板や ITO 層を用いたのは、透明なため、発光した光を透過し見やすくできるからである。

10

【0052】

この半導体素子において、(Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe 電極に電源の正極を接続し、ITO 層 12 上に電源の負極を接続して、両電極間に 3V 以上の電位差を与えると、(Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe 電極層 15 から Cu ドープ
ZnS_{0.3}Se_{0.7} 層 14 の価電子帯内に正孔が注入されるとともに、ITO 12 から Cl ドープ ZnS_{0.3}Se_{0.7} 層 13 の伝導帯内に電子が注入される。正孔と電子は、両 ZnS_{0.3}Se_{0.7} 層の界面で再結合して可視光を放ち、透明な ITO 膜 12 とガラス基板 11 とを透過して図の下方に放出され、発光ダイオードとして機能する。

20

【0053】

尚、正孔注入電極とは、例えば、半導体素子等において、電源の正極と接続される部分である。正孔注入電極は、例えば半導体素子における p 型半導体層と電氣的に接続されることにより、電源から受け取る電力に応じて、この p 型半導体層に、正孔を供給する。正孔注入電極は、例えば金属層等の、本発明に係る電極層以外の層を、更に有してもよい。電極層は、例えば Al、Au、又は Pt 等で形成された金属層を介して、電源と接続され
てもよい。また、電極層とは、正孔注入電極に含まれる、所定の層状部分である。電極層は、外部の電源と、例えばこの半導体素子とを、電氣的に接続する。

30

【0054】

以下、実施例を示して、本発明をさらに詳細に説明する。

【実施例 1】

【0055】

図 2 を用いて、p 型半導体層としての多結晶 Cu ドープ p 型 ZnSe 上に、電極 (Pd_xPt_yNi_z)_uZnSe を用いた例を説明する。

【0056】

ガラス基板 21 に、ルツボ加熱式の真空蒸着法を用いて、p 型半導体層として多結晶 Cu ドープ p 型 ZnSe 層 22 を約 1 μm 成膜した。このとき、蒸着は、基板温度を 200 に保持し、Zn、Se、Cu 各原料の加熱設定温度をそれぞれ 250、150、1000 として行った。このときの各原料の分圧比は Zn:Se:Cu = 25:80:1 であり、正孔のキャリア濃度は約 2 × 10²¹ cm⁻³ であった。この上に、正孔注入電極として (Pd_xPt_yNi_z)_uZnSe 膜 23 をおよそ 300 nm 成膜した。(Pd_xPt_yNi_z)_uZnSe 膜 23 は、電極層の一例である。蒸着はルツボ加熱式の真空蒸着法を用い、Pd、Pt、Ni 各原料の分圧比を変えて x、y、z、u の各パラメータを変えて行った。基板温度を 200 に保持し、Zn、Se 各原料の加熱設定温度をそれぞれ 250、150 として行った。このようにして直径 0.5 mm、電極間隔 5 mm の形状で電極として形成し、半導体素子を得た。

40

50

【0057】

得られた半導体素子のI-V測定を行い、各々のパラメータにおいての閾電圧を求めた。測定においては、パラメータx、y、zのそれぞれを、0.1~0.9の範囲で、0.1刻みで変化させた。x、y、z、uの各パラメータについて、測定を行った点を、図24に黒塗りの丸印で示す。

【0058】

測定を行った結果、いずれの条件においても閾電圧が消失し、良好にオーミック接合していることが確認された。uの値が5以外の4~6の範囲においても閾電圧は $u=5$ のときと同様な傾向が示され、p型CuドープZnSeと良好なオーミック接合が得られることを確認した。尚、uの値は、例えば5程度(例えば4.8~5.2)であるのが好ましい。この場合、特に良好なオーミック接合が得られる。

10

【実施例2】

【0059】

図3を用いて、p型半導体層としての単結晶Nドープp型ZnSe上に、正孔注入電極($Pd_xPt_yNi_z$)_uZnSeを用いた例を説明する。

【0060】

高抵抗の[001]軸に配向したZnSe単結晶基板31に酸エッチングを施し、さらに真空度 10^{-5} Pa以上のMBE真空チャンバー内で500~15分の熱エッチングを施した。高抵抗のZnSe単結晶基板とは、例えば、不純物をドープしていないZnSe単結晶基板である。この基板の(001)面上に、Nドープのp型ZnSe層32をMBE法により約1 μ mエピタキシャル成長させた。p型ZnSe層32は、半導体層の一例である。基板温度を250とし、フラックス比(分子線の分圧比)Zn:Seはおよそ1:2として行った。Nのドーピングには高周波励起式のラジカルビーム源を用い、高周波出力250W、窒素ガスの流量0.05sccmとした。このp型ZnSeのキャリア濃度は約 1×10^{18} cm⁻³であった。この上に正孔注入電極として($Pd_xPt_yNi_z$)_uZnSe層33をおよそ300nm成膜した。($Pd_xPt_yNi_z$)_uZnSe層33は、電極層の一例である。ルツボ加熱式の真空蒸着法を用い、Pd、Pt、Ni各原料の分圧比を変えてx、y、z、uの各パラメータを変えて行った。基板温度を200に保持し、Zn、Se各原料の加熱設定温度をそれぞれ250、150とした。1組は均一に成膜し、もう一方は、直径0.5mm、電極間隔5mmの形状で電極として形成し、均一に成膜した各試料の仕事関数を求めた。仕事関数は光電子分光装置を用いた。一方、I-V測定を行うことにより、電極として形成した各試料の閾電圧を求めた。

20

30

【0061】

表1から3に、各々のパラメータにおいて得られた仕事関数を示した。また、図25に、パラメータの各点において測定した閾電圧を示した。図25において、黒塗りの丸印は、閾電圧が1.1~1.5Vとなったパラメータ、黒塗りの四角印は、閾電圧が1.5~2.0Vとなったパラメータ、黒塗りの三角印は、閾電圧が2.0~2.4Vとなったパラメータを示す。($Pd_xPt_yNi_z$)₅ZnSeの仕事関数は、5~6eVの範囲になった。Nドープ上に成膜した場合、閾電圧は約2V程度残った。しかし、表4に示したような金属電極を用いた場合よりも閾電圧が低くなった。uの値が5以外の4~6の範囲においても仕事関数や閾電圧は $u=5$ のときと同様な傾向の結果が得られ、金属電極を用いたときよりも閾電圧が小さいことを確認した。

40

【表 1】

Pd	Pt	Ni		仕事関数
x	y	z	u	ϕ [eV]
0.9	0.0	0.1	5	5.4
0.9	0.1	0.0	5	5.5
0.8	0.0	0.2	5	5.4
0.8	0.1	0.1	5	5.5
0.8	0.2	0.0	5	5.5
0.7	0.0	0.3	5	5.4
0.7	0.1	0.2	5	5.5
0.7	0.2	0.1	5	5.5
0.7	0.3	0.0	5	5.6
0.6	0.0	0.4	5	5.4
0.6	0.1	0.3	5	5.5
0.6	0.2	0.2	5	5.5
0.6	0.3	0.1	5	5.6
0.6	0.4	0.0	5	5.6
0.5	0.0	0.5	5	5.4
0.5	0.1	0.4	5	5.5
0.5	0.2	0.3	5	5.5
0.5	0.3	0.2	5	5.6
0.5	0.4	0.1	5	5.6
0.5	0.5	0.0	5	5.7

10

20

【表 2】

Pd	Pt	Ni		仕事関数
x	y	z	u	ϕ [eV]
0.4	0.0	0.6	5	5.4
0.4	0.1	0.5	5	5.5
0.4	0.2	0.4	5	5.5
0.4	0.3	0.3	5	5.6
0.4	0.4	0.2	5	5.6
0.4	0.5	0.1	5	5.7
0.4	0.6	0.0	5	5.7
0.3	0.0	0.7	5	5.4
0.3	0.1	0.6	5	5.5
0.3	0.2	0.5	5	5.5
0.3	0.3	0.4	5	5.6
0.3	0.4	0.3	5	5.6
0.3	0.5	0.2	5	5.7
0.3	0.6	0.1	5	5.7
0.3	0.7	0.0	5	5.8
0.2	0.0	0.8	5	5.4
0.2	0.1	0.7	5	5.5
0.2	0.2	0.6	5	5.5
0.2	0.3	0.5	5	5.6
0.2	0.4	0.4	5	5.6
0.2	0.5	0.3	5	5.7
0.2	0.6	0.2	5	5.7
0.2	0.7	0.1	5	5.8
0.2	0.8	0.0	5	5.8
0.1	0.0	0.9	5	5.4
0.1	0.1	0.8	5	5.5
0.1	0.2	0.7	5	5.5
0.1	0.3	0.6	5	5.6
0.1	0.4	0.5	5	5.6
0.1	0.5	0.4	5	5.7
0.1	0.6	0.3	5	5.7
0.1	0.7	0.2	5	5.8
0.1	0.8	0.1	5	5.8
0.1	0.9	0.0	5	5.9

30

40

50

【表 3】

Pd	Pt	Ni		仕事関数
x	y	z	u	ϕ [eV]
0.0	0.1	0.9	5	5.5
0.0	0.2	0.8	5	5.6
0.0	0.3	0.7	5	5.6
0.0	0.4	0.6	5	5.7
0.0	0.5	0.5	5	5.7
0.0	0.6	0.4	5	5.8
0.0	0.7	0.3	5	5.8
0.0	0.8	0.2	5	5.9
0.0	0.9	0.1	5	5.9

10

【表 4】

	仕事関数	閾電圧
	ϕ [eV]	[V]
Au	5.02	16
Pd	5.12	9
Pt	5.65	9
Ni	5.15	4

20

【0062】

さらに、 u の値が4未満、もしくは、6を超えると、閾電圧が大きくなった。例として、 $x = 0.8$ 、 $y = 0.2$ 、 $z = 0$ のとき u の条件を変えたときの閾電圧の変化を図4に示した。 u が4未満、もしくは、6を超えると、閾電圧が大きくなるのは、Pd₅TlAs構造が不安定化し、別の相が析出してしまうためと考えられる。

【0063】

図5には、正孔注入電極(Pd_xPt_yNi_z)_uZnSe膜の厚さを種々に変え、0.1Vの電圧をかけたときの電流値の(Pd_xPt_yNi_z)_uZnSe膜厚依存性を示した。図5に示すように、10nm以下では電極としての性能に支障をきたしたが、10nm以上であれば大きく電流値が変わることはなく良好である。しかし10 μ m以上になると超音波ワイヤーボンディング時にはがれやすくなり、好ましくない。

30

【実施例3】

【0064】

多結晶Cuドーブp型ZnSe上に正孔注入電極(Pd_xPt_yNi_z)_uZnSeを用い、ボンディングした例について、図6、図7を用いて説明する。

【0065】

ガラス基板61上に、ルツボ加熱式の真空蒸着法を用いて、多結晶Cuドーブp型ZnSe層62を約1 μ m成膜した。多結晶Cuドーブp型ZnSe層62は、Cuドーパントを含むp型半導体層の一例である。また、多結晶Cuドーブp型ZnSe層62は、ガラス基板上に形成された多結晶体の一例でもある。蒸着は、基板温度を200に保持し、Zn、Se、Cu各原料の加熱設定温度をそれぞれ250、150、1000として行った。このときの各原料の分圧比はZn:Se:Cu=25:80:1であった。この上に2種類の電極を作製した。ひとつは、(Pd_xPt_yNi_z)_uZnSe層63をおよそ300nm成膜して作製した。(Pd_xPt_yNi_z)_uZnSe層63は、電極層の一例である。この成膜は、ルツボ加熱式の真空蒸着法を用い、基板温度を200に保持し、Zn、Se各原料の加熱設定温度をそれぞれ250、150として行い、直径0.5mmの形状で電極として形成した。さらにその上にスパッタ法によって、Al膜64を約50nm成膜しこれをパッドとした。これを図6に示した。(Pd_xPt_yNi_z)_uZnSe層63と、Al膜64とは、正孔注入電極を構成してよい。もう一方の電極は、ルツボ加熱式の真空蒸着法を用いて直径0.5mmの同様な形状でAu膜65を

40

50

300 nm成膜した。これを図7に示した。さらにその上にスパッタ法によって、Al膜64を約50 nm成膜しこれをパッドとした。この2種類の電極に直径50 μmのAlワイヤーを用いて超音波ボンディングを行った。

【0066】

これら接合の評価として、プル・テスト法を用いた。図8のようにテンション・ゲージ先端の針をボンディングされたワイヤーに引っ掛けて真上にあげた。テンション・ゲージが2.5 gfのとき、Al/Au上にボンディングしたAlワイヤーの接合部からはがれてしまった。しかし、Al/(Pd_xPt_yNi_z)_uZnSe上にボンディングしたAlワイヤーは接合部からはがれたり破断したりということはなかった。よって、ZnSe上に電極(Pd_xPt_yNi_z)_uZnSeを用いた方が、密着性が高いことを確認した。

10

【実施例4】

【0067】

多結晶Cuドーパ型ZnSe上に正孔注入電極(Pd_xPt_yNi_z)_uZnSeを用い、通電試験を行った。図9、図10を用いて説明する。

【0068】

ガラス基板21上に、ルツボ加熱式の真空蒸着法を用いて、多結晶Cuドーパ型ZnSe層22を約1 μm成膜した。多結晶Cuドーパ型ZnSeは、Cuドーパントを含むp型半導体層、及びガラス基板上に形成された多結晶体の一例である。蒸着は、基板温度を200 に保持し、Zn、Se、Cu各原料の加熱設定温度をそれぞれ250、150、1000 として行った。このときの各原料の分圧比はZn:Se:Cu 25:80:1であった。

20

【0069】

次に、この上に2種類の電極を作製した。ひとつは、ルツボ加熱式の真空蒸着法を用い、(Pd_xPt_yNi_z)_uZnSe層23をおよそ300 nm成膜し、直径0.5 mm、電極間隔5 mmの形状で電極として形成した。(図9)。(Pd_xPt_yNi_z)_uZnSe層23は、電極層の一例である。もう一方の電極は、ルツボ加熱式の真空蒸着法を用いて直径0.5 mm、電極間隔5 mmの同様な形状でAu膜65を300 nm成膜した(図10)。これにより、Cuドーパントを含むp型半導体層に、金属電極の一例であるAu電極を形成した。他の例において、金属電極は、Auに代えて、例えばPt、又はAl等により形成されてもよい。

30

【0070】

これらの電極にプローブを用いて20 mAの定電流で通電試験を行い、比較をした。その結果、Au電極の寿命は、200時間であった。また、(Pd_xPt_yNi_z)_uZnSe電極は、1000時間以上安定して動作した。これにより、(Pd_xPt_yNi_z)_uZnSe電極について、電極としての信頼性が高いことを確認した。

【0071】

また、さらに通電試験を続けることにより、(Pd_xPt_yNi_z)_uZnSe電極の中でもPdの含有量の少ない電極ほど、寿命が長いことを確認した。Pdの含有量を減らしNi、Ptを混ぜることによって、さらに寿命が長くなることが示された。

40

【実施例5】

【0072】

図11を用いて、ガラス基板上に作製した発光ダイオードに適用した例を説明する。

【0073】

ガラス基板41上にn型用電極としてITO膜42を500 nm、スパッタリング法を用いて成膜した。この上にルツボ加熱式の真空蒸着法を用い、n型半導体としてClドーパのn型ZnSe層43を成膜した。ここで、Cl源としてZnCl₂を用い、設定温度は210 とした。形成されたn型ZnS_{0.3}Se_{0.7}膜43上に、p型半導体としてCuドーパのp型ZnS_{0.3}Se_{0.7}層44を成膜した。Cuドーパのp型ZnS_{0.3}Se_{0.7}層44は、Cuドーパントを含むp型半導体層の一例である。成長時の

50

Cuの設定温度は1000とした。この一連の成長は基板温度を250とした。このときの正孔濃度は $1 \times 10^{21} \text{ cm}^{-3}$ であった。続けてp型ZnSe (p型ZnS_{0.3}Se_{0.7}層44)上に、正孔注入電極として(Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe層45を積層させた。(Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe層45は、電極層の一例である。このとき、基板温度を200とし、各原料の仕込んだ質量比はPd:Pt:Ni:ZnSe = 4:0.5:0.5:1として行った。さらにその上にスパッタリング法によって、Al膜46を成膜し、直径0.5mmの電極を形成した。この上に直径50μmのAlワイヤーを用いて超音波ボンディングを行った。最後にITO膜42上にIn膜47をつけて電極とした。これの電気特性は図12に示すように、閾電圧3Vの整流性を示した。5V印加すると発光をし、波長480nmをピークとするスペクトルが得られ、これを図13に示した。

【実施例6】

【0074】

次に、本発明をダイオードでの発光に適用した例を説明する。図14に示すような発光ダイオードを作製した。

【0075】

基板として、[001]軸に配向したn型ZnSe単結晶71を用いた。この基板に酸エッチングを施し、さらに真空度 10^{-5} Pa 以上のMBEの真空チャンバー内で500 - 15分の熱エッチングを施した。この基板の上にMBE法により、n型半導体としてClドープのn型ZnSe層72を成膜した。ここで、Cl源としてZnCl₂を用い、設定温度は210とした。得られたn型ZnSeのキャリア濃度は約 $1 \times 10^{18} \text{ cm}^{-3}$ であった。このn型ZnSe層上に、p型半導体としてCuドープのp型ZnSe層73をエピタキシャル成長させた。Cuドープのp型ZnSe層73は、Cuドーパントを含むp型半導体層の一例である。ここで、成長時のCuの設定温度は1000とした。この一連の成長は基板温度を250とし、フラックス比Zn:Seをおよそ1:2として行った。得られたp型ZnSeの正孔濃度は $2 \times 10^{21} \text{ cm}^{-3}$ であった。

【0076】

続けて、p型ZnSe上に正孔注入電極として(Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe層74を積層させた。(Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe層74は、電極層の一例である。ここで、正孔注入電極の電極層である(Pd_{0.8}Pt_{0.1}Ni_{0.1})₅ZnSe層のX線回折解析を行った結果を、図15に示した。尚、ZnSeの回折強度が強いため、30~35、62~70、109~110[deg]を省いて測定した。観測された回折はPd_{5.1}ZnSeとして報告されている結晶構造と同一の構造を有することがわかった。

【0077】

最後にn型基板にIn層75をつけ電極とし、電気特性を得た。その結果、p-n接合の順バイアス閾値電圧約3Vの整流性を示した。5Vの電圧印加ではピーク波長470nmの発光が得られた。図16に示すように、20mAでの連続動作を行ったところ、1000時間でもその発光強度は初期強度の90%までしか減衰せず、長時間の安定動作を確認することができた。

【実施例7】

【0078】

次に、この発明を多結晶基板上に適用したダイオードの例について、図17を用いて説明する。

【0079】

基板として高抵抗の、[001]軸に優先配向したZnSe多結晶101を用いた。この基板に酸エッチングを施し、さらに真空度 10^{-5} Pa 以上のMBEの真空チャンバー内で500 - 15分の熱エッチングを施した。この基板の(001)面上にMBE法を用いて正孔注入電極として(Pd_{0.9}Pt_{0.1}Ni₀)₅ZnSe層102を積層させた。(Pd_{0.9}Pt_{0.1}Ni₀)₅ZnSe層102は、電極層の一例である。次

に、MBE法により、p型半導体層としてCuドーブのp型ZnSe層103を積層させた。これにより、本例において、p型半導体層は、[001]軸に優先配向しながら、電極層の上に形成される。このときのCuの設定温度は1000とした。得られたp型ZnSeの正孔濃度は $2 \times 10^{21} \text{ cm}^{-3}$ であった。次に、n型半導体層としてClドーブのn型ZnSe層104を成膜した。このときCl源としてZnCl₂を用い、設定温度は210とした。このn型ZnSeのキャリア濃度は約 $1 \times 10^{18} \text{ cm}^{-3}$ であった。この一連の成長は基板温度を250とし、フラックス比Zn:Seをおよそ1:2として行った。

【0080】

さらにn型ZnSe層104上と(Pd_{0.9}Pt_{0.1}Ni₀)₅ZnSe層102上に、スパッタリング法によって、Al膜105、106を成膜し、直径0.5mmの電極を形成した。この上に直径50μmのAlワイヤーを用いて超音波ボンディングを行った。

【0081】

こうして作製したダイオードは、図18に示すように、p-n接合の順バイアス閾値電圧約4Vの整流性を示した。

【実施例8】

【0082】

次に、この発明を単結晶基板上に適用したレーザダイオードの例について、図19を用いて説明する。

【0083】

基板として、[001]軸に配向したn型GaAs基板81を用いた。この基板に酸エッチングを施し、さらに真空度 10^{-5} Pa 以上のMBEの真空チャンバー内で500-15分の熱エッチングを施した。この基板の(001)面上に、クラッド層としてGaAs基板と整合性のあるn型ClドーブZnS_{0.06}Se_{0.94}層82を用い、1μm成膜した。この上に、Zn_{0.8}Cd_{0.2}Seの量子井戸層83を活性層とし、7nm成膜した。さらに、p型CuドーブZnS_{0.06}Se_{0.94}層84クラッド層に用い、1μm成膜した。その上に積む層の格子同士にひずみが生じないように、ZnSSe系の層85をバッファ層として成膜し、最上層のコンタクト層がCuドーブしたZnS_{0.3}Se_{0.7}層86となるようにした。CuドーブしたZnS_{0.3}Se_{0.7}層86は、Cuドーバントを含むp型半導体層の一例である。さらにその上に電極として(Pd_{0.9}Pt_{0.1}Ni₀)₅ZnSe層87を積層し、これをp型電極とした。このp型電極は、正孔注入電極の一例である。また、(Pd_{0.9}Pt_{0.1}Ni₀)₅ZnSe層87は、電極層の一例である。n型電極にはIn層88を用いた。

【0084】

図20に、77Kにおいてパルス幅1μs、繰り返し周波数1kHzのパルス駆動下で測定したL-I特性を示した。光出力は電流値200mAで立ち上がった。しきい値電流密度は 0.8 kA/cm^2 であった。また、発光スペクトルを図21に示した。

【実施例9】

【0085】

本発明を単結晶基板上に適用したフォトダイオードの例について、図22を用いて説明する。

【0086】

基板として、[001]軸に配向したn型ZnSe単結晶91を用いた。この基板に酸エッチングを施し、さらに真空度 10^{-5} Pa 以上のMBEの真空チャンバー内で500-15分の熱エッチングを施した。この基板の(001)面上にMBE法により、Clドーブのn型ZnSe層92を成膜した。ここで、Cl源としてZnCl₂を用い、設定温度は210とした。このn型ZnSeのキャリア濃度は約 $1 \times 10^{18} \text{ cm}^{-3}$ であった。このn型ZnSe膜上にノドーブのZnSe膜93を積層した。さらにその上にCuドーブのp型ZnSe層94をエピタキシャル成長させた。Cuドーブのp型ZnSe

層 94 は、Cu ドープを含む p 型半導体層の一例である。成長時の Cu の設定温度は 1000 とした。この一連の成長は基板温度を 250 とし、フラックス比 Zn : Se をおよそ 1 : 2 とした。得られた p 型 ZnSe の正孔濃度は $2 \times 10^{21} \text{ cm}^{-3}$ であった。

【0087】

続けて、p 型 ZnSe 層 94 上に $(\text{Pd}_{0.9} \text{Pt}_{0.1} \text{Ni}_0)_5.1$ ZnSe 層 95 を積層させた。 $(\text{Pd}_{0.9} \text{Pt}_{0.1} \text{Ni}_0)_5.1$ ZnSe 層 95 は、電極層の一例である。最後に n 型基板に In 層 96 をつけて電極とした。

【0088】

その結果、約 470 nm にピークを持つような分光感度特性が得られた。

10

【実施例 10】

【0089】

この発明をガラス基板上に適用した太陽電池の例について、図 23 を用いて説明する。

【0090】

ガラス基板 201 上に、ITO 層 202 を 500 nm、スパッタリング法を用いて成膜した。この上にルツボ加熱式の真空蒸着法を用い、Cl ドープの n 型 ZnSe 層 203 を成膜した。ここで、Cl 源として ZnCl_2 を用い、設定温度は 210 とした。この n 型 ZnSe 層 203 上にノンドープの ZnSe 膜 204 を積層した。さらにその上に Cu ドープの p 型 ZnSe 層 205 を積層した。Cu ドープの p 型 ZnSe 層 205 は、Cu ドープを含む p 型半導体層の一例である。この時の Cu の設定温度は 1000 とした。この一連の成長は基板温度を 250 とし、分圧比 Zn : Se をおよそ 1 : 2 とした。続けて p 型 ZnSe 層 205 上に正孔注入電極 $(\text{Pd}_{0.9} \text{Pt}_{0.1} \text{Ni}_0)_5$ ZnSe 層 206 を積層させた。 $(\text{Pd}_{0.9} \text{Pt}_{0.1} \text{Ni}_0)_5.1$ ZnSe 層 206 は、電極層の一例である。さらにその上にスパッタリング法によって、Al 膜 207 を成膜し、直径 0.5 mm の電極を形成した。この上に直径 50 μm の Al ワイヤーを用いて超音波ボンディングを行った。最後に n 型基板に In 層 208 をつけ電極とした。約 480 nm にピークを持つような分光感度特性が得られた。

20

【0091】

分光感度特性はその半導体の禁止帯幅によって決まる。太陽の光をより効率よく発電するためには、現在、太陽電池に使われているシリコンなどの半導体よりも高波長側の感度特性を持った太陽電池を組み合わせて使い、太陽光のスペクトルをすべて網羅する必要がある。さらに、容易に大型化できる必要がある。この実施例における太陽電池は、高波長側の波長感度特性をもち、さらにガラス基板上への作製が容易なので大型化がしやすい。

30

【産業上の利用可能性】

【0092】

本発明に係る正孔注入電極及び半導体素子は、例えば発光ダイオード、ダイオード、レーザーダイオード、フォトダイオード、又は太陽電池等に、好適に利用できる。

【図面の簡単な説明】

【0093】

【図 1】本発明の代表的な形態を示す断面図である。

40

【図 2】本発明の実施例 1 に係る半導体素子を示す断面図である。

【図 3】本発明の実施例 2 に係る半導体素子を示す断面図である。

【図 4】本発明の実施例 2 における、電極層の u 値の特性依存性を示す図である。

【図 5】本発明の実施例 2 における、電極層の膜厚依存性を示す図である。

【図 6】本発明の実施例 3 に係る半導体素子を示す断面図である。

【図 7】本発明の実施例 3 に係る半導体素子の従来例を示す断面図である。

【図 8】本発明の実施例 3 に係る半導体素子の評価方法を示す断面図である。

【図 9】本発明の実施例 4 に係る半導体素子を示す断面図である。

【図 10】本発明の実施例 4 に係る半導体素子の従来例を示す断面図である。

【図 11】本発明の実施例 5 に係る半導体素子（発光ダイオード）を示す断面図である。

50

【図 1 2】本発明の実施例 5 に係る半導体素子（発光ダイオード）の電気特性を示す図である。

【図 1 3】本発明の実施例 5 に係る半導体素子（発光ダイオード）の発光特性を示す図である。

【図 1 4】本発明の実施例 6 に係る半導体素子（発光ダイオード）を示す断面図である。

【図 1 5】本発明の実施例 6 に係る半導体素子（発光ダイオード）の X 線回折を示す図である。

【図 1 6】本発明の実施例 6 に係る半導体素子（発光ダイオード）の電気特性を示す図である。

【図 1 7】本発明の実施例 7 に係る半導体素子（ダイオード）を示す断面図である。

10

【図 1 8】本発明の実施例 7 に係る半導体素子（ダイオード）の電気特性を示す図である。

【図 1 9】本発明の実施例 8 に係る半導体素子（レーザダイオード）を示す断面図である。

【図 2 0】本発明の実施例 8 に係る半導体素子（レーザダイオード）の L - I 特性を示す図である。

【図 2 1】本発明の実施例 8 に係る半導体素子（レーザダイオード）の発光特性を示す図である。

【図 2 2】本発明の実施例 9 に係る半導体素子（フォトダイオード）を示す断面図である。

20

【図 2 3】本発明の実施例 1 0 に係る半導体素子（太陽電池）を示す断面図である。

【図 2 4】本発明の実施例 1 において、測定を行ったパラメータの値を示す。

【図 2 5】本発明の実施例 2 において、パラメータの各点において測定した閾電圧を示す。

【図 2 6】本発明の電極層の結晶構造の模式図である。

【図 2 7】Z n S e 閃亜鉛鋅型結晶構造の模式図である。

【符号の説明】

【 0 0 9 4 】

1 1 基板

1 2 n 型用電極

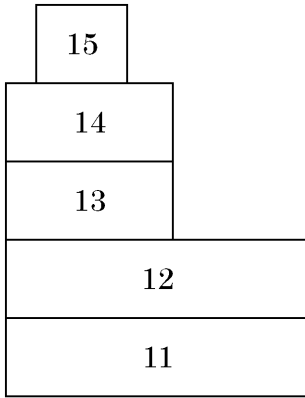
1 3 n 型半導体

1 4 p 型半導体

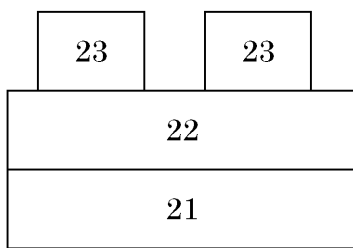
1 5 正孔注入電極（電極層を含む）

30

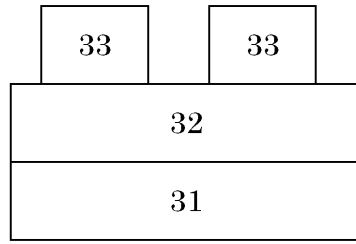
【 図 1 】



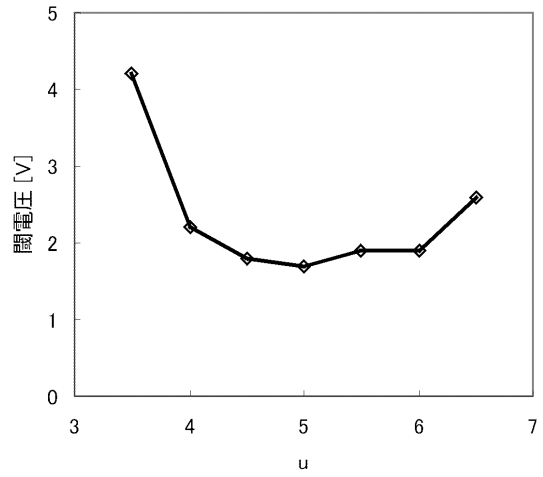
【 図 2 】



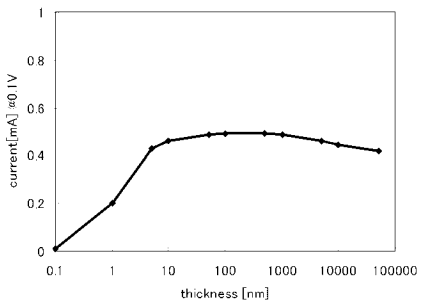
【 図 3 】



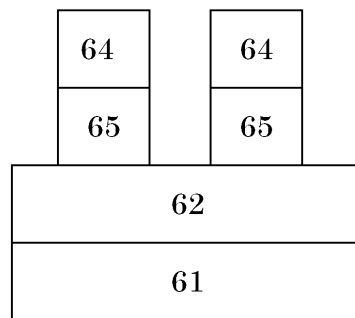
【 図 4 】



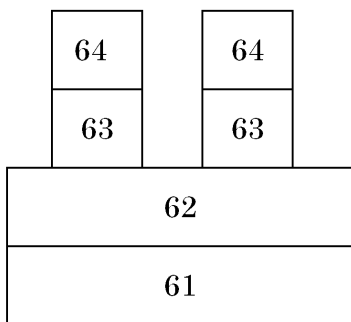
【 図 5 】



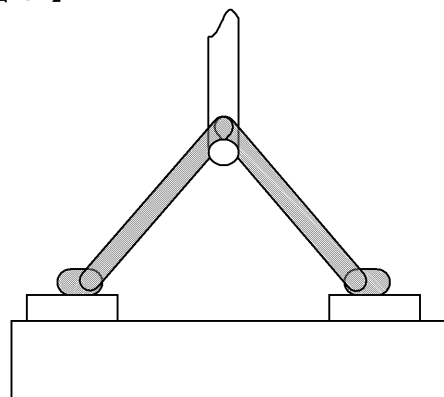
【 図 7 】



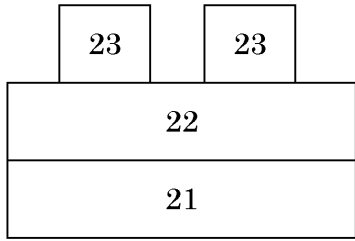
【 図 6 】



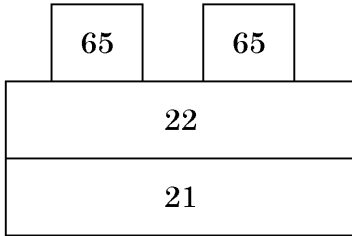
【 図 8 】



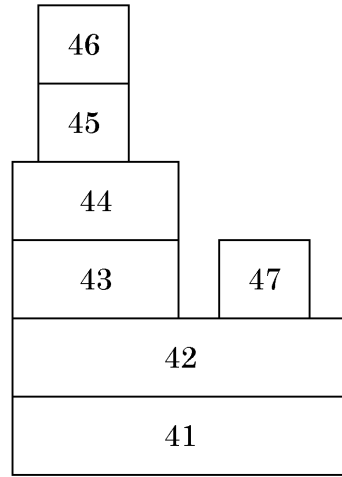
【 図 9 】



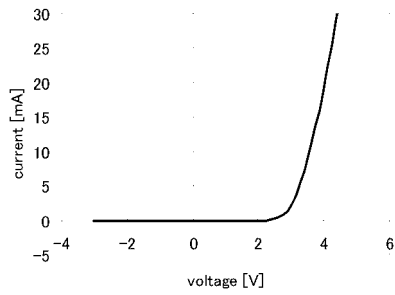
【 図 1 0 】



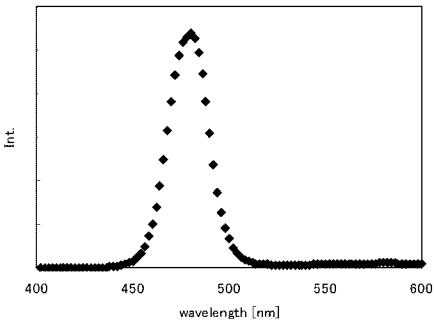
【 図 1 1 】



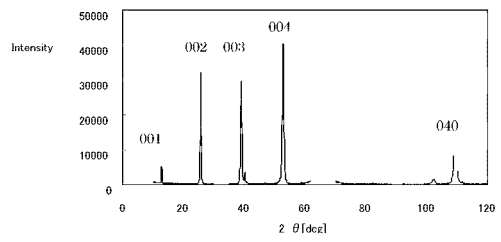
【 図 1 2 】



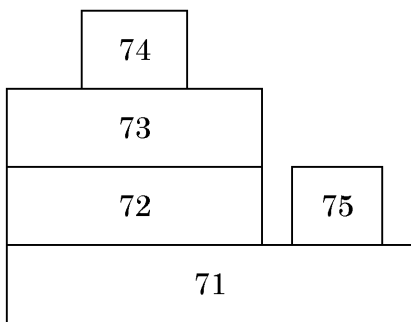
【 図 1 3 】



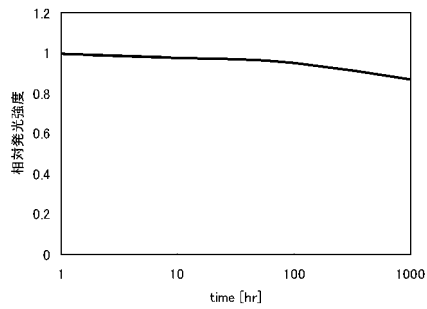
【 図 1 5 】



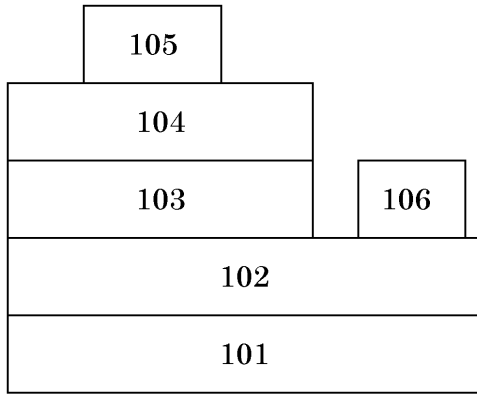
【 図 1 4 】



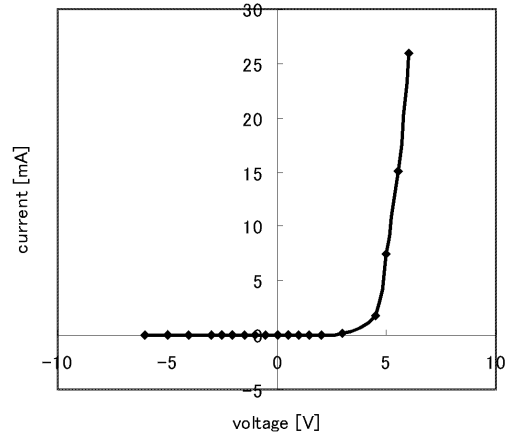
【 図 1 6 】



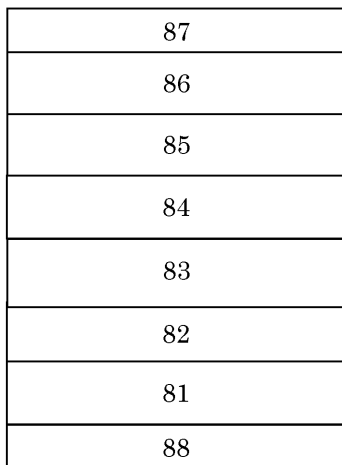
【 図 1 7 】



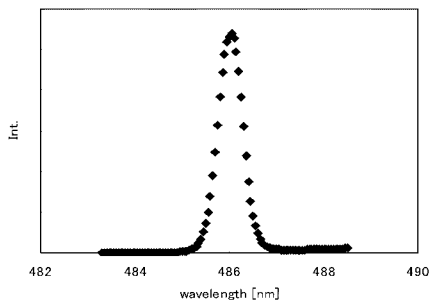
【 図 1 8 】



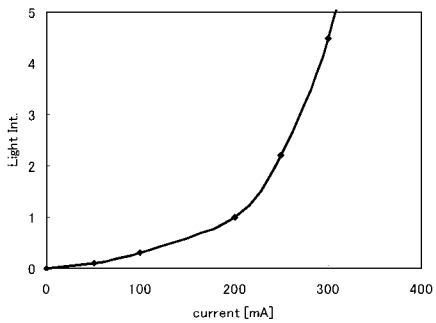
【 図 1 9 】



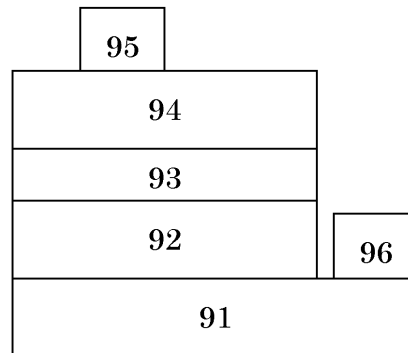
【 図 2 1 】



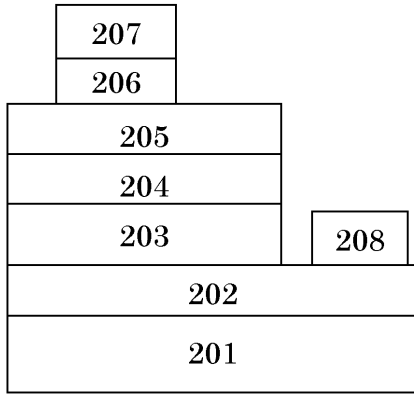
【 図 2 0 】



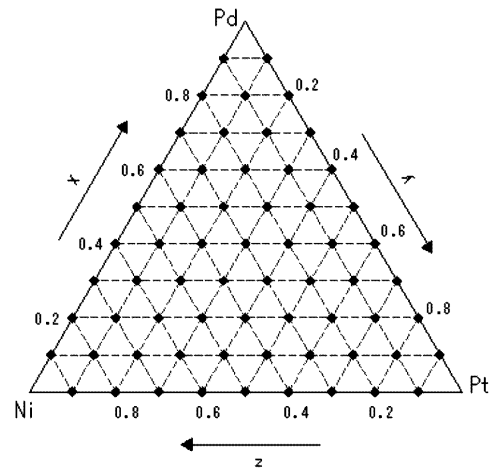
【 図 2 2 】



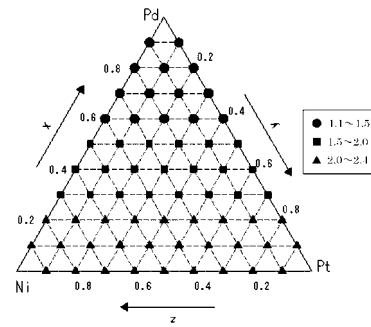
【 図 2 3 】



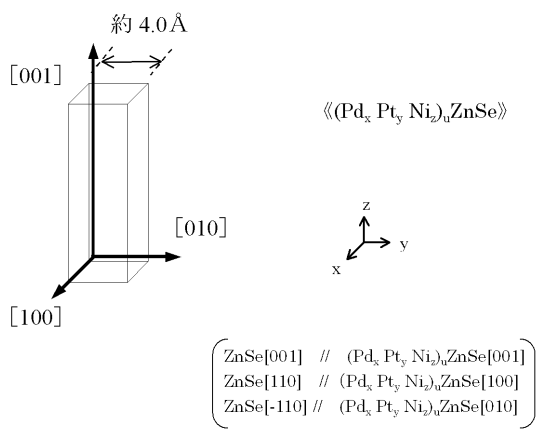
【 図 2 4 】



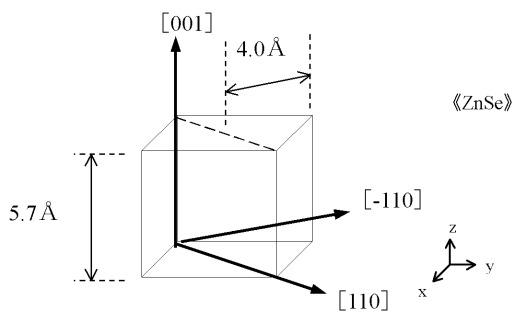
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 S 5/02	H 0 1 L 31/10	H
H 0 1 S 5/347	H 0 1 L 31/04	H

Fターム(参考) 4M104 AA03 BB36 DD34 GG02 GG04 HH08
5F041 AA43 CA44 CA66 CA67 CA84 CA87 CA98
5F049 MA02 MB01 PA01 SE05
5F051 AA09 BA11 BA12 CB14 DA03 FA04 FA06 GA03
5F173 AA01 AH32 AH47 AK05 AK20 AP09