



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I523125 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：100133523

(22)申請日：中華民國 100 (2011) 年 09 月 16 日

(51)Int. Cl. : H01L21/56 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/09/17 美國

12/884,649

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)

美國

(72)發明人：歐根賽安 維吉 OGANESIAN, VAGE (IL)；哈巴 貝勒卡塞姆 HABA, BELGACEM

(US)；穆翰米德 艾里亞斯 MOHAMMED, ILYAS (IN)；米契爾 克瑞格

MITCHELL, CRAIG (US)；賽維拉亞 毘悠許 SAVALIA, PIYUSH (IN)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 6620731B2

US 6667551B2

US 2006/0278997A1

US 2007/0262464A1

US 2008/0111213A1

審查人員：李景松

申請專利範圍項數：104 項 圖式數：25 共 116 頁

(54)名稱

自晶片兩側之階段導孔之形成

STAGED VIA FORMATION FROM BOTH SIDES OF CHIP

(57)摘要

本發明揭示一種製造一半導體總成之方法，其可包含：提供具有一前表面、一後表面及複數個導電襯墊的一半導體元件；藉由從該前表面上方施加至各自導電襯墊之處理而形成至少穿過該等導電襯墊之一各自者延伸的至少一孔；形成從該後表面至少部分穿過該半導體元件的一厚度延伸的一開口，使得該至少一孔及該開口在該前表面與該後表面之間的一位置處交切；及形成暴露於該後表面處的至少一導電元件，以電連接至一外部裝置，該至少一導電元件在該至少一孔內延伸且至少延伸至該開口中，該導電元件與該各自導電襯墊電連接。

A method of fabricating a semiconductor assembly can include providing a semiconductor element having a front surface, a rear surface, and a plurality of conductive pads, forming at least one hole extending at least through a respective one of the conductive pads by processing applied to the respective conductive pad from above the front surface, forming an opening extending from the rear surface at least partially through a thickness of the semiconductor element, such that the at least one hole and the opening meet at a location between the front and rear surfaces, and forming at least one conductive element exposed at the rear surface for electrical connection to an external device, the at least one conductive element extending within the at least one hole and at least into the opening, the conductive element being electrically connected with the respective conductive pad.

指定代表圖：

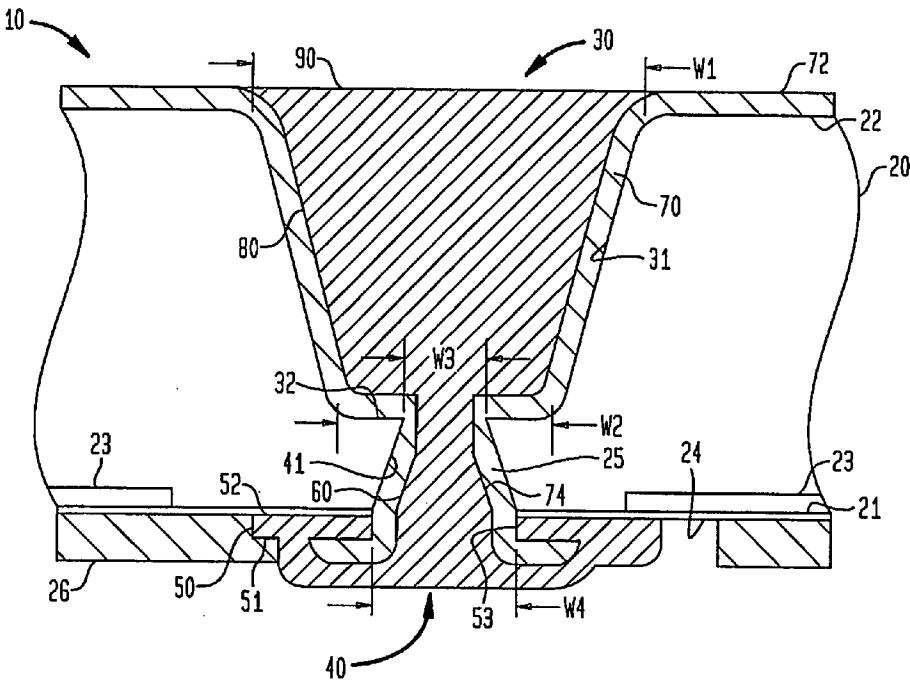


圖 1

- 符號簡單說明：
- 10 . . . 微電子單元
 - 20 . . . 半導體元件
 - 21 . . . 前表面
 - 22 . . . 後表面
 - 23 . . . 主動半導體區域
 - 24 . . . 介電層
 - 25 . . . 介電層
 - 26 . . . 外表面
 - 30 . . . 開口
 - 31 . . . 內表面
 - 32 . . . 下表面
 - 40 . . . 孔
 - 41 . . . 內表面
 - 50 . . . 導電襯墊
 - 51 . . . 頂表面
 - 52 . . . 底表面
 - 53 . . . 內表面
 - 60 . . . 導電襯墊
 - 70 . . . 介電層
 - 72 . . . 外部表面
 - 74 . . . 第二孔隙
 - 80 . . . 導電互連
 - 90 . . . 表面

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100133523

※申請日：100.9.16

※IPC 分類：H01L 21/56 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/60 (2006.01)

自晶片兩側之階段導孔之形成

STAGED VIA FORMATION FROM BOTH SIDES OF CHIP

二、中文發明摘要：

本發明揭示一種製造一半導體總成之方法，其可包含：提供具有一前表面、一後表面及複數個導電襯墊的一半導體元件；藉由從該前表面上方施加至各自導電襯墊之處理而形成至少穿過該等導電襯墊之一各自者延伸的至少一孔；形成從該後表面至少部分穿過該半導體元件的一厚度延伸的一開口，使得該至少一孔及該開口在該前表面與該後表面之間的一位置處交切；及形成暴露於該後表面處的至少一導電元件，以電連接至一外部裝置，該至少一導電元件在該至少一孔內延伸且至少延伸至該開口中，該導電元件與該各自導電襯墊電連接。

三、英文發明摘要：

A method of fabricating a semiconductor assembly can include providing a semiconductor element having a front surface, a rear surface, and a plurality of conductive pads, forming at least one hole extending at least through a respective one of the conductive pads by processing applied to the respective conductive pad from above the front surface, forming an opening extending from the rear surface at least partially through a thickness of the semiconductor element, such that the at least one hole and the opening meet at a location between the front and rear surfaces, and forming at least one conductive element exposed at the rear surface for electrical connection to an external device, the at least one conductive element extending within the at least one hole and at least into the opening, the conductive element being electrically connected with the respective conductive pad.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	微電子單元
20	半導體元件
21	前表面
22	後表面
23	主動半導體區域
24	介電層
25	介電層
26	外表面
30	開口
31	內表面
32	下表面
40	孔
41	內表面
50	導電襯墊
51	頂表面
52	底表面
53	內表面
60	導電襯墊
70	介電層
72	外部表面
74	第二孔隙

80 導電互連

90 表面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於微電子裝置之封裝，尤其半導體裝置之封裝。

【先前技術】

微電子元件大體上包括一半導體材料之一薄薄板，諸如矽或鎵的砷化物，通常稱為一晶粒或一半導體晶片。半導體晶片通常提供為個別、預封裝單元。在一些單元設計中，該半導體晶片安裝至一基板或晶片載體，其繼而安裝於一電路面板上，諸如一印刷電路板。

主動電路製造於該半導體晶片的一第一面中(例如，一前表面)。為促進至該主動電路之電連接，該晶片在相同面上提供焊墊。該等焊墊通常以一規則陣列繞該晶粒的邊緣而放置，或放置於該晶粒中央(對於許多記憶體裝置)。該等焊墊大體上由約0.5微米厚的一導電金屬(諸如銅或鋁)製成。該等焊墊可包含一單一層或多層金屬。該等焊墊之尺寸將隨著該裝置類型而改變，但通常在一側上將量測為幾十至幾百微米。

矽穿孔(TSV)用於將該等焊墊與該半導體晶片的一第二面(例如，一後表面，該第二面對置於該第一面)連接。一習知導孔包含穿透該半導體晶片的一孔，及從該第一面穿過該孔延伸至該第二面的一導電材料。該等焊墊可電連接至導孔，以允許該等焊墊與該半導體晶片之該第二面上的導電元件之間的連通。

習知 TSV 孔可減小可用於容納該主動電路的該第一面之部分。可用於主動電路的該第一面上的可用空間中的此一縮減可增加生產每一半導體晶片所需之矽的量，藉此潛在增加每一晶片之成本。

由於在習知導孔內的一非最佳應力分佈及例如一半導體晶片與接合該晶片的結構之間的熱膨脹係數(CTE)的一失配，該等導孔的可靠性可具有挑戰。例如，當一半導體晶片內的導電導孔由一相對薄及硬介電材料絕緣時，該導孔內可存在明顯應力。再者，當該半導體晶片接合至一聚合基板之導電元件時，在該晶片與該基板之較高CTE結構之間的電連接將由於CTE失配而處於應力之下。

在晶片之任何實體配置中尺寸係一重要考慮因數。對於晶片的更緊密實體配置的需求隨著可攜式電子裝置的快速發展而變得更加迫切。僅經由實例，通常稱為「智慧型手機」的裝置整合蜂巢式手機的功能與強大資料處理器、記憶體及輔助裝置，諸如全球定位系統接收器、電子相機及區域網路連接，連同高解析度顯示器及關聯之影像處理晶片。此等裝置可均在一口袋尺寸的裝置中提供諸如全網際網路連接、包含全解析度視訊之娛樂、導航、電子銀行及更多能力。複雜的可攜式裝置需要將許多晶片封裝入一小空間中。此外，一些該等晶片具有許多輸入及輸出連接，通常稱為「I/O」。此等I/O必須與其他晶片之I/O互連。該等互連應短且應具有低阻抗以最小化信號傳播延遲。形成該等互連之組件不應在很大程度上增加總成之尺寸。其他

應用中出現類似需要，例如，諸如使用於網際網路搜尋引擎中的資料伺服器。例如，在複雜晶片之間提供許多較短、低阻抗互連的結構可增加該搜尋引擎之頻寬，且減小其電力消耗。

儘管在半導體導孔形成及互連中已有進步，仍然可作出進一步改良。

【發明內容】

根據本發明之一態樣，一種製造一半導體總成的方法可包含：提供一半導體元件，其具有一前表面、遠離該前表面的一後表面及複數個導電襯墊。每一襯墊可具有暴露於該前表面的一頂表面，且可具有遠離該頂表面的一底表面。該方法亦可包含藉由從該前表面上方施加至各自導電襯墊之處理而形成至少穿過該等導電襯墊之一各自者而延伸的至少一孔。該方法亦可包含形成一開口，其從該後表面至少部分穿過該半導體元件的一厚度而延伸，使得該至少一孔及該開口在該前表面與該後表面之間的一位置處交切(meet)。該方法亦可包含形成暴露於該後表面的至少一導電元件，以電連接至一外部裝置。該至少一導電元件可在該至少一孔內延伸且至少至該開口中。該導電元件可與該各自導電襯墊電連接。

在一特定實施例中，該方法亦可包含形成一連續介電層，該連續介電層至少在該各自導電襯墊上方的一位置處部分上覆於各自導電襯墊上，且上覆於該孔內之該半導體元件的一內部表面上。在一例示性實施例中，形成至少一

導電元件的步驟可形成：直接或間接耦接至該各自導電襯墊的至少一導電互連；及耦接至該各自導電互連的至少一導電接觸件。該至少一導電接觸件可暴露於該後表面處。在一特定實施例中，該至少一導電接觸件可上覆於該半導體元件之該後表面上。在一實施例中，該開口可具有沿著該後表面的一橫向方向上的一第一寬度，且該等導電接觸件之至少一者可具有在該橫向方向上的一第二寬度，該第一寬度大於該第二寬度。在一特定實施例中，該至少一接觸件可與該開口內的該半導體元件之一部分在一垂直方向對準，該垂直方向為該半導體元件之厚度的一方向。

在一例示性實施例中，形成該至少一孔的步驟可經執行使得該至少一孔部分穿過該半導體元件之厚度而延伸。在一實施例中，形成該至少一孔的步驟可經執行使得該至少一孔穿過該半導體元件之厚度延伸至多至該前表面與該後表面之間的距離的三分之一。該開口可延伸穿過未被該至少一孔佔據的該半導體元件之厚度之一剩餘部分。在一特定實施例中，該半導體元件可包含複數個主動半導體裝置。該複數個導電襯墊之至少一者可與該複數個主動半導體裝置之至少一者電連接。在一例示性實施例中，藉由引導一束精細磨料粒子朝向該半導體元件，可形成該等孔及該開口之任意者之一者或多者。

在一實施例中，形成該至少一孔的步驟可形成兩個或兩個以上孔。形成該開口之步驟可經執行使得該開口從該半導體元件之該後表面延伸至該等孔之兩者或兩者以上。在

一特定實施例中，形成該開口之步驟可經執行使得該開口具有一通道形狀，其具有在沿著該半導體元件之一表面在一第一方向延伸的一長度，及在橫切該第一方向的一第二橫向方向延伸的一寬度，該長度大於該寬度。在一例示性實施例中，可從該前表面上方施加至該各自導電襯墊的該處理可為化學蝕刻、雷射鑽孔或電漿蝕刻。在一實施例中，一種製造一堆疊總成的方法可包含至少第一半導體總成及第二半導體總成。該方法亦可包含將該第一半導體總成與該第二半導體總成電連接的步驟。

在一特定實施例中，形成至少一導電元件的步驟可形成：暴露於該後表面的至少一導電互連，以電連接至一外部裝置；及至少一導電導孔。該至少一導電互連可至少延伸至該開口中。每一導孔可在一各自孔內延伸且可耦接至一各自導電互連及一各自襯墊。在一實施例中，形成至少一導電元件的步驟可形成兩個或兩個以上導電互連。複數個孔可與該開口交切，且該等導電互連可至少在該開口內延伸至各自導孔。在一例示性實施例中，每一導電互連可藉由電鍍一金屬層而形成，該金屬層上覆於該開口之至少一內表面上。該導電互連可符合於該開口的一輪廓。在一特定實施例中，該等導電互連可沿著該開口之內表面之各自部分而延伸。

在一實施例中，形成至少一導電元件之步驟可經執行以便至少在該開口內形成兩個或兩個以上導電互連。該兩個或兩個以上導電互連之各者可延伸至該等導電導孔的一單

一者處。在一例示性實施例中，每一導電互連可定義一內部空間。在一特定實施例中，該方法亦可包含用一介電材料填充每一內部空間的步驟。在一實施例中，該方法亦可包含至少在該開口之內表面上形成一介電層的步驟。每一導電互連可填充該介電層之表面之間的一體積。

在一例示性實施例中，該方法亦可包含在該開口內形成一介電區域，及形成穿過該介電區域而延伸的一孔隙。該孔隙可具有恆定直徑，或可以朝向該前表面的一方向而成錐形，且可具有不符合該開口之一輪廓的一輪廓。形成至少一導電元件的步驟可至少在該孔隙內形成該等導電互連的一各自者。在一特定實施例中，該等導電互連之各自者可具有一圓柱形或截頭圓錐形。在一實施例中，可藉由將一金屬層電鍍至該孔隙之一內表面上而形成該等導電互連之各自者。在一例示性實施例中，該等導電互連之各自者可定義一內部空間。

在一特定實施例中，該方法亦可包含用一介電材料填充該內部空間的步驟。在一實施例中，該等導電互連之各自者可填充該孔隙內的一體積。在一例示性實施例中，該等導電導孔的至少一者可藉由電鍍一金屬層而形成，該金屬層上覆於該等孔之各自者的至少一內表面上。該導電導孔可符合於該孔的一輪廓。在一特定實施例中，該等導電導孔之至少一者之各者可定義一內部空間。在一實施例中，該方法亦可包含用一介電材料填充每一內部空間的步驟。在一例示性實施例中，該方法亦可包含形成一介電層之步

驟，該介電層上覆於在該等孔之各自者之至少該內表面上。該導電導孔的至少一者之各者可填充該介電層之表面之間的一體積。

在一實施例中，該方法亦可包含在形成該開口的步驟之前在每一孔內形成一介電區域，及形成穿過每一介電區域而延伸的一孔隙。該孔隙可具有恆定直徑，或可以朝向該後表面的一方向而成錐形，且可具有不符合於該孔之一輪廓的一輪廓。形成至少一導電元件的步驟可至少在該孔隙內形成該等導電導孔的一各自者。在一例示性實施例中，該等導電導孔之該各自者可具有一圓柱形或截頭圓錐形。在一特定實施例中，該等導電導孔之各自者可藉由電鍍一金屬層而形成，該金屬層上覆於該孔隙之一內表面上。在一實施例中，該等導電導孔之至少一者之各者可定義一內部空間。

在一例示性實施例中，該方法亦可包含用一介電材料填充每一內部空間的步驟。在一特定實施例中，該導電導孔之至少一者之各者可填充該孔隙內的一體積。在一實施例中，每一導電導孔可在其之一頂部末端處具有一第一寬度，且每一導電互連可在其之一底部末端處具有一第二寬度，該底部末端與該導電導孔之一各自者之該頂部末端交切，該第二寬度不同於該第一寬度。在一例示性實施例中，形成至少一導電元件之步驟可經執行以便形成暴露於該後表面的至少一導電互連，以電連接至一外部裝置。該至少一導電互連可在該至少一孔內延伸且至少延伸至該開

口中。每一導電互連可延伸至一各自襯墊。

在一特定實施例中，形成至少一導電元件的步驟可形成兩個或兩個以上導電互連。複數個該等孔可與該開口交切，且該等導電互連可至少在該開口內延伸且穿過該等各自孔至該等各自襯墊。在一實施例中，該方法亦可包含在該孔及該開口內形成一介電區域，且形成穿過該介電區域而延伸的一孔隙。該孔隙可具有不符合於該孔隙之一輪廓或該開口之一輪廓的一輪廓。形成至少一導電元件的步驟可在至少在該孔隙內形成該等導電互連之一各自者。在一例示性實施例中，該等導電互連之各自者可具有一圓柱形或截頭圓錐形。在一特定實施例中，該等導電互連之各自者可藉由電鍍一金屬層而形成，該金屬層上覆於該孔隙之一內表面上。

根據本發明之一態樣，一種半導體總成包含一半導體元件，該半導體元件具有一前表面、遠離該前表面的一後表面及一開口，該開口從該後表面至少部分穿過該半導體元件之厚度而延伸。該半導體元件可進一步包含在該前表面處的複數個導電襯墊。該半導體總成亦可包含至少一孔，該至少一孔延伸穿過該導電襯墊且部分穿過該半導體元件之厚度。該至少一孔與該開口可在該前表面與該後表面之間的一位置處交切。在該孔與該開口交切之該位置處，該孔及該開口的內部表面可依相對於該後表面之不同角度延伸，使得在該孔及該開口之內部表面之斜率之間可具有一梯階變化。該半導體總成亦可包含一連續介電層，其至少

在該導電襯墊上方的一位置處部分上覆於該導電襯墊上，且上覆於該孔內之該半導體材料之一內部表面上。該半導體總成亦可包含至少一導電元件，其與各自導電襯墊電接觸。該至少一導電元件可具有暴露於該後表面的一第一部分，以與一外部裝置電連接。該至少一導電元件可具有上覆於該連續介電層上的一第二部分，該第二部分至少在該導電襯墊上方的一位置。

根據本發明之一態樣，一種半導體總成包含一半導體元件，該半導體元件具有一前表面、遠離該前表面的一後表面及一開口，該開口從該後表面至少部分穿過該半導體元件之厚度而延伸。該半導體元件可進一步包含在該前表面處的複數個導電襯墊。該半導體總成亦可包含至少一孔，該至少一孔延伸穿過該導電襯墊且部分穿過該半導體元件之厚度。該至少一孔可與該開口在該前表面與該後表面之間的一位置處交切。在該孔與該開口交切之該位置處，該孔及該開口的內部表面可依相對於該後表面之不同角度延伸，使得在該孔及該開口之內部表面之斜率之間可具有一梯階變化。該半導體總成亦可包含一連續介電層，其上覆於該孔內之導電襯墊之一內部表面上，且上覆於在該孔內之該半導體材料之一內部表面上。該半導體總成亦可包含至少一導電元件，其電接觸該各自導電襯墊。該至少一導電元件可具有暴露於該後表面的一第一部分，以與一外部裝置電連接。該至少一導電元件可具有上覆於該連續介電層上的一第二部分。

在一特定實施例中，該至少一導電襯墊可具有一面向外的表面，其背向該半導體元件。該介電層的至少一部分可接觸該面向外的表面。在一實施例中，該至少一導電元件可包含：直接或間接耦接至該各自導電襯墊的至少一導電互連；及耦接至該各自導電互連的至少一導電接觸件。該至少一導電接觸件可暴露於該後表面。在一例示性實施例中，該至少一導電接觸件可上覆於該半導體元件之該後表面上。在一特定實施例中，該開口可沿著該後表面在一橫向方向上具有一第一寬度，且該等導電接觸件之至少一者可具有在該橫向方向上的一第二寬度，該第一寬度大於該第二寬度。

在一實施例中，該至少一接觸件可與該開口內的該半導體元件之一部分在一垂直方向上對準，該垂直方向為該半導體元件之厚度的一方向。在一例示性實施例中，該半導體元件可包含複數個主動半導體裝置，且該複數個導電襯墊之至少一者可與該複數個主動半導體裝置之至少一者電連接。在一特定實施例中，該至少一孔可為兩個或兩個以上孔，且該開口可從該半導體元件之該後表面延伸至該等孔之兩者或兩者以上。在一實施例中，該開口可具有一通道形狀，其具有沿著該半導體元件之一表面而在一第一方向上延伸的一長度，及在橫切該第一方向的一第二橫向方向上延伸的一寬度，該長度大於該寬度。

在一例示性實施例中，該至少一導電襯墊可具有一面向外的表面，其背向該半導體元件。該至少一導電元件之至

少一部分可上覆於該面向外的表面上，且可電連接至該面向外的表面。在一特定實施例中，一種堆疊總成可包含至少第一半導體總成及第二半導體總成。該第一半導體總成可與該第二半導體總成電連接。在一實施例中，該至少一導電元件可包含：暴露於該後表面的至少一導電互連，以電連接至一外部裝置；及至少一導電導孔。該至少一導電互連可至少延伸至該開口中。每一導孔可在一各自孔內延伸且可耦接至一各自導電互連及一各自襯墊。在一例示性實施例中，該至少一導電元件可包含兩個或兩個以上導電互連。複數個該等孔可與該開口交切，且該等導電互連可至少在該開口內延伸至該等各自導孔。

在一特定實施例中，每一導電互連可至少在該開口之一內表面上。該導電互連可符合於該開口的一輪廓。在一實施例中，該等導電互連可沿著該開口之該內表面之各自部分而延伸。在一例示性實施例中，該至少一導電元件可包含至少在該開口內延伸的兩個或兩個以上導電互連。該兩個或兩個以上導電互連之各者可延伸至該等導電導孔之一單一者。在一特定實施例中，每一導電互連可定義一內部空間。在一實施例中，可用一介電材料至少部分填充每一內部空間。在一例示性實施例中，該半導體總成亦可包含上覆於該開口之至少該內表面上的一介電層。每一導電互連可填充該介電層之表面之間的一體積。

在一實施例中，該半導體總成亦可包含一介電區域，該介電區域安置於該開口內且一孔隙穿過該介電區域而延

伸。該孔隙可具有恆定直徑，或可在朝向該前表面的一方向上成錐形，且可具有不符合於該開口之一輪廓的一輪廓。該等導電互連之一各自者可至少在該孔隙內延伸。在一例示性實施例中，該等導電互連之各自者可具有一圓柱形或截頭圓錐形。在一特定實施例中，該等導電互連之各自者可定義一內部空間。在一實施例中，可用一介電材料至少部分填充該內部空間。在一例示性實施例中，該等導電互連之各自者可填充該孔隙內的一體積。在一特定實施例中，該等導電導孔之至少一者可在該等孔之各自者之至少一內表面上。該導電導孔可符合於該孔之一輪廓。

在一例示性實施例中，該等導電導孔之至少一者之各者可定義一內部空間。在一實施例中，可用一介電材料至少部分填充每一內部空間。在一特定實施例中，該半導體總成亦可包含一介電層，其上覆於該等孔之各自者之至少該內表面上。該等導電導孔之至少一者之各者可填充該介電層之表面之間的一體積。在一例示性實施例中，該半導體總成亦可包含一介電區域，該介電區域安置於每一孔內的一介電區域且一孔隙穿過每一介電區域而延伸。該孔隙可具有恆定直徑或可在朝向該後表面的一方向上成錐形，且可具有不符合於該孔之一輪廓的一輪廓。該等導電導孔之一各自者可至少在該孔隙內延伸。在一特定實施例中，該等導電導孔之各自者可具有一圓柱形或截頭圓錐形。在一實施例中，該等導電導孔之至少一者之各者可定義一內部空間。

在一特定實施例中，可用一介電材料至少部分填充每一內部空間。在一例示性實施例中，該等導電導孔之至少一者之各者可填充該孔隙內的一體積。在一實施例中，每一導電導孔可具有在其之一頂部末端的一第一寬度，且每一導電互連可具有在其之一底部末端的一第二寬度，該底部末端與該等導電導孔之一各自者之該頂部末端交切，該第二寬度不同於該第一寬度。在一特定實施例中，該至少一導電元件可包含暴露於該後表面處的至少一導電互連，以電連接至一外部裝置。該至少一導電互連可在至少一孔內延伸且至少至該開口中。每一導電互連可延伸至一各自襯墊。

在一例示性實施例中，該至少一導電元件可包含兩個或兩個以上導電互連。複數個該等孔可與該開口交切，且該等導電互連可至少在該開口內延伸且穿過該等各自孔至該等各自襯墊。在一實施例中，該半導體總成亦可包含一介電區域，該介電區域安置於該孔及該開口內且一孔隙穿過該介電區域而延伸。該孔隙可具有不符合於該孔之一輪廓或該開口之一輪廓的一輪廓。該等導電互連之一各自者可至少在該孔隙內延伸。在一特定實施例中，該等導電互連之各自者可具有一圓柱形或截頭圓錐形。

根據本發明之一態樣，一種半導體總成包含一半導體元件，其具有一前表面、遠離該前表面的一後表面、從該後表面至少部分穿過該半導體元件之厚度而延伸的一開口，及從該前表面至少部分穿過該半導體元件之厚度而延伸的

一孔。該孔及該開口可在該前表面與該後表面之間的一位置處交切。該半導體元件可進一步包含在該前表面處的複數個導電襯墊。至少一導電襯墊可從該孔橫向偏移。該半導體總成亦可包含至少一導電元件，其具有暴露於該後表面的一部分，以與一外部裝置電連接。該至少一導電元件可在該孔內延伸且至少至該開口中。該至少一導電元件可僅部分上覆於該各自導電襯墊之一表面上。

在一特定實施例中，該至少一導電元件可包含：暴露於該後表面處的至少一導電互連，以電連接至一外部裝置；及至少一導電導孔。該至少一導電互連可至少延伸至該開口中。每一導孔可在一各自孔內延伸且可耦接至一各自導電互連及一各自襯墊。在一實施例中，該等導電導孔之至少一者可上覆於該等孔之各自者之至少一內表面上。該導電導孔可符合於該孔之一輪廓。在一例示性實施例中，該等導電導孔之至少一者之各者可定義一內部空間。在一特定實施例中，可用一介電材料至少部分填充每一內部空間。

本發明之進一步態樣提供結合其他電子裝置併入根據本發明之前述態樣之微電子結構、根據本發明之前述態樣之複合晶片或兩者的系統。例如，該系統可安置於一單一外殼中，其可為一可攜式外殼。根據本發明之此態樣中較佳實施例之系統可比可相比的習知系統更緊密。

【實施方式】

圖1係繪示根據本發明之一實施例之一導孔結構的一截

面圖。如圖1中所繪示，一微電子單元10包含一半導體元件20，其具有從一後表面22部分穿過該半導體元件20而延伸朝向遠離該後表面的一前表面21的一開口30。該半導體元件20亦具有一孔40，其經暴露於該前表面的一導電襯墊50而延伸，該孔及該開口30在該前表面21與該後表面22之間的一位置處交切。一導電導孔60在該孔40內延伸，且一導電互連80在該開口30內延伸，且具有在該後表面處暴露的一表面90，其可用作一接觸件，以與一外部裝置電連接。

在圖1中，平行於前表面的方向在本文中稱為「水平」或「橫向」方向；而垂直於該前表面的方向在本文中稱為向上或向下方向，且亦在本文中稱為「垂直」方向。在本文中參考的方向以該等結構參照的為參照座標(frame of reference)。因此，此等方向可位於法線或重力參照座標的任何定向。一特徵比另一特徵以一更大的高度安置「於一表面上方」的陳述意謂著該一個特徵比該另一特徵在相同正交方向上以一更大的距離遠離該表面。相反，一特徵比另一特徵以一更小的高度安置「於一表面上方」的陳述意謂著一個特徵比另一特徵在相同正交方向上以一更小的距離遠離該表面。

該半導體元件20可包含一半導體基板，半導體基板可例如由矽製成。複數個主動半導體裝置(例如，電晶體、二極體等等)可安置於其之一主動半導體區域23中，該主動半導體區域23位於該前表面21處及/或該前表面21下方。

該複數個主動半導體裝置可電連接至該導電襯墊50，以互連至其他內部及/或外部組件。如圖1中所展示，該導電襯墊50之一邊緣可上覆於該主動半導體區域23上，或該導電襯墊可從該主動半導體區域橫向偏移。在該前表面21與該後表面22之間的該半導體元件20之厚度通常小於200微米，且可明顯地更小，例如130微米、70微米或甚至更小。

該半導體元件20可進一步包含位於該前表面21與該導電襯墊50之間的一介電層24。該介電層24使該導電襯墊50與該半導體元件20電絕緣。此介電層24可稱為該微電子單元10的一「鈍化層」。該介電層24可包含一無機或有機介電材料或兩者。該介電層24可包含一電沈積保形塗層或其他介電材料，例如，一可光成像的聚合材料，例如，一阻焊材料。該介電層24可包含一層或多層氧化物材料或其他介電材料。

該開口30從該後表面22部分延伸穿過該半導體元件20朝向該前表面21。該開口30包含內表面31，該內表面31從該後表面22以對由該後表面22定義的水平面為0度與90度之間的一角度而延伸穿過該半導體元件20。該內表面31可具有一恆定斜率(例如，如圖1中所展示)或一變化斜率(例如，如圖11中所展示)。例如，該內表面31相對於由該後表面22定義之該水平面的角度或斜率可隨著該內表面31進一步朝向該前表面21穿透而在量值上減小(即，變得較不正值或較不負值)。

如圖1中所展示，該開口30具有在該後表面22處的一寬度W1及在下表面32處的小於該寬度W1的一寬度W2，使得該開口從該後表面朝向該下表面以一方向成錐形。在其他實例中，該開口可具有一恆定寬度，或該開口可從該下表面朝向該後表面而以一方向成錐形。該開口30可從該後表面22朝向該前表面21而延伸大於一半，使得以垂直於該後表面22的一方向的該開口30之一高度大於該孔40的一高度。

該開口30可具有任意俯視形狀，包含例如圖20C中所展示之具有從該開口30延伸的複數個孔的一矩形通道。在一實施例中，諸如在圖20A中所展示之實施例中，該開口可具有一圓形俯視形狀(在圖20A中，該開口具有一截頭圓錐的三維形狀)。在圖20C中所展示之實施例中，該開口具有在沿著該後表面的一第一橫向方向上的一寬度，且該開口具有在沿著橫切該第一橫向方向的該後表面的一第二橫向方向上的一長度，該長度大於該寬度。在一些實例中，該開口可具有任意三維形狀，包含例如一圓柱、一立方體或一稜柱等等。

該孔40可從該導電襯墊50的一頂表面51(即，背向該半導體元件20的一面向外的表面)延伸穿過該導電襯墊至該開口30。如圖1中所展示，該孔40具有在該開口30之該下表面32的一寬度W3，及在該導電襯墊50之頂表面51處的大於該寬度W3的一寬度W4，使得該孔以從該導電襯墊之頂表面朝向該開口的一方向成錐形。在其他實例中，該孔

可具有一恆定寬度，或該孔可以從該開口朝向該導電襯墊50之頂表面51的一方向成錐形。

該內表面41可具有一恆定斜率或一變化斜率。例如，該內表面41相對於由該前表面21定義之該水平面之角度或斜率可隨著該內表面41進一步從該導電襯墊50之頂表面51朝向該後表面22穿透而在量值上減小(即，變得較不正值或較不負值)。該孔40可從該導電襯墊50之頂表面51朝向該前表面21而小於一半地延伸，使得該孔40在垂直於該前表面21的一方向的一高度小於該開口30的一高度。

該孔40可具有任意俯視形狀，包含例如圖20A至圖20C中展示的一圓形(在圖20C中，該孔具有一截頭圓錐的三維形狀)。在一些實施例中，該孔40可具有一正方形、矩形、橢圓形或任意其他俯視形狀。在一些實例中，該孔40可具有任意三維形狀，包含例如一圓柱、一立方體或一稜柱等等。

任意數目之孔40可從一單一開口30延伸，且該等孔40可在一單一開口30中以任何幾何組態而配置。在一實施例中，諸如在圖20A中展示之實施例中，可具有配置於一叢集中的四個孔。在另一實施例中，諸如在圖20C中展示之實施例中，可具有從一單一通道形狀的開口延伸的複數個孔，該單一通道形狀開口沿著多重軸而延伸。形成此等組態的多種開口及孔組態及方法之特定實例描述於併入本文中的共同擁有之美國專利申請公開案第2008/0246136號及2010年7月23日申請的美國專利申請案第12/842,717號中。

該半導體元件20包含暴露於或位於該半導體元件20之該前表面21的一個或多個導電襯墊50。雖然並未在圖1中明確展示，在該主動半導體區域23中的該等主動半導體裝置通常導電地連接至該等導電襯墊50。因此，該等主動半導體裝置經配線而可導電地接達，該等配線在該半導體元件20之一個介電層或多個介電層內或上方延伸而併入。

在一些實施例中，該等導電襯墊可能不直接暴露於該半導體元件之前表面。取而代之，該等導電襯墊可電連接至延伸至暴露於該半導體元件之該前表面處之終端的跡線或其他導電元件。該等導電襯墊50可由任意導電金屬製成，包含例如銅或金。該等導電襯墊50及本文中揭示之任意導電襯墊可具有任意俯視形狀，包含一正方形、圓形、橢圓形、三角形、矩形或任意其他形狀。

如在本發明中所使用，一導電元件「暴露於」一介電元件之一表面處的陳述指示該導電元件可與在垂直於該介電元件之表面的一方向上從該介電元件外朝向該介電元件之表面而移動的理論上的一點接觸。因此，在一介電元件之一表面處暴露的一終端或其他導電元件可從此表面處投射；可與此表面齊平；或可相對於此表面而凹入，及穿過該介電中的一孔或凹陷而暴露。

雖然基本上可使用可用於形成導電元件的任何技術以形成本文中描述之導電元件，可利用非平板印刷技術，如在2010年7月23日申請之同在申請中的美國專利申請案第12/842,669號中以更多細節討論。此等非平板印刷技術可

包含例如用一雷射選擇性地處理一表面，或用機械程序(諸如銑削或噴砂)，以便在沿著不同於該表面之其他部分而待形成該導電元件處的路徑而處理該表面之此等部分。例如，可使用一雷射或機械程序以從該表面僅沿著一特定路徑燒蝕或移除一材料(諸如一犧牲層)，且因此形成沿著該路徑延伸的一凹槽。一材料(諸如一催化劑)可接著沈積於該凹槽中，且一個或多個金屬層可沈積於該凹槽中。

該導電導孔60在該孔40內延伸，且與該導電襯墊50及該導電互連80電連接。如所展示，該導電導孔60穿過該導電襯墊50而延伸，且部分上覆於導電襯墊50之頂表面51上及接觸該頂表面51。

如圖1中所展示，該導電導孔60可填充一介電層25內的該孔40內的所有體積，該介電層25使該半導體元件20與該導電導孔電絕緣。換句話說，在該孔40內的該介電層25內延伸的一第二孔隙74符合於該孔的一輪廓，且該導電導孔60符合於該孔之輪廓。如圖1中所展示，該介電層25接觸該孔40內暴露之該導電襯墊50之一內表面53，且該介電層在該孔外延伸且接觸該導電襯墊之該頂表面51。

如圖1中所展示，該導電導孔60係固體。在其他實施例中(例如，如圖2中所展示)，該導電互連可包含一內部空間，其可在左邊敞開、用一介電材料填充或用一第二導電材料填充。

在其他實施例中，諸如圖17中所展示，位於該孔內的一導電互連的導電通孔部分可具有一圓柱形或截頭圓錐形

狀。該導電導孔60可從一金屬或一金屬的一導電化合物製成，包含例如銅或金。

該導電互連80在該開口30內延伸，且與該導電導孔60電連接。如圖1中所展示，該導電互連80可填充一介電層70內的該開口30內的所有體積，該介電層70使該半導體元件20與該導電互連電絕緣。換句話說，在該開口30內的該介電層70內延伸的一第一孔隙71符合於該開口的一輪廓，且該導電互連80符合於該開口之輪廓。

在一特定實施例中(且在本文中描述之所有其他實施例中)，在該下表面32處的該導電互連80之寬度W2不同於其之一頂部末端(該導電互連及該導電導孔在此交切)處的該導電導孔60的寬度W3。

如圖1中所展示，該導電互連80係固體。換句話說(例如，如圖5中所展示)，該導電互連可包含一內部空間，其可在左邊敞開、用一介電材料填充或用一第二導電材料填充。

在其他實施例中，諸如圖17中所展示，位於該開口內的一單一的單件式導電互連之導電互連部分可具有一圓柱形或截頭圓錐形狀。該導電互連80可由任意導電金屬製成，包含例如銅或金。

該導電互連80之一表面90暴露於該介電層70之外表面72，以互連至一外部元件。在一實施例中，該暴露的表面90可為該互連80之頂表面，即，從該導孔以對該襯墊達一最遠程度的一表面，或該暴露之表面可能不為其之一頂表

面。如所展示，該表面90位於由該介電層70之外表面72定義的平面處，且在由該半導體元件20之該後表面22定義的平面上方。在其他實施例中，該導電互連80之表面90可位於由該介電層70之該外表面72定義之平面的上方或下方，及/或該表面90可位於由該後表面22定義的平面處或下方。可例如藉由一礪磨、研磨或拋光程序而將該導電互連80之表面90平坦化至該介電層70之外表面72或該後表面22。

在一些實施例中(例如，圖10中展示之堆疊實施例)，導電接合材料可暴露於該表面90，或暴露於另一導電接觸件(其暴露於該半導體元件之該後表面)的一表面，以與一外部裝置互連。

圖2係繪示圖1之導孔結構的一變動的一截面圖，該導孔結構具有一替代導電導孔組態。該微電子單元10a類似於上文描述之微電子單元10，但並非具有完全填充未被該介電層25佔據之該孔40內的空間的一導電導孔，導電導孔60a作為一金屬層沈積於該介電層上，使得在該導電導孔60a內建立一內部空間27。

現將參考圖3A至圖3F而描述製造該微電子單元10或10a(圖1及圖2)之一方法。如圖3A中所繪示，該微電子單元10或10a具有一個或多個主動半導體區域23及一個或多個導電襯墊50。可從該後表面22朝向該半導體元件20之該前表面21向下延伸而形成該開口30。可例如藉由在形成期望保存該後表面22之剩餘部分處的一遮罩層後選擇性地蝕

刻該半導體元件20而形成該開口30。例如，可經沈積及圖案化一可光成像層，例如，一光阻層，以僅遮蓋該後表面22之部分，在其後，可進行一時控蝕刻程序以形成該開口30。一支撐晶圓12藉由一黏合層13而暫時附接至該半導體元件20之該前表面21，以在該後表面22之處理期間對該半導體元件提供額外結構支撐。

每一開口30具有一下表面32，其係平坦的，且通常從該前表面21等距。從該後表面22朝向該下表面32向下延伸的該開口30之內表面31可傾斜，即，可以除法線角(直角)之外的角度延伸至該後表面22，如圖3A中所展示。可使用濕式蝕刻程序(例如，各向同性蝕刻程序)及使用一錐形刀片的鋸削等等以形成具有傾斜內表面31的開口30。亦可使用雷射切割、機械銑削、化學蝕刻、雷射鑽孔、電漿蝕刻、引導一束束精細磨料粒子朝向該半導體元件20等等，以形成具有傾斜內表面31的開口30(或在本文中描述的任何其他孔或開口)。

或者，代替傾斜，該開口30之該等內表面可以從該後表面22以相對該後表面22的實質上直角向下的一垂直或實質上垂直的方向延伸。可使用各向異性蝕刻程序、雷射切割、雷射鑽孔、機械移除程序(例如，鋸削、銑削、超音波機械加工)、引導一束束精細磨料粒子朝向該半導體元件20等等，以形成具有基本上垂直內表面的開口30。

在一特定實施例中(未作圖式)，該開口30可位於複數個導電襯墊50上，其等位於一個以上微電子單元10上，使得

當該等微電子單元10彼此切斷時，該開口30的一部分將位於每一微電子單元10上。如本文中的說明書及申請專利範圍中所使用，術語「開口」可指：完全位於一單一微電子單元內的一開口(例如，如圖20A及圖20B中所展示)；當其形成時跨複數個微電子單元10而延伸的一開口(未作圖式)；或在其從其他微電子單元10切斷後位於一特定微電子單元10上的一開口的一部分。

在該半導體元件20內形成該開口30後，一可光成像層(諸如一光阻)或一介電層70可沈積於該半導體元件之該後表面22上。可使用多種方法以形成該介電層70。在一實例中，一可流動介電材料施覆至該半導體元件20之該後表面22，且該可流動材料接著在一「旋轉塗佈」操作期間更均勻地跨該後表面而分佈，接著一乾燥循環，乾燥循環可包含加熱。在另一實例中，介電材料的一熱塑性塑膠膜可施覆至該半導體元件20之該後表面22，其後加熱該半導體元件，或在一真空環境中(即，置於低於周圍壓力的一環境中)加熱。此接著導致該膜向下流動至該開口30之內表面31及下表面32上。在另一實例中，氣相沈積可用於形成該介電層70。

然而在另一實例中，該半導體元件20可浸入於一介電沈積浴槽中，以形成一保形介電塗層或介電層70。如本文中所使用，一「保形塗層」係一特定材料的一塗層，諸如當該介電層70符合於該半導體元件20之該開口30之一輪廓時，其符合於塗佈之該表面的一輪廓。可使用一電化學沈

積方法，以形成該保形介電層 70，包含例如電泳沈積或電解沈積。

在一實例中，可使用一電泳沈積技術，以形成該保形介電塗層，使得該保形介電塗層僅沈積於該總成之暴露的導電及半導體表面上。在沈積期間，該半導體裝置晶圓保持於一所要電位，且一電極浸入於該浴槽中，以使該浴槽保持在一不同所要的電位。該總成接著在適當條件下保持於該浴槽中達一足夠時間，以在該裝置晶圓暴露的表面上形成一電沈積保形介電層 70，該等暴露表面是導電的或半導體的，包含但不限於沿著該後表面 22 及該開口 30 之該等內表面 31 及下表面 32。只要在其待被塗佈之表面與該浴槽之間維持一足夠強的電場，則發生電泳沈積。隨著電泳沈積的塗層自我限制，其中在其到達由參數管控的某一厚度時沈積停止，例如其沈積之電壓、濃度等等。

電泳沈積在該總成之導電及/或半導體外部表面上形成一連續及均勻厚的保形塗層。再者，由於其介電(非導電)性質，該電泳塗層可經沈積使得其不形成於預存在的介電層上。換句話說，電泳沈積的一性質在於，由於介電材料之介電性質，假設介電材料之一層具有足夠厚度，則電泳沈積不形成上覆於一導體上之介電材料層。通常，電泳沈積將不發生在具有大於約 10 微米至幾十微米的厚度的介電層上。可從一陰極環氧樹脂沈積前軀體形成該保形介電層 70。或者，可使用一聚胺基甲酸酯或丙烯酸沈積前軀體。在下文表 1 中列出多種電泳塗層前軀體組合物及供應源。

表 1

ECOAT名稱	POWERCRON 645	POWERCRON 648	CATHOGUARD 325
製造商			
MFG	PPG	PPG	BASF
類型	陰極	陰極	陰極
聚合物基底	環氧樹脂	環氧樹脂	環氧樹脂
地點	賓夕法尼亞州匹茲堡	賓夕法尼亞州匹茲堡	密歇根州南部
應用資料			
不含Pb/Pf	不含Pb	不含Pb或Pf	不含Pb
HAPs, g/L		60-84	順應式
VOC, g/L (去水)		60-84	<95
固化	20 min/175C	20 min/175C	
膜性質			
顏色	黑色	黑色	黑色
厚度,微米	10-35	10-38	13-36
鉛筆硬度		2H+	4H
浴槽特徵			
固體, % wt.	20 (18-22)	20 (19-21)	17.0-21.0
pH (25C)	5.9 (5.8-6.2)	5.8 (5.6-5.9)	5.4-6.0
導電率 (25C) μ S	1000-1500	1200-1500	1000-1700
P/B比率	0.12-0.14	0.12-0.16	0.15-0.20
操作溫度, C	30-34	34	29-35
時間, 秒	120-180	60-180	120+
陽極	SS316	SS316	SS316
伏特		200-400	>100
ECOAT名稱	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
製造商			
MFG	MACDERMID	LVH塗層	LVH塗層
類型	陰極	陽極	陰極
聚合物基底	聚胺基甲酸酯	胺基甲酸酯	胺基甲酸酯
地點	康乃狄克州沃特伯里	英國伯明翰	英國伯明翰
應用資料			
不含Pb/Pf		不含Pb	不含Pb

HAPs, g/L			
VOC, g/L (去水)			
固化	20 min/149C	20 min/175C	20 min/175C
膜性質			
顏色	透明 (+染色)	黑色	黑色
厚度, 微米		10-35	10-35
鉛筆硬度	4H		
浴槽特徵			
固體, % wt.	7.0 (6.5-8.0)	10-12	9-11
pH (25C)	5.5-5.9	7-9	4.3
導電率 (25C) μ S	450-600	500-800	400-800
P/B比率			
操作溫度, C	27-32	23-28	23-28
時間, 秒			60-120
陽極	SS316	316SS	316SS
伏特	40, 最大		50-150

在另一實例中，可電解地形成該介電層。此程序類似於電泳沈積，惟該沈積層之厚度藉由接近於該導電或半導體表面而不受限制除外，從該導電或半導體表面而形成該沈積層。以此方式，一電解沈積的介電層可形成至基於需求而選擇的一厚度，且處理時間係所達成之厚度中的一因數。

其後，如圖3B中所繪示，該導電互連80沈積於該開口30中，其上覆於位於該開口中的該介電層70之部分上，使得該導電互連80之形狀符合於該等內表面31及該下表面32之一輪廓。為形成該導電互連80，一例示性方法涉及藉由將一主要金屬層濺射至該介電層70之外表面72上、電鍍或機械沈積之一者或多者而沈積一金屬層。機械沈積可涉及高速引導一束加熱的金屬粒子至待被塗佈的表面上。此步驟

可例如藉由在該後表面22、該開口30之該等內表面31及該等下表面32上毯覆式沈積而執行。在一實施例中，該主要金屬層包含鋁或基本上由鋁組成。在另一特定實施例中，該主要金屬層包含銅或基本上由銅組成。在另一實施例中，該主要金屬層包含鈦或基本上由鈦組成。在一程序中可使用一個或多個其他例示性金屬，以形成該導電互連80。在特定實例中，包含複數個金屬層的一堆疊可形成於該等前文提及之表面之一個或多者上。例如，此等堆疊的金屬層可包含一層鈦，接著上覆於該鈦上的一層銅(Ti-Cu)，一層鎳，接著上覆於該鎳層上的一層銅(Ni-Cu)，以類似方式提供的一堆疊之鎳-鈦-銅(Ni-Ti-Cu)，或例如一堆疊之鎳-鈎(Ni-V)。

藉由該介電層70使該導電互連80與該半導體元件20絕緣。如圖3B中所展示，該導電互連80係固體。在其他實施例中(例如，圖4及圖5)，該導電互連80可包含用一第二導電材料或一介電材料填充的一內部空間。

其後，如圖3C中所繪示，從該半導體元件20之該前表面21處移除該支撐晶圓12，且一支撐晶圓14藉由一黏合層15而暫時附接至該半導體元件20之該後表面22，以在該前表面之處理期間提供額外的結構支撐。

其後，如圖3D中所繪示，一遮罩層(未作圖式)可沈積於期望保存該前表面及該導電襯墊之剩餘部分的該前表面21及該導電襯墊50上。例如，可沈積及圖案化一可光成像層，例如，一光阻層，以遮蓋僅該前表面21及該導電襯墊

50之部分。接著，一蝕刻程序可施加至暴露於該等遮罩開口內的該導電襯墊50之部分，以便移除該遮罩開口下的該導電襯墊之金屬。結果，形成從該頂表面51穿過該導電襯墊50延伸至其之底表面52的一孔40。

其後，如圖3E中所繪示，可以選擇性蝕刻該半導體材料(例如，矽)的一方式進行另一蝕刻程序，藉此使該孔40從該前表面21至該開口30延伸至該半導體元件中。亦在該孔40形成期間移除該鈍化層24之一部分，且此部分可在該導電襯墊50之蝕刻期間蝕刻、在該半導體元件20之蝕刻期間蝕刻，或隨著一分開蝕刻步驟而蝕刻。可使用蝕刻、雷射鑽孔、機械銑削或其他適當技術以移除該鈍化層24之部分。在一特定實施例中，圖3D及圖3E中繪示之程序步驟可組合成一單一程序步驟。例如，當形成該孔40時，一雷射可用於穿過該導電襯墊50、該鈍化層24之一部分及該半導體元件20之一部分而在一單一程序步驟中鑽孔。用於建立該孔40的程序步驟之此組合可使用於本文中描述之任意實施例中。

其他可能的介電層移除技術包含可本質上為各向同性或各向異性的多種選擇性蝕刻技術。各向異性蝕刻程序包含反應性離子蝕刻程序，其中引導一束離子朝向待被蝕刻的表面。反應性離子蝕刻程序比各向同性蝕刻程序大體上具較少選擇性，使得離子以較高入射角撞擊的表面比隨離子束之定向的表面蝕刻至一更高廣度。當期望地使用一反應性離子蝕刻程序時，期望地沈積一遮罩層，以上覆於該鈍

化層 24 上，且其內形成一開口，該開口與該孔 40 對準。以此方式，該蝕刻程序避免移除該鈍化層 24 除了位於該孔 40 內之外的部分。

其後，如圖 3F 中所繪示，一可光成像層(諸如一光阻)或一介電層 25 可沈積於該半導體元件 20 之該前表面 21 上，其中期望使該前表面之部分及該孔 40 之該內表面 41 與該導電導孔電絕緣，將按以下步驟沈積該導電導孔。

其後，再次參考圖 1 及圖 2，一蝕刻程序可施加至該介電層 70 之部分(其暴露於該孔 40 內)，以便暴露與該孔對準的該導電互連 80 之部分。接著，該導電導孔 60 或 60a 例如藉由毯覆式沈積而沈積至該孔 40 中，該導電導孔 60 或 60a 上覆位於該孔內的該介電層 25 之部分上，使得該導電導孔 60 之形狀符合於該孔之內表面 41、該導電襯墊 50 之暴露的表面及該介電層之一外表面 26 之各自輪廓。該導電導孔 60 或 60a 從該導電互連 80 之暴露的部分延伸至該導電襯墊 50 之該頂表面 51 及橫向表面 54 的暴露的部分(圖 3F 中可見)。

如圖 1 中所展示，該導電導孔 60 可藉由持續該金屬沈積程序，直到該導電導孔變為固體時而形成，使得在該導電導孔內沒有敞開空間。如圖 2 中所展示，可藉由在該導電導孔變為固體之前停止該金屬沈積程序而形成該導電導孔 60a，使得在該導電導孔內建立該內部空間 27。在形成該導電導孔 60 或 60a 後，從該半導體元件 20 之該後表面 22 移除該支撐晶圓 14。

最後，若複數個微電子單元 10 或 10a 一起形成於一單一

晶圓(未作圖式)上，則該等微電子單元可藉由鋸削或其他切割方法而沿著切割道而彼此切斷，以形成個別微電子單元。用於將裝置晶圓切斷至個別單元的多種例示性程序描述於本文中併入的共同擁有的美國臨時申請案第60/761,171號及第60/775,086號中，其等之任意者可用於切斷該等裝置晶圓，以形成個別的微電子單元。

圖4係繪示圖1之導孔結構的一變動的一截面圖，該導孔結構具有一替代導電互連組態。微電子單元10b類似於上文描述之該微電子單元10，但不具有填充未被該介電層佔據之開口內的空間的一導電互連，該導電互連80b沈積於該開口30內作為一金屬層至該介電層70上。該導電互連80b符合於該開口30之該等內表面31及該下表面32之一輪廓，儘管藉由該介電層70而使該導電互連與該等內表面31及該下表面32分離。

於該導電互連80b內建立一內部空間28，用一導電質量29(諸如焊料)填充內部空間28，該導電質量29暴露於該後表面22，以互連至一外部裝置。該導電互連80b可包含一接觸表面90b，其從該開口30延伸出至該後表面22上，且該接觸表面可用作一接觸件，以與一外部裝置電連接。

在一特定實施例中，該導電互連80b可塗佈位於該開口30內之該介電層70的整個外表面72。或者，該導電互連80b可塗佈位於該開口30內之該介電層70的該外表面72的一部分(例如，一半)。

該導電質量29可包括具有一相對較低熔化溫度的一可熔

金屬，例如，焊料、錫或一低熔混合物，包含複數個金屬。或者，該導電質量29可包含一可濕性金屬，例如，具有高於焊料或另一可熔金屬的一熔化溫度的銅或其他貴金屬，或非貴金屬。此可濕性金屬可與一對應特徵接合，例如，一互連元件的一可熔金屬特徵，諸如一電路面板，以將該微電子單元10b外部互連至此互連元件。在一特定實施例中，該導電質量29可包含在一媒體中散佈的一導電材料，例如，一導電膏，例如，金屬填充的膏、焊料填充的膏或各向同性導電黏合劑或各向異性導電黏合劑。

圖5係繪示圖4之該導孔結構的一變動的一截面圖，該導孔結構具有一替代導電互連組態。微電子單元10c類似於上文描述之該微電子單元10b，但不具有用一導電質量填充的該導電互連內的一內部空間，用一介電區域75填充該內部空間28。另外，不具有完全填充未被該介電層25佔據之該孔40內的空間的一導電導孔，該微電子單元10c包含具有一內部空間27的該導電導孔60a，其展示於圖2中。

該介電區域75可相對於該導電互連80b提供較好的介電隔離。該介電區域75可為順應式的，其具有一足夠低的彈性模數及足夠的厚度，使得該彈性模數及該厚度的乘積提供順應性。

如圖5中所展示，該介電區域75可填充未被該等導電互連80b或該介電層70佔據的該開口30之剩餘部分，使得一外表面76在上方延伸，但平行於由該半導體元件20之該後表面22定義的一平面。該外表面76亦位於由該介電層70之

該外表面72定義的一平面上方，且該外表面76位於由該導電互連80b之該接觸表面90b定義的一平面下方。在特定實施例中，該介電區域75之該外表面76可位於由該後表面22及該外表面72定義的平面處或下方，且該外表面可位於由該接觸表面90b定義的平面處或上方。

在另一實施例中，可具有複數個導電互連80b，其從該導電導孔60沿著該等內表面31延伸至該後表面22。例如，可具有四個導電互連80b，每一導電互連關於一截頭圓錐的內表面31而以90°間隔開，且每一導電互連具有暴露於該後表面22的一接觸表面90b，且其可用作與一外部裝置電連接的一接觸件。可藉由該介電區域75而使每一導電互連80b與其他導電互連之各者絕緣。

在一實施例中，其中該開口具有一通道形狀(例如，如圖20C中所展示)，間隔開的導電互連80b可替代地沿著定義該通道形狀開口的一第一側的一第一內表面31a及定義該開口之一第二側的一第二內表面31b而延伸，每一導電互連80b從一各自導電導孔60a延伸。

圖6係繪示圖1之該導孔結構的一變動的一截面圖，該導孔結構具有一替代導電互連組態。微電子單元10d類似於上文描述之該微電子單元10，但不具有填充未被該介電層佔據的該開口內之空間的一導電互連，該導電互連80d沈積於一第一孔隙71中，其形成於位於該開口30內的一介電區域75d中。

該導電互連80d不符合於該等內表面31的一輪廓或該開

口30之該下表面32的一輪廓。該微電子單元10d進一步包含一導電接觸件90d，其電連接至該導電互連80d。該導電接觸件90d可位於該開口30之一內表面31上，且可全部位於該內表面31或該下表面32或兩者上。

該介電區域75d可提供相對於該導電互連80d的較好介電隔離。該介電區域75d可為順應式的，其具有一足夠低的彈性模數及足夠厚度，使得該彈性模數及該厚度的乘積提供順應性。明確言之，當一外部負載施加至該導電接觸件時，此一順應式介電區域75d可允許附接至其之該導電互連80d及該導電接觸件90d相對於該半導體元件20而撓曲或在某種程度上移動。以此方式，在該微電子單元10d之導電接觸件90d與一電路面板(未作圖式)之終端之間的接合可更好地經受住由於該微電子單元與該電路面板之間的熱膨脹係數(「CTE」)的失配的熱應變。

如圖6中所展示，該介電區域75d可填充未被該導電互連80d或該介電層70佔據的該開口30之剩餘部分，使得一外表面76d延伸至由該半導體元件20之該後表面22定義的一平面。在特定實施例中，該介電區域75d之該外表面76d可位於由該後表面22定義之平面的上方或下方。

該第一孔隙71提供於該介電區域75d中。該第一孔隙71具有一截頭圓錐形，且從該導電接觸件90d的一底表面91穿過該介電區域75d延伸至該導電導孔60。在特定實施例中，該第一孔隙可具有其他形狀，包含例如一圓柱形(例如，圖8)或一圓柱及一截頭圓錐形從該後表面的不同距離

的一組合。在所展示之實施例中，該第一孔隙71的一輪廓(即，該第一孔隙71之該外表面之形狀)不符合於該開口30的一輪廓(即，該開口30之該內表面31的形狀)。

在一特定實施例中，該導電互連80d及該導電導孔60可在其等彼此接合之點處具有不同寬度，使得該導電互連80d的一外表面81可在至該導電導孔60的一外表面61之過渡點處具有斜率不連續性。

該導電互連80d可取決於程序條件而形成為固體或中空的。在適當程序條件下，可產生包含一內部空間的一導電互連，且可接著用一介電材料或一第二導電材料填充該內部空間，藉此該介電材料或該第二導電材料上覆於該第一孔隙內的導電互連上。

該導電接觸件90d可與該開口30對準，且可完全或部分安置於由該開口定義的該半導體元件20的一區域內。如圖6中看到，該導電接觸件90完全安置於由該開口30定義的一區域內。由該導電接觸件90之一面向上的表面92定義的一平面(其通常係該接觸件的一頂表面)實質上平行於由該半導體元件20之該後表面22定義之平面。

如所展示，該導電接觸件90具有一導電接合襯墊的形狀，例如，一薄平坦構件。在其他實施例中，該導電接觸件可為任意其他類型的導電接觸件，包含例如一導電柱。

如所展示，該開口30具有在沿著該後表面22之一第一橫向方向上的一第一寬度，且該導電接觸件90具有在該橫向方向上的一第二寬度，該第一寬度大於該第二寬度。

現將參考圖 7A 至圖 7J 而描述製造該微電子單元 10d 的一方法。該微電子單元 10d 展示於圖 7A 至圖 7J 中，首先從該半導體元件之該前表面形成該孔，且接著從其之後表面形成該開口。可藉由首先形成該孔(例如，如圖 7A 至圖 7J 中所展示)或首先形成該開口(例如，如圖 3A 至圖 3F 中所展示)而形成該微電子單元 10d 及本文中揭示之其他導孔結構之任意者。

如圖 7A 中所繪示，該微電子單元 10d 具有一個或多個主動半導體區域 23，及位於該半導體元件 20 之該前表面 21 處的一個或多個導電襯墊 50。一支撐晶圓(諸如圖 3C 至圖 3F 中所展示)可暫時附接至該半導體元件 20 之該後表面 22，以在該前表面 21 之處理期間對該半導體元件提供額外結構支撐。

如圖 7B 中所繪示，一蝕刻程序可施加至該導電襯墊 50 之一部分，以便移除該導電襯墊之金屬的一部分。結果，形成一孔 40，其從該頂表面 51 穿過該導電襯墊 50 延伸至其之底表面 52。該孔 40 可經形成穿過該導電襯墊 50，如上文參考圖 3D 而描述。

其後，如圖 7C 中所繪示，可以選擇性蝕刻該半導體材料(例如，矽)的一方式而進行另一蝕刻程序，藉此將該孔 40 從該前表面 21 朝向該後表面 22 而延伸至該半導體元件 20 中。該孔 40 可延伸至該半導體元件 20 中，如上文參考圖 3E 而描述。

其後，如圖 7D 中所繪示，一可光成像層(諸如一光阻)或

一介電層 25 可沈積於該半導體元件 20 之前表面 21 上，且至該孔 40 中，如上文參考圖 3F 而描述。

其後，如圖 7E 中所繪示，該導電導孔 60 沈積於該孔 40 內，該導電導孔 60 上覆於位於該孔內的該介電層 25 之部分上，使得該導電導孔 60 之形狀符合於該孔之該內表面 41、該導電襯墊 50 之暴露的表面及該介電層之一外表面 26 之各自輪廓，如上文參考圖 1 而描述。在一特定實施例中，該導電導孔可形成為其內具有一內部空間，諸如圖 2 中所展示之該導電導孔 60a。在形成該導電導孔 60 後，可從該半導體元件 20 之該後表面 22 處移除該支撐晶圓 (圖 7A 至圖 7E 中未作圖式)。

其後，如圖 7F 中所繪示，一支撐晶圓 12 藉由一黏合層 13 而暫時附接至該半導體元件 20 之該前表面 21，以在該後表面 22 之處理期間對該半導體元件提供額外結構支撐。

其後，如圖 7G 中所繪示，可減小該前表面 21 與該後表面 22 之間的該半導體元件 20 之厚度。可使用對該後表面之碾磨、研磨或拋光，或其等之一組合，以減小該厚度。在此步驟期間，作為一實例，該半導體元件 20 之初始厚度 T1 (展示於圖 7F 中) 可從約 700 微米減小至約 130 微米或更小的一厚度 T2 (展示於圖 7G 中)。

其後，如圖 7H 中所繪示，該開口 30 可從該後表面 22 向下延伸至該孔 40 而形成，如上文參考圖 3A 而描述。一蝕刻程序可施加至暴露於該開口 30 內的該介電層 25 之部分，以便暴露與該孔對準的該導電導孔 60 之部分。

其後，如圖 7I 中所繪示，該介電區域 75d 可形成於該開口 30 內。視需要，該介電區域 75d 可經形成使得該區域之一暴露的外表面 76d 與該半導體元件之該後表面 22 共面或實質上共面，一介電層之一暴露的表面塗佈該後表面。例如，一自平坦化介電材料可例如藉由一施配或版印刷程序而沈積於該開口 30 中。在另一實例中，可在形成該介電區域 75d 後施加一礪磨、研磨或拋光程序至該半導體元件 20 之該後表面 22 處，以將該介電區域之該外表面 76d 平坦化至該後表面 22。

其後，如圖 7J 中所繪示，形成該第一孔隙 71，其延伸穿過該介電區域之該外表面 76d 與該導電導孔 60 之間的該介電區域 75d。可例如經由雷射燒蝕或任意其他適當方法而形成該第一孔隙 71。該導電互連 80d 可形成於該第一孔隙 71 內。該導電互連 80d 可電連接至該導電導孔 60，且藉由該介電區域 75d 而使該導電互連 80d 與該半導體元件 20 絕緣。接著，可形成該導電接觸件 90d。該導電接觸件 90d 暴露於該介電區域 75d 的該外表面 76d 處，以與一外部裝置互連。該導電接觸件 90d 在其之底表面 91 處電連接至該導電互連 80d。在一些實施例中，可在一單一無電極電鍍沈積步驟期間形成該導電互連 80d 及該導電接觸件 90d。在其他實施例中，可藉由分開的無電極電鍍沈積步驟而形成該導電互連 80d 及該導電接觸件 90d。在形成該導電互連 80d 及該導電接觸件 90d 後，可從該半導體元件 20 之該前表面 21 處移除該支撐晶圓。

最後，若複數個微電子單元10d一起形成於一單一晶圓上(未作圖式)，則該等微電子單元可藉由鋸削或其他切割方法而沿著切割道彼此切斷，以形成個別微電子單元。

圖8係繪示圖6之導孔結構之一變動的一截面圖，該導孔結構具有一替代導電互連組態。微電子單元10e類似於上文描述之該微電子單元10d，但不具有擁有一截頭圓錐形的一導電互連，該導電互連80e具有一圓柱形。

圖9係繪示圖8之導孔結構之一變動的一截面圖，其具有一替代導電導孔組態。微電子單元10f類似於上文描述之該微電子單元10e，但不具有完全填充未被一介電層佔據的該孔內之空間的一導電導孔，該導電導孔60f作為一金屬層沈積於該介電層25上，使得在該導電導孔60f內建立一內部空間27。如圖9中所展示，該導電接觸件90f(或本文中揭示之該等導電接觸件之任意者)的一邊緣98可在該半導體元件20之該後表面22上，或該導電接觸件(或本文中揭示之該等導電接觸件之任意者)之一邊緣99可在該開口30上。在一實施例中(例如，如圖8中所展示)，該整個導電接觸件可上覆於該開口30上。

圖10係繪示一堆疊總成的一截面圖，該堆疊總成包含具有如圖8中所展示的一導孔結構之複數個封裝晶片。在所展示之實施例中，一堆疊之總成100包含彼此電連接之複數個微電子單元10e。儘管圖10包含如圖8中所展示之複數個微電子單元10e本文中揭示的該等微電子單元之任意者可經堆疊以形成一堆疊總成。儘管圖10展示經堆疊的複數

個微電子單元 10e，在一特定實施例中，該堆疊總成 100(或本文中揭示之該等堆疊總成之任意者)可為經堆疊之複數個半導體晶圓的一部分，每一晶圓容納複數個橫向鄰近的微電子單元 10e。此一堆疊晶圓總成可包含複數個堆疊總成 100，且該等堆疊總成 100 可藉由其等之間延伸的切割道而彼此分離。該等堆疊總成 100 可彼此分開，例如藉由沿著該等切割道用一雷射而切割。

藉由在每一微電子單元 10e 中提供前表面導電襯墊 50 及後表面導電接觸件 90e，若干微電子單元可一者堆疊於另一者頂部上，以形成微電子單元的一堆疊總成 100。在此配置中，該等前表面導電襯墊 50 與該等後表面導電接觸件 90e 對準。在該堆疊總成中的該等微電子單元之各自鄰近者之間的連接係穿過導電質量 102。在該前表面 21 上的該介電層 25 及該介電層與該後表面 22 之間延伸的一介電區域 104 提供該堆疊總成 100 中鄰近的微電子單元 10e 之間的電隔離(除提供互連之處)。

圖 11 係繪示圖 5 之導孔結構的一變動的一截面圖，該導孔結構具有一替代導電互連組態。微電子單元 10g 類似於上文描述之該微電子單元 10c，但不具有填充有一介電區域(具有一暴露外表面)的一導電互連，該微電子單元 10g 具有一導電互連 80g，用由該導電互連環繞的一介電區域 75g 及一導電接觸件 90g(其暴露於該後表面 22g 處，以與一外部裝置連接)而填充該導電互連 80g。另外，並非具有擁有一內部空間的一導電導孔，該微電子單元 10g 包含完全填

充如圖1中所展示之該孔40內之空間的一導電導孔60。再者，該開口30g具有內表面31，該內表面31具有隨著該等內表面從該後表面22至一下表面32穿透進入該微電子元件20g的一變化斜率。

圖12係繪示圖11之導孔結構的一變動的一截面圖，該導孔結構具有一替代導電導孔組態。微電子單元10h類似於上文描述之該微電子單元10g，但不具有完全填充未被該介電層25佔據的該孔40內之空間的一導電導孔，該微電子單元10h具有一導電導孔60a，其包含一內部空間27，如圖2中所展示。

現將參考圖13A至圖13C而描述製造該微電子單元10g的一方法。於圖13A至圖13C中展示該微電子單元10g，首先從該半導體元件之該前表面形成該孔，且接著從其之後表面形成該開口，類似於圖7A至圖7J中展示之方法。

在圖13A中展示之製造階段前，該微電子單元10g可經歷與圖7A至圖7G中展示的相同製造階段。其後，如圖13A中所繪示，該開口30g可從該後表面22g向下延伸至該孔40而形成，如上文參考圖7H而描述。一蝕刻程序可施加至該介電層25暴露於該開口30g內的部分，以便暴露該導電導孔60與該孔對準的部分。

其後，如圖13B中所繪示，一可光成像層(諸如一光阻)或一介電層70g可沈積於該半導體元件20g之該後表面22g上及在該開口30g中，如上文參考圖3A而描述。

其後，如圖13C中所繪示，該導電互連80g作為一金屬層

沈積於該開口30g內的該介電層70g上，使得於該導電互連內建立一內部空間85。如參考圖3B所描述，一例示性方法涉及將一主要金屬層濺射於該介電層70g的外表面72g上、電鍍或機械沈積之一者或多者而沈積一金屬層。

接著，可用一介電區域75g填充該內部空間85，如參考圖7I所描述。視需要，該介電區域75g可經形成使得該區域之一暴露外表面與該半導體元件之該後表面22g(該介電層70g之一暴露表面72g)共面或實質上共面。

接著，可形成該導電接觸件90g。該導電接觸件90g暴露於該介電區域75g的該外表面，以與一外部裝置互連。該導電接觸件90g在其之底表面91g處電連接至該導電互連80g的上邊緣。在形成該導電互連80g及該導電接觸件90g後，可從該半導體元件20g的前表面21g處移除該支撐晶圓12。

圖14係繪示圖5之導孔結構之一變動的一截面圖，該導孔結構具有一替代導電互連組態。微電子單元10i類似於上文描述之該微電子單元10c，但不具有塗佈位於該開口內的該介電層之整個外表面的一導電互連，該微電子單元10i具有一導電互連80i，其具有僅塗佈位於該開口30內的該介電層70之外表面72一部分的一跡線形狀。另外，該導電接觸件90i具有沿著該介電層70之外表面72之部分而延伸的一跡線形狀，其塗佈該半導體元件20不上覆於該開口30上的後表面22上。另外，不具有擁有一內部空間的一導電導孔，該微電子單元10i包含一導電導孔60，其完全填

充該孔40內的空間，如圖1中所展示。

現將參考圖15A至圖15I描述製造該微電子單元10i的一方法。該微電子單元10i展示於圖15A至圖15I中，首先從該半導體元件之前表面形成該孔，且接著從其後表面形成該開口，類似於圖7A至圖7J中展示之方法。

如圖15A至圖15G中所展示，該微電子單元10i可經歷與圖7A至圖7G中展示的相同的製造階段，儘管在圖15A至圖15B中展示之階段期間形成的該孔40經形成以在該半導體元件20之該後表面22上留下足夠空間，以允許形成不覆疊(即，從其橫向偏離)該開口30的跡線形狀的導電接觸件90i。

其後，如圖15H中所繪示，該開口30可從該後表面22向下延伸至該孔40而形成，如上文參考圖7H而描述。接著，一可光成像層(諸如一光阻)或一介電層70可沈積於該半導體元件20之該後表面22上及該開口30中，如上文參考圖13B而描述。

其後，如圖15I中所繪示，一蝕刻程序可施加至上覆於該孔40上的該介電層70之部分，及暴露於該開口30內的該介電層25之部分，以便暴露與該孔對準的該導電導孔60之部分。

接著，一跡線形狀的導電互連80i及一跡線形狀的導電接觸件90i可作為一金屬層分別沈積於該開口30內的該介電層70(該導電互連)上，且沿著該後表面22(該導電接觸件)而延伸。形成該導電互連80i及該導電接觸件90i的一例

示性方法可為一非平版印刷技術，諸如用一雷射選擇性處理一表面。該導電接觸件90i暴露於該介電層70之該外表面72處，以與一外部裝置互連。該導電接觸件90i從該導電襯墊50處橫向偏移(即，不垂直上覆於該導電襯墊上)。

其後，再次參考圖14，可用一介電區域75i填充未被該導電互連80i佔據的在該開口30內之剩餘空間，如參考圖7I而描述。視需要，該介電區域75i可經形成使得該區域之一暴露的外表面76i與該介電層70i的暴露表面72i共面或實質上共面。在形成該介電區域75i後，可從該半導體元件20之該前表面21移除該支撐晶圓12。

圖16係繪示一堆疊總成的一截面圖，該堆疊總成包含具有如圖14中展示之一導孔結構的複數個封裝晶片。在所展示之實施例中，一堆疊總成110包含彼此電連接的複數個微電子單元10i。

類似於圖10，若干微電子單元10i可一者堆疊於另一者頂部上，以形成微電子單元的一堆疊總成110。因為在一特定微電子單元10i中，該導電接觸件90i不垂直地上覆於該導電襯墊50上，每一鄰近對微電子單元隨著各自開口30及孔40偏移而放置，使得一上微電子單元之導電襯墊50上覆於一下微電子單元之導電接觸件90i上。

在此配置中，類似於圖10，在該堆疊總成中的該等微電子單元之各自鄰近者之間的連接係穿過導電質量112。在該前表面21上的介電層25及在該介電層與該後表面22之間延伸的一介電區域114提供該堆疊總成110中鄰近微電子單

元10i之間的電隔離(惟提供互連之處除外)。

圖17係繪示圖8之導孔結構之一變動的一截面圖，該導孔結構具有一替代導電導孔組態。微電子單元10j類似於上文描述之該微電子單元10e，但不具有符合於位於該孔內的一介電層的一導電導孔，該微電子單元10j包含一導電互連78的一導電導孔部分60j，其經位於該孔40內的一介電區域65而延伸，且不符合於該介電區域65。

該微電子單元10j包含在該導電襯墊50j與該導電接觸件90j之間延伸的一單一的單件式導電互連78。該導電互連78包含：一導電互連部分80j，其從該導電接觸件90j穿過該開口30延伸；及一導電導孔部分60j，其從該導電互連部分穿過該孔40延伸至該導電襯墊50j。該導電互連78延伸穿過一孔隙71j，該孔隙71j延伸穿過該等介電區域75j及65。該孔隙71j及該導電互連78不符合於該開口30或該孔40之一輪廓。

如圖17中所展示，一介電區域75j可填充未被該導電互連部分80j佔據的該開口30之剩餘部分，使得的一外表面76j在上方延伸，但平行於由該半導體元件20之該後表面22定義的一平面。該介電區域65可填充未被該導電導孔部分60j佔據的該開口40之剩餘部分。

在一特定實施例中(未作圖式)，該微電子單元10j可包含填充該開口30之剩餘部分的一單一的單件式介電區域及未被該導電互連78佔據的該孔40。或者，此一單一介電區域可包含兩層或多層材料。

在圖 17 中展示之實施例中，由該介電區域 75j 之厚度及其彈性模數的乘積提供的順應性程度可足夠補償由於該微電子單元 10j 與一基板之間的熱膨脹失配而施加至該導電接觸件 90j 的應變，該微電子單元透過該導電接觸件而安裝於該基板。一側填料(未作圖式)可提供於該介電區域之暴露外表面 76j 與此電路面板之間，以增強由於 CTE 失配而對熱應變的抵抗。

現將參考圖 18A 至圖 18G 而描述製造該微電子單元 10j 的一方法。如圖 18A 中所繪示，該開口 30 可以類似於上文參考圖 3A 而描述之一方式從該後表面 22 向下延伸朝向該半導體元件 20 之前表面 21 而形成。一支撐晶圓 12 藉由一黏合層 13 而暫時附接至該半導體元件 20 之前表面 21，以在該後表面 22 之處理期間對該半導體元件提供額外結構支撐。

其後，如圖 18B 中所繪示，可以類似於上文參考圖 7I 而描述之一方式而於該開口 30 內形成該介電區域 75j。視需要，該介電區域 75j 可經形成使得該區域的一暴露外表面 76j 與該半導體元件 20 之該後表面 22 共面或實質上共面。

其後，如圖 18C 至圖 18E 中所繪示，該微電子單元 10j 可經歷圖 3C 至圖 3E 中展示之相同的製造階段，以形成穿過該導電襯墊 50 延伸且進入該半導體元件 20 中的孔 40。如上文參考圖 3D 及圖 3E 所描述，圖 18D 及圖 18E 中展示之程序步驟可組合成一單一程序步驟，藉此在此單一步驟中用一雷射形成該孔 40。

其後，如圖 18F 中所繪示，可以類似於上文參考圖 7I 而

描述之一方式而於該孔40內形成該介電區域65。該介電區域65可延伸穿過該半導體元件20，以交切該介電區域75j暴露於該孔40內的一部分。視需要，該介電區域65可經形成使得該區域的一暴露外表面66與該導電襯墊50之頂表面51共面或實質上共面。在一特定實施例中(未作圖式)，該介電區域65可從該孔40延伸出而至該導電襯墊50之頂表面51上，類似於圖1中展示之該介電層25如何從該孔延伸出而至該導電襯墊之頂表面上。

其後，如圖18G中所繪示，例如經由雷射燒蝕或機械鑽孔而建立從該外表面76j至該外表面66穿過該介電區域75j及65延伸之一單一孔隙71j。在一特定實施例中，可使用一雷射而於一單一程序步驟中形成該孔40及該孔隙71j，藉此組合圖18D、圖18E及圖18G中展示之程序步驟。在此一實施例中，在形成該孔40及該孔隙71j後，可形成塗佈該孔40之暴露內表面41的一介電層或區域，諸如該介電區域65(例如，如圖18F中所展示)。

其後，再次參考圖17，藉由用一導電金屬(諸如銅或金)電鍍該孔隙71的一內部表面而建立該導電互連78。類似於圖6中展示之導電互連80d，該導電互連78可為固體或可包含左邊敞開或用一介電材料填充的一內部空間。較佳地，該導電互連78電鍍於該孔隙71之一內部表面以及該導電襯墊50之頂表面51上，導致具有至少兩層金屬的一更厚導電襯墊50j。

接著，可形成該導電接觸件90j。該導電接觸件90j暴露

於該介電區域75j的外表面76j處，以與一外部裝置互連。在一些實施例中，可在一單一無電極電鍍沈積步驟期間形成該導電互連78及該導電接觸件90j。在其他實施例中，可藉由分開的無電極電鍍沈積步驟而形成該導電互連78及該導電接觸件90j。在形成該導電互連78及該導電接觸件90j後，可從該半導體元件20之該前表面21處移除該支撐晶圓。

圖19係繪示根據另一實施例之一導孔結構的一截面圖，該導孔結構具有延伸至一單一開口的複數個孔。如圖19中所繪示，一微電子單元210包含一半導體元件220，其具有從一後表面222部分穿過該半導體元件220朝向遠離該後表面的一前表面221而延伸的一開口230。該半導體元件220亦具有暴露於該前表面221之穿過各自導電襯墊250而延伸的複數個孔240，該等孔240之各者在該前表面與該後表面222之間的一位置處與單一開口230交切。一各自導電導孔260在每一孔240內延伸，且一各自導電互連280在該開口230內從每一導電導孔延伸至暴露於該後表面222的一各自導電接觸件290，以與一外部裝置電連接。

如圖19中所展示，每一導電導孔260可填充一介電層267內的一各自孔240內的所有體積，該介電層267使該半導體元件220與該導電導孔電絕緣。該等導電互連280沿著一介電層270之一外表面272而延伸，該介電層270符合於該開口230的內表面231及一下表面232，使得該等導電互連符合於該開口的一輪廓。

該半導體元件220可進一步包含位於該前表面221與該等導電襯墊250之間的一介電層224(例如，一鈍化層)。一介電區域275可填充未被該等導電互連280或該介電層270佔據的該開口230的剩餘部分，使得一外表面276在上方延伸，但平行於由該半導體元件220之該後表面222定義的一平面。

該微電子元件210可具有延伸至一單一開口30的多種組合之孔40。例如，圖20A繪示一微電子單元210a，其可為圖19中展示之該微電子單元210的一潛在自上而下的平面圖。如圖20A中所展示，該微電子單元210a包含四個孔240，其等延伸至具有實質上圓形俯視形狀的一單一開口230。每一孔240穿過一對應正方形導電襯墊250之一角而延伸至該開口230。

圖20B繪示一微電子單元210b，其可為圖19中展示之該微電子單元210之另一潛在俯視平面圖。如圖20B中所展示，該微電子元件210b包含兩個孔240，其等延伸至具有一實質上橢圓形俯視形狀的一單一開口230。每一孔240穿過一對應正方形導電襯墊250的一側而延伸至該開口230。

圖20C繪示一半導體元件220c，其可為包含於圖19中展示之該微電子單元210中的該半導體元件220的一潛在透視圖。該半導體元件220c包含延伸至具有一通道形狀的一單一開口230之複數個孔240，該複數個孔240垂直於該半導體元件的一厚度而以複數個橫向方向延伸。一系列孔240沿著由通道形狀的開口230定義的每一橫向方向而延伸。在

一特定實施例中，該開口230可具有沿著該半導體元件220之一表面而在一第一方向延伸的一長度，及沿著橫切該第一方向的一第二橫向方向延伸的一寬度，該長度大於該寬度。

現將參考圖21A至圖21D描述圖19中展示的製造該微電子單元210的一方法。該微電子單元210展示於圖21A至圖21D中，首先從該半導體元件之該前表面形成該開口，且接著從其後表面形成該等孔，類似於圖3A至圖3F中展示之方法。

在圖21A中展示之製造階段之前，該微電子單元210可經歷圖13A至圖13C中展示之類似的製造階段，其中：(i)形成一開口，該開口從該半導體元件之該前表面延伸；(ii)用一保形介電層塗佈該開口之內部表面；(iii)於該介電層之一外表面上電鍍一保形導電互連；(iv)一介電區域填充至未被該介電層或該導電互連佔據的該開口之剩餘部分中；(v)一導電接觸件電鍍至該介電區域之該外表面上；且(vi)用一保形介電層塗佈該半導體元件之該前表面。

如圖21A中所繪示，該微電子單元210包含兩個導電互連280，每一導電互連從一各自導電接觸件290延伸至該開口230的一下表面232，使得每一導電互連280的一下末端283在一各自導電襯墊250之一部分上。一介電層225已沈積於該半導體元件220之該前表面221上，且至每一導電襯墊250之頂表面251上。

其後，如圖21B中所繪示，一蝕刻程序可施加至該介電

層 225 之一部分，留下在該前表面 221 上的該介電層之剩餘部分，此處期望電絕緣隨後待沈積的該等前表面導電導孔 260 的部分。如所展示，每一導電襯墊 250 之頂表面 251 之一部分保持由該介電層 225 塗佈。在一特定實施例中，於該介電層 225 中建立的開口內暴露每一導電襯墊 250 之整個頂表面 251 可。

其後，如圖 21C 中所繪示，一蝕刻程序可施加至每一導電襯墊 250 之一部分，以便移除該導電襯墊之金屬的一部分。結果，形成一孔 240，該孔 240 從該頂表面 251 穿過每一導電襯墊 250 而延伸至其底表面 252。每一孔 240 可穿過該各自導電襯墊 250 而形成，如上文參考圖 3D 而描述。

其後，如圖 21D 中所繪示，可以選擇性蝕刻該半導體材料(例如，矽)的一方式進行另一蝕刻程序，藉此使該等孔 240 從該前表面 221 朝向該後表面 222 而延伸進入該半導體元件 220 中，藉此暴露該等各自導電互連 280 之下末端 283。該等孔 240 可延伸至該半導體元件 220 中，如上文參考圖 3E 而描述。接著，一介電層 267 可沈積於每一各自孔 240 的內表面 241 上，如上文參考圖 3F 而描述。如圖 21D 中所展示，該介電層 267 延伸於暴露於每一孔 240 的該介電層 270 與該鈍化層 224 之間。在一特定實施例中，該介電層 267 可延伸完全穿過該導電襯墊 250 而，接觸在該孔 240 內暴露的該導電襯墊之一內部表面 253，且該介電層 267 可從該孔延伸出且接觸該導電襯墊之頂表面 251。

其後，再次參考圖 19，該等導電導孔 260 可例如藉由毯

覆式沈積而沈積於該等介電層 267 及 225 上的該等各自孔 240 中，使得每一導電導孔 260 之形狀符合於該孔之內表面 241、該導電襯墊 250 之暴露表面及該介電層 225 之一外表面 226 的各自輪廓。每一導電導孔 260 從該各自導電互連 280 之暴露的下末端 283 延伸至該導電襯墊 250 之該頂表面 251 及內部表面 253 (圖 21D 中可見) 之暴露部分。

圖 22 係繪示圖 14 之導孔結構的一變動的一截面圖，該導孔結構具有一替代導電襯墊及導電導孔組態。微電子單元 10k 類似於上文參考圖 14 而描述之該微電子單元 10i，但不具有穿透至少部分上覆於該開口上的一導電襯墊的一孔，在從該導電襯墊 50k 橫向偏移的位置處建立該孔 40k 及該開口 30k。一導電跡線 68 沿著該導電元件 20k 之該前表面 21 而延伸，以將該導電導孔 60k 與該導電襯墊 50k 電連接。另外，不具有一固體導電導孔，該微電子單元 10k 包含具有一內部空間的一導電導孔 60k，諸如圖 2 中所展示。

現將參考圖 23A 至圖 23J 而描述製造該微電子單元 10k 的一方法。該微電子單元 10k 展示於圖 23A 至圖 23J 中，首先從該半導體元件之該前表面形成該孔，且接著從其後表面形成該開口，類似於圖 15A 至圖 15I 中展示之方法。

如圖 23A 中所繪示，該微電子單元 10k 具有位於該半導體元件 20k 之該前表面 21 處的一個或多個導電襯墊 50k。一支撐晶圓 (諸如圖 3C 至圖 3F 中所展示) 可暫時附接至該半導體元件 20k 的該後表面 22，以在該前表面 21 之處理期間對該半導體元件提供額外結構支撐。

其後，如圖 23B 中所繪示，可在期望形成該孔 40k 的一位置處移除該鈍化層 24 之一部分，該位置從該導電襯墊 50k 橫向偏移。

其後，如圖 23C 中所繪示，可以選擇性蝕刻該半導體材料(例如，矽)的一方式進行另一蝕刻程序，藉此從該前表面 21 朝向該後表面 22 而將該孔 40k 形成於該半導體元件 20k 中。該孔 40k 形成於從該導電襯墊 50k 橫向偏移的一位置處。該孔 40k 可蝕刻於該半導體元件 20 中，如上文參考圖 3E 而描述。

其後，如圖 23D 中所繪示，一可光成像層(諸如一光阻)或一介電層 25k 可沈積於該半導體元件 20 之該前表面 21 上及該孔 40k 中，如上文參考圖 3F 而描述。

其後，如圖 23E 中所繪示，該導電導孔 60k 沈積於該孔 40k 上，該導電導孔 60k 上覆於位於該孔內的該介電層 25k 之部分上，使得該導電導孔 60k 之形狀符合於該孔之該內表面 41k 之各自輪廓。該導電導孔 60k 可形成為其內具有一內部空間，類似於圖 2 中展示之該導電導孔 60a。可形成該導電接觸件 68，其沿著該前表面 21 在該導電導孔 60k 與該導電襯墊 50k 之間延伸。在一特定實施例中，可在一單一無電極電鍍沈積步驟期間形成該導電導孔 60k 與該導電跡線 68。

其後，如圖 23F 中所繪示，一可光成像層(諸如一光阻)或一介電層 124 可沈積於該半導體元件 20k 之該前表面 21 上，且至該半導體導孔 60k、該導電跡線 68 及/或該導電襯

墊50k之部分上，以例如在一堆疊總成(諸如圖24中所展示)中提供鄰近微電子單元10k之間的電隔離。在形成該介電層124後，可從該半導體元件20之該前表面21移除一支撐晶圓(若使用)。

其後，如圖23G中所繪示，一支撐晶圓12藉由一黏合層13而暫時附接至該半導體元件20k之該前表面21，以在該後表面22之處理期間對該半導體元件提供額外結構支撐。

其後，如圖23H中所繪示，可減小該前表面21與該後表面22之間的半導體元件20k之厚度，如參考圖7F及圖7G所描述。在此步驟期間，作為一實例，該半導體元件20k之初始厚度T3(展示於圖23G中)可減小至一厚度T4(展示於圖23H中)。

其後，如圖23I中所繪示，該開口30k可從該後表面22向下延伸至該孔40k而形成，如上文參考圖7H而描述。接著，一可光成像層(諸如一光阻)或一介電層70k可沈積於該半導體元件20k之該後表面22上及該開口30k中，如上文參考圖13B所描述。

其後，如圖23J中所繪示，一蝕刻程序可施加至上覆於該孔40k上的該介電層70k之部分以及暴露於該開口30k內的該介電層25k之部分，以便暴露與該孔對準的該導電導孔60k之部分。

接著，一跡線形狀的導電互連80k及一跡線形狀的導電接觸件90k可作為一金屬層分別沈積於該開口30k內的該介電層70k(該導電互連)上，且沿著該後表面22(該導電接觸

件)而延伸，如參考圖15I而描述。該導電接觸件90k暴露於該介電層70k之該外表面72處，以與一外部裝置互連，或與一堆疊總成中之另一微電子單元10k互連。該導電接觸件90k從該開口30k及該孔40k橫向偏移，但該導電接觸件與該導電襯墊50k垂直對準(即，上覆於該導電襯墊50k)。

其後，再次參考圖22，可用一介電區域75k填充未被該導電互連80k或該介電層70k佔據的在該開口30k內之剩餘空間，如參考圖7I而描述。在形成該介電區域75k後，可從該半導體元件20k之該前表面21處移除該支撐晶圓12。

圖24係繪示一堆疊總成之一截面圖，該堆疊總成包含具有如圖22中展示之一導孔結構的複數個封裝晶片。在所展示之實施例中，一堆疊總成120包含彼此電連接的複數個微電子單元10k。

類似於圖16，若干微電子單元10k可一者堆疊於另一者頂部上，以形成微電子單元的一堆疊總成120。因為在一特定微電子單元10k中，該導電接觸件90k垂直地上覆於該導電襯墊50k上，每一鄰近對微電子單元可隨著各自開口30k及孔40k垂直地對準而放置，使得一上微電子單元之導電襯墊50k在一下微電子單元之該導電接觸件90k上。

在此配置中，類似於圖16，該堆疊總成中的該等微電子單元之各自鄰近者之間的連接係穿過導電質量122。在該前表面21處之該介電層124及在該後表面22處之該介電區域75k提供該堆疊總成120中鄰近微電子單元10k之間的電隔離(除提供互連之處)。位於一上微電子單元10k之前表面

21與一下微電子單元之下表面22之間的一黏合層126可鄰近微電子單元10k而接合至一起。

本文中揭示之用於在半導體元件中形成導孔結構的方法可應用於一微電子基板(諸如一單一半導體晶片)，或可同時應用於複數個個別半導體晶片，該複數個個別半導體晶片可在一器具中或在一載體上定義的空間處固持，以同時處理。或者，本文中揭示之方法可應用於包含複數個半導體晶片的一微電子基板或元件，其等以一晶圓或一晶圓之部分的形式附接至一起，以相對於一晶圓級、面板級或條狀級規模上的複數個半導體晶片同時執行如上文所描述之處理。

上文討論之結構提供特別的三維互連能力。此等能力可與任意類型之晶片使用。僅經由實例，晶片之以下組合可包含於如上文所討論之結構中：(i)一處理器及連同該處理器使用的記憶體；(ii)相同類型之複數個記憶體晶片；(iii)相異類型之複數個記憶體晶片，諸如DRAM及SRAM；(iv)用於處理來自該感測器之影像的一影像感測器及一影像處理器；(v)一特殊應用積體電路(「ASIC」)及記憶體。

可於相異電子系統的構造中利用上文討論之結構。例如，根據本發明之一進一步實施例的一系統300包含如上文連同其他電子組件308及310而描述的一結構306。在所描繪之實例中，組件308係一半導體晶片，而組件310係一顯示螢幕，但可使用任意其他組件。當然，雖然為繪示清晰起見，圖25中僅描繪兩個額外組件，該系統可包含任意

數目之此等組件。上文描述之該結構306可例如為一微電子單元，如上文連同圖1所討論，或參考圖10而討論之併入複數個微電子單元的一結構。在一進一步變體中可提供兩者，且可使用任意數目之此等結構。

結構306以及組件308及310安裝於一共同外殼301中，以虛線示意性描繪，且必要地彼此電互連，以形成所要的電路。在所展示之例示性系統中，該系統包含一電路面板302，諸如一可撓性印刷電路板，且該電路面板包含多種導體304，圖25中僅描繪其等之一者，該等組件彼此互連。然而，此僅為例示性的；可使用製造電連接的任意適宜結構。

該外殼301描繪為例如一蜂巢式電話或個人數位助理中可使用類型的一可攜式外殼，且螢幕310暴露於該外殼之表面。在結構306包含一光敏元件(諸如一成像晶片)之處，亦可提供一透鏡311或其他光學裝置，以將光投送至該結構。再次強調，圖25中展示之簡單化的系統僅為例示性的；可使用上文討論之結構而製造其他系統，包含通常認作固定結構的系統，諸如桌上型電腦、路由器及類似物。

本文中揭示之導孔及導孔導體可藉由程序而形成，諸如2010年7月23日申請之同在申請中、共同讓渡之美國專利申請案第12/842,717號、第12/842,651號、第12/842,612號、第12/842,669號、第12/842,692號及第12/842,587號及發表之美國專利申請公開案第2008/0246136號中以更多細節揭示的程序，該等案之揭示以引用之方式併入本文中。

儘管本文中之本發明已參考特定實施例而描述，應理解，此等實施例係僅例證本發明之原理及應用。因此，應理解，可對例證性實施例作出許多修改，且在未脫離由隨附申請專利範圍定義之本發明之精神及範圍之下，可設計其他配置。

應瞭解，多種附屬請求項及請求項中闡明的特徵可以與初始請求項中呈現的不同方式組合。亦應瞭解，與個別實施例連同描述之特徵可與所描述的其他實施例分享。

【圖式簡單說明】

圖1係繪示根據本發明之一實施例之一導孔結構的一截面圖。

圖2係繪示根據另一實施例之一導孔結構的一截面圖。

圖3A至圖3F係繪示根據圖1及圖2中描繪之本發明之實施例的製造階段的截面圖。

圖4係繪示根據另一實施例之一導孔結構的一截面圖。

圖5係繪示根據另一實施例之一導孔結構的一截面圖。

圖6係繪示根據另一實施例之一導孔結構的一截面圖。

圖7A至圖7J係繪示根據圖6中描繪之本發明之實施例的製造階段的截面圖。

圖8係繪示根據另一實施例之一導孔結構的一截面圖。

圖9係繪示根據另一實施例之一導孔結構的一截面圖。

圖10係繪示一堆疊總成的一截面圖，該堆疊總成包含具有如圖8中展示之一導孔結構的複數個封裝晶片。

圖11係繪示根據另一實施例之一導孔結構的一截面圖。

圖 12 係繪示根據另一實施例之一導孔結構之一截面圖。

圖 13A 至圖 13C 係繪示根據圖 11 中描繪之本發明之實施例的製造階段的截面圖。

圖 14 係繪示根據另一實施例之一導孔結構之一截面圖。

圖 15A 至圖 15I 係繪示根據圖 14 中描繪之本發明之實施例的製造階段的截面圖。

圖 16 係繪示一堆疊總成之一截面圖，該堆疊總成包含具有如圖 14 中展示之一導孔結構的複數個封裝晶片。

圖 17 係繪示根據另一實施例之一導孔結構之一截面圖。

圖 18A 至圖 18G 係繪示根據圖 17 中描繪之本發明之實施例的製造階段的截面圖。

圖 19 係繪示根據另一實施例之一導孔結構之一截面圖。

圖 20A 係繪示根據圖 19 中描繪之本發明之實施例之一導孔結構的一對應自上而下的平面圖。

圖 20B 係繪示根據圖 19 中描繪之本發明之實施例之一導孔結構的一替代對應自上而下的平面圖。

圖 20C 係繪示包含耦接至根據另一實施例之複數個較小開口的一通道形狀開口的一導孔結構的一透視圖。

圖 21A 至圖 21D 係繪示根據圖 19 中描繪之本發明之實施例之製造階段的截面圖。

圖 22 係繪示根據另一實施例之一導孔結構之一截面圖。

圖 23A 至圖 23J 係繪示根據圖 22 中描繪之本發明之實施例的製造階段的截面圖。

圖 24 係繪示一堆疊總成之一截面圖，該堆疊總成包含具

有圖22中展示之一導孔結構的複數個封裝晶片。

圖25係根據本發明之一實施例之一系統的一示意圖。

【主要元件符號說明】

10	微電子單元
10a	微電子單元
10b	微電子單元
10c	微電子單元
10d	微電子單元
10e	微電子單元
10f	微電子單元
10g	微電子單元
10h	微電子單元
10i	微電子單元
10j	微電子單元
10k	微電子單元
12	支撐晶圓
13	黏合層
14	支撐晶圓
15	黏合層
20	半導體元件
20g	微電子元件
20k	導電元件
21	前表面
21g	前表面

22	後表面
22g	後表面
23	主動半導體區域
24	介電層
25	介電層
25k	介電層
26	外表面
27	內部空間
28	內部空間
29	導電質量
30	開口
30g	開口
30k	開口
31	內表面
31a	第一內表面
31b	第二內表面
32	下表面
40	孔
40k	孔
41	內表面
41k	內表面
50	導電襯墊
50j	導電襯墊
50k	導電襯墊

51	頂表面
52	底表面
53	內表面
54	橫向表面
60	導電襯墊
60a	導電導孔
60f	導電導孔
60j	導電導孔部分
60k	導電導孔
61	外表面
65	介電區域
66	外表面
68	導電跡線
70	介電層
70g	介電層
70k	介電層
71	第一孔隙
71j	孔隙
72	外表面
72g	外表面
72i	暴露表面
74	第二孔隙
75	介電區域
75d	介電區域

75g	介電區域
75i	介電區域
75j	介電區域
75k	介電區域
76	外表面
76d	外表面
76i	外表面
76j	外表面
78	導電互連
80	導電互連
80b	導電互連
80d	導電互連
80e	導電互連
80g	導電互連
80i	導電互連
80j	導電互連部分
80k	跡線形狀的導電互連
81	外表面
85	內部空間
90	表面
90b	接觸表面
90d	導電接觸件
90e	後表面導電接觸件
90f	導電接觸件

90g	導電接觸件
90i	導電接觸件
90j	導電接觸件
90k	跡線形狀的導電接觸件
91g	底表面
92	表面
98	邊緣
99	邊緣
100	堆疊總成
102	穿過導電質量
104	介電區域
110	堆疊總成
112	穿過導電質量
114	介電區域
120	堆疊總成
124	介電層
126	黏合層
210	微電子單元
210a	微電子單元
210b	微電子單元
220	半導體元件
220c	半導體元件
221	前表面
222	後表面

224	鈍化層
225	介電層
226	外表面
230	開口
231	內表面
232	下表面
240	孔
241	內表面
250	導電襯墊
251	頂表面
252	底表面
253	內部表面
260	導電導孔
267	介電層
270	介電層
275	介電區域
280	導電互連
283	導電互連下末端
290	導電接觸件
300	系統
301	外殼
302	電路面板
304	導體
306	結構

308	電子組件
310	電子組件
311	透鏡

七、申請專利範圍：

1. 一種製造一半導體總成的方法，其包括：

提供一半導體元件，其具有一前表面、遠離該前表面的一後表面及複數個導電襯墊，每一襯墊具有暴露於該前表面的一頂表面，且具有遠離該頂表面的一底表面；

藉由從該前表面上方施加至各自導電襯墊之處理而形成至少穿過該等導電襯墊之一各自者延伸的至少一孔；

形成一開口，其從該後表面至少部分穿過該半導體元件的一厚度而延伸，使得該至少一孔及該開口在該前表面與該後表面之間的一位置處交切；及

形成至少一導電互連和耦接至各自導電互連的至少一導電接觸件，該至少一導電接觸件暴露於該後表面，以電連接至一外部裝置，該至少一導電互連至少延伸至該開口中；及

形成暴露於該前表面的至少一導電導孔，每一導電導孔在一各自孔內延伸且耦接至一各自導電互連及該等導電襯墊之一各自者，

其中形成該至少一導電互連的步驟係在形成該至少一導電導孔的步驟之前執行，使得每一導電導孔係被形成以與各自導電互連在該孔內暴露的表面接觸，並且每一導電互連係直接或間接耦接至該等導電襯墊中之一者。

2. 如請求項1之方法，其進一步包括形成一連續介電層，該連續介電層至少在該各自導電襯墊上方的一位置處部分上覆於該各自導電襯墊上，且上覆於該孔內的該半導

體元件之一內部表面上。

3. 如請求項1之方法，其中該至少一導電接觸件上覆於該半導體元件之該後表面上。
4. 如請求項1之方法，其中該開口具有沿著該後表面的一橫向方向上的一第一寬度，且該等導電接觸件之至少一者具有在該橫向方向上的一第二寬度，該第一寬度大於該第二寬度。
5. 如請求項1之方法，其中該至少一接觸件與該開口內的該半導體元件之一部分在一垂直方向上對準，該垂直方向為該半導體元件之厚度之一方向。
6. 如請求項1之方法，其中形成該至少一孔的步驟經執行使得該至少一孔部分穿過該半導體元件之厚度而延伸。
7. 如請求項6之方法，其中形成該至少一孔之步驟經執行使得該至少一孔穿過該半導體元件之厚度而延伸至多至該前表面與該後表面之間之距離的三分之一，且該開口延伸穿過該半導體元件未被該至少一孔佔據之厚度的一剩餘部分。
8. 如請求項1之方法，其中該半導體元件包含複數個主動半導體裝置，且該複數個導電襯墊之至少一者與該複數個主動半導體裝置之至少一者電連接。
9. 如請求項1之方法，其中該等孔及該開口之任意者之一者或多者係藉由引導一射束之精細磨料粒子朝向該半導體元件而形成。
10. 如請求項1之方法，其中形成該至少一孔的步驟形成兩

個或兩個以上的孔，且形成該開口之步驟經執行使得該開口從該半導體元件之該後表面延伸至該等孔之兩者或兩者以上。

11. 如請求項10之方法，其中形成該開口之步驟經執行使得該開口具有一通道形狀，其具有沿著該半導體元件之一表面的一第一方向延伸的一長度，及在橫切該第一方向的一第二橫向方向延伸的一寬度，該長度大於該寬度。
12. 如請求項1之方法，其中從該前表面上方施加至該各自導電襯墊的該處理係化學蝕刻、雷射鑽孔或電漿蝕刻。
13. 如請求項1之方法，其中形成該至少一導電元件之步驟形成兩個或兩個以上導電互連，其中複數個孔與該開口交切，且該等導電互連至少在該開口內延伸至該各自導孔。
14. 如請求項1之方法，其中每一導電互連藉由電鍍一金屬層而形成，該金屬層上覆於該開口之至少一內表面上，該導電互連符合於該開口的一輪廓。
15. 如請求項14之方法，其中該等導電互連沿著該開口之該內表面之各自部分而延伸。
16. 如請求項15之方法，其中形成該至少一導電元件之步驟經執行以便至少在該開口內形成兩個或兩個以上導電互連，該兩個或兩個以上導電互連之各者延伸至該導電導孔之一單一者。
17. 如請求項14之方法，其中每一導電互連定義一內部空間。

18. 如請求項 17 之方法，其進一步包括用一介電材料填充每一內部空間之步驟。

19. 如請求項 14 之方法，其進一步包括形成上覆於該開口之至少該內表面上的一介電層之步驟，其中每一導電互連填充該介電層之表面之間的一體積。

20. 如請求項 1 之方法，其進一步包括以下步驟：

在該開口內形成一介電區域，且形成穿過該介電區域而延伸的一孔隙，該孔隙具有恆定直徑，或以朝向該前表面的一方向成錐形，且具有不符合於該開口之一輪廓的一輪廓；

其中形成該至少一導電元件之步驟至少在該孔隙內形成該等導電互連之一各自者。

21. 如請求項 20 之方法，其中該等導電互連之各自者具有一圓柱形或截頭圓錐形。

22. 如請求項 20 之方法，其中該等導電互連之各自者係藉由將一金屬層電鍍於該孔隙之一內表面上而形成。

23. 如請求項 22 之方法，其中該等導電互連之各自者定義一內部空間。

24. 如請求項 23 之方法，其進一步包括用一介電材料填充該內部空間之步驟。

25. 如請求項 22 之方法，其中該等導電互連之各自者填充該孔隙內的一體積。

26. 如請求項 1 之方法，其中該等導電導孔之至少一者係藉由電鍍一金屬層而形成，該金屬層上覆於該等孔之各自

者之至少一內表面上，該導電導孔符合於該孔之一輪廓。

27. 如請求項26之方法，其中該等導電導孔之至少一者之各者定義一內部空間。

28. 如請求項27之方法，其進一步包括用一介電材料填充每一內部空間之步驟。

29. 如請求項26之方法，其進一步包括形成一介電層之步驟，該介電層上覆於該等孔之各自者之至少該內表面上，其中該等導電導孔之至少一者之各者填充該介電層之表面之間的一體積。

30. 如請求項1之方法，其進一步包括在形成該開口之步驟之前：

在每一孔內形成一介電區域，且形成穿過每一介電區域而延伸的一孔隙，該孔隙具有恆定直徑，或在朝向該後表面的一方向上成錐形，且具有不符合於該孔之一輪廓的一輪廓；

其中形成該至少一導電元件之步驟至少在該孔隙內形成該等導電導孔之一各自者。

31. 如請求項30之方法，其中該等導電導孔之各自者具有一圓柱形或截頭圓錐形。

32. 如請求項30之方法，其中該等導電導孔之各自者係藉由電鍍一金屬層而形成，該金屬層上覆於該孔隙之一內表面上。

33. 如請求項32之方法，其中該等導電導孔之至少一者之各

者定義一內部空間。

34. 如請求項33之方法，其進一步包括用一介電材料填充每一內部空間之步驟。

35. 如請求項32之方法，其中該等導電導孔之至少一者之各者填充該孔隙內的一體積。

36. 如請求項30之方法，其中每一導電導孔具有在其之一頂部末端的一第一寬度，且每一導電互連具有在其之一底部末端的一第二寬度，該底部末端與該等導電導孔之一各自者之該頂部末端交切，該第二寬度不同於該第一寬度。

37. 一種製造一堆疊總成之方法，該堆疊總成包含至少第一半導體總成及第二半導體總成，每一半導體總成如請求項1而製造，該方法進一步包括將該第一半導體總成與該第二半導體總成電連接的步驟。

38. 一種半導體總成，其包括：

一半導體元件，其具有一前表面、遠離該前表面的一後表面及一開口，該開口從該後表面至少部分穿過該半導體元件之厚度而延伸，

該半導體元件進一步包含在該前表面處的複數個導電襯墊，及

至少一孔，其延伸穿過該各自襯墊且部分穿過該半導體元件之厚度，該至少一孔與該開口在該前表面與該後表面之間的一位置處交切，其中在該孔及該開口交切之該位置處，該孔及該開口之內部表面依相對於該後表面

之不同角度延伸，使得在該孔及該開口之該等內部表面之斜率之間具有一梯階變化；

一連續介電層，其至少在該導電襯墊上方的一位置處部分上覆於該導電襯墊上，且上覆於該孔內之該半導體材料之一內部表面上；

至少一導電元件，其電接觸該各自導電襯墊，該至少一導電元件具有暴露於該後表面處的一第一部分，以與一外部裝置電連接，該至少一導電元件具有至少在該導電襯墊上方之一位置處上覆於該連續介電層上的一第二部分，

其中該至少一導電元件包含：暴露於該後表面處的至少一導電互連，以電連接至一外部裝置，該至少一導電互連至少延伸至該開口中；及至少一導電導孔，每一導孔在一各自孔內延伸且耦接至一各自導電互連及一各自襯墊；及

一介電區域，其安置於該開口內且一孔隙穿過該介電區域而延伸，該孔隙具有恆定直徑，或在朝向該前表面的一方向上成錐形，且具有不符合於該開口之一輪廓的一輪廓，

其中該等導電互連之一各自者至少在該孔隙內延伸，且

其中該至少一導電元件包含至少一導電接觸件，該至少一導電接觸件耦接至該各自導電互連並且形成於該介電區域的外表面上，該至少一導電接觸件暴露於該後表

面處。

39. 如請求項 38 之半導體總成，其中該至少一導電襯墊具有面向外的一表面，該表面背向該半導體元件，其中該介電層之至少一部分接觸該面向外的表面。
40. 如請求項 38 之半導體總成，其中該至少一導電接觸件上覆於該半導體元件之該後表面上。
41. 如請求項 38 之半導體總成，其中該開口具有沿著該後表面之一橫向方向上的一第一寬度，且該等導電接觸件之至少一者具有在該橫向方向上的一第二寬度，該第一寬度大於該第二寬度。
42. 如請求項 38 之方法，其中該至少一接觸件與該開口內的該半導體元件之一部分在一垂直方向上對準，該垂直方向係該半導體元件之厚度的一方向。
43. 如請求項 38 之半導體總成，其中該半導體元件包含複數個主動半導體裝置，且該複數個導電襯墊之至少一者與該複數個主動半導體裝置之至少一者電連接。
44. 如請求項 38 之半導體總成，其中該至少一孔係兩個或兩個以上的孔，且該開口從該半導體元件之該後表面延伸至該等孔之兩者或兩者以上。
45. 如請求項 38 之半導體總成，其中該開口具有一通道形狀，其具有沿著該半導體元件之一表面而在一第一方向上延伸的一長度，及在橫切該第一方向的一第二橫向方向上延伸的一寬度，該長度大於該寬度。
46. 如請求項 38 之半導體總成，其中該至少一導電襯墊具有

一面向外的表面，其背向該半導體元件，其中該至少一導電元件之至少一部分上覆於該面向外的表面上且電連接至該面向外的表面。

47. 如請求項38之半導體總成，其中該至少一導電元件包含兩個或兩個以上導電互連，其中複數個該等孔與該開口交切，且該等導電互連至少在該開口內延伸至該等各自導孔。
48. 如請求項38之半導體總成，其中每一導電互連上覆於該開口之至少一內表面上，該導電互連符合於該開口之一輪廓。
49. 如請求項48之半導體總成，其中該等導電互連沿著該開口之該內表面之各自部分而延伸。
50. 如請求項49之半導體總成，其中該至少一導電元件包含至少在該開口內延伸的兩個或兩個以上導電互連，該兩個或兩個以上導電互連之各者延伸至該等導電導孔之一單一者。
51. 如請求項48之半導體總成，其中每一導電互連定義一內部空間。
52. 如請求項49之半導體總成，其中用一介電材料至少部分填充每一內部空間。
53. 如請求項48之半導體總成，其進一步包括上覆於該開口之至少該內表面上的一介電層，其中每一導電互連填充該介電層之表面之間的一體積。
54. 如請求項38之半導體總成，其中該等導電互連之各自者

具有一圓柱形或截頭圓錐形。

55. 如請求項 38 之半導體總成，其中該等導電互連之各自者定義一內部空間。

56. 如請求項 55 之半導體總成，其中用一介電材料至少部分填充該內部空間。

57. 如請求項 38 之半導體總成，其中該等導電互連之各自者填充該孔隙內的一體積。

58. 如請求項 38 之半導體總成，其中該等導電導孔之至少一者至少上覆於該等孔之各自者之一內表面上，該導電導孔符合於該孔之一輪廓。

59. 如請求項 58 之半導體總成，其中該等導電導孔之至少一者之各者定義一內部空間。

60. 如請求項 59 之半導體總成，其中用一介電材料至少部分填充每一內部空間。

61. 如請求項 58 之半導體總成，其進一步包括上覆於該等孔之各自者之至少該內表面上的一介電層，其中該等導電導孔之至少一者之各者填充該介電層之表面之間的一體積。

62. 如請求項 38 之半導體總成，其進一步包括：

一介電區域，其安置於每一孔內且一孔隙穿過每一介電區域而延伸，該孔隙具有恆定直徑，或在朝向該後表面之一方向上成錐形，且具有不符合於該孔之一輪廓的一輪廓；

其中該等導電導孔之一各自者至少在該孔隙內延伸。

63. 如請求項 62 之半導體總成，其中該等導電導孔之各自者具有一圓柱形或截頭圓錐形。
64. 如請求項 62 之半導體總成，其中該等導電導孔之至少一者之各者定義一內部空間。
65. 如請求項 64 之半導體總成，其中用一介電材料至少部分填充每一內部空間。
66. 如請求項 62 之半導體總成，其中該等導電導孔之至少一者之各者填充該孔隙內的一體積。
67. 如請求項 62 之半導體總成，其中每一導電導孔具有在其之一頂部末端處的一第一寬度，且每一導電互連具有在其之一底部末端處的一第二寬度，該底部末端與該等導電導孔之一各自者之該頂部末端交切，該第二寬度不同於該第一寬度。
68. 一種半導體總成，其包括：
- 一半導體元件，其具有一前表面、遠離該前表面的一後表面及一開口，該開口從該後表面至少部分穿過該半導體元件之厚度而延伸，
- 該半導體元件進一步包含在該前表面處的複數個導電襯墊，及
- 至少一孔，該至少一孔延伸穿過該導電襯墊且部分穿過該半導體元件之厚度，該至少一孔與該開口在該前表面與該後表面之間的一位置處交切，其中在該孔及該開口交切的該位置處，該孔及該開口之內部表面依相對於該後表面之不同角度延伸，使得在該孔及該開口之內部

表面之斜率之間具有一梯階變化；

一連續介電層，其上覆於該孔內的該導電襯墊之一內部表面上，且上覆於該孔內之該半導體材料之一內部表面上；

至少一導電元件，其電接觸該各自導電襯墊，該至少一導電元件具有暴露於該後表面處的一第一部分，以與一外部裝置電連接，該至少一導電元件具有上覆於該連續介電層上的一第二部分，

其中該至少一導電元件包含：暴露於該後表面處的至少一導電互連，以電連接至一外部裝置，該至少一導電互連至少延伸至該開口中；及至少一導電導孔，每一導孔在一各自孔內延伸且耦接至一各自導電互連及一各自襯墊；及

一介電區域，其安置於該開口內且一孔隙穿過該介電區域而延伸，該孔隙具有恆定直徑，或在朝向該前表面的一方向上成錐形，且具有不符合於該開口之一輪廓的一輪廓；

其中該等導電互連之一各自者至少在該孔隙內延伸，且

其中該至少一導電元件包含至少一導電接觸件，該至少一導電接觸件耦接至該各自導電互連並且形成於該介電區域的外表面上，該至少一導電接觸件暴露於該後表面處。

69. 如請求項68之半導體總成，其中該至少一導電襯墊具有

一面向外的表面，該表面背向該半導體元件，其中該介電層之至少一部分接觸該面向外的表面。

70. 如請求項 68 之半導體總成，其中該至少一導電接觸件上覆於該半導體元件之該後表面上。

71. 如請求項 68 之半導體總成，其中該開口具有沿著該後表面的一橫向方向上的一第一寬度，且該等導電接觸件之至少一者具有在該橫向方向上的一第二寬度，該第一寬度大於該第二寬度。

72. 如請求項 68 之方法，其中該至少一接觸件與該開口內的該半導體元件之一部分在一垂直方向上對準，該垂直方向為該半導體元件之厚度之一方向。

73. 如請求項 68 之半導體總成，其中該半導體元件包含複數個主動半導體裝置，且該複數個導電襯墊之至少一者與該複數個主動半導體裝置之至少一者電連接。

74. 如請求項 68 之半導體總成，其中該至少一孔係兩個或兩個以上的孔，且該開口從該半導體元件之該後表面延伸至該等孔之兩者或兩者以上。

75. 如請求項 68 之半導體總成，其中該開口具有一通道形狀，其具有沿著該半導體元件之一表面而在一第一方向上延伸之一長度，及在橫切該第一方向之一第二橫向方向上延伸的一寬度，該長度大於該寬度。

76. 如請求項 68 之半導體總成，其中該至少一導電襯墊具有一面向外的表面，該表面背向該半導體元件，其中該至少一導電元件之至少一部分上覆於該面向外的表面上，

且電連接至該面向外的表面。

77. 如請求項 68 之半導體總成，其中該至少一導電元件包含兩個或兩個以上導電互連，其中複數個該等孔與該開口交切，且該等導電互連至少在該開口內延伸至該等各自導孔。
78. 如請求項 68 之半導體總成，其中每一導電互連上覆於該開口之至少一內表面上，該導電互連符合於該開口之一輪廓。
79. 如請求項 78 之半導體總成，其中該等導電互連沿著該開口之該內表面之各自部分而延伸。
80. 如請求項 79 之半導體總成，其中該至少一導電元件包含至少在該開口內延伸的兩個或兩個以上導電互連，該兩個或兩個以上導電互連之各者延伸至該等導電導孔之一單一者。
81. 如請求項 78 之半導體總成，其中每一導電互連定義一內部空間。
82. 如請求項 79 之半導體總成，其中用一介電材料至少部分填充每一內部空間。
83. 如請求項 78 之半導體總成，其進一步包括上覆於該開口之至少該內表面上的一介電層，其中每一導電互連填充該介電層之表面之間的一體積。
84. 如請求項 68 之半導體總成，其中該等導電互連之各自者具有一圓柱形或截頭圓錐形。
85. 如請求項 68 之半導體總成，其中該等導電互連之各自者

定義一內部空間。

86. 如請求項 85 之半導體總成，其中用一介電材料至少部分填充該內部空間。
87. 如請求項 68 之半導體總成，其中該等導電互連之各自者填充該孔隙內的一體積。
88. 如請求項 68 之半導體總成，其中該等導電導孔之至少一者上覆於該等孔之各自者之至少一內表面上，該導電導孔符合於該孔之一輪廓。
89. 如請求項 88 之半導體總成，其中該等導電導孔之至少一者之各者定義一內部空間。
90. 如請求項 89 之半導體總成，其中用一介電材料至少部分填充每一內部空間。
91. 如請求項 88 之半導體總成，其進一步包括上覆於該等孔之各自者之至少該內表面上的一介電層，其中該等導電導孔之至少一者之各者填充該介電層之表面之間的一體積。
92. 如請求項 68 之半導體總成，其進一步包括：
- 一介電區域，其安置於每一孔內且一孔隙穿過每一介電區域而延伸，該孔隙具有恆定直徑或在朝向該後表面的一方向上成錐形，且具有不符合於該孔之一輪廓的一輪廓；
- 其中該等導電導孔之一各自者至少在該孔隙內延伸。
93. 如請求項 92 之半導體總成，其中該等導電導孔之各自者具有一圓柱形或截頭圓錐形。

94. 如請求項 92 之半導體總成，其中該等導電導孔之至少一者之各者定義一內部空間。
95. 如請求項 94 之半導體總成，其中用一介電材料至少部分填充每一內部空間。
96. 如請求項 92 之半導體總成，其中該等導電導孔之至少一者之各者填充該孔隙內的一體積。
97. 如請求項 92 之半導體總成，其中每一導電導孔具有在其之一頂部末端的一第一寬度，且每一導電互連具有在其之一底部末端的一第二寬度，該底部末端與該等導電導孔之一各自者之該頂部末端交切，該第二寬度不同於該第一寬度。
98. 一種堆疊總成，該堆疊總成包含至少第一半導體總成及第二半導體總成，每一半導體總成如請求項 38 或 68 所主張，其中該第一半導體總成與該第二半導體總成電連接。
99. 一種半導體總成，其包括：
- 一半導體元件，其具有一前表面、遠離該前表面的一後表面、從該後表面至少部分穿過該半導體元件之厚度而延伸的一開口、及從該前表面至少部分穿過該半導體元件之厚度而延伸的一孔，該孔及該開口在該前表面與該後表面之間的一位置處交切；
- 該半導體元件進一步包含在該前表面處的複數個導電襯墊，至少一導電襯墊從該孔橫向偏移；及
- 至少一導電元件，其具有暴露於該後表面處的一部

分，以與一外部裝置電連接，該至少一導電元件在該孔內延伸且至少延伸至該開口中，該至少一導電元件僅部分上覆於該各自導電襯墊之一表面上，

其中該至少一導電元件包含：暴露於該後表面處的至少一導電互連，以電連接至一外部裝置，該至少一導電互連至少延伸至該開口中；及至少一導電導孔，每一導孔在一各自孔中延伸，且耦接至一各自導電互連及一各自襯墊。

100. 如請求項 99 之半導體總成，其中該等導電導孔之至少一者上覆於該等孔之各自者之至少一內表面上，該導電導孔符合於該孔之一輪廓。
101. 如請求項 100 之半導體總成，其中該等導電導孔之至少一者之各者定義一內部空間。
102. 如請求項 101 之半導體總成，其中用一介電材料至少部分填充每一內部空間。
103. 一種系統，其包括如請求項 38、68 或 99 中任一項之一結構及與該結構電連接之一個或多個其他電子組件。
104. 如請求項 103 之系統，其進一步包括一外殼，該結構及該等其他電子組件安裝至該外殼。

八、圖式：

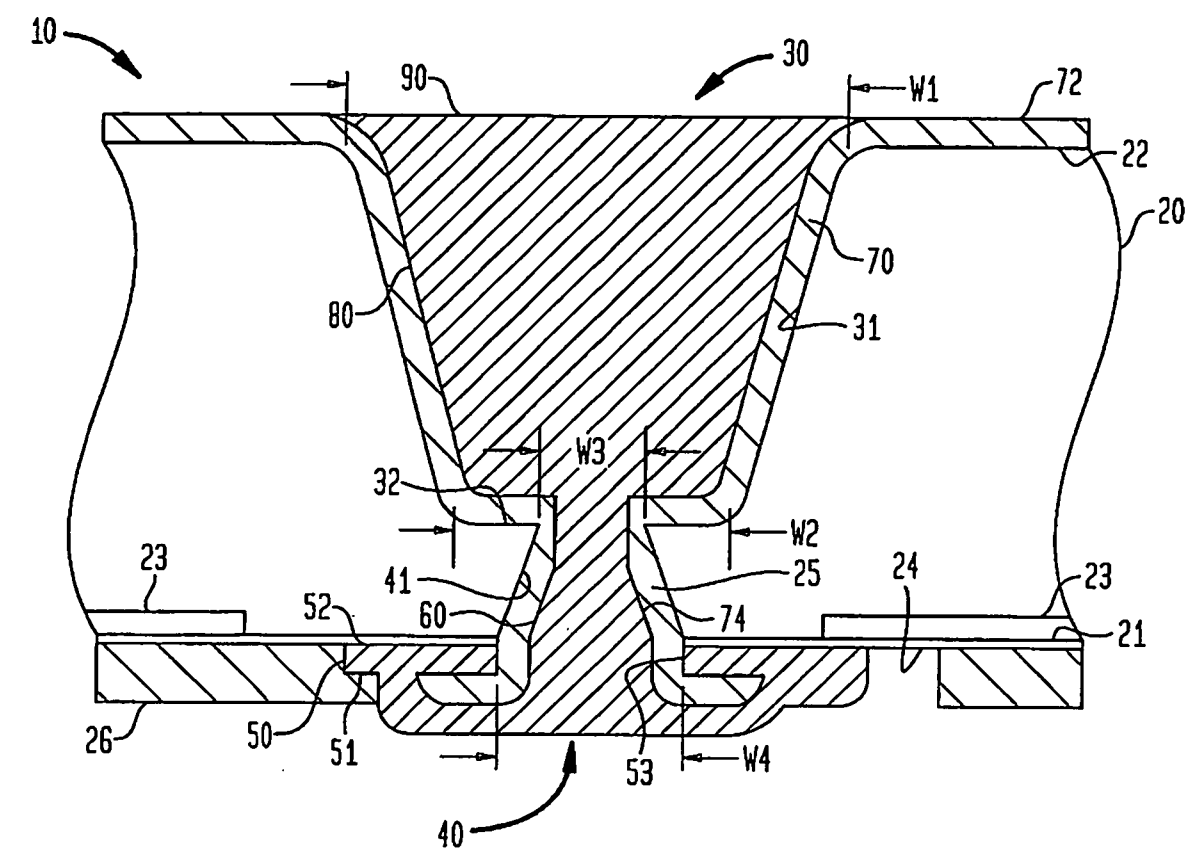


圖 1

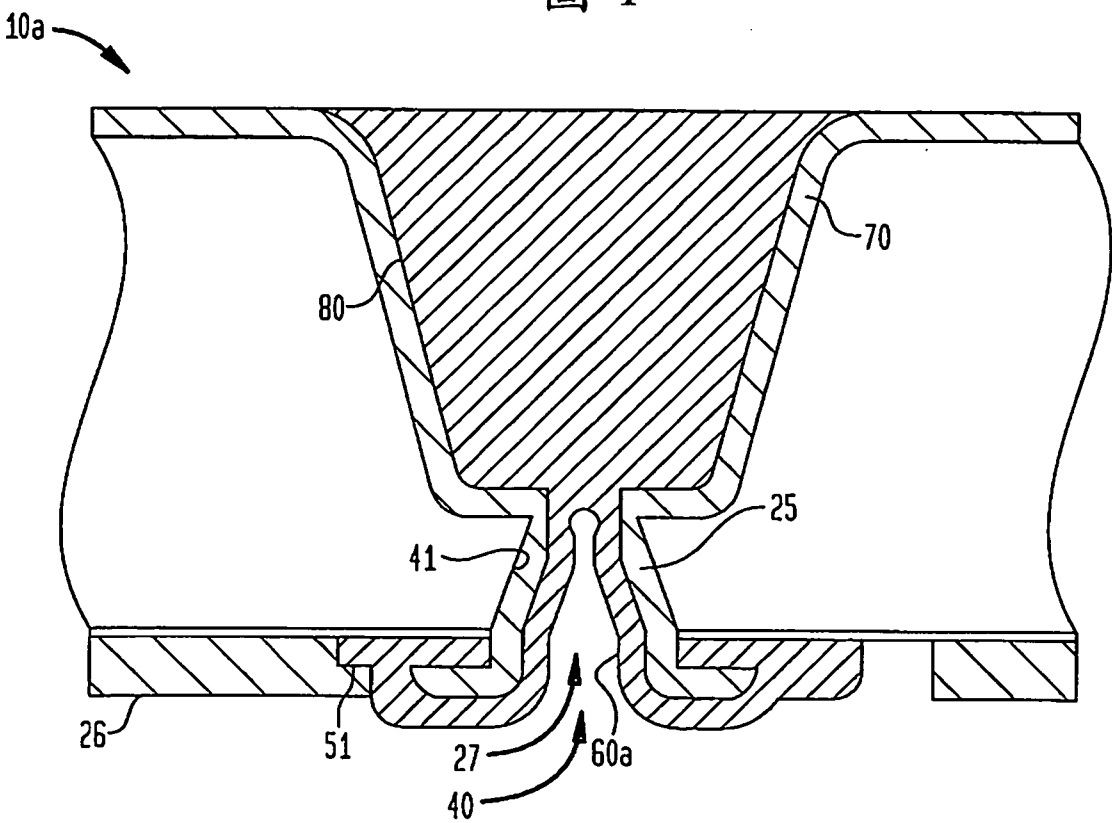


圖 2

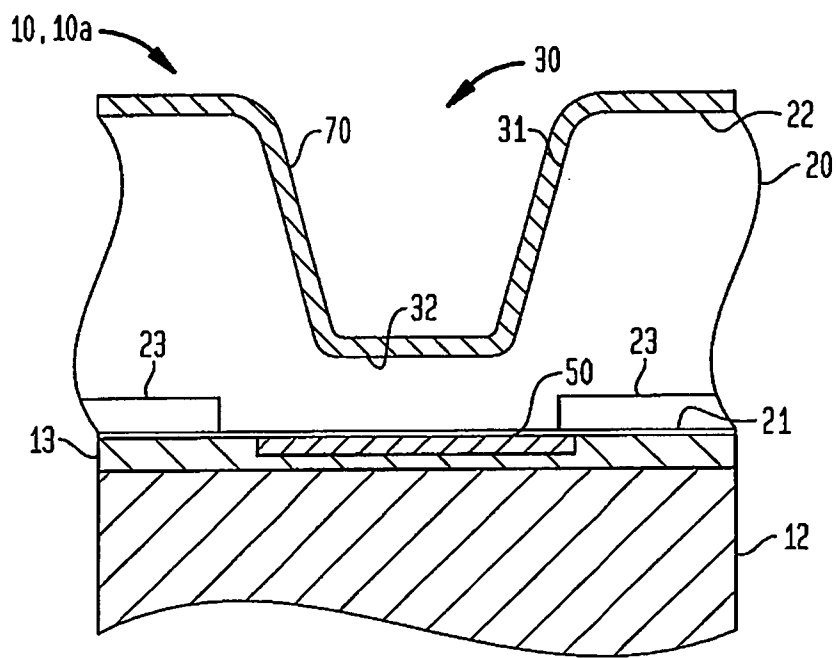


圖 3A

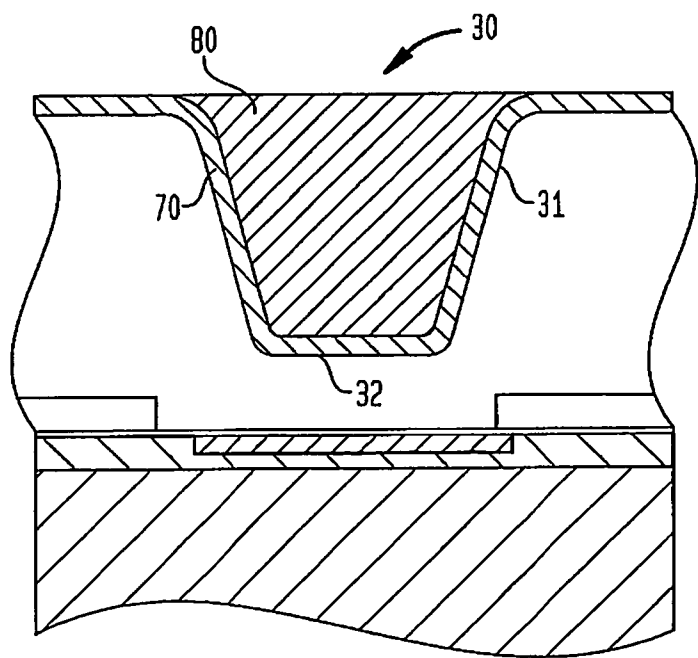


圖 3B

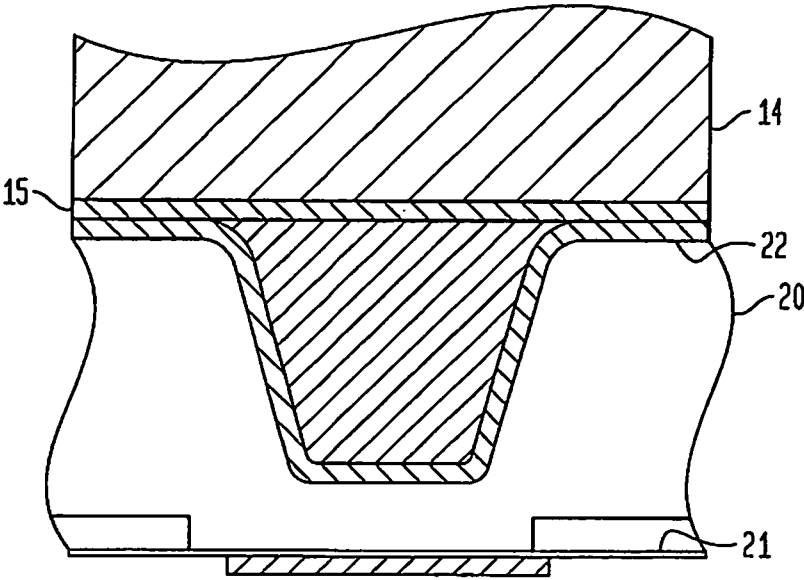


圖 3C

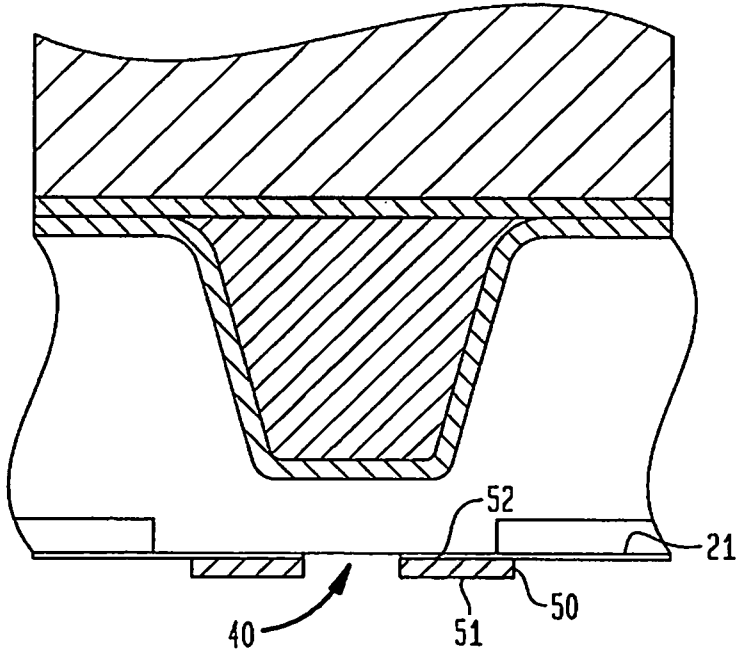


圖 3D

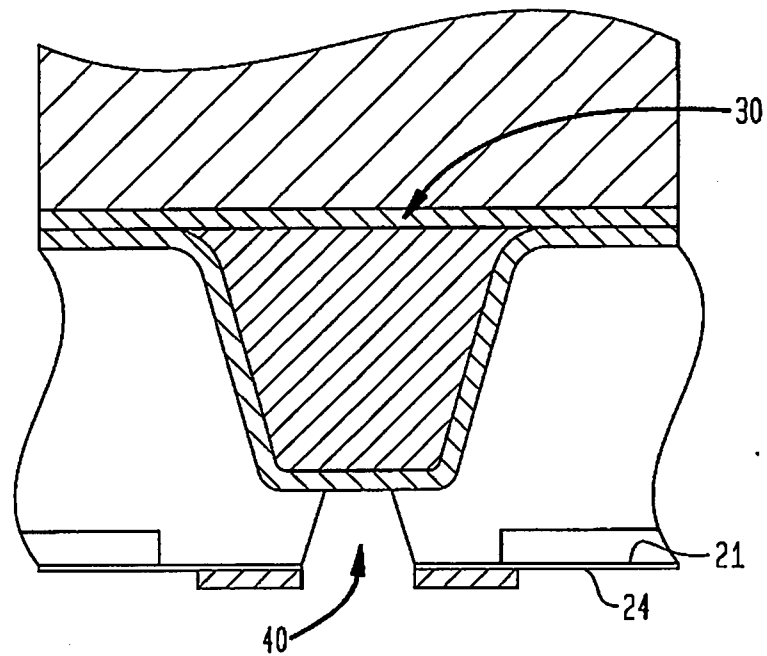


圖 3E

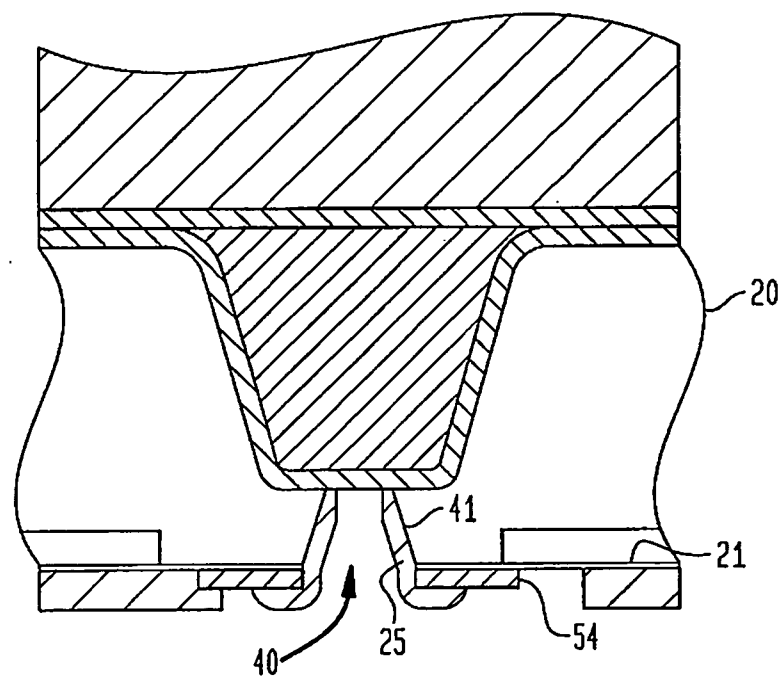


圖 3F

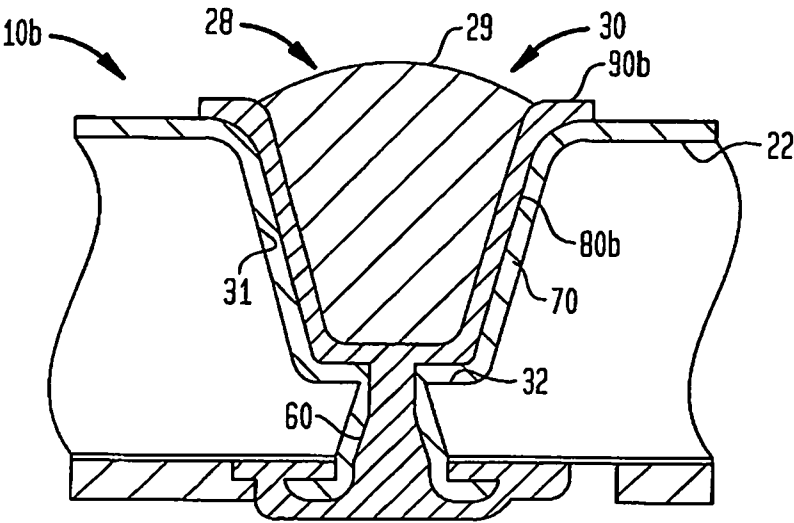


圖 4

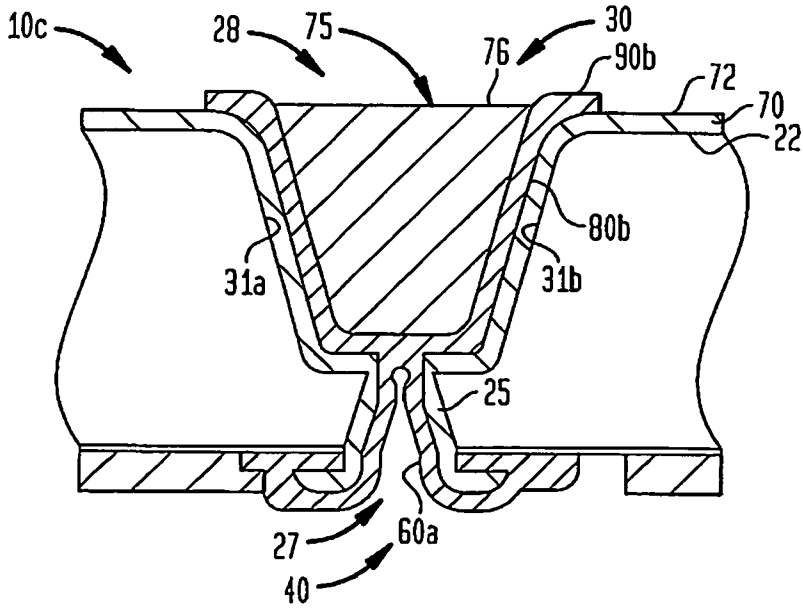


圖 5

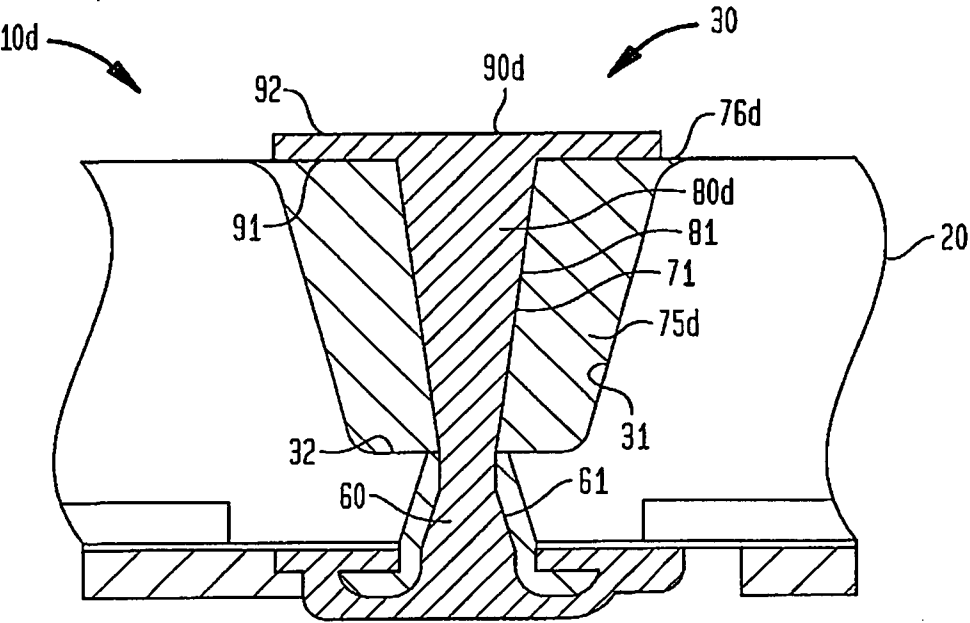


圖 6

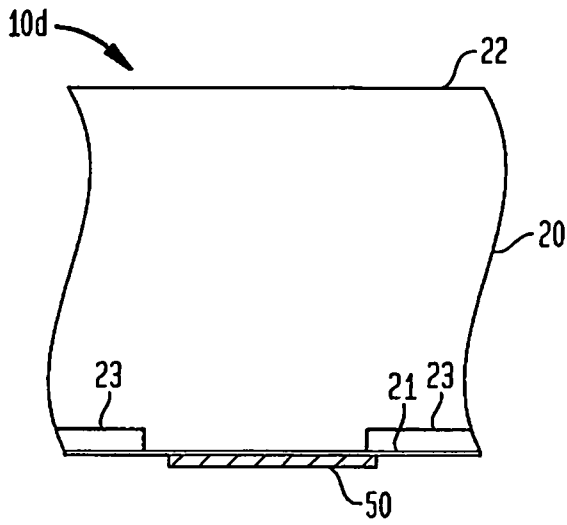


圖 7A

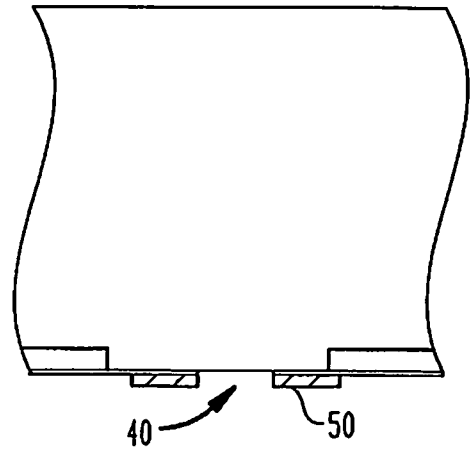


圖 7B

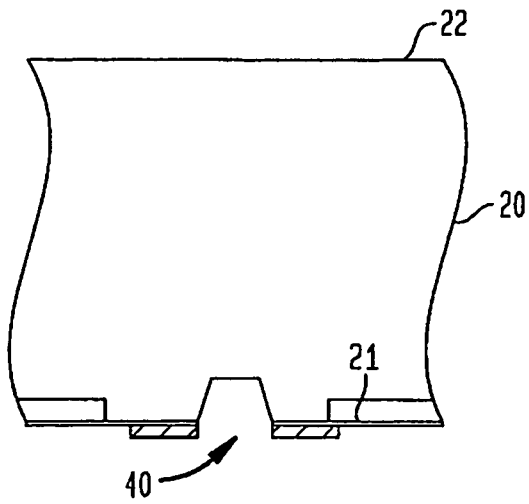


圖 7C

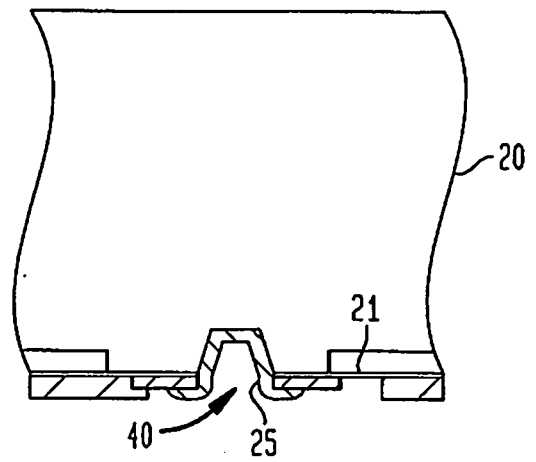


圖 7D

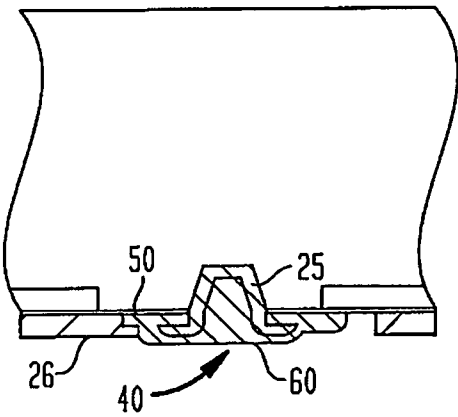


圖 7E

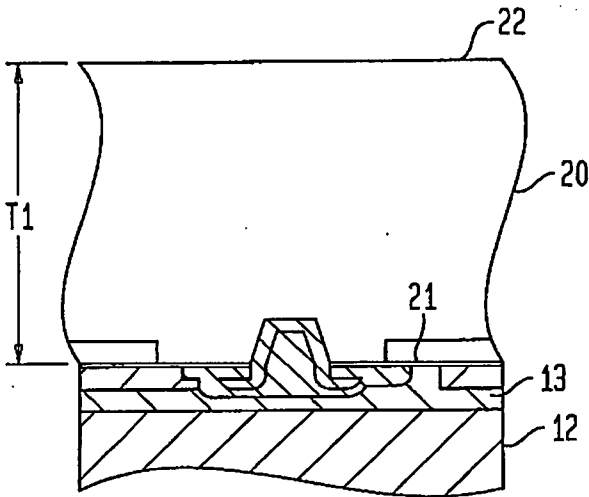


圖 7F

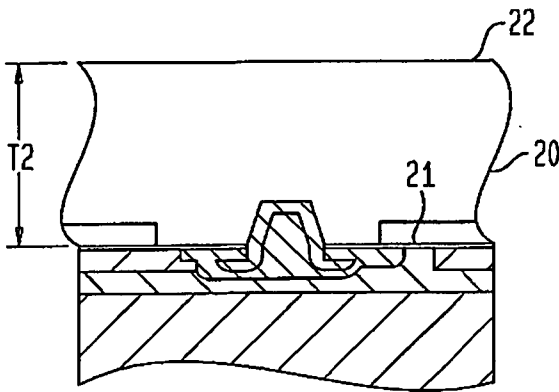


圖 7G

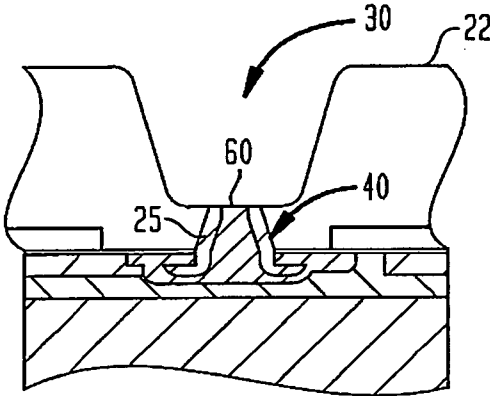


圖 7H

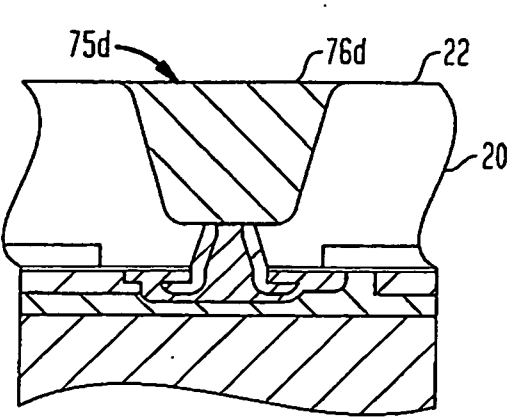


圖 7I

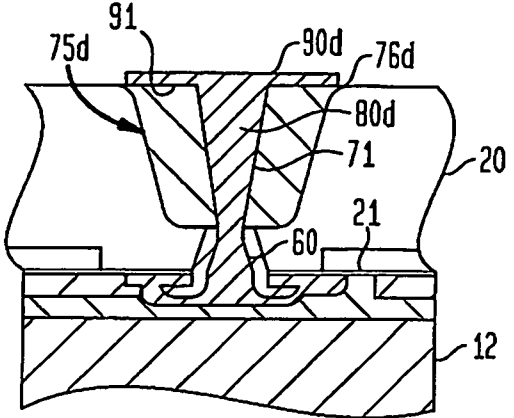


圖 7J

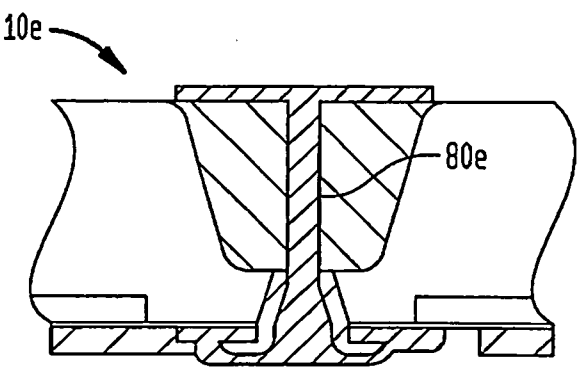


圖 8

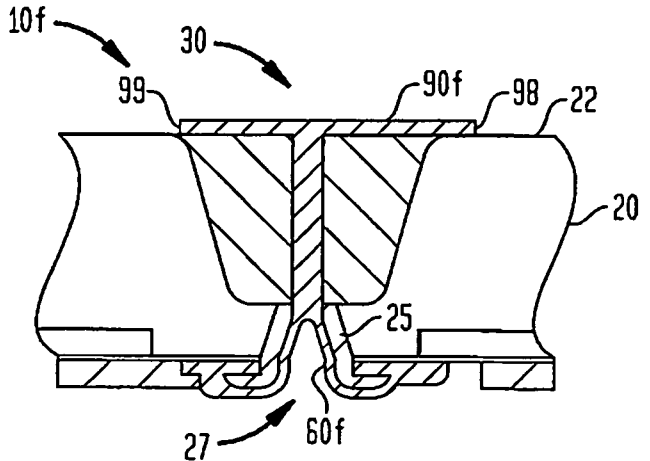


圖 9

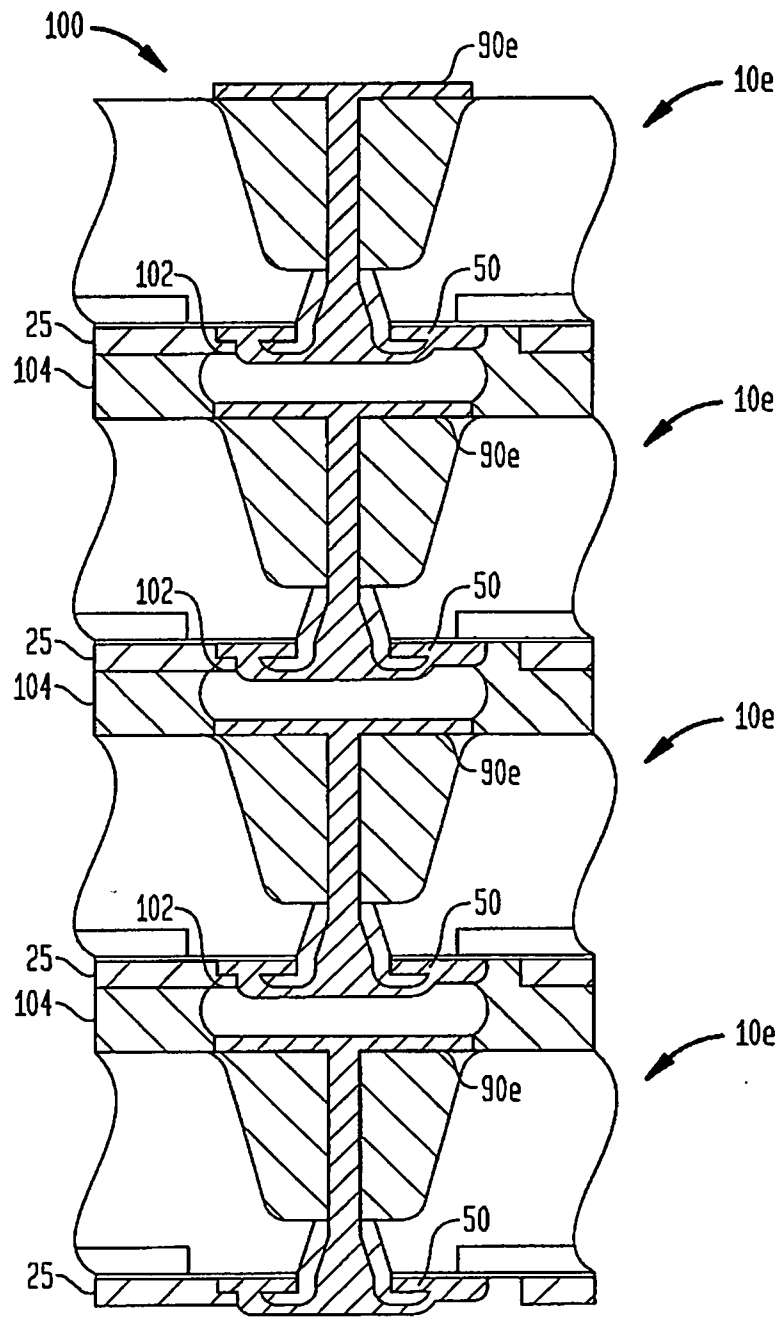


圖 10

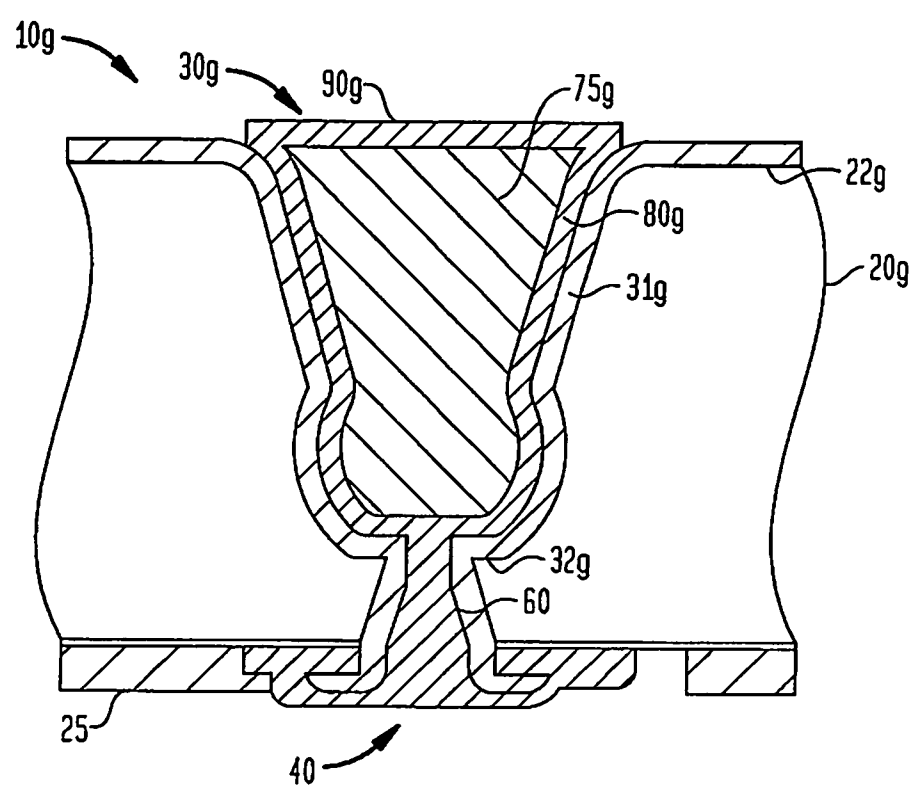


圖 11

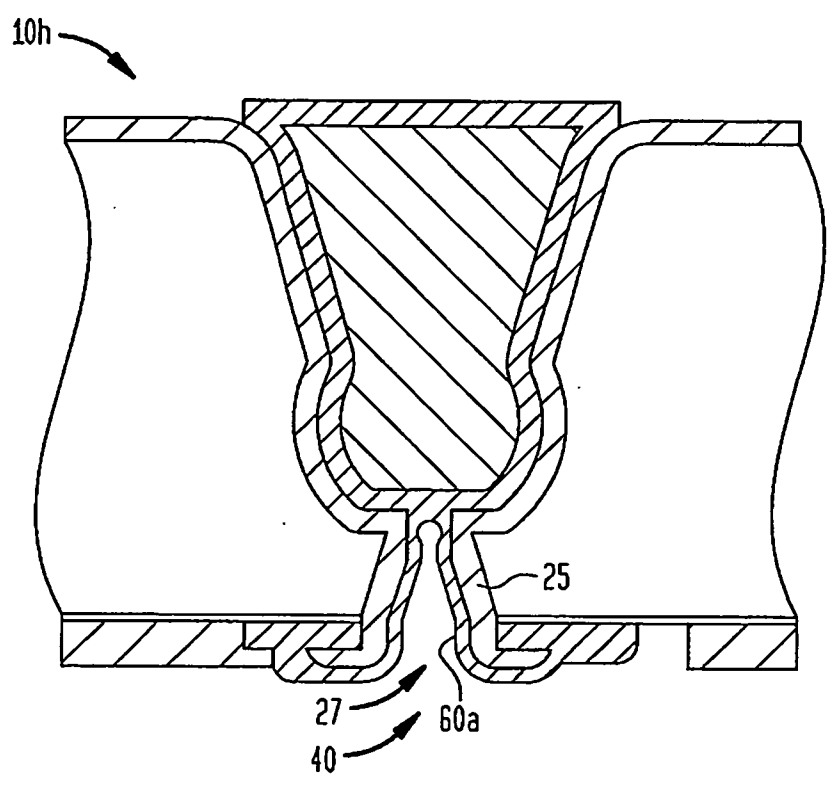


圖 12

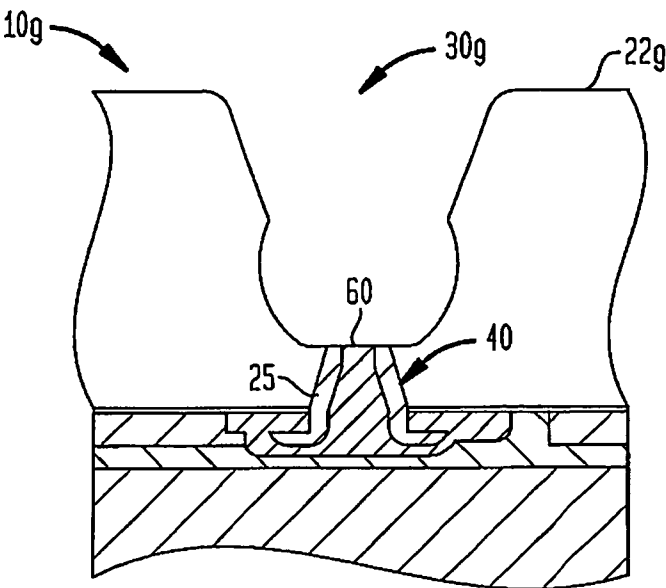


圖 13A

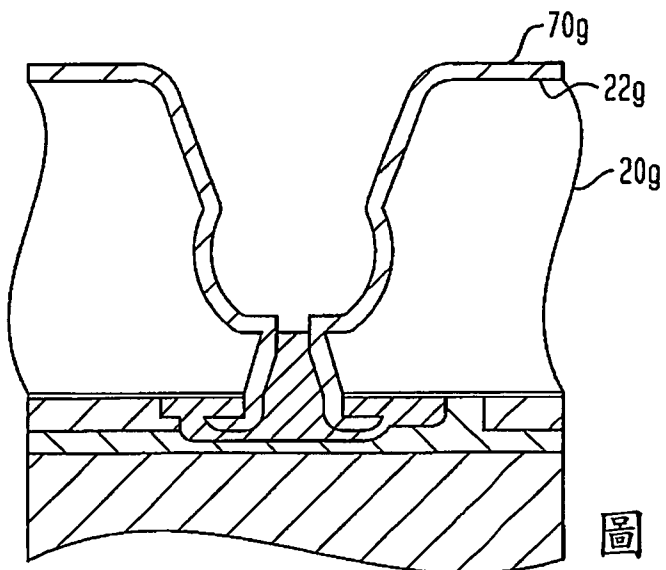


圖 13B

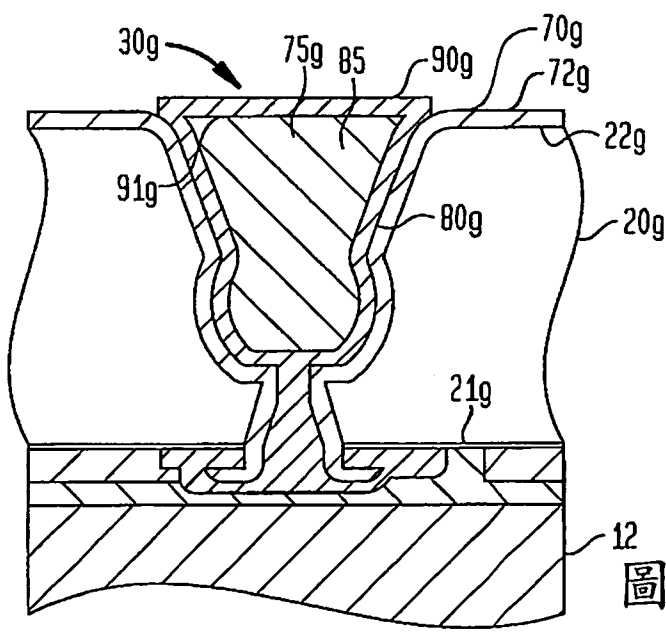


圖 13C

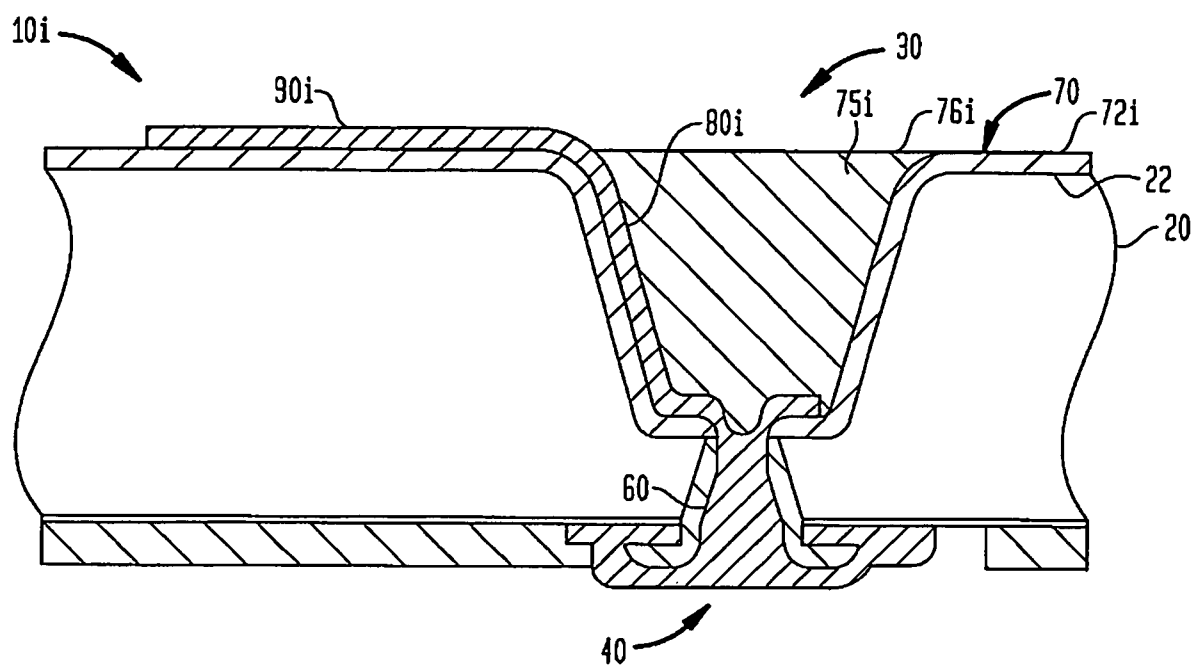


圖 14

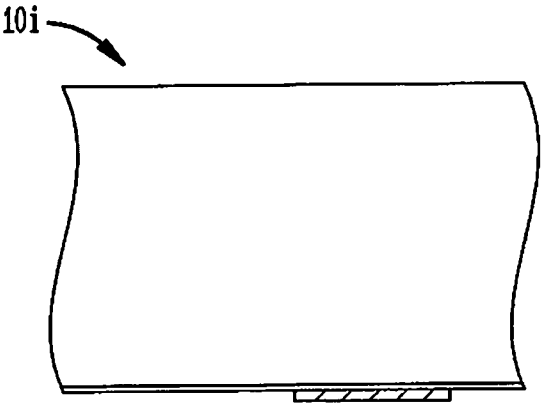


圖 15A

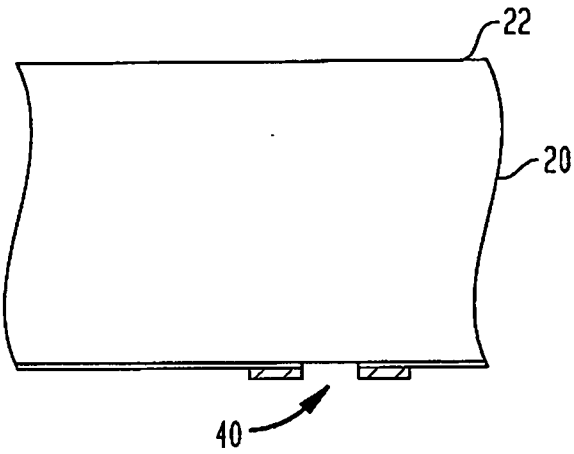


圖 15B

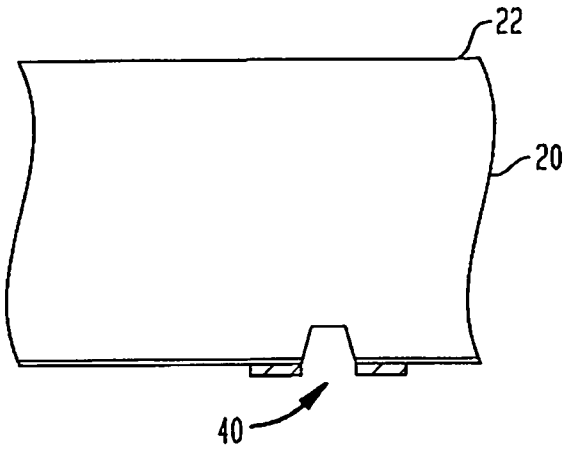


圖 15C

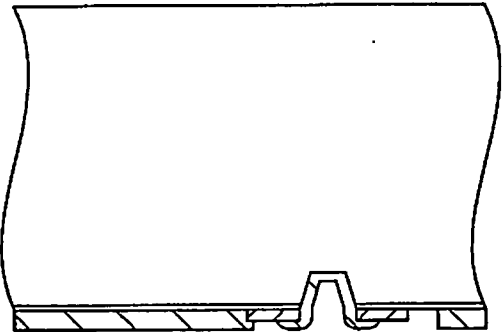


圖 15D

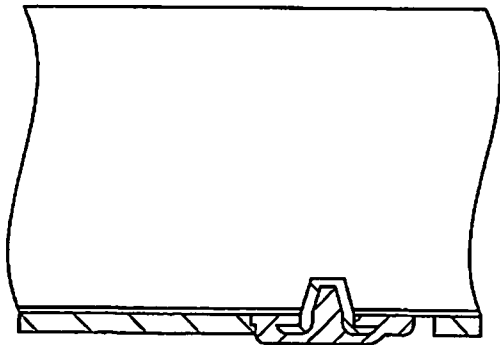


圖 15E

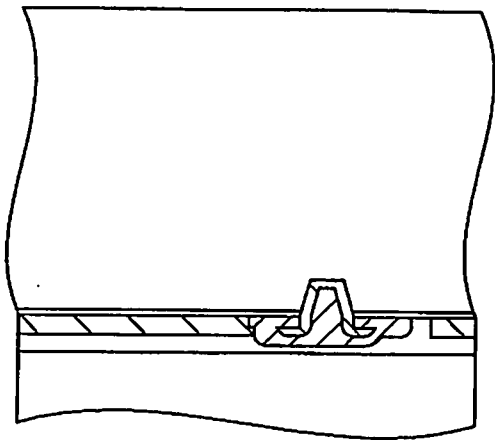


圖 15F

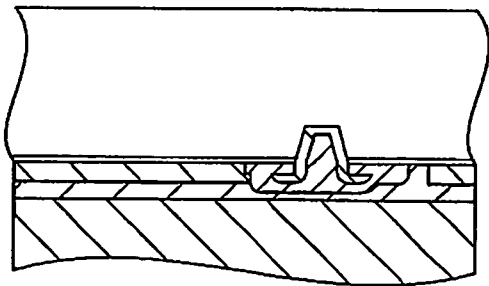


圖 15G

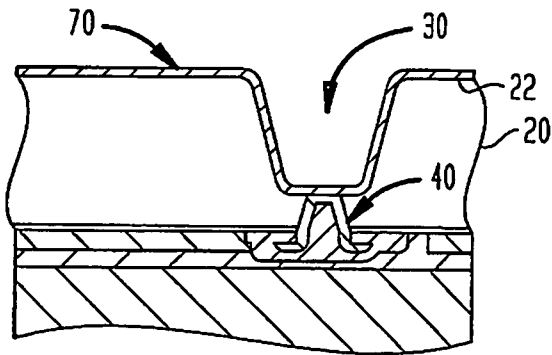


圖 15H

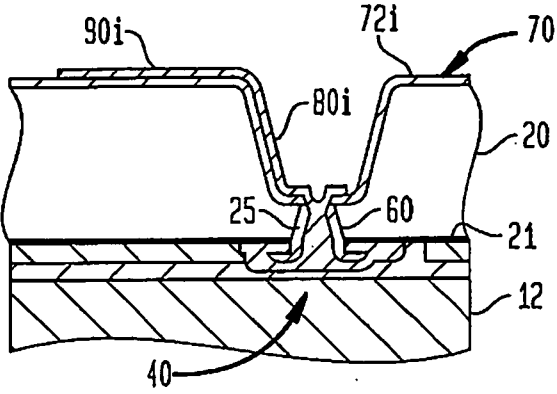


圖 15I

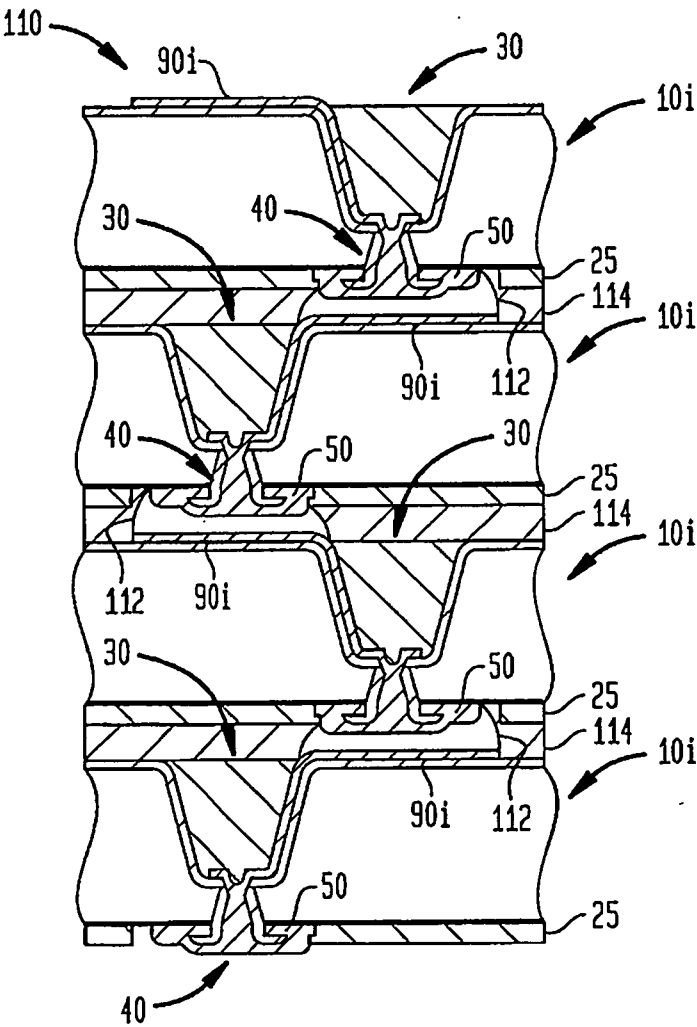


圖 16

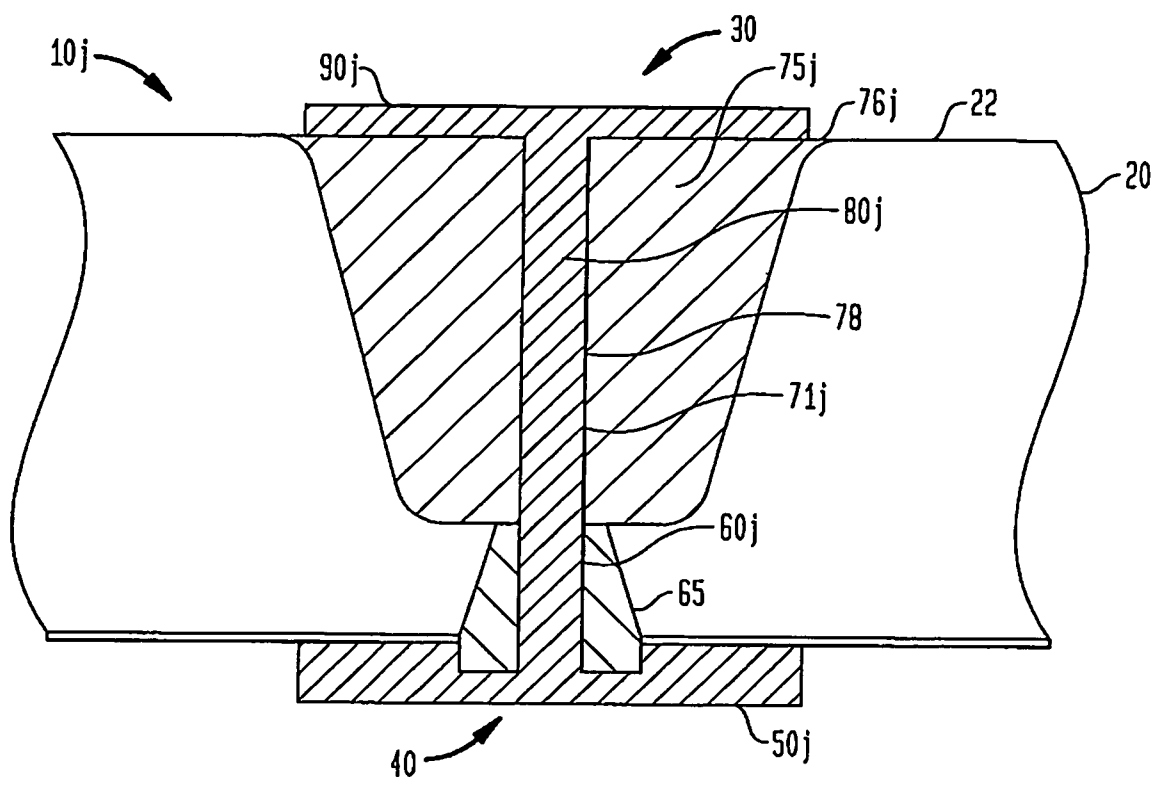


圖 17

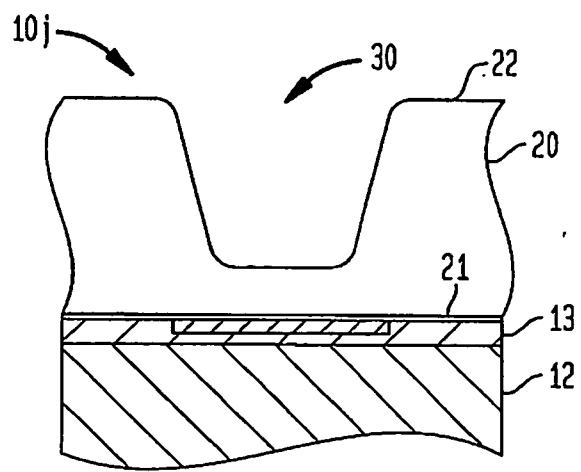


圖 18A

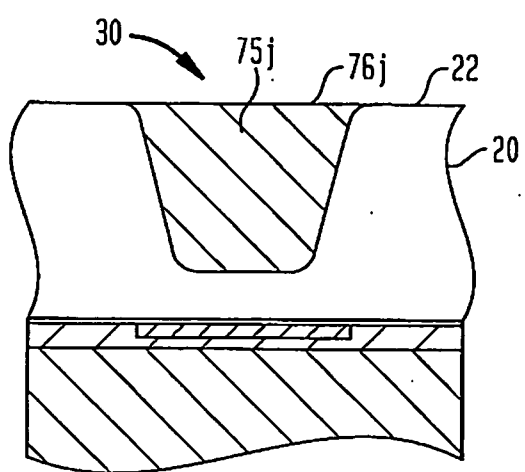


圖 18B

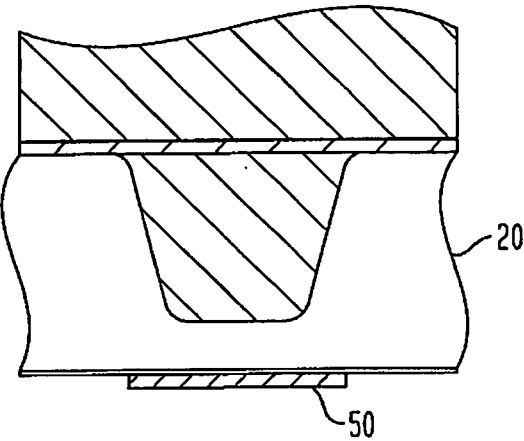


圖 18C

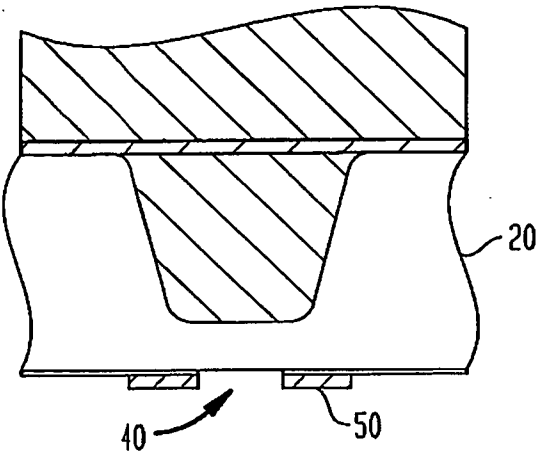


圖 18D

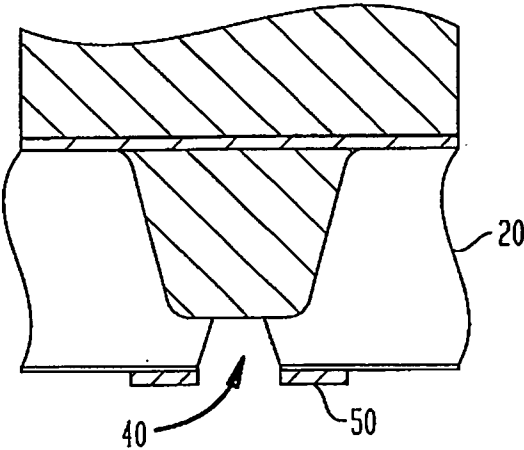


圖 18E

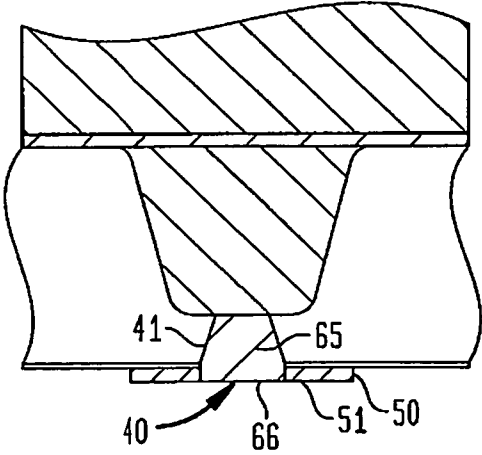


圖 18F

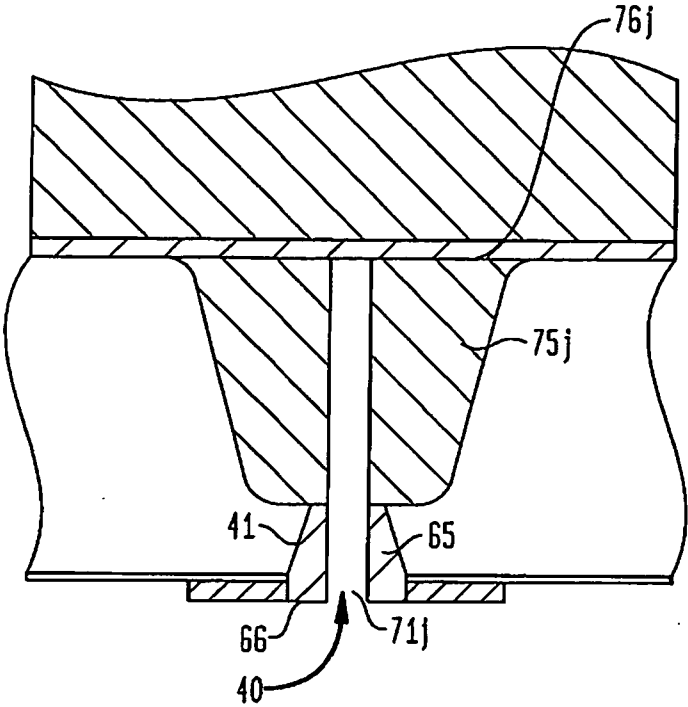


圖 18G

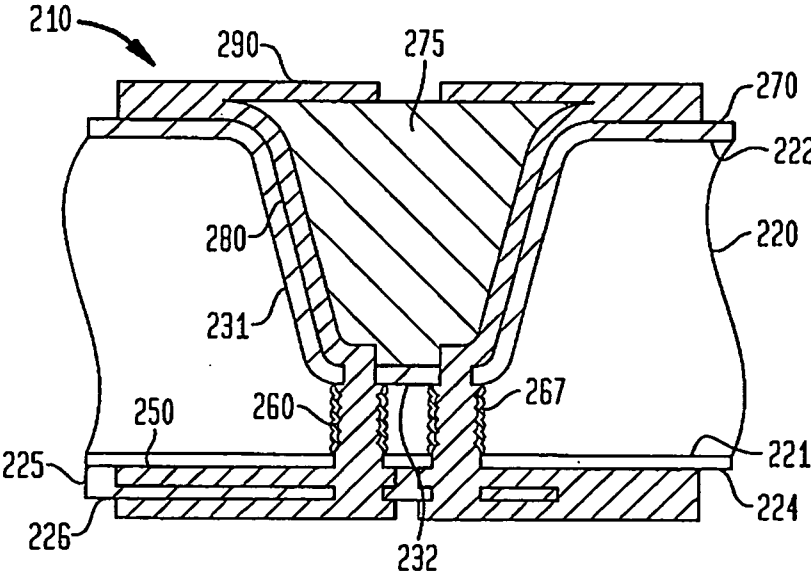


圖 19

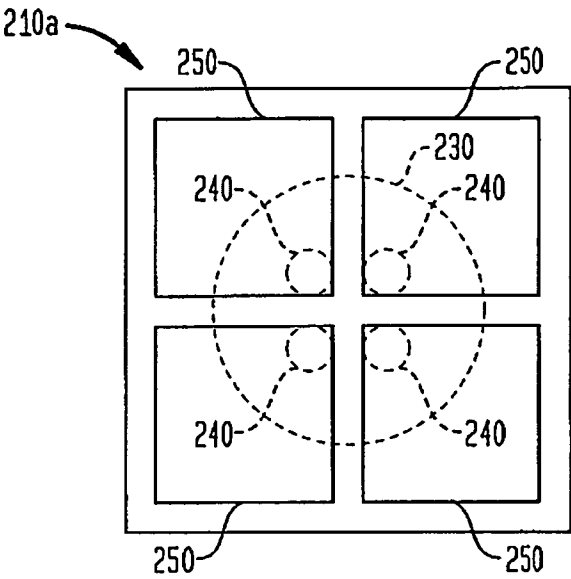


圖 20A

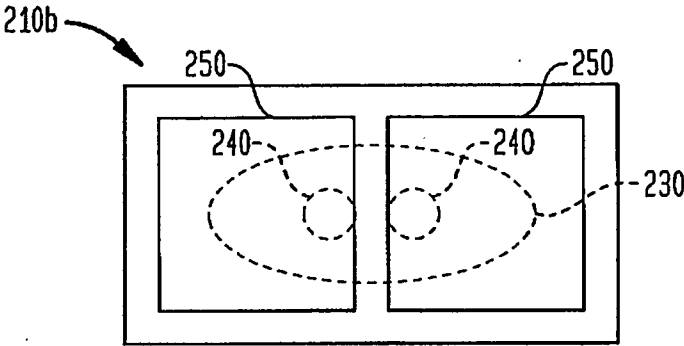


圖 20B

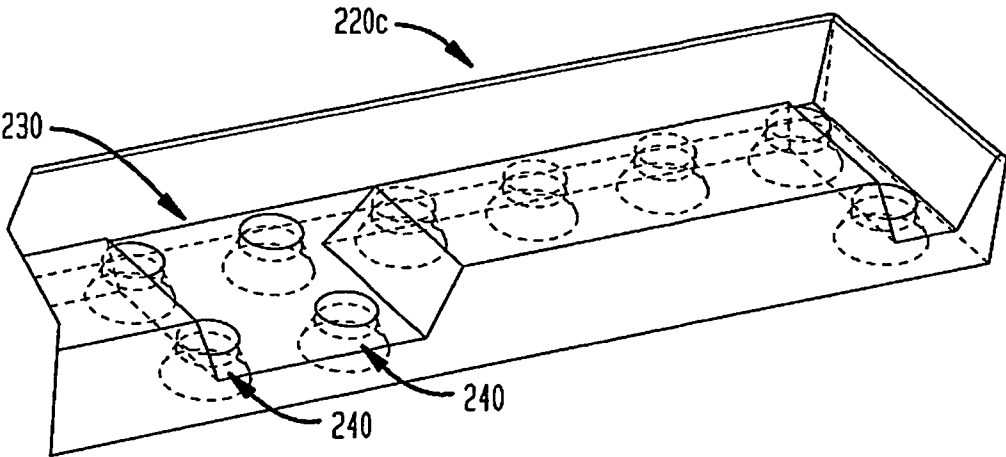


圖 20C

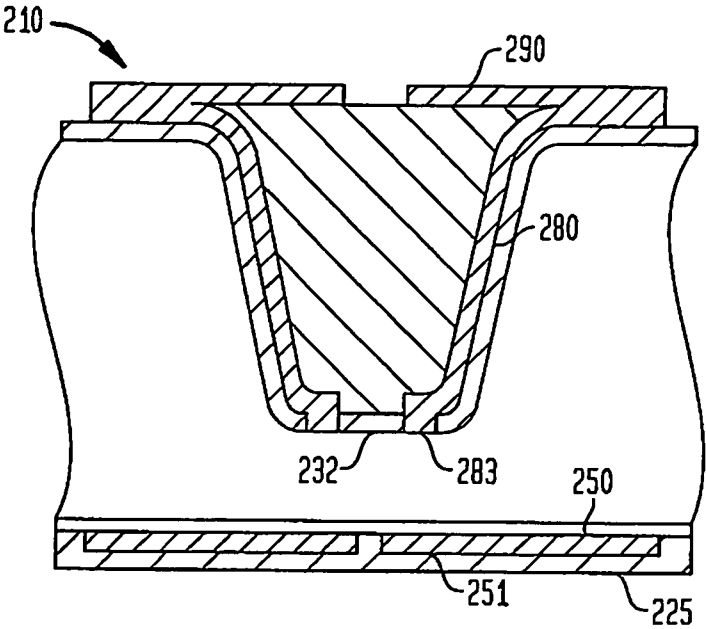


圖 21A

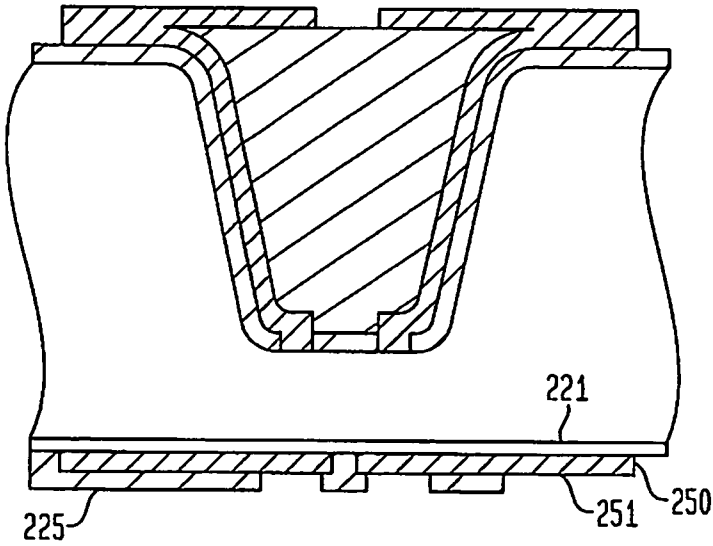


圖 21B

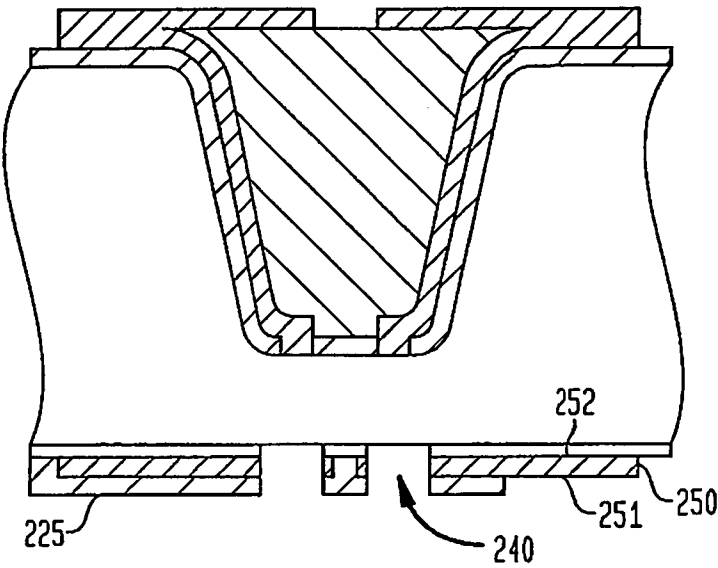


圖 21C

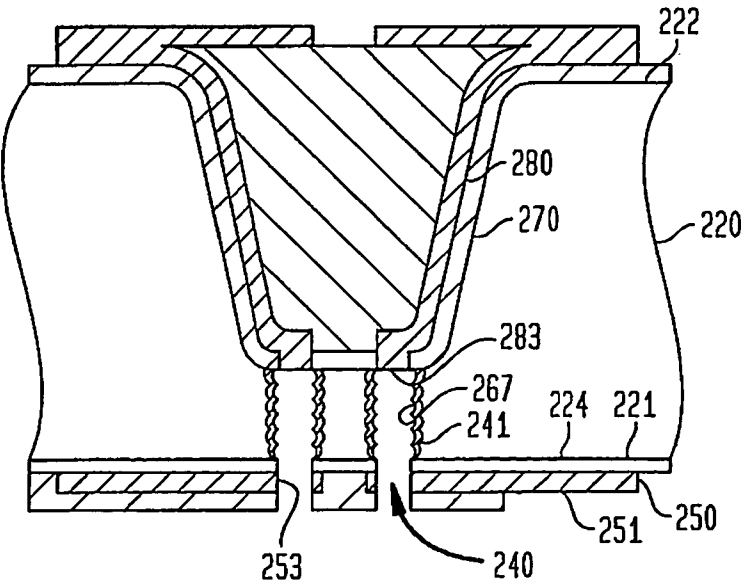


圖 21D

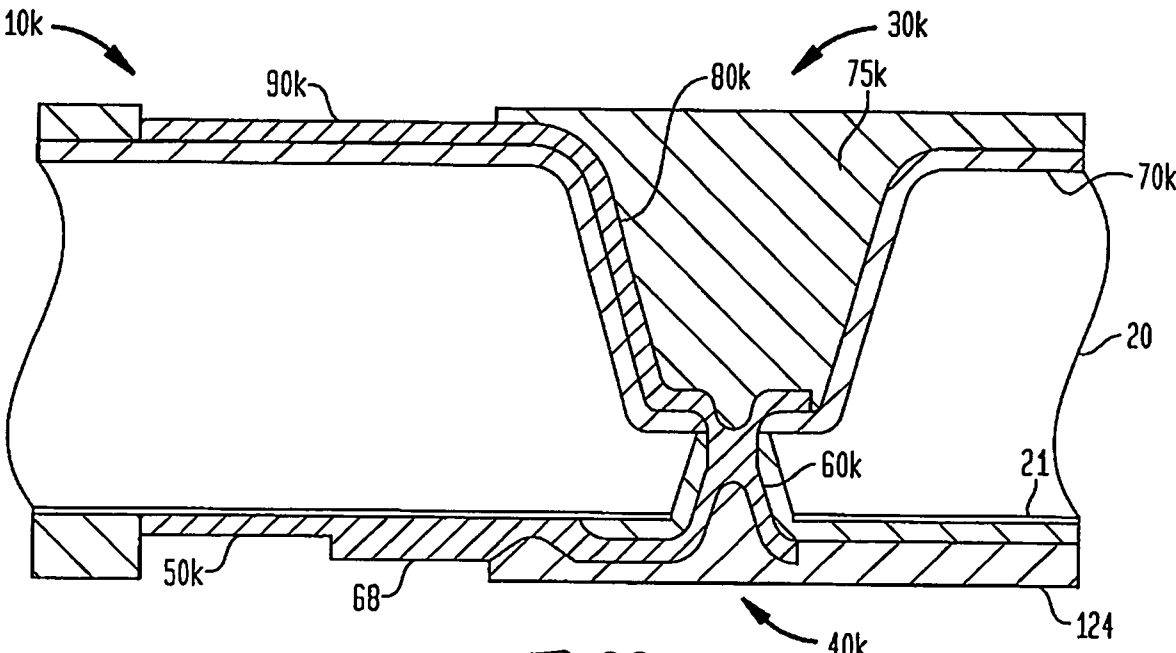


圖 22

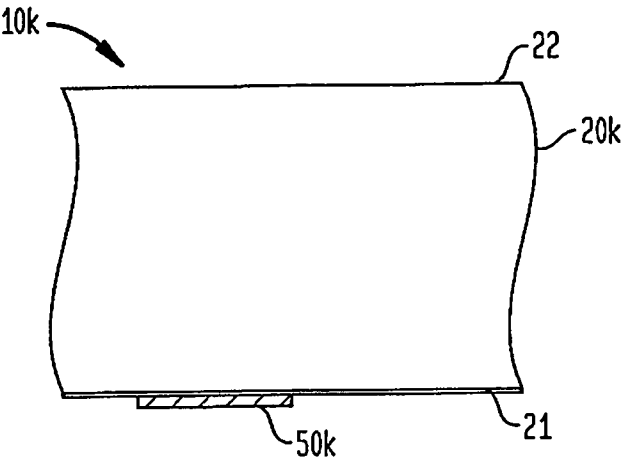


圖 23A

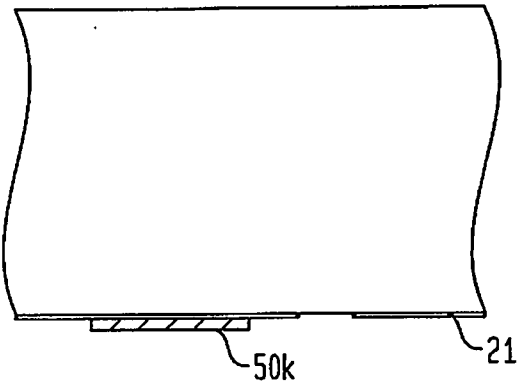


圖 23B

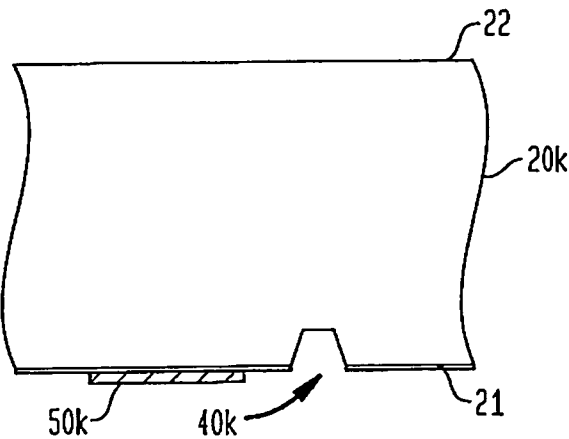


圖 23C

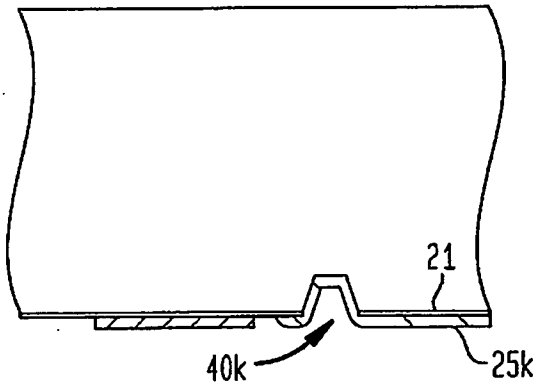


圖 23D

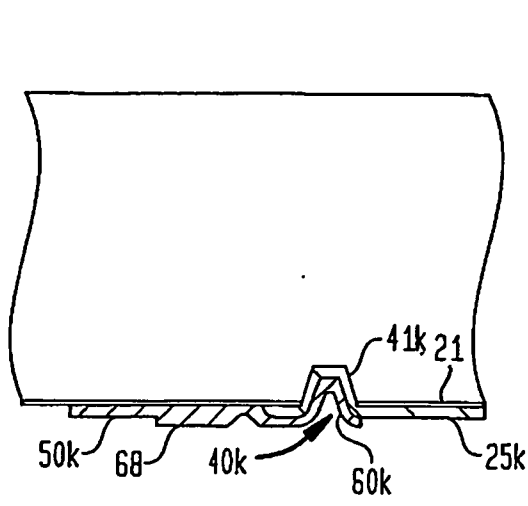


圖 23E

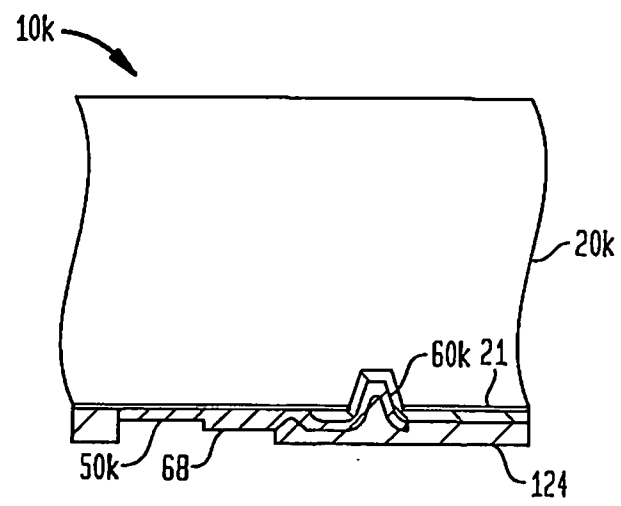


圖 23F

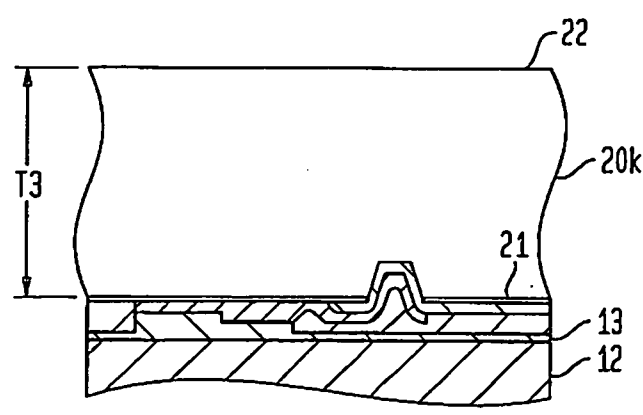


圖 23G

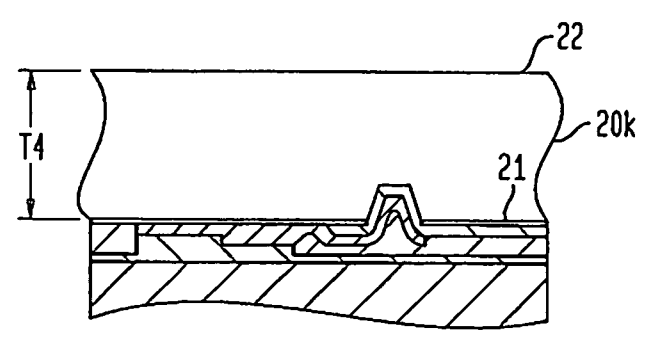


圖 23H

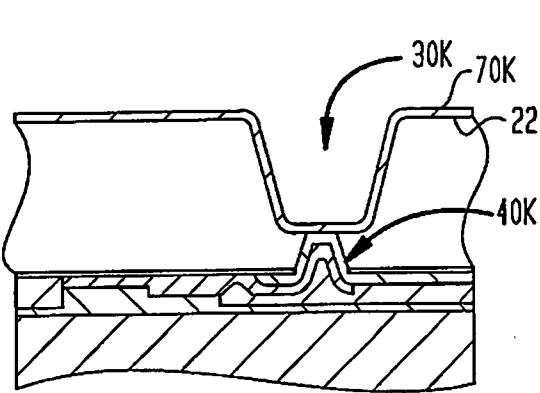


圖 23I

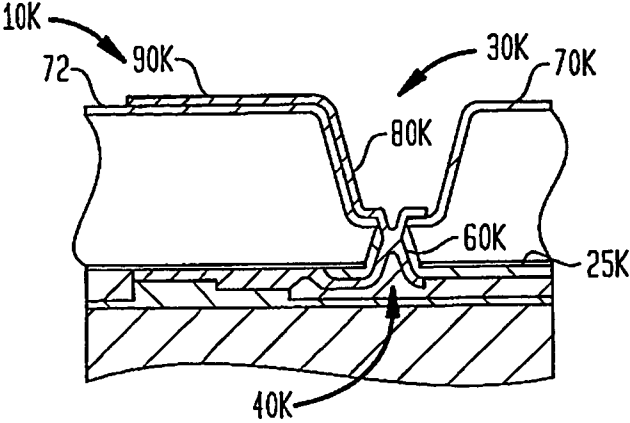


圖 23J

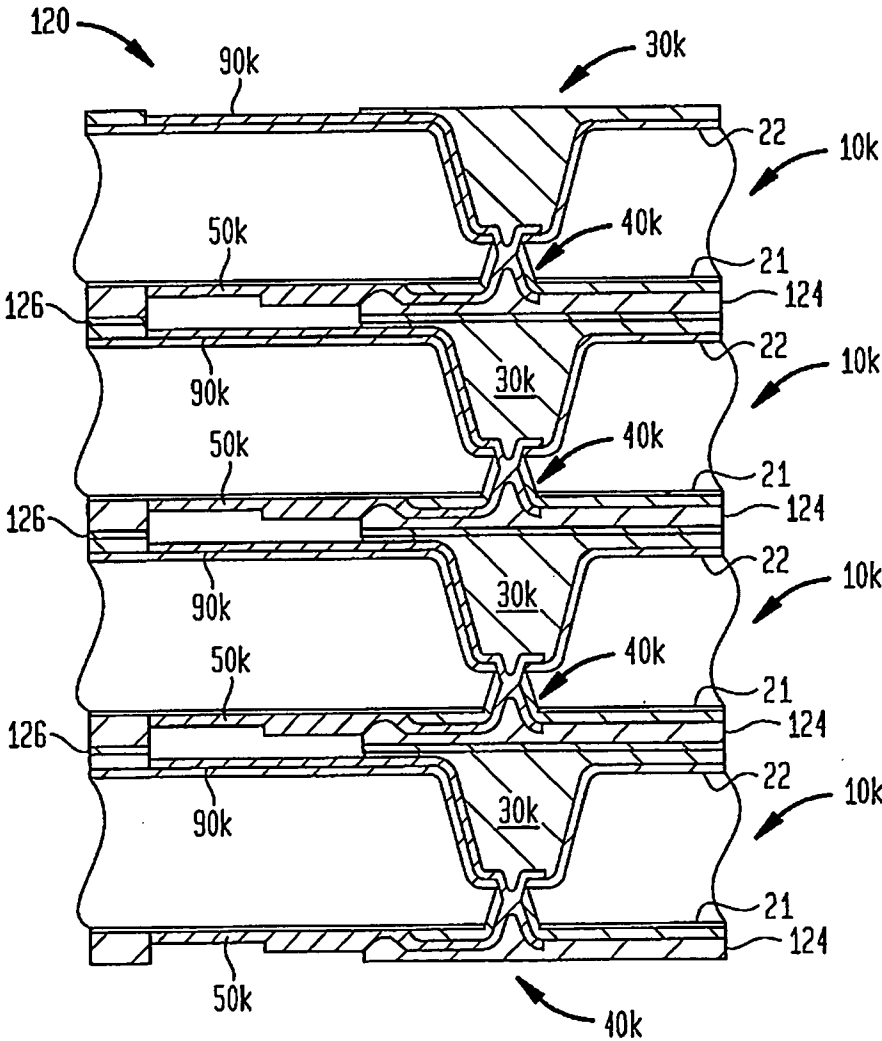


圖 24

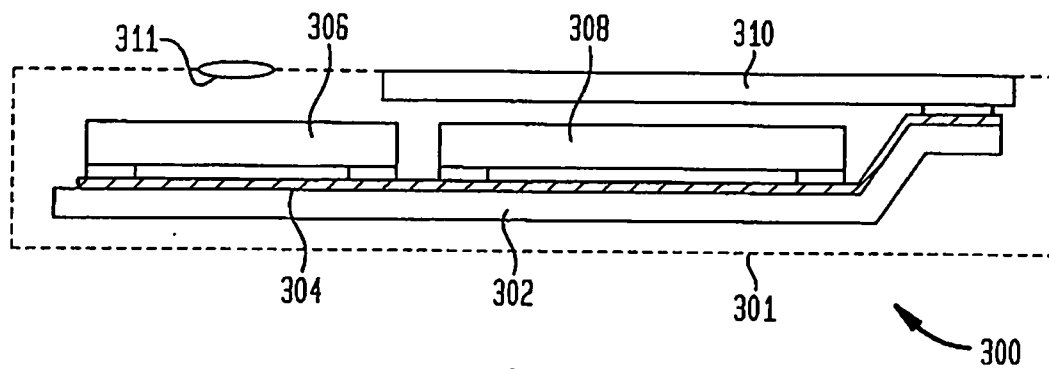


圖 25