

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6283858号
(P6283858)

(45) 発行日 平成30年2月28日 (2018. 2. 28)

(24) 登録日 平成30年2月9日 (2018. 2. 9)

(51) Int. Cl.

G 0 6 F 1/06 (2006.01)

F I

G O 6 F 1/06

請求項の数 3 (全 7 頁)

(21) 出願番号	特願2013-210229 (P2013-210229)	(73) 特許権者	591107481
(22) 出願日	平成25年10月7日 (2013. 10. 7)		株式会社エルイーテック
(65) 公開番号	特開2015-75824 (P2015-75824A)		東京都墨田区錦糸 3 丁目 2 番 1 号
(43) 公開日	平成27年4月20日 (2015. 4. 20)	(74) 代理人	100092093
審査請求日	平成28年10月7日 (2016. 10. 7)		弁理士 辻居 幸一
		(74) 代理人	100082005
			弁理士 熊倉 禎男
		(74) 代理人	100067013
			弁理士 大塚 文昭
		(74) 代理人	100086771
			弁理士 西島 孝喜
		(74) 代理人	100109070
			弁理士 須田 洋之
		(74) 代理人	100109335
			弁理士 上杉 浩

最終頁に続く

(54) 【発明の名称】 複数の分周クロックの出力が可能なチップ

(57) 【特許請求の範囲】

【請求項 1】

遊技機に用いる遊技機用コンピュータチップであって、少なくとも、

C P U と、

クロック生成回路と、

前記クロック生成回路により生成された内部システムクロックを分周するプリスケアラ
 であって、前記内部システムクロックを複数の分周クロックの中から選択した分周比で分
 周し、外部クロックとして出力する当該プリスケアラと、

タイムアウト信号を所定の分周比により分周し、外部クロックとして出力するタイマー
 回路とを含み、

当該遊技機用コンピュータチップの外部クロックとして、周波数の高いクロックに関し
 て前記プリスケアラからの第 1 の出力信号及び周波数の低いクロックに関して前記タイマ
 ー回路からの第 2 の出力信号を含む複数の外部クロックを供給する遊技機用コンピュータ
 チップ。

【請求項 2】

どの分周比を選択するかを前記遊技機で実行される遊技機アプリケーションプログラム
 に指定することで、又はプログラム管理エリアに設定された複数の分周比を識別する値を
 指定することで、前記プリスケアラは、指定された値に対応する分周クロックを出力する
 、請求項 1 に記載の遊技機用コンピュータチップ。

【請求項 3】

第1の外部信号又は第2の外部信号と、アドレスデコード回路からのチップセレクト信号との何れか一方を使用するように切替えるセレクト回路を更に設けた、請求項1又は2に記載の遊技機用コンピュータチップ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パチンコ遊技機やコイン遊技機あるいはスロットマシン等で代表される遊技機の制御に使用されるマイクロコンピュータであって、特に内部システムクロックからの分周クロックとタイマー信号からの分周クロックという複数の分周クロックの出力端子を有する遊技機制御用マイクロコンピュータに関する。

10

【背景技術】

【0002】

これまで、パチンコ台等の遊技機において、マイクロコンピュータ（以下、「メインチップ」という。）は、クロック入力端子（EX端子）から入力されたクロックを任意の分周比（例えば、2分周など）で分周してからクロックを生成し、CPUや内部の各回路に供給する。また、生成されたクロックは、クロック出力端子から外部にも出力される。

【0003】

チップ外部に設けられた外部回路が使用できるクロックは、上述した内部システムクロックのみであって、例えばモータドライブなどを起動／制御するための外部周辺回路でクロックを使用する場合は、チップ外に別のクロックを実装して利用するか或いは分周回路を実装して内部システムクロックを分周させるしかなかった。

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述したように従来のチップ構成の場合、遊技機開発メーカーであるユーザが、内部システムクロックを分周させるための分周回路や、別のクロックをチップ外で実装させることが必要であるためコスト高になっていた。

また、パチンコ台等の遊技機は、風俗営業法に基づき国家公安委員会の規則に従い遊技機の認定及び型式の検定を受けて合格しなければならないが、その検定項目には遊技機アプリケーションプログラムで使用するプログラムステップ数は上限を含んでいる。したがって、魅力ある遊技機アプリケーションプログラムほど高度化又は複雑になる傾向を考慮すると、クロック又は分周回路の設定に関して要求されるプログラムステップはできるだけ少なくしたいというニーズも生じていた。

30

【0005】

そこで、本発明は、従来はチップ外に実装される分周回路などで行われていた機能をチップ内に取り込むことによって、これら分周回路などの実装コスト及びユーザプログラムステップ数の削減を図ることを目的とする。

【課題を解決するための手段】

【0006】

本発明の遊技機用コンピュータチップは、CPUと、クロック生成回路と、前記クロック生成回路により生成された内部システムクロックを分周するプリスケラであって、前記内部システムクロックを所定の分周比で分周した複数の分周クロックの中から選択して外部クロックとして出力する当該プリスケラと、前記クロック生成回路により生成された内部システムクロックを分周するタイマー回路とを含み、当該遊技機用コンピュータチップの外部クロックとして、前記プリスケラからの第1の出力信号及び前記タイマー回路からの第2の出力信号を含む複数の外部クロックを供給することを特徴とする。

40

【0007】

また、本発明の遊技機用コンピュータチップは、さらに、遊技機アプリケーションプログラムに所望の分周比の外部クロックを得るためのプログラムコードを指定することで、又はプログラム管理エリアに設定された複数の分周比を識別する値を指定することで、前

50

記プリスケラにより指定された値に対応する分周クロックを出力することを特徴とする。

【 0 0 0 8 】

また、本発明の遊技機用コンピュータチップは、さらに、周波数の高いクロックに関して前記プリスケラからの第 1 の出力信号、周波数の低いクロックに関して前記タイマー回路からの第 2 の出力信号が前記遊技機アプリケーションプログラムにより使用されることを特徴とする。

【 発明の効果 】

【 0 0 0 9 】

本発明の遊技機用コンピュータチップによれば、クロック生成回路により生成された内部システムクロックを分周するプリスケラが当該遊技機用コンピュータチップ内に備えられた構成であるため、従来、遊技機開発メーカーが遊技機用コンピュータチップ外部に実装していた分周回路などが不要となる。このため、遊技機用コンピュータチップを使用する遊技機開発メーカーは、遊技機の製造コストを抑えることができる。

【 0 0 1 0 】

また、遊技機アプリケーションプログラムの開発ユーザは、遊技機用コンピュータチップの外部クロックとして、プリスケラからの第 1 の出力信号及び前記タイマー回路からの第 2 の出力信号という複数の外部クロックを遊技機アプリケーションプログラムに指定することで使用することができるので、遊技機の高度な制御のためにこれら複数の外部クロックで対応することが可能になる。

【 0 0 1 1 】

さらに、所望の分周比の外部クロックを得るためのプログラムコードを指定する他に、分周比に対応する設定値をプログラム管理エリアに記憶しておくことも可能であるため、遊技機アプリケーションプログラムの開発ユーザが所望の設定値を指定すると、これを受けたプリスケラは、設定値に対応する分周比の第 1 の出力信号を外部端子に出力できる。すなわち、内部システムクロックを所望の分周比に分周することをバックグラウンドで実行することができるようになるので、内部システムクロックを所望の分周比に分周するためのステップが省略され、ユーザプログラムに負担がかからない効果もある。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 遊技機用コンピュータチップ（メインチップ）の内部ブロック図である。

【 図 2 】 一実施の形態のメインチップにおける外部クロックの生成に関連する回路の関係を示した概念ブロック図である。

【 図 3 】 メインチップの一実装例をあらわした構成図である。

【 発明を実施するための形態 】

【 0 0 1 3 】

以下に図面を参照しながら、本発明の実施形態について説明する。図 1 は、遊技機用コンピュータチップ（以下、「メインチップ」という。）1 の一般的なハードウェア構成を示す内部ブロック図である。CPU 2 は、例えば、ザイログ社の Z 8 0、モトローラ社の 6 8 H C 1 1、またはこれらの互換性のあるソフトウェアコンパチブルな CPU を用いることができる。

【 0 0 1 4 】

内蔵 ROM 3 は、その容量が関連法規で制限されている ROM であり、ユーザプログラム（遊技機メーカーが作成したプログラム）を格納している。内蔵 RAM 4 は、ユーザプログラムのワークエリアとして使用される RAM である。

CPU 2 のバスを介して、内蔵 ROM 3、内蔵 RAM 4、及び以下に述べる遊技機制御用チップ 1 内に設けられたいくつかの回路が接続される。

【 0 0 1 5 】

外部制御回路 1 0 は、アドレスバス、データバス、及び各制御信号の方向制御や駆動能力を強化するバスインタフェース回路である。

クロック回路 11 は、クロック入力端子 (E X T A L 端子) に入力されるクロックを例えば 2 分周し、内部システムクロックとして各回路に供給するとともに、このクロックをクロック出力端子 (E 端子) から出力する回路である。

タイマー回路 5 は、例えばザイログ社の Z 8 0 - C T C 互換のタイマー回路である。アドレスデコード回路 12 は、ユーザプログラムの外部デバイス用のデコード回路であり、チップセレクト信号 (* C S I O) を出力する。リセット制御回路 6 は、各種リセットと、外部からの割込み要求と内蔵タイマー回路 5 からの割込み要求を制御する回路である。

【 0 0 1 6 】

なお、外部からのトリガ信号を入力すると乱数取込制御回路 8 に渡し、乱数を発生させるための乱数回路 9 や、ユーザプログラムが指定エリア内で正しく実行されているかどうかを監視し、指定エリア外でユーザプログラムが実行されると I A T 信号を発生し、それによりユーザリセットが発生させる指定エリア外走行禁止回路 (不図示) があるが、本発明とは直接関係しないので詳細は省略する。

【 0 0 1 7 】

図 2 は、本実施の形態のメインチップにおける外部クロックの生成に関連する回路の関係を示した概念ブロック図である。外部クロック信号 (E X) がメインチップ 1 内の分周器 20 に入力され、例えば 1 / 2 に分周して内部システムクロック (S C L K) を生成する。生成された内部システムクロック (S C L K) は、プリスケアラ 21 及びタイマー回路 5 に渡される。

なお、外部クロック信号 (E X) を 1 / 2 分周しているのは外部クロック信号 (E X) のデューティ比を整えるためであり、外部クロック信号 (E X) の元々のデューティ比が高く理想的なパルス列に近いものであれば必ずしも分周器 20 で 1 / 2 分周する必要はない。さらに、クロック入力端子 (E X 端子) を用いずにメインチップ内で内部システムクロックを生成する内部クロック回路を実装した構成の場合は、当該内部クロック生成回路からの S C L K がプリスケアラ 21 及びタイマー回路 5 に渡されるようにすることもある。

【 0 0 1 8 】

プリスケアラ 21 は、内部システムクロック (S C L K) を、例えば、 $1 / 2^n$ である $1 / 2$, $1 / 4$, $1 / 8$ などの分周比の中から選択した分周比で分周し、第 1 の外部信号 (D C L K) を出力する。なお、上記分周比はあくまで例示であり任意の分周比が設定可能であることは言うまでもない。例示の分周比 $1 / 2^n$ があわすように、プリスケアラ 21 から出力される D C L K は、内部システムクロック (S C L K) から比較的早いクロックを生成するための回路といえる。どの分周比を選択するかは、ユーザの遊技機アプリケーションプログラムでの指定、またはプログラム管理エリアからの設定値に従って決定する。

一方、内部システムクロック (S C L K) によって設定されたタイマー回路 5 は、その設定に基づきタイムアウト信号を例えば 1 / 2 に分周し、第 2 の外部信号 (E S C K) として出力する。一般に、タイマー回路 5 の出力を分周したものは、低い周波数が対象となるため、タイマー 22 から出力される E S C K は D C L K に比べて遅いクロックを生成するという機能に区別することができる。

【 0 0 1 9 】

図 3 は、図 2 を実際のメインチップに実装した際の D C L K 及び E S C K の生成に係る回路及びレジスタなどのブロック構成図である。上述したように、プリスケアラ 21 で具体的にどの分周比を選択するかは、ユーザが遊技機アプリケーションプログラムにおいて指定した値、またはユーザのプログラム管理エリアから読み出された値を D C L K 設定レジスタ (D C K S) に設定しておけばよい。

【 0 0 2 0 】

また、本ブロック図に示すチップ構成は、端子数を増やす目的で、セレクト回路 22 によって第 1 の外部信号 (D C L K) とチップセレクト信号 (X C S 6) を切替えて使用している。同様に、セレクト回路 23 及び分周器 25 によって第 2 の外部信号 (E S L K)

とチップセレクト信号 (XCS5) を切替えて使用している。この切替えは、プログラム管理エリアでどちらを使用するかを設定しておく。したがって、ユーザプログラムが立ち上がったときは、プログラム管理エリアに設定された値に基づき、第1の外部信号 (DCLK) とチップセレクト信号 (XCS6) の何れか一方、第2の外部信号 (ESLK) とチップセレクト信号 (XCS5) の何れか一方の機能しか使用できないようになっている。

【0021】

本実施の形態のメインチップによれば、従来ユーザがメインチップの外部で内部システムクロックを分周器などにより分周していたことを、メインチップ内に実装されたプリスケアラ21やタイマー回路5により実行しており、各遊技機開発メーカーは分周回路などを実装する必要がない。しかも、プログラム管理エリアに設定された複数の分周比を識別する値を指定するようにした場合、あらかじめ設定されたユーザプログラム管理エリア内の分周比からどれを選択するかを指示するデータは2ビットがあれば十分であり、或るレジスタに初期値を設定するストア命令なども不要になるため、ユーザプログラムの負担を小さくすることにも貢献できる。

10

【0022】

また、タイマー回路からの比較的周波数が低いクロックの供給も行いながら、さらに比較的周波数が高いクロックでモータドライバ等を制御したいというユーザに対してDCLK出力を供給することが可能になり、拡張性のあるメインチップを実現することができるようになった。

20

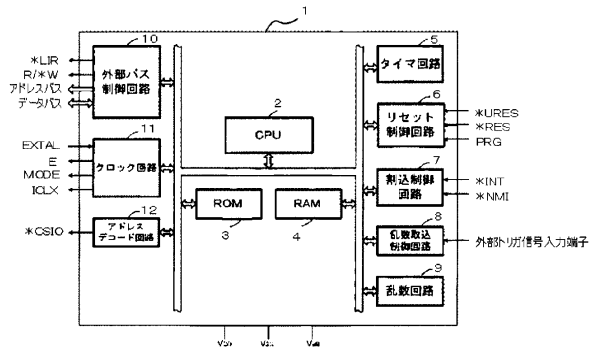
【符号の説明】

【0023】

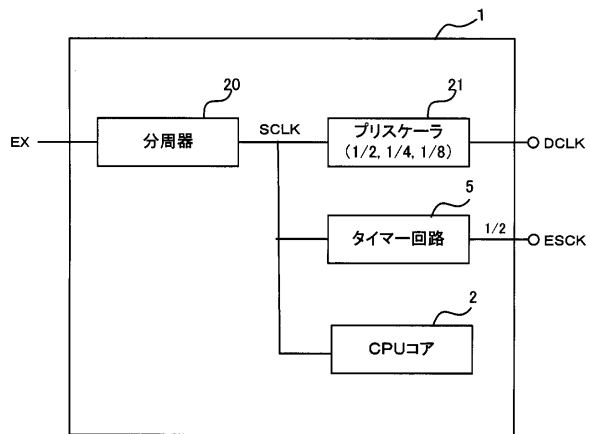
- 1 メインチップ
- 2 CPU
- 3 内蔵ROM
- 4 内蔵RAM
- 5 タイマー回路
- 6 リセット制御回路
- 10 外部バス制御回路
- 11 クロック回路
- 20 分周器
- 21 プリスケアラ
- 22 セレクト回路
- 23 セレクト回路

30

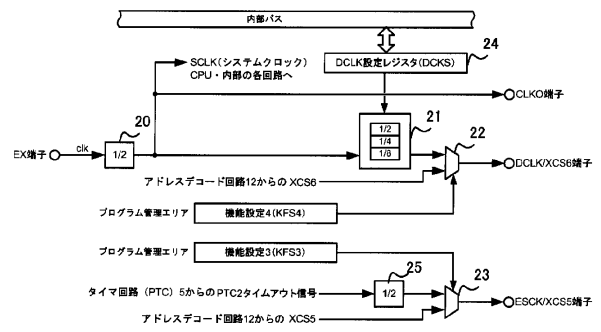
【図 1】



【図 2】



【図 3】



フロントページの続き

(74)代理人 100122563

弁理士 越柴 絵里

(72)発明者 岩切 俊憲

東京都墨田区錦糸 3 丁目 2 番 1 号 株式会社エルイーテック内

審査官 山崎 誠也

(56)参考文献 特開平 0 5 - 0 8 9 2 6 1 (J P , A)

特開平 0 8 - 0 4 4 5 9 4 (J P , A)

特開 2 0 0 1 - 0 2 2 6 9 2 (J P , A)

特開平 0 8 - 2 3 4 8 6 5 (J P , A)

特開 2 0 1 2 - 1 1 5 5 6 5 (J P , A)

特開平 1 1 - 3 1 2 0 2 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 6 F 1 / 0 4 - 1 / 1 4