公告本

88 9 10 修正補充
年 月 日

申請日期	1999. 6. 9
案號	88109626
類別	H01L 29/784

（以上各欄由本局填註）

A4
C4

(修正頁) 88年9月

421894

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	日文	半導体装置およびその製造方法
二、發明 創作 人	姓名	1. 十河 誠治　5. 八谷 佳明 2. 上野 雄司　6. 高橋 理 3. 山口 誠毅　7. 山西 雄司 4. 森 吉弘　8. 平野 龍馬
	國籍	均日本
	住、居所	1. 日本國京都府京都市西京區桂上野北町15-101 2. 日本國滋賀縣草津市櫻丘1-6-25 3. 日本國滋賀縣甲賀郡甲南町希望之丘本町2-2501-142 4. 日本國京都府京都市伏見區羽束師志水町138-8-A-208 5. 日本國滋賀縣大津市美空町2-6-502 6. 日本國京都府京都市伏見區羽束師志水町138-8-B-305 7. 日本國大阪府茨木市紫明園11-504 8. 日本國京都府相樂郡精華町光台4-36-9
三、申請人	姓名（名稱）	日商松下電子工業股份有限公司
	國籍	日本
	住、居所（事務所）	日本國大阪府高槻市幸町1番1號
	代表人 姓名	大鶴 英嗣

煩請委員明示 88 年 9 月 10 日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1998.06.25	特願平10-178612	☑有 □無主張優先權
日本	1999.04.19	特願平11-110416	☑有 □無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

[發明所屬之技術範圍]

本發明係關於一種半導體裝置及其製造方法。本發明尤其是關於汲-源極間之崩饋電壓高，通態電阻又被減小之大功率MOSFET的構造及其製造方法。

[先前之技術]

首先，茲將包含有爲改善汲-源極間之崩饋電壓的結構的半導體裝置之習知例，佐以圖10說明之。該半導體裝置被記載於日本專利公報特開平4-107877號（申請人：松下電子工業股份有限公司）中。

該裝置具備：形成於P型單晶矽基板104上之N型源極區域107與N型延長汲極區域103以及被N型延長汲極區域103包圍之P型埋入區域102。於該N型延長汲極區域103之一部份內，設置有汲極接觸區域114。該汲極接觸區域114接觸於汲極電極110。N型源極區域107和形成於P型單晶矽基板104之表面上的基板接觸區域108一同接觸於源極電極111。設置有包圍源極區域107及基板接觸區域108之抗穿通區域109。

源極區域107與延長汲極區域103間之區域，能起通道區域之作用，閘極電極106被設置於通道區域上方之P型矽基板104之表面上，中間夾著閘極絕緣膜。基板104之表面係由熱氧化膜105所覆蓋者。

該半導體裝置之特徵係：具備藉擴散形成於P型基板104內之雜質濃度較低之N型延長汲極區域103以及形成於N型延長汲極區域103內部之P型埋入區域102。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

圖11顯示雜質濃度及載子濃度沿圖10之X－X'綫深度方向之分布情形。半導體的特定區域之導電型係P型或者係N型，要藉由該半導體特定區域中之P型雜質濃度與N型雜質濃度之相比較，依濃度高之一方而定。並且，N型雜質濃度愈高，MOSFET之通態電阻愈小。

以下，分別對該半導體裝置之導通(ON)狀態及非導通(OFF)狀態加以描述。

延長汲極區域103與P型埋入區域102之間係逆向偏置狀態。MOSFET處於非導通狀態之際，空乏層自P型埋入區域102與延長汲極區域103間之接合擴大，同時還自P型基板104與延長汲極區域103間之接合擴大。可藉由該空乏層，實現MOSFET之高耐壓化。

MOSFET處於導通狀態之際，電子於延長汲極區域103內移動。確切言之，電子係於延長汲極區域103內之N型雜質濃度最高之基板表面區域以及P型埋入區域102之下方區域里移動。倘若P型埋入區域102係由通常之擴散層所形成，則基板表面爲P型。此時，即使係N型雜質濃度最高之基板表面，其導電型亦反轉爲P型，故N型載子濃度下降，通態電阻增大。

依照日本專利公報特開平4-107877號，係施行藉由對P型基板104內之離子植入及擴散而形成延長汲極區域103之製程；向延長汲極區域103內植入硼離子之後，再施行熱處理之製程；以及對基板表面施行熱氧化之製程。經由最後之熱氧化製程，P型雜質從P型埋入區域102與基板表面之間

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 3 ）

減少，該部份之導電型反轉爲N型。該熱氧化製程，利用矽氧化膜和矽間之不同的偏析係數，將P型埋入區域102上部之硼離子吸收至矽氧化膜105內。該熱氧化製程之結果係：P型埋入區域102位於中間夾著被N型化之薄區域，與基板表面相隔一段距離之位置，P型埋入區域102成爲被埋於延長汲極區域103內之狀態。若欲降低P型埋入區域102上部之硼離子濃度，並使該區域之導電型反轉爲N型，則必須形成一定厚度（例如1μm）以上之熱氧化膜。

[本發明欲解決之課題]

依照上述習知之製造方法，P型埋入區域102之形成深度以及對P型埋入區域102與基板表面間之區域里的載子濃度之控制均係由熱氧化膜105之形成條件所左右。結果，延長汲極區域103表面部之濃度受熱氧化膜105形成過程中，製程參數變動（比如溫度、氧氣流量等之變動）之影響。更具體而言，因爲延長汲極區域103之表面濃度敏感於熱氧化膜之形成速度以及所形成之熱氧化膜的最終厚度之偏差，故於熱氧化中，控制延長汲極區域103之表面濃度係非常困難者。

如圖11所示，半導體基板表面上之P型載子濃度和N型載子濃度只些許不同，該濃度之平衡易因製造過程中之原因而變動。例如在形成P型埋入區域102之過程中，若表面部的P型載子濃度之減少程度不充份，則出現P型擴散層表面不完全反轉爲N型之情形；或者即使反轉成N型，其表面部濃度每次呈大异之狀態。這會導致由於流過閘極區域

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 4 ）

和汲極電極間之延長汲極區域內之電流所引起的通態電阻之偏差變大以及器件之特性偏差變大（比如單位面積爲1.2～2.0Ω）。

爲減少該偏差，例如可想到以下之方法，如圖12(a)所示，於P型基板27內形成延長汲極區域26之後，以1～2MeV之高能量將硼離子植入基板27內。依照該方法，先於P型基板27之表面上，塗布厚3～4μm左右之厚光阻膜24，接著在光刻技術下該厚光阻膜24經曝光、顯影之後，於厚光阻膜24內形成開口部。這之後，介以厚光阻膜24之開口部，以高能量將硼離子植入基板27內。硼離子進入離延長汲極區域26之表面約1μm左右之內部，如圖12(b)所示，形成P型埋入層28。依照該方法，延長汲極區域26之表面濃度之均勻性就依賴於延長汲極區域26本身之形成狀態，故無需如上述般習知之將P型區域表面之硼離子吸收至氧化膜105內，使其反轉爲N型之製程了。MOSFET之通態電阻之偏差也得以改善。

然而，爲了藉如此之高能量離子植入法形成P型埋入層28，被圖案化之離子植入光罩（光阻膜、金屬膜或者絕緣膜等）必須形成於基板上。該被圖案化之離子植入光罩之側面邊緣，不完全平行於離子植入方向。因此，利用高能量植入法植入至基板內之雜質最高濃度點，於離子植入用光罩的側面邊緣之下方，朝著基板之表面方向上移。爲確保離子植入光罩之遮蔽效果，要求：植入能量愈高，光阻膜之厚度愈厚。爲保持離子植入裝置內之真空度，通常必須事先對半導體基板加熱，藉此將光阻膜內所包含之溶劑與水分蒸發乾

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（5）

淨。光阻膜較厚之場合，則要求相較於通常情形加熱時間更長，或者加熱溫度更高。倘若如此加熱，如圖12(b)所示，厚光阻膜24之側面邊緣發生傾斜，厚光阻膜膜24之斷面形狀容易變成梯形。厚光阻膜24之變形，與其說係由於厚光阻膜24中與基板27密切接觸部份之收縮，倒不如說係由於該部份以外之其他部份之收縮所導致。倘若以如此之變形厚光阻膜24施行離子植入，則厚光阻膜24中較薄之側面部份不能充份發揮其遮蔽效果，如圖12(b)所示，雜質離子則會穿過光阻膜24而被植入靠近基板表面部之區域。結果，埋入區域28之外周邊緣部份，朝著基板表面而向上方突出，形成到達基板表面之P型區域。因爲到達基板表面之P型區域橫切閘極區域與汲極電極間之汲極電流經路，故通態電阻增大。

本發明係鑑於上述課題而研究出的，其目的在於：提供一種汲-源極間之崩潰電壓高，且通態電阻被減小之半導體裝置。

[課題解決之手段]

本發明之半導體裝置，具備：第1導電型之半導體層、形成於上述半導體層內的第2導電型之源極區域、形成於上述半導體層內的第2導電型之汲極區域、設置於上述源極區域與汲極區域間之通道區域以及形成於上述通道區域之上方的閘極電極；還具備：至少有一部份被包在上述汲極區域內的第1導電型之埋入區域，以及至少被設置於上述半導體層之表面與上述埋入區域之間，並且其中之第2導電型雜質濃度相較於上述汲極區域之第2導電型雜質濃度爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

高之高濃度區域。因此，當半導體裝置處於非導通狀態之際，空乏層自埋入區域與汲極區域間之接合部以及半導體基板與汲極區域間之接合部起擴大，藉此，可實現高耐壓化。另一方面，當半導體裝置處於導通狀態之際，因爲設置於汲極區域上部之高濃度區域提供低電阻之電流經路，故通態電阻被減小。

本發明之其他半導體裝置，具備：第1導電型之半導體層、形成於上述半導體層內之第2導電型之源極區域、形成於上述半導體層內之第2導電型之汲極區域、設置於上述源極區域和汲極區域間之通道區域及形成於上述通道區域之上方的閘極電極；還具備至少有一部份被包於上述汲極區域內之第1導電型之埋入區域；上述埋入區域被分割爲複數個部份，並且於上述複數個部份中相鄰接之各部份間，存在著爲了使汲極電流流過其中之第2導電型之間隙區域。由於該間隙區域之存在，汲極區域相對於汲極電流之電阻被減小，故通態電阻之增大受到抑制。亦可對如此之含有間隙部份之半導體裝置，設置上述高濃度區域。

上述高濃度區域之一部份與汲極電極接觸爲宜。

亦可再具備被電連接於上述汲極區域上之汲極接觸區域，並介以上述汲極接觸區域將上述汲極區域連接至汲極電極上。

較佳者係還具備形成於上述汲極區域周邊之第1導電型雜質擴散區域，且上述埋入區域被連接於上述第1導電型雜質擴散區域上。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

較佳者係上述第 1 導電型雜質擴散區域內之第 1 導電型雜質濃度，相較於上述半導體層內之第 1 導電型雜質濃度爲高。

上述第 1 導電型雜質擴散區域亦可具有通道阻絕區域之功能。

上述高濃度區域亦可具備沿著上述汲極區域之延長方向，自上述埋入區域外周端部之第 1 部份之上方延長至第 2 部份之上方的部份，且上述埋入區域之外周端部之上述第 1 部份相較於上述第 2 部份係爲更接近於上述汲極接觸區域。

較佳者係形成覆蓋上述埋入區域之外周端部之上述高濃度區域。

上述高濃度區域亦可覆蓋上述埋入區域之外周端部沿著上述汲極區域之延長方向延長之部份中的至少一部份。

上述高濃度區域實際上覆蓋著上述埋入區域爲宜。

上述高濃度區域亦可接觸於上述埋入區域。

上述高濃度區域之厚度係在0.5μm以上爲宜。

上述高濃度區域包含第 2 導電型雜質濃度在$1\times10^{17}cm^{-3}$以上之部份爲宜。

具備動作時，將逆向偏壓施加於上述埋入區域與上述汲極區域之間的手段爲宜。

較佳者係包含著上述源極區域、通道區域以及汲極區域之活性區域由元件隔離區域所包圍，第 1 導電型雜質擴散區域形成於上述元件隔離區域內，並且上述第 1 導電型雜

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（ 8 ）

質擴散區域至少有一部份係與上述埋入區域電接觸。

較佳者係上述高濃度區域與鄰接於上述通道區域的上述汲極區域之外周端部有一定之距離。

上述距離係上述高濃度區域之厚度以上爲宜。

上述高濃度區域之下面與上述埋入區域之上面接觸亦可。

在最佳之實施形態中，上述半導體層係由單晶半導體基板所構成者。

與本發明有關之半導體裝置之製造方法係一種：具備第1導電型之半導體層、形成於上述半導體層內之第2導電型之源極區域、形成於上述半導體層內之第2導電型之汲極區域、設置於上述源極區域和汲極區域間之通道區域、形成於上述通道區域上方之閘極電極以及至少有一部份被包在上述汲極區域內之第1導電型埋入區域之半導體裝置之制造方法，具備：將爲了形成上述汲極區域之第2導電型雜質摻入上述半導體層內之製程；將爲了形成上述埋入區域之第1導電型雜質摻入上述半導體層內之製程；以及將第2導電型雜質摻入上述半導體層中，藉此，至少於上述半導體層之表面和上述埋入區域間形成第2導電型高濃度區域之製程。

形成第1導電型埋入區域之際，倘若僅僅於半導體層之表面區域摻入第1導電型雜質而不施行其他措施，則其結果係通態電阻增大；但依據本發明，可藉由於半導體層之表面摻入第2導電型雜質，而將第2導電型高濃度區域形成

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

於半導體表面，故可穩定的提供適於減小通態電阻之構造。

藉由高能量離子植入法，施行爲形成上述埋入區域之摻雜爲宜。

最佳之實施形態係施行爲形成上述埋入區域之摻雜之前，以用於規定上述埋入區域的位置及平面形狀之光罩覆蓋上述半導體層。

亦可還包含在形成上述埋入區域之摻雜後施行之第 1 熱處理製程；以及在形成上述高濃度區域之製程後施行之第 2 熱處理製程。

上述形成高濃度區域之製程，亦可包含於上述半導體層上形成第 2 導電型雜質源，且自上述雜質源將上述第 2 導電型雜質擴散至上述半導體層之製程。

本發明之半導體裝置之製造方法係一種：具備第 1 導電型之半導體層、形成於上述半導體層內之第 2 導電型之源極區域、形成於上述半導體層內之第 2 導電型之汲極區域、設置於上述源極區域和汲極區域間之通道區域、形成於上述通道區域之上方之閘極電極和至少有一部份被包於上述汲極區域內之第 1 導電型埋入區域的半導體裝置之製造方法，包括：將爲了形成上述汲極區域之第 2 導電型雜質摻入上述半導體層內之製程；將爲了形成上述埋入區域之第 1 導電型雜質摻入到上述半導體層內，並形成被分割爲複數個部份之上述埋入區域之製程。

[發明之實施形態]

下面，茲將本發明之半導體裝置之實施形態，佐以圖 1(a)

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（10）

及(b)說明之。圖1(a)顯示該半導體裝置之斷面構造，圖1(b)顯示該半導體裝置中之幾個元件之平面配置。

該半導體裝置具備形成於P型雜質濃度約被設定爲1×10^{14}～$3\times10^{14}cm^{-3}$之P型單晶矽基板4上之橫向MOSFET結構。更具體而言，該半導體裝置包括：形成於P型矽基板4內之N型源極區域7、N型延長汲極區域（亦可稱之爲汲極區域）3以及實際上被N型延長汲極區域3包圍之P型埋入區域2。本實施形態之N型源極區域7被設置在與形成於P型單晶矽基板4表面之P型基板接觸區域8相鄰之位置。該N型源極區域7及P型基板接觸區域8均與源極電極11接觸。另外，圖1(b)顯示爲：P型埋入區域2向N型延長汲極區域3之外側延伸，與P型基板4進行電連接。P型埋入區域2與P型基板4間之電導通狀態，並不限於圖1(b)的平面圖所示之P型埋入區域2之情形。只要P型埋入區域2有一部份向N型延長汲極區域3之外側（基板內）延伸即可。但較佳者係P型埋入區域2不延伸至有通道區域存在之一側。

本實施形態中，N型延長汲極區域3中之N型雜質之表面濃度約被設定在1×10^{16}～$1\times10^{17}cm^{-3}$左右。N型延長汲極區域3之厚度約爲6～7μm左右。P型埋入區域2形成於離矽基板4之表面約1～1.5μm深之處。P型埋入區域2之厚度約爲0.8～1.2μm左右。

該半導體裝置之特徵係：還包括設置於P型矽基板4之表面與P型埋入區域2間之N型高濃度區域（厚度：約0.5

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（11）

～1μm）1。N型高濃度區域1位於P型埋入區域2之上。實際上，如圖1所示，N型高濃度區域1和P型埋入區域2相隔一段距離亦可；與P型埋入區域2接觸亦可。例如於本實施形態中，爲使N型高濃度區域1之片電阻爲0.8～1.0Ω／口，而設定使N型雜質之表面濃度保持在1×10^{17}～$1\times10^{18}cm^{-3}$範圍內之摻雜基準。另外，N型高濃度區域1中之N型雜質之表面濃度，要依據MOSFET正常工作所必需之「通態電阻」來具體決定。若欲減小通態電阻，最好是形成其中之N型雜質之表面濃度又高，其本身之厚度又厚的N型高濃度區域1。

源極區域7和延長汲極區域3間之區域起通道區域之作用。源極區域7和基板接觸區域8係形成於摻有低濃度P型雜質之抗穿通區域9中。閘極電極6介以閘極絕緣膜，形成於P型矽基板4之通道區域之上方。絕緣膜（厚度：1～2μm左右）係爲了覆蓋閘極電極6而形成於半導體基板4上。

圖1(a)及(b)所示裝置中之N型高濃度區域1沿著延長汲極區域3之延長方向，從埋入區域2之一端上方延伸至埋入區域2之另一端上方。換言之，N型高濃度區域1超過圖1(a)中之埋入區域2之右端部和左端部而向兩外側擴大。由於本實施形態中有一部份N型高濃度區域1直接接觸於汲極電極10之故，沒特別形成汲極接觸區域。即使在如此的情形之下，只要N型高濃度區域1具有與通常之汲極接觸區域同程度之雜質濃度，就能獲得充份小之接觸電阻。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

MOSFET處於導通狀態(ON狀態)時所形成之電流通路，經由N型高濃度區域1和延長汲極區域3，指向源極區域7，如圖1(a)中之虛綫箭號方向及圖1(b)中之實綫箭號方向所示。

圖2顯示雜質濃度沿圖1中之Y－Y'綫深度方向之分布輪廓。由圖2可知，形成於基板4之表面和埋入區域2間之高濃度區域1中之N型雜質濃度比習知之延長汲極區域中之N型雜質濃度高（參見圖11）。由於N型高濃度區域1之存在，MOSFET之通態電阻被減小。因爲延長汲極區域3之表面部份之N型雜質濃度，相較於該表面上之P型雜質濃度要高出許多，所以不易發生起因於製程參數之變動的電晶體通態電阻之增大以及偏差之加大。

將P型埋入區域形成於N型延長汲極區域3之內部時，埋入區域和半導體表面之間，同時存在著N型和P型兩種雜質。圖10所示之習知之半導體裝置，在N型延長汲極區域3之上面區域形成反轉層等，故汲極電流經路有被切斷之處；然而，本實施形態之裝置里，藉由特別設置之N型高濃度層，相較於習知之裝置，電阻會大幅的減小。

其次，茲將本發明之半導體裝置之製造方法之實施形態，佐以圖3(a)～(f)及圖4(a)和(b)說明之。圖3(a)～(c)和圖4(a)分別顯示主要製程中之裝置之截面圖。圖3(d)～(f)和圖4(b)分別係對應於圖3(a)～(c)和圖4(a)所示之各製程中之裝置平面配置圖。

首先，如圖3(a)和圖3(d)所示，將N型延長汲極區域3形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（13）

成於P型半導體基板4內。按通常之熱擴散法可形成N型延長汲極區域3。半導體基板4之表面係由絕緣膜5'所覆蓋。

其次，如圖3(b)和圖3(e)所示，利用高能量離子植入法，在P型半導體基板4內形成P型埋入區域2。大部份P型埋入區域2係由延長汲極區域3所覆蓋，P型埋入區域2之一端部向延長汲極區域3之外側區域擴大，而與P型半導體基板4進行電接觸。不同於圖1(a)及(b)所示之配置情形，本實施形態中之P型埋入區域2具有其一端部沿相反於汲極電流之流通方向突出的形狀。

再者，如圖3(c)和圖3(f)所示，用光阻膜12覆蓋P型半導體基板4之一部份表面後，再用離子植入法將雜質離子植入P型半導體基板4內而形成高濃度區域1。類似於本實施形態，若藉由摻雜法而形成高濃度區域1，便能以較高之自由度來設計高濃度區域1之雜質濃度及厚度。在圖10所示之半導體裝置中，半導體基板表面和埋入區域間之N型層厚度小於0.5μm。若依製造圖10中的裝置之習知方法，則難以將N型層厚度製成0.5μm以上。由於此故，便不能充份地減小延長汲極區域表面部份之電阻。相對於此，若按本實施形態之方法，則易於減小表面部份之電阻。

再再其次，如圖4(a)和圖4(b)所示，用光阻膜13覆蓋P型半導體基板4之一部份表面後，再用離子植入法100keV，以加速能量將劑量爲$1\times10^{15}cm^{-2}$之P型雜質離子植入P型半導體基板4內，而形成通道阻絕區域（包含抗穿通區域）14。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（14）

P型埋入區域2之一端被連接於通道阻絕區域14。爲了提高耐壓性而設定P型埋入區域2之雜質濃度低，因而，P型埋入區域2與P型基板4間之接觸電阻就比較大。因此，若藉由將通道阻絕區域14之雜質濃度設定得比較高，P型埋入區域2與通道阻絕區域14間之接觸電阻就隨之減小。結果，動作時，基板電位介以通道阻絕區域14而被高效率地提供至P型埋入區域2內。從減小電連接電阻之觀點來看，較佳者係通道阻絕區域14內之P型雜質濃度比P型埋入區域2內之P型雜質濃度高。

形成通道阻絕區域14後，再用習知之半導體製造方法，來製造如圖5所示之半導體裝置。圖5之裝置里，有用於隔離各元件之LOCOS膜15。如圖5所示，LOCOS膜15形成於通道阻絕區域14內。實際上，還可以形成覆蓋延長汲極區域3之LOCOS膜15或者不覆蓋延長汲極區域3之LOCOS膜15。在通道阻絕區域14內不形成LOCOS膜15之區域，形成源極區域7、通道區域以及基板接觸區域。但在本實施形態之下，一部份N型高濃度層作爲基板接觸區域起作用。還有，通道阻絕區域14內包圍源極區域7之部份，作爲抗穿通區域（即圖1(a)之參考符號'9'所顯示之部份）起作用。閘極電極6形成於閘極絕緣膜5a上，並被層間絕緣膜5b所覆蓋；汲極電極10和源極電極11形成於層間絕緣膜5b之上。

圖6(a)～(d)係顯示本發明之半導體裝置之主要元件之幾個平面配置圖。該圖顯示N型高濃度區域1、P型埋入區域2、延長汲極區域3以及閘極電極6之配置關係。又，圖

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（15）

中之箭號方向顯示電流經路。延長汲極區域3內形成有P型埋入區域2之區域的厚度爲：位於埋入區域2之上側部份之厚度和位於埋入區域2之下側部份之厚度之合計（參照圖1(a)）。因此，延長汲極區域3的厚度在不形成埋入區域2之區域相對的厚，而在形成有埋入區域2之區域，相對地薄。如此，因爲延長汲極區域3之厚度隨位置而變化，所以延長汲極區域3之片電阻也隨位置而變化。因爲電流多往片電阻小之部份流，所以電流如6圖(a)～(d)中之箭號方向所示優先的往N型高濃度區域1流。

圖6(a)所示之情形爲N型高濃度區域1自延長汲極區域3內無P型埋入區域2之部份起，跨過一部份埋入區域2之上面，而延伸至延長汲極區域3內無P型埋入區域2之另一部份。換言之，N型高濃度區域1穿過延長汲極區域3之片電阻因埋入區域之存在而增大之部份，將延長汲極區域3之低片電阻部份彼此連接起來。結果，即使爲形成P型埋入區域2而摻雜之P型載子會降低基板表面和P型埋入區域2間之N型載子濃度，但因爲N型高濃度區域1提供低電阻之電流經路，故可抑制通態電阻之增大。

圖6(b)和(c)顯示之N型高濃度區域1之配置例，可更進一步減小通態電阻。圖6(b)中，N型高濃度區域1沿延長汲極區域3之延長方向，自汲極接觸區域向閘極電極延伸。這里，汲極接觸區域係延長汲極區域3和汲極電極10之接觸區域。除N型高濃度層1以外，亦可再另設置N型高濃度雜質擴散區域，並使該N型高濃度雜質擴散區域作爲汲極

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（16）

接觸區域而起作用。電流（汲極區域）自汲極接觸區域起順利地流向通道區域，通態電阻進一步地被減小。圖6(c)之例中，形成有覆蓋埋入區域2和電流經路相交叉部份之N型高濃度層1。結果，圖7(b)中之P型區域80與電流經路間之相互交叉消失。圖6(d)之例中，N型高濃度區域1全面覆蓋P型埋入區域2。這樣做，可更進一步減小通態電阻。另外，圖1(a)係圖6(d)之截面圖。

N型高濃度區域1即使形成於P型埋入區域2和基板表面間之一定範圍內，亦可達到減小通態電阻之目的，不言而喻，若N型高濃度區域1形成於更廣的範圍內，對通態電阻之減小效果將大增。如此看來，相較於圖6(a)～(c)中之平面配置，圖6(d)中之平面配置則更適於減小通態電阻。

其次，參照圖7(a)、(b)以及圖8(a)～(c)，對藉由高能量離子植入法而形成P型埋入區域2時，其製造方法中之主要製程加以詳細的說明。

首先，如圖7(a)所示，往P型矽基板4之特定區域里摻入N型雜質，從而於矽基板4內形成N型延長汲極區域3。其次，在矽基板4之表面形成氧化膜5'後，再利用光刻技術，用光阻厚膜（厚度：3～5μm）16a覆蓋矽基板4之表面。該光阻厚膜16a中有規定埋入區域之形狀及位置的開口部。經由該開口部，以1～2MeV之高能量，將植入的劑量爲1～$3\times10^{13}cm^{-2}$左右之硼離子植入矽基板4內。

藉由高能量下之離子植入，硼離子被植入離延長汲極區域3之表面大約1μm左右之內部，之後，爲將硼離子活性化

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（17）

施行約900～1000℃之熱處理，形成P型埋入區域2。

爲了高能量離子植入而使用厚光阻膜之情形下，爲保證離子植入時裝置之真空度，一般要事先對光阻膜內所包含之溶劑和水份加熱而將其蒸發。因爲該加熱會使光阻膜之形狀變壞，所以在離子植入製程里，雜質離子會穿透一部份光阻膜。結果，在圖7(b)中虛綫所示之部份，形成P型區域80。若P型區域80殘存著且與電流流路互相交叉，將給通態電阻之減小帶來不好之影響。

其次，如圖8(a)所示，若以光阻膜（膜厚：1～2μm左右）12覆蓋基板表面後，再往延長汲極區域3之表面植入N型雜質（例如磷或者砷）離子，從而使包含P型區域80之區域反轉爲N型，則P型區域80自然消失。較佳者係設植入劑量爲$1\times10^{13}cm^{-2}$以上，植入能量爲30～80keV左右。在還要進一步減小MOSFET之通態電阻之情況下，往延長汲極區域3之表面上更廣之範圍內，植入劑量更高之N型雜質，從而全面地提高N型載子濃度即可。圖8(b)顯示所形成之N型高濃度區域1覆蓋P型埋入區域2之狀態。

圖8(c)中顯示爲：藉由形成相對厚之N型高濃度區域1，而使該N型高濃度區域1之下面和P型埋入區域2之上面接觸之情形。換言之，該圖顯示N型高濃度區域1與P型埋入區域2之間不夾有低雜質濃度區域之構造。

N型高濃度區域1之形成方法並不僅限於離子植入法。若將液體·固體等雜質源（摻質源）塗布或蒸鍍於基板表面，能很容易的形成N型高濃度區域1。例如，可以施行以

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

（請先閱讀背面之注意事項再填寫本頁）裝 訂 線

五、發明說明（18）

$POCl_3$為雜質源之擴散。

另外，N型高濃度區域1係形成在與延長汲極區域3外周邊緣內鄰接於通道區域之部份相隔一定距離之位置上。從利用空乏層以提高耐壓性能之觀點來看，距離Lw最好係在N型高濃度區域1之厚度Tw以上者（Lw≧Tw）。

再其次，參照圖9(a)～(c)，說明本發明之半導體裝置之製造方法之另一實施形態。本實施形態係以非高能量離子植入法，形成P型埋入區域2之例。依照本實施形態，不出現高能量植入離子時，光阻膜形狀惡化之影響；無需復雜之製程。

首先，施行已知之製造方法，將延長汲極區域3形成於矽基板4內。此後，如圖9(a)所示，用光阻膜16b覆蓋基板4表面後，再以30～80keV之加速能量，植入劑量爲1～3×$10^{13}cm^{-2}$左右之硼離子。若加速能量係在該範圍內，則光阻膜16b之厚度即使係在1～1.5μm之間，亦可充份的遮蔽離子之植入。由於硼離子之植入加速能量低，故所植入之硼在深度方向上之最高濃度點靠近基板表面，接收了硼植入之基板表面反轉爲P型。

其次，如圖9(b)所示，用光阻膜（膜厚：1～2μm左右）12覆蓋基板4表面之後，再以30～50keV左右之加速能量將植入劑量爲1×$10^{13}cm^{-2}$以上之N型雜質（磷或者砷）離子植入基板4內。在需要大幅地減小MOSFET之通態電阻之情形下，如前所述，進一步全面地提高基板表面之N型載子濃度即可。若欲有效地減小MOSFET之通態電阻，如圖6(d)

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（19）

所示，最好將N型雜質離子植入完全覆蓋P型埋入區域2之廣大範圍內。圖9(c)顯示由於形成N型高濃度區域1，P型區域2被埋在下面之狀態。

與上述實施形態同樣，在基板表面部形成N型高濃度區域之方法，並不僅限於離子植入法。藉由液體·固體等摻雜源之塗布·蒸鍍等方法，亦能容易的形成高濃度區域。

上述實施形態中，將延長汲極區域等雜質擴散區域形成於半導體基板內，但本發明並不僅限於此。例如，可以將各種雜質擴散層設置在外延生長於半導體基板上或者沈積於絕緣性基板上之半導體層內。

還有，可以調換以下各製程之順序。該製程分別爲：往半導體層摻雜爲了形成延長汲極區域之第2導電型雜質的製程；往半導體層摻雜爲了形成埋入區域之第1導電型雜質的製程；以及往半導體層摻雜第2導電型雜質以使第2導電型高濃度區域至少形成於半導體層表面與埋入區域間的製程。

上述半導體裝置中，由一個連續層形成P型埋入區域2。以下，說明對P型埋入區域2之構造施以改良後之半導體裝置。

圖13(a)係該改良有關之半導體裝置沿通道長方向之截面圖，與圖1(a)相對應；圖13(b)係該半導體裝置之平面配置圖，與圖1(b)相對應；圖13(c)係在垂直於通道長方向之面切開之截面圖。

該半導體裝置之改良例與圖1(a)及(b)所示之半導體裝

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（20）

置之不同點主要係在P型埋入區域2之構造上。故在此，對P型埋入區域2之構造以外之部份不再做說明。

如圖13(b)所示，P型埋入區域2被分割爲2a和2b兩部份，該平面配置圖中，N型延長汲極區域3和P型埋入區域2不重疊之區域，在延長汲極區域3內連接成一體。結果，在形成垂直於基板4的主面、並且橫切N型延長汲極區域3的通道側邊緣和汲極電極10之假想面時，在圖1(a)及(b)所示之半導體裝置中，上述假想面必定橫切P型埋入區域2。相對於此，依照圖13(a)～(c)所示之半導體裝置，上述假想面則橫切P型埋入區域2的2a和2b部份所夾之部份。

圖13(a)～(c)所示之半導體裝置中，因爲P型埋入區域2的2a部份和2b部份間之區域（以下，稱"間隙區域（G）"）里，不存在P型埋入區域，故相較於N型延長汲極區域3之其他部份，片電阻小，汲極電流易於流過。

若欲維持P型埋入區域2提高耐壓之機能，並且同時減小N型延長汲極區域3相對於汲極電流之電阻，如圖13(b)及(c)所示，將P型埋入區域2分割爲複數個部份，從而形成不妨礙汲極電流之間隙區域G之方法，將係非常有效者。若設置如此之間隙區域G，則即使不設如圖1(a)和(b)所示之N型高濃度區域1，又仍能增大導通電流。

圖14(a)爲顯示本發明有關之半導體裝置之其他實施形態之平面配置圖。圖14(a)所示之半導體裝置中，P型埋入區域2被分割爲2c、2d、2e及2f四個部份，相鄰各部份之間一共形成三個間隙區域。結果，汲極電流優先的流過間隙區域，N

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（21）

型延長汲極區域3相對於汲極電流之電阻就更加減小。

圖14(b)爲顯示本發明之半導體裝置的另一其他實施形態之平面配置圖。圖14(b)所示之半導體裝置中，P型埋入區域2被分割爲2g～2u十五個部份，於相鄰各部份之間形成複數個間隙區域。

如上述般，P型埋入區域2之分割形態有多種多樣，但對P型埋入區域2之分割，必須保證汲極電流之流路形成在N型延長汲極區域3內無P型埋入區域2之區域。

再者，用習知之光刻技術形成規定欲形成之P型埋入區域2的平面配置之光阻膜後，再將爲形成P型埋入區域2之P型雜質離子植入基板4中，是以，可形成呈被分割狀態之P型埋入區域2。

間隙區域G之寬度，例如約被設定爲1～5μm。間隙區域G之寬度取決於上述光阻膜之圖案尺寸和雜質離子植入後施行之熱處理條件。若該熱處理要在高溫下長時間的施行，雜質之橫方向擴散就顯現出來，以致間隙區域G之寬度減小。因此，必須設定使間隙區域G之寬度在製造過程之最後階段，不爲零，而爲某一有限值之製造條件。

圖15(a)係圖14(a)中之裝置，沿垂直於其通道長方向之面切開之截面圖。由圖15(a)可知，在該例中，雖然半導體基板4表面和P型埋入區域2之間，不形成N型高濃度區域1，但因汲極電流會優先的流過無P型埋入區域2之區域(間隙區域)，故通態電阻減小。儘管如此，若還想進一步減小通態電阻，還是在半導體基板4表面和P型埋入區域2之間，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（22）

設置N型高濃度區域1爲宜。

圖15(b)所示之結構中，如圖1(a)及(b)般之N型高濃度區域1形成在P型埋入區域2之上方；圖15(c)所示之結構中，在半導體基板4表面和被分割爲複數個部份之P型埋入區域2之間，形成有被分割爲複數個部份，且其圖案與P型埋入區域2之圖案相同的N型高濃度區域1。藉爲形成P型埋入區域2之光阻膜形成如此之N型高濃度區域1，係極爲有效者。

還有，亦可形成與P型埋入區域2之上面接觸之N型高濃度區域1。

如此，若既將P型埋入區域2分割成複數個部份，又將N型高濃度區域1設置於汲極區域之表面，通態電阻之減小效果會更進一步提高。此係極爲理想者。

[發明之效果]

若依照本發明之半導體裝置，至少有一部份被包在延長汲極區域內的埋入區域和半導體層表面之間，設置有第2導電型雜質濃度相較於延長汲極區域內之第2導電型雜質濃度還高的高濃度區域，故半導體裝置之通態電阻被減小，通態電阻之偏差也被大大的抑制。

因爲本發明之半導體裝置的製造方法包括：往半導體層摻雜爲形成延長汲極區域之第2導電型雜質的製程；往半導體層摻雜爲形成埋入區域之第1導電型雜質的製程以及往半導體層摻雜第2導電型雜質，藉此至少在半導體層之表面和埋入區域之間，形成第2導電型高濃度區域之製程，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（23）

故在埋入區域和半導體層表面之間，能高精度地、再現性好地形成低電阻的高濃度區域。

依照本發明之其他半導體裝置，因爲至少有一部份被包在延長汲極區域內的埋入區域被分割成複數個部份，故既能維持耐壓，又能減小半導體裝置之通態電阻。

[附圖之簡單說明]

圖1(a)係本發明有關之半導體裝置之實施形態之截面圖，圖1(b)係其平面配置圖。

圖2係顯示沿圖1中之Y－Y'綫深度方向之雜質濃度分布輪廓之圖。

圖3(a)至(c)係在本發明之半導體裝置之製造方法之主要製程中之半導體裝置之截面圖，(d)至(f)係對應於(a)至(c)之各製程之半導體裝置之平面配置圖。

圖4(a)係本發明之半導體裝置之製造方法之某一製程中之半導體裝置之截面圖，圖4(b)係該製程中之半導體裝置之平面配置圖。

圖5係依照本發明之半導體裝置之製造方法，而製造之半導體裝置之截面圖。

圖6(a)至(d)係顯示本發明之半導體裝置之主要元件之平面配置例。

圖7(a)及(b)係關於本發明之半導體裝置之製造方法，顯示藉由高能量離子植入法形成P型埋入區域時之製造方法中之主要製程之製程截面圖。

圖8(a)至(c)係關於本發明之半導體裝置之製造方法，顯

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（24）

示藉由高能量離子植入法形成P型埋入區域之際，製造方法中之主要製程之製程截面圖。

圖9(a)至(c)係關於本發明之半導體裝置之其他製造方法，顯示以非高能量離子植入法形成P型埋入區域時之製造方法中之主要製程之製程截面圖。

圖10係延長汲極區域內存在有埋入區域之習知之半導體裝置之截面圖。

圖11係顯示沿圖10中之X－X'綫深度方向之雜質濃度的分布輪廓之圖。

圖12(a)及(b)係顯示用高能量離子植入法形成P型埋入區域之製程之製程截面圖。

圖13(a)係本發明之半導體裝置之變形例沿通道長方向之截面圖，圖13(b)係該半導體裝置之平面配置圖，圖13(c)係沿垂直於通道長方向之面切開之截面圖。

圖14(a)係本發明之半導體裝置之其他實施形態之平面配置圖，圖14(b)係本發明之半導體裝置之另一其他實施形態之平面配置圖。

圖15(a)係圖14(a)中之裝置，垂直於通道長方向之截面圖，圖15(b)係於圖15(a)中之裝置里，設置N型高濃度區域1時之截面圖，圖15(c)係於圖15(a)的裝置里，被分割爲複數個部份之P型埋入區域2和半導體基板4之表面間，設置被分割成複數個部份，並其圖案與P型埋入區域2相同之N型高濃度區域1時之截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（25）

［附圖符號之說明］

1　N型高濃度區域

2　P型埋入區域

3　延長汲極區域

4　P型基板

5　氧化膜

5'　氧化膜

6　閘極電極

7　源極區域

8　基板接觸區域

9　抗穿通區域

10　汲極電極

11　源極電極

12　光阻

13　光阻

14　通道阻絕區域

16a　光阻厚膜

16b　光阻

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　　）

半導體裝置及其製造方法

本發明係提供一種可提高汲-源極間之崩潰電壓，亦可減小通態電阻之半導體裝置及其製造方法。

在延長汲極區域3內部形成P型埋入區域2。P型埋入區域2係以高能量硼離子植入法或者熱擴散法而形成者。N型高濃度區域1係藉由離子注入法或者$POCl_3$擴散法，向延長汲極區域的一部份表面或者全部表面摻入磷或砷等雜質而形成者。MOSFET動作時，由於汲極電流流過N型高濃度區域1，故通態電阻得以減小。

英文發明摘要（發明之名稱：　半導体装置およびその製造方法　）

ドレイン－ソース間の降伏電圧を高くしながら、オン抵抗を低くする。

延長ドレイン領域３の内部にＰ型埋込領域２を形成する。Ｐ型埋込領域２は、高エネルギーボロンイオン注入法または熱拡散法によって形成される。Ｎ型高濃度領域１は、イオン注入法またはＰＯＣｌ３拡散法によって延長ドレイン領域表面の一部ないしは全面にリンまたはヒ素等の不純物をドープすることによって形成される。ＭＯＳＦＥＴが動作するとき、Ｎ型高濃度領域１をドレイン電流が流れるため、オン抵抗が低減される。

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A8
B8
C8
D8

六、申請專利範圍

1.一種半導體裝置,具備:第1導電型之半導體層、形成於上述半導體層內之第2導電型之源極區域、形成於上述半導體層內之第2導電型之汲極區域、設置於上述源極區域和汲極區域之間的通道區域以及形成於上述通道區域之上方的閘極電極;其中還具備:至少有一部份被包在上述汲極區域內之第1導電型之埋入區域和至少被設置在上述半導體層的表面與上述埋入區域之間,並且其中的第2導電型雜質濃度相較於上述汲極區域的第2導電型雜質濃度爲高之高濃度區域。

2.如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域之一部份係與汲極電極接觸者。

3.如申請專利範圍第1項之半導體裝置,其中還具備:形成於上述汲極區域周邊之第1導電型雜質擴散區域,上述埋入區域係被連接於上述第1導電型雜質擴散區域。

4.如申請專利範圍第3項之半導體裝置,其中:上述第1導電型雜質擴散區域內之第1導電型雜質濃度相較於上述半導體層內之第1導電型雜質濃度係爲高。

5.如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域包括沿著上述汲極區域之延長方向,自上述埋入區域外周端部的第1部份之上方,延長至第2部份之上方的部份,上述埋入區域外周端部的上述第1部份相較於上述第2部份係更接近於汲極接觸區域。

6.如申請專利範圍第1項之半導體裝置,其中:上述高濃

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

(請先閱讀背面之注意事項再填寫本頁) 裝 訂 線

六、申請專利範圍

度區域係形成以覆蓋上述埋入區域的外周端部。

7. 如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域係形成以覆蓋著上述埋入區域的外周端部中,沿著上述汲極區域的延長方向延長之部份中的至少一部份。

8. 如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域係形成以實際上覆蓋著上述埋入區域。

9. 如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域係接觸著上述埋入區域。

10. 如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域之厚度係在0.5μm以上。

11. 如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域包含著第2導電型雜質濃度係在$1\times10^{17}cm^{-3}$以上之部份。

12. 如申請專利範圍第1項之半導體裝置,其中具備:動作時,將逆向偏壓施加於上述埋入區域和上述汲極區域之間之手段。

13. 如申請專利範圍第1項之半導體裝置,其中:包含有上述源極區域、通道區域以及汲極區域的活性區域係由元件隔離區域所包圍;第1導電型雜質擴散區域形成於上述元件隔離區域內,上述第1導電型雜質擴散區域至少有一部份和上述埋入區域進行電接觸。

14. 如申請專利範圍第1項之半導體裝置,其中:上述高濃度區域係與鄰接於上述通道區域之上述汲極區域的外周端部,保持一定的距離。

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

15. 如申請專利範圍第14項之半導體裝置，其中：上述距離係上述高濃度區域之厚度以上者。

16. 如申請專利範圍第1項之半導體裝置，其中：上述高濃度區域之下面與上述埋入區域之上面係彼此接觸者。

17. 如申請專利範圍第1項之半導體裝置，其中：上述半導體層係由單晶半導體基板所構成者。

18. 一種半導體裝置之製造方法，該裝置具備第1導電型之半導體層、形成於上述半導體層內的第2導電型之源極區域、形成於上述半導體層內的第2導電型之汲極區域、設置於上述源極區域與汲極區域之間的通道區域、形成於上述通道區域之上方的閘極電極以及至少有一部份被包在上述汲極區域內的第1導電型埋入區域，其中包括：將爲形成上述汲極區域的第2導電型雜質摻入上述半導體層內的製程；將爲形成上述埋入區域的第1導電型雜質摻入上述半導體層內的製程；將第2導電型雜質摻入上述半導體層中，藉此，至少在上述半導體層的表面與上述埋入區域之間形成第2導電型高濃度區域之製程。

19. 一種半導體裝置，具備：第1導電型之半導體層、形成於上述半導體層內的第2導電型之源極區域、形成於上述半導體層內的第2導電型之汲極區域、設置於上述源極區域和汲極區域之間的通道區域以及形成於上述通道區域之上方的閘極電極；其中還具備至少有一部份被包在上述汲極區域內的第1導電型埋入區域；上述埋入區域被分割爲複數個部份，並且使汲極電流流過的間隙區域存在於上述

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

複數個部份中相互鄰接的各部份之間。

20. 如申請專利範圍第19項之半導體裝置，其中：上述埋入區域的上述複數個部份之數量係爲3個以上。

21. 如申請專利範圍第19項之半導體裝置，其中還具備：至少被設置於上述半導體層的表面和上述埋入區域之間，並且其中的第2導電型雜質濃度相較於上述汲極區域的第2導電型雜質濃度係爲高之高濃度區域。

22. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域的一部份係與汲極電極接觸。

23. 如申請專利範圍第21項之半導體裝置，其中還備有：形成於上述汲極區域周邊的第1導電型雜質擴散區域，並且上述埋入區域係被連接至上述第1導電型雜質擴散區域。

24. 如申請專利範圍第23項之半導體裝置，其中：上述第1導電型雜質擴散區域內的第1導電型雜質濃度係比上述半導體層內的第1導電型雜質濃度高。

25. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域包括沿著上述汲極區域的延長方向，自上述埋入區域外周端部的第1部份的上方起，延長至第2部份的上方的部份，上述埋入區域外周端部之上述第1部份係比上述第2部份更接近於汲極接觸區域。

26. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域係形成以覆蓋上述埋入區域的外周端部之。

27. 如申請專利範圍第21項之半導體裝置，其中：上述高

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

濃度區域係形成以覆蓋上述埋入區域的外周端部中，沿著上述汲極區域的延長方向延長之部份中的至少一部份。

28. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域係形成以實際上覆蓋上述埋入區域。

29. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域係與上述埋入區域接觸。

30. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域的厚度係在0.5μm以上者。

31. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域包含第2導電型雜質濃度在$1\times10^{17}cm^{-3}$以上之部份。

32. 如申請專利範圍第21項之半導體裝置，其中具備：動作時，將逆向偏壓施加於上述埋入區域和上述汲極區域之間之手段。

33. 如申請專利範圍第21項之半導體裝置，其中：含有上述源極區域、通道區域以及汲極區域之活性區域係由元件隔離區域所包圍；第1導電型雜質擴散區域形成於上述元件隔離區域內，上述第1導電型雜質擴散區域至少有一部份係與上述埋入區域進行電接觸。

34. 如申請專利範圍第21項之半導體裝置，其中：上述高濃度區域係與鄰接於上述通道區域之上述汲極區域的外周端部部份，保持一定的距離。

35. 如申請專利範圍第34項之半導體裝置，其中：上述距離係上述高濃度區域之厚度以上者。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

36. 如申請專利範圍第21項之半導體裝置,其中:上述高濃度區域的下面與上述埋入區域的上面係彼此接觸者。

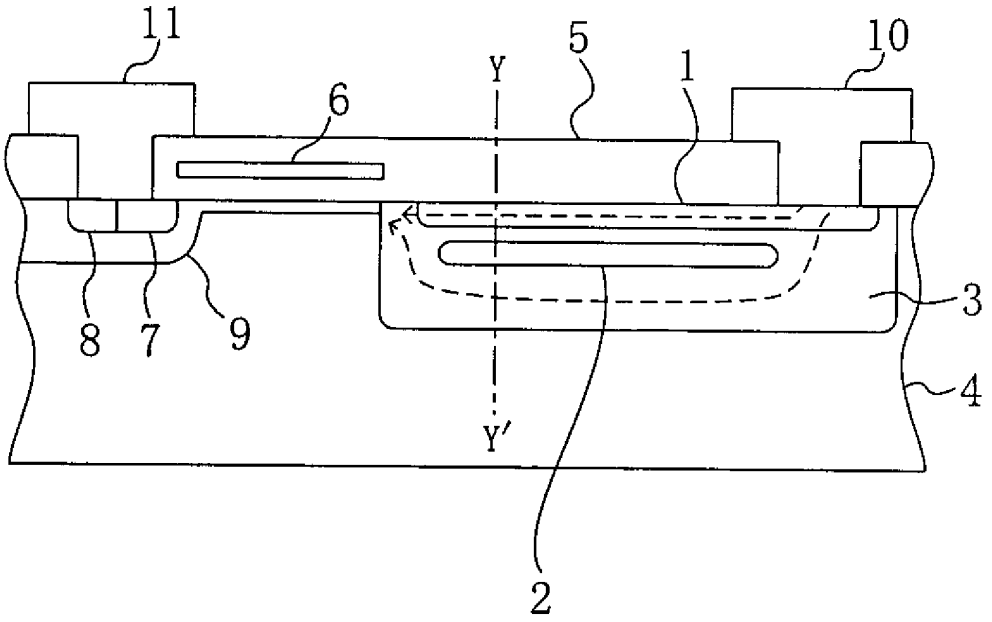
37. 如申請專利範圍第21項之半導體裝置,其中:上述半導體層係由單晶半導體基板所構成者。

38. 一種半導體裝置之製造方法,該裝置具備第1導電型之半導體層、形成於上述半導體層內的第2導電型之源極區域、形成於上述半導體層內的第2導電型之汲極區域、設置於上述源極區域和汲極區域之間的通道區域、形成於上述通道區域之上方的閘極電極以及至少有一部份被包在上述汲極區域內的1導電型埋入區域,該方法中包括:將爲形成上述汲極區域的第2導電型雜質摻入上述半導體層內的製程;將爲形成上述埋入區域的第1導電型雜質摻入上述半導體層內,以形成被分割爲複數個部份的上述埋入區域的製程。

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

(a)



(b)

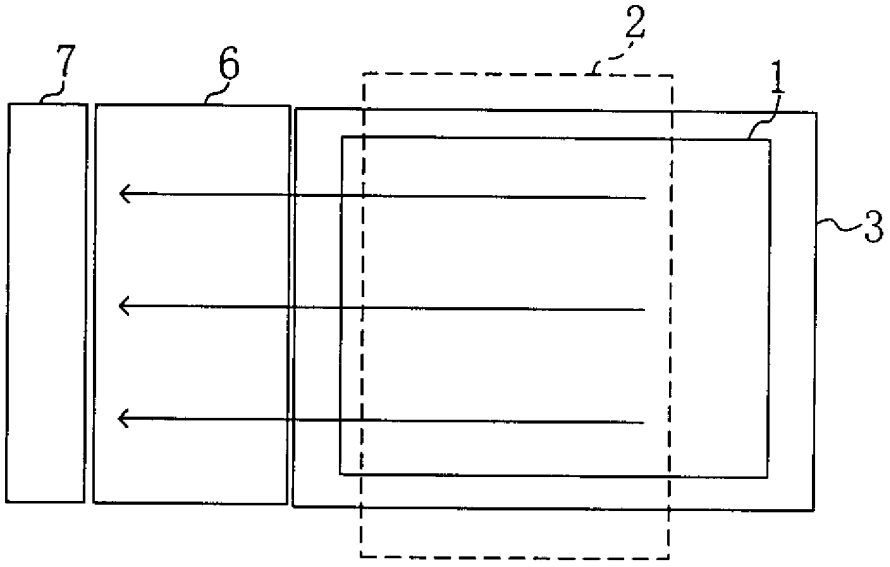


圖 1

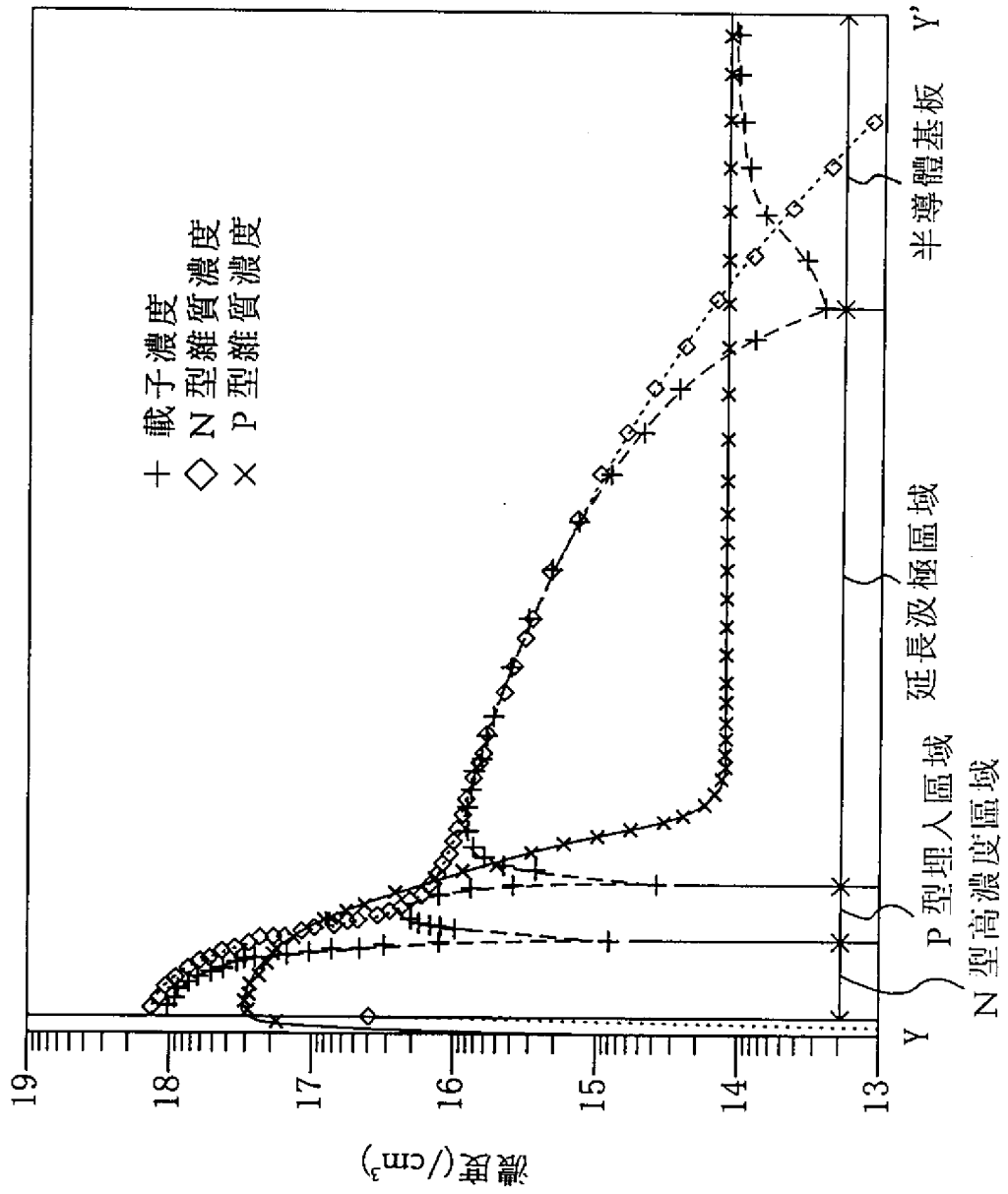

+ 載子濃度
◇ N 型雜質濃度
× P 型雜質濃度
濃度(/cm³)
19
18
17
16
15
14
13
Y
Y'
P 型埋入區域
N 型高濃度區域
延長汲極區域
半導體基板

圖 2

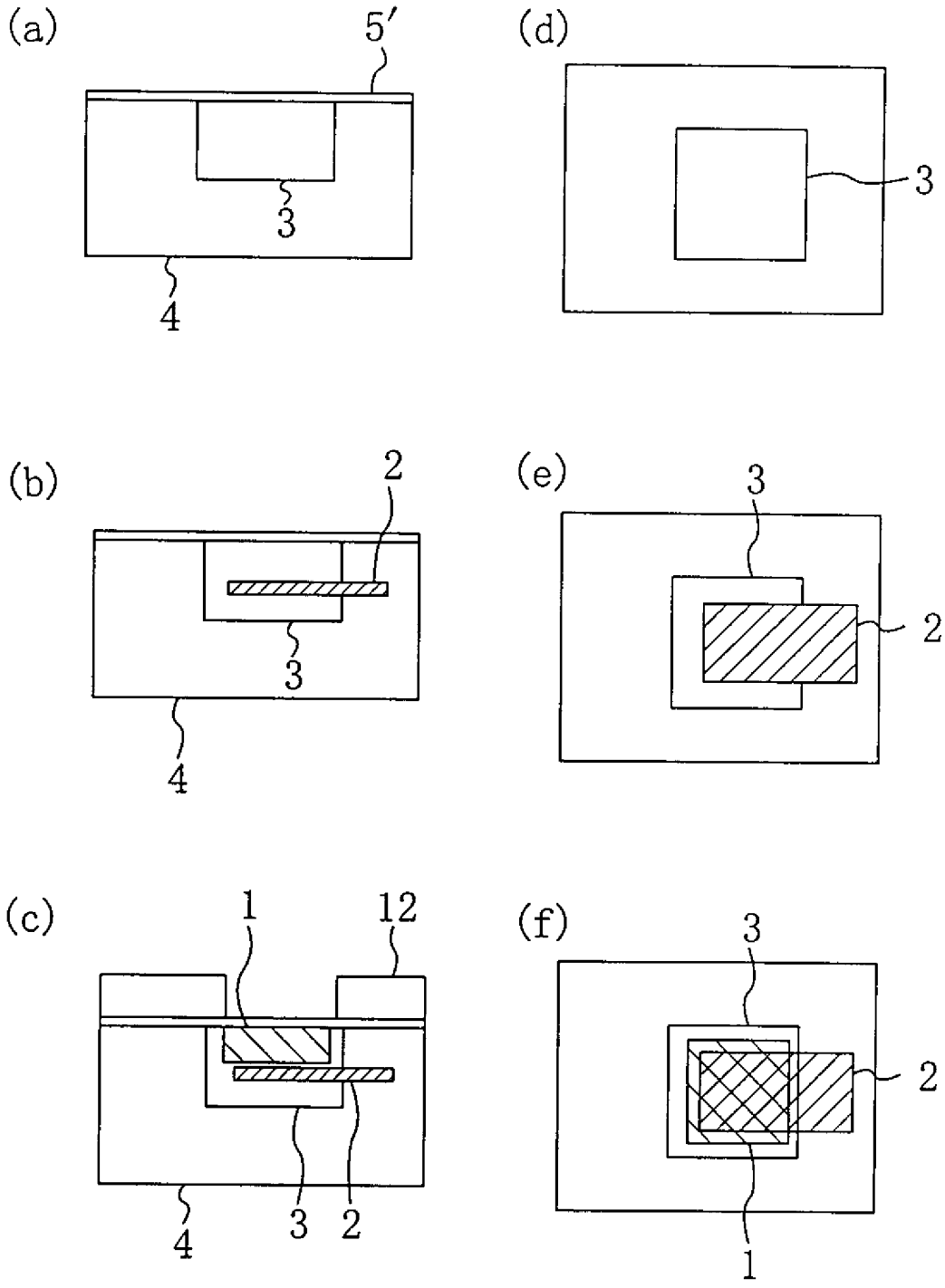


圖 3

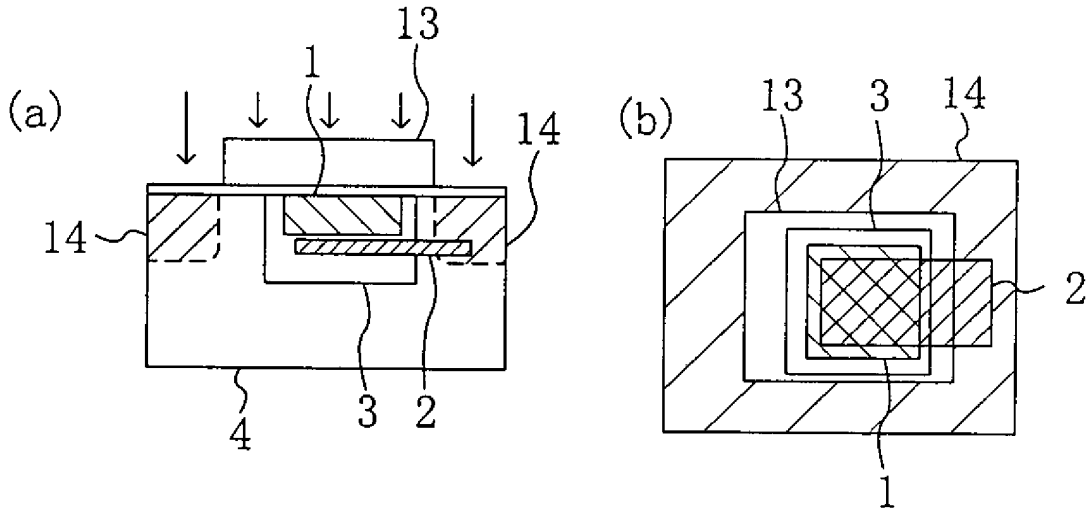


圖 4

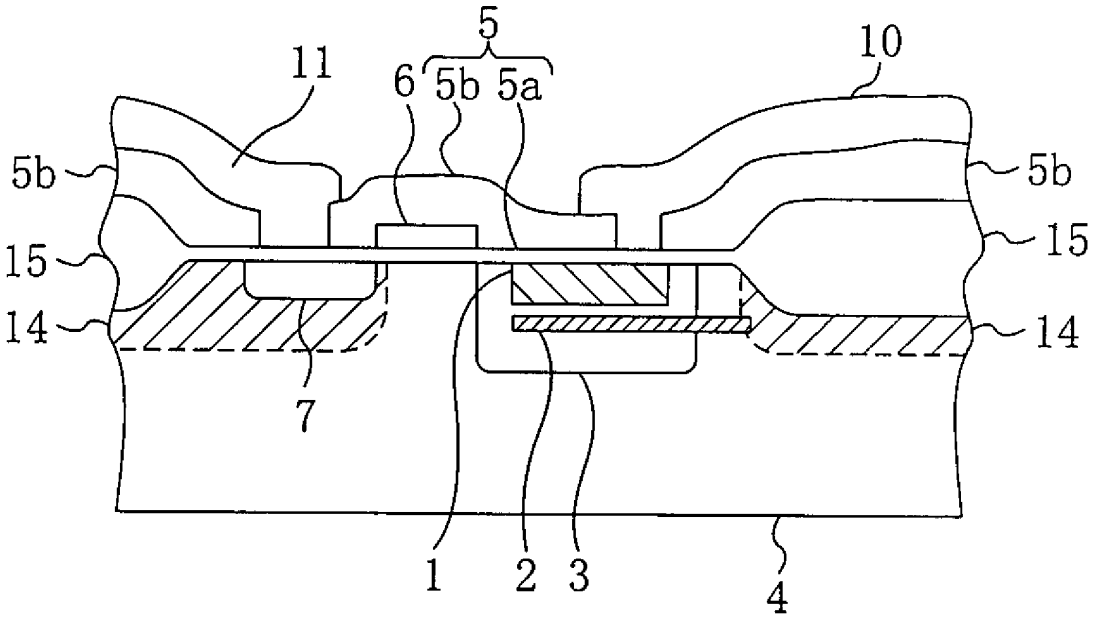
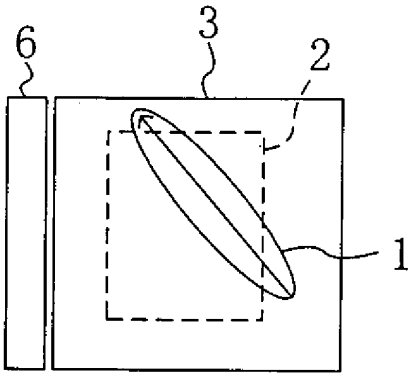
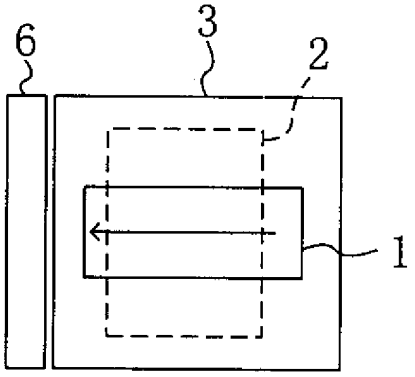


圖 5

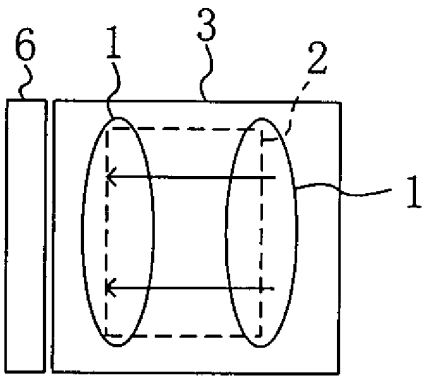
(a)



(b)



(c)



(d)

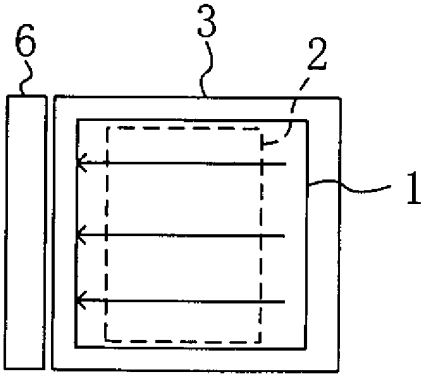


圖 6

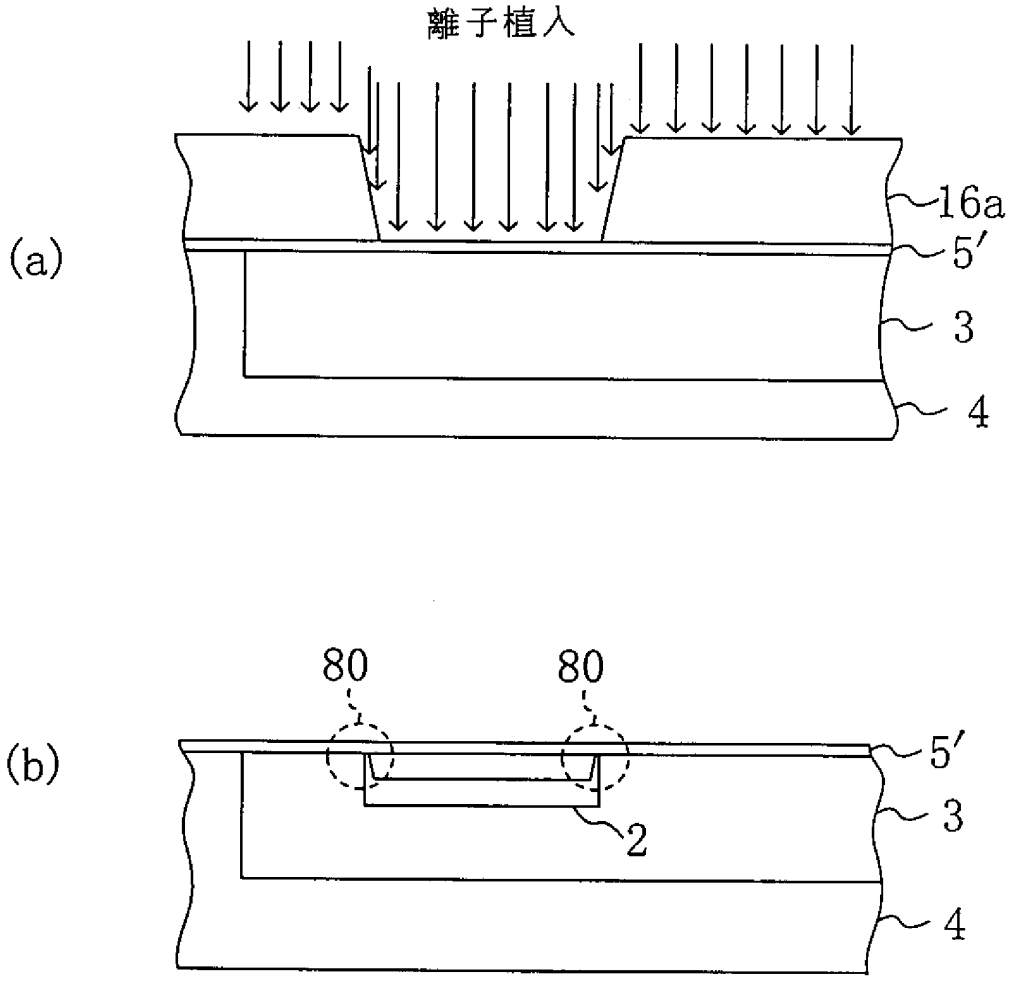


圖 7

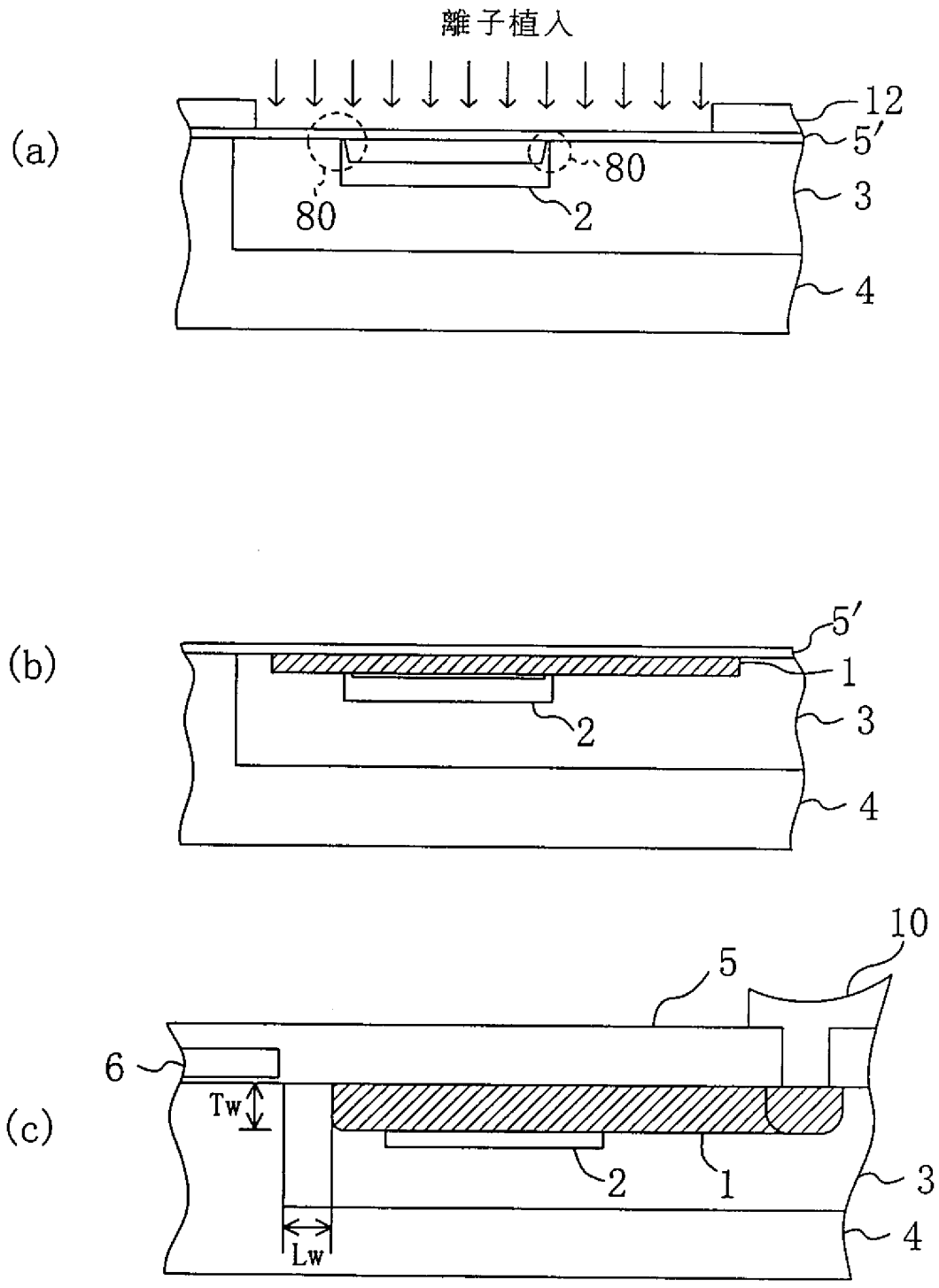
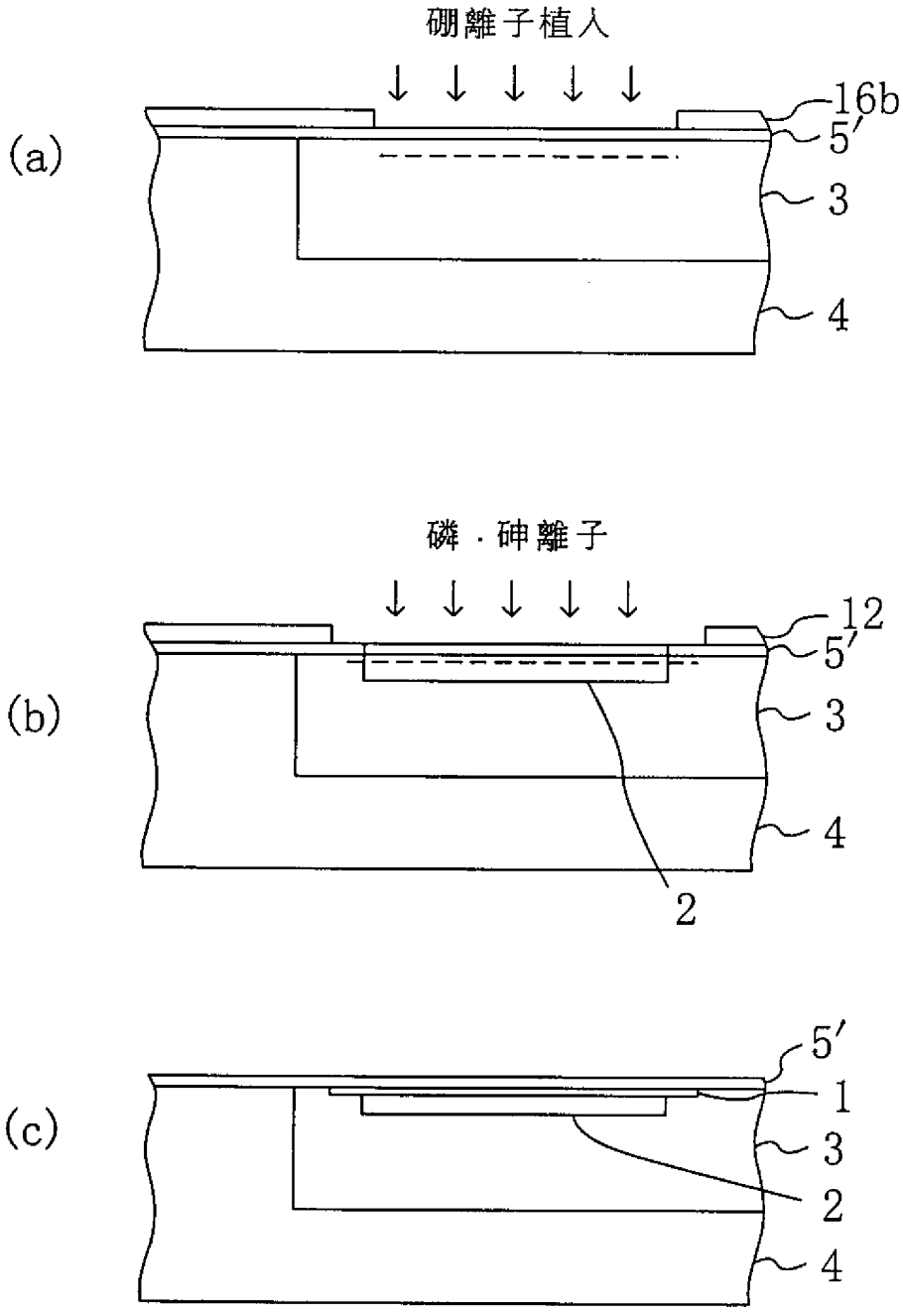


圖 8



(a)

(b)

(c)

圖 9

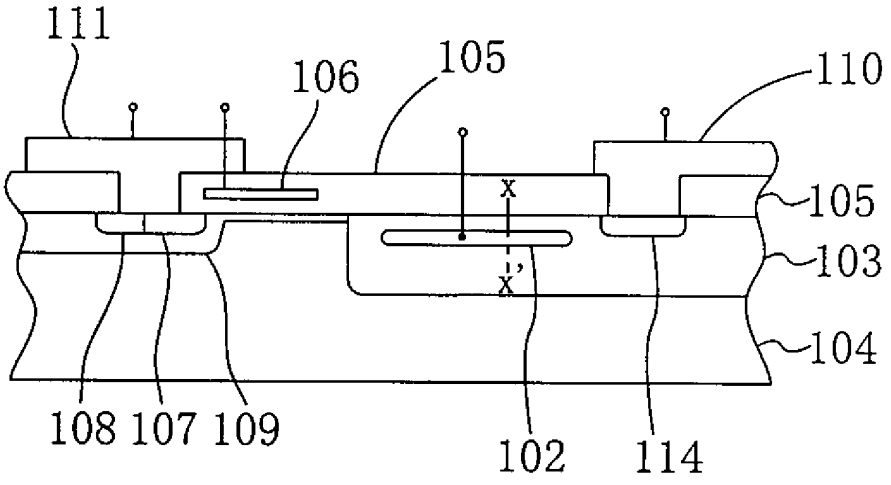


圖 10

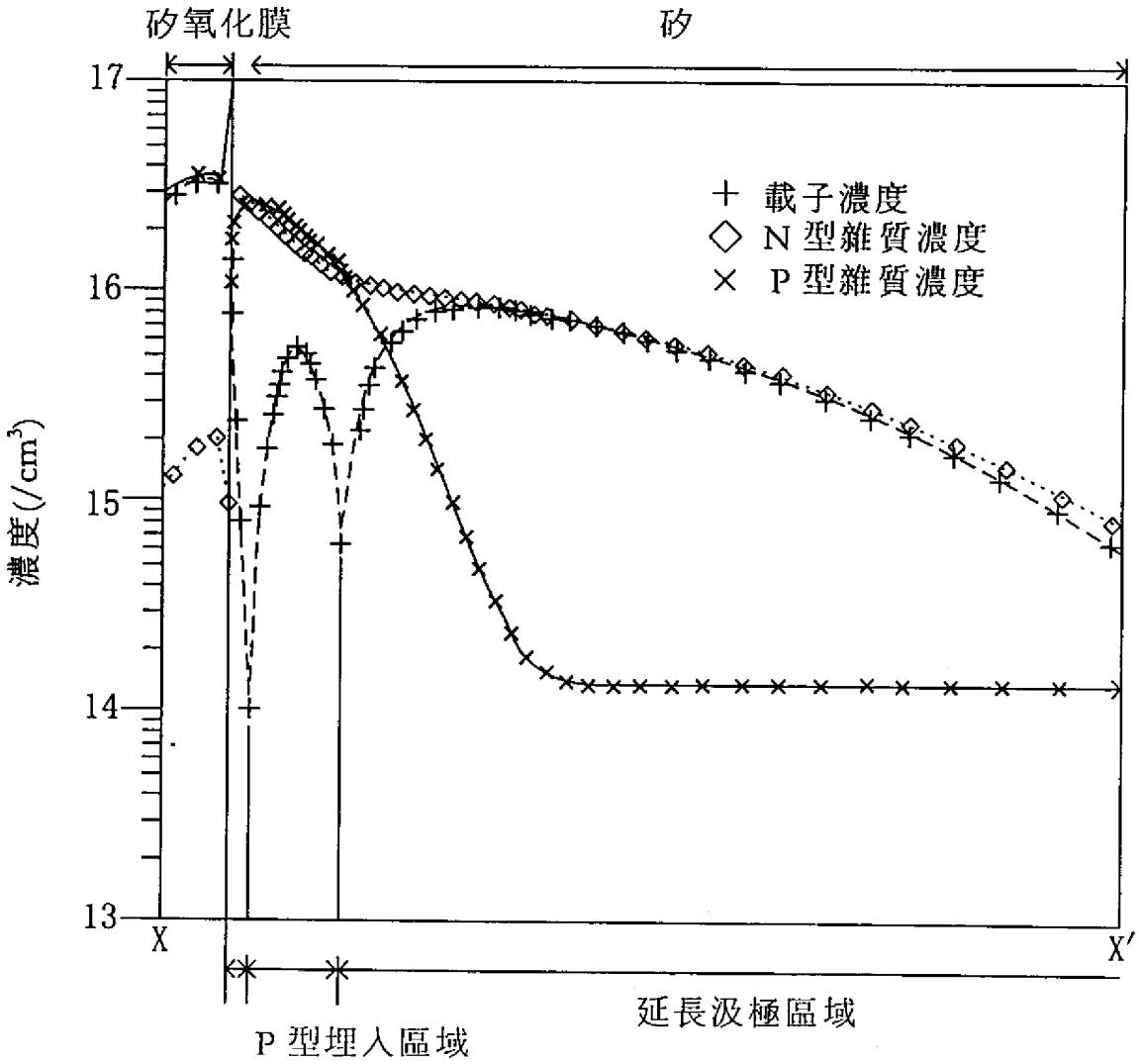
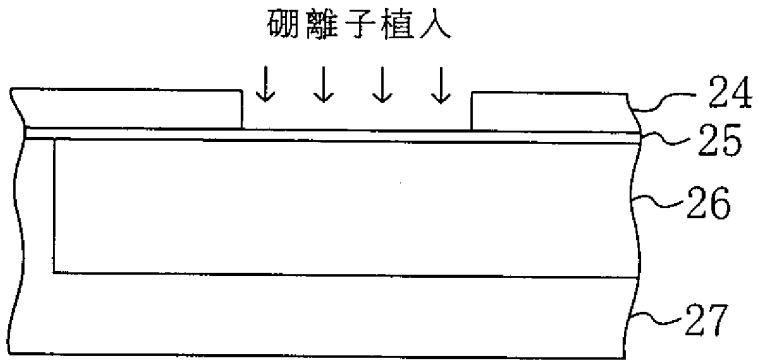

矽氧化膜
矽
17
16
15
14
13
濃度(/cm³)
+ 載子濃度
◇ N型雜質濃度
× P型雜質濃度
X
X′
P型埋入區域
延長汲極區域

圖 11

(a)



(b)

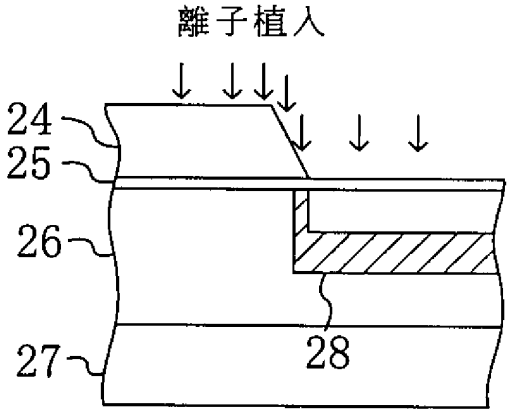
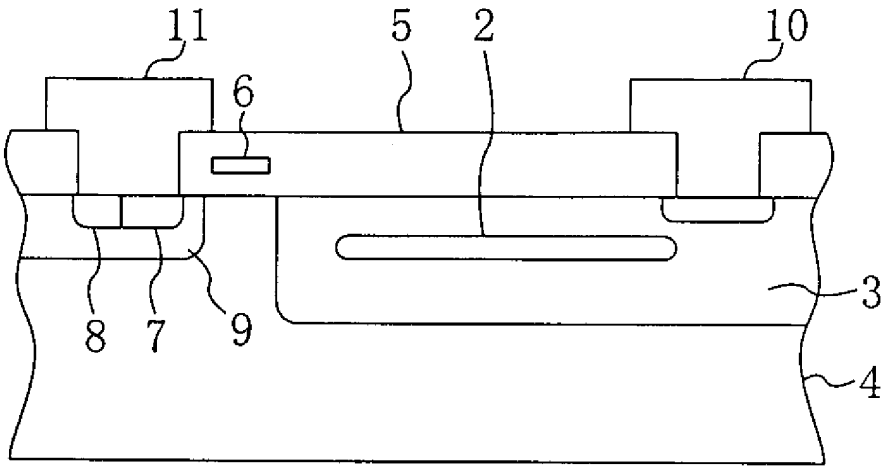
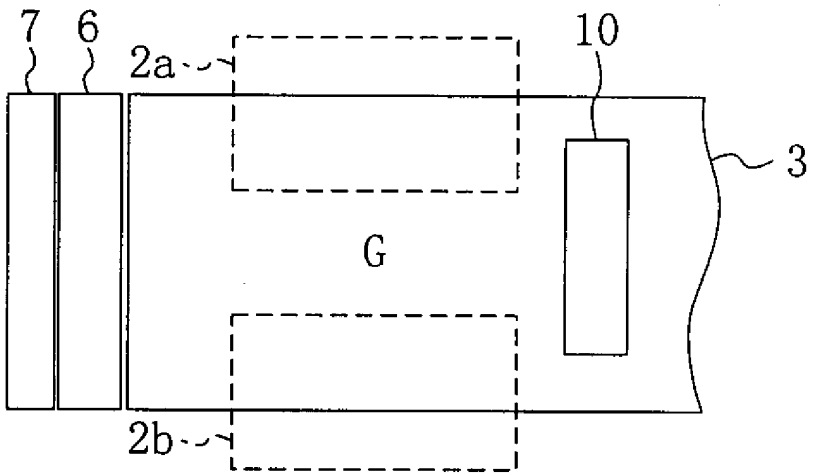


圖 12

(a)



(b)



(c)

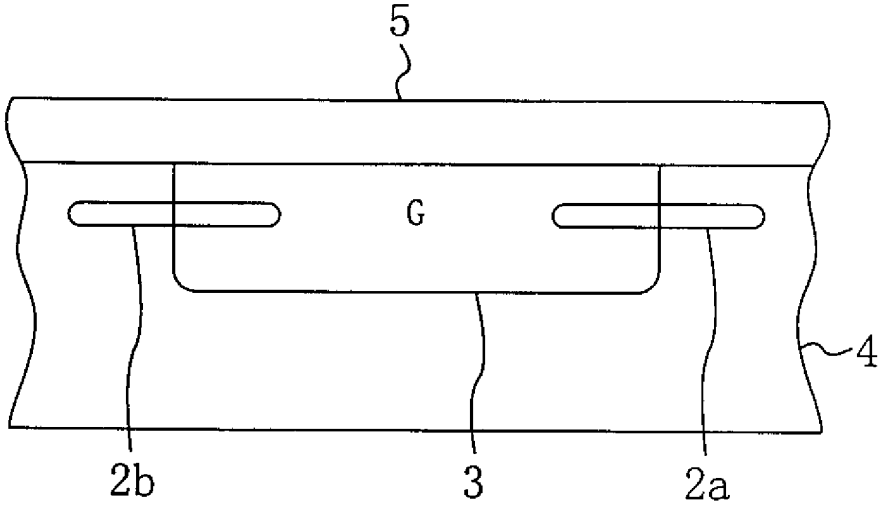
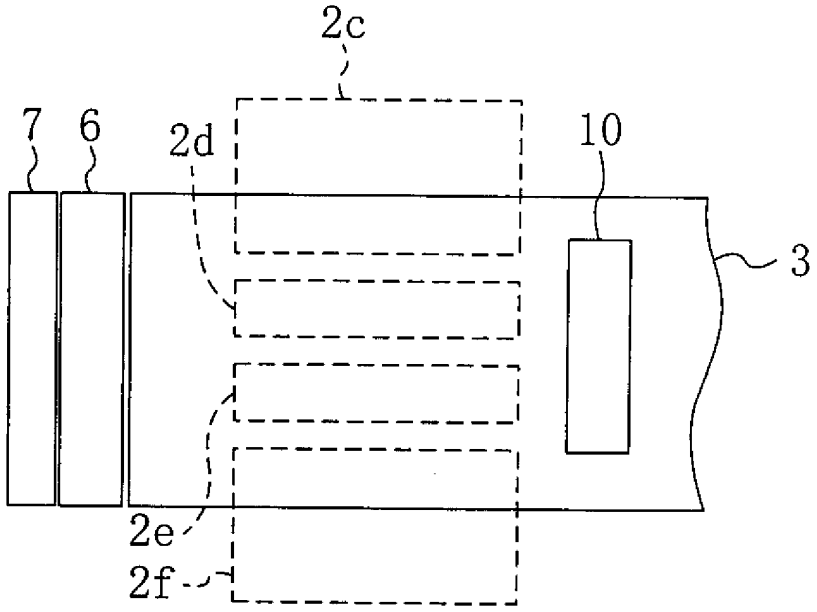


圖 13

(a)



(b)

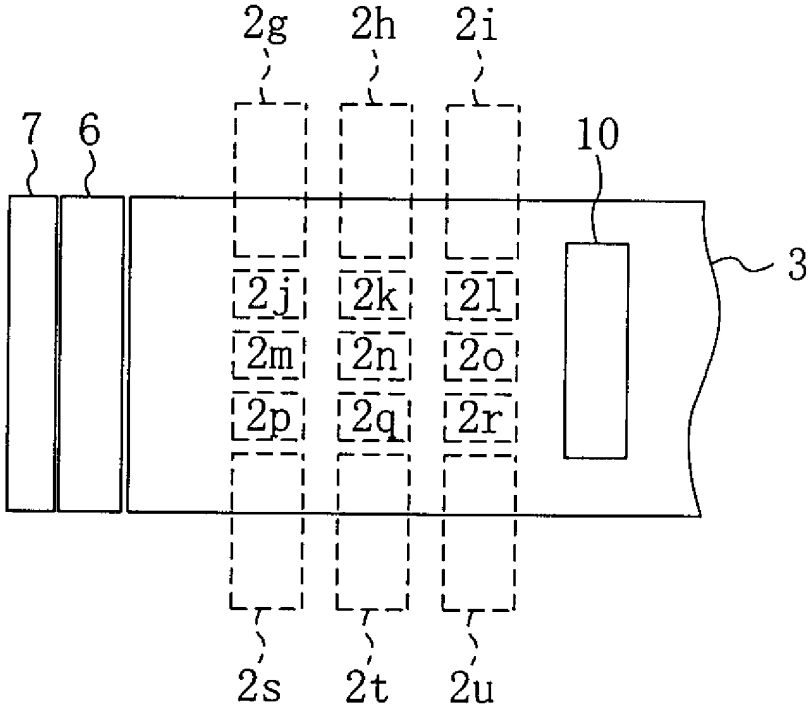


圖 14

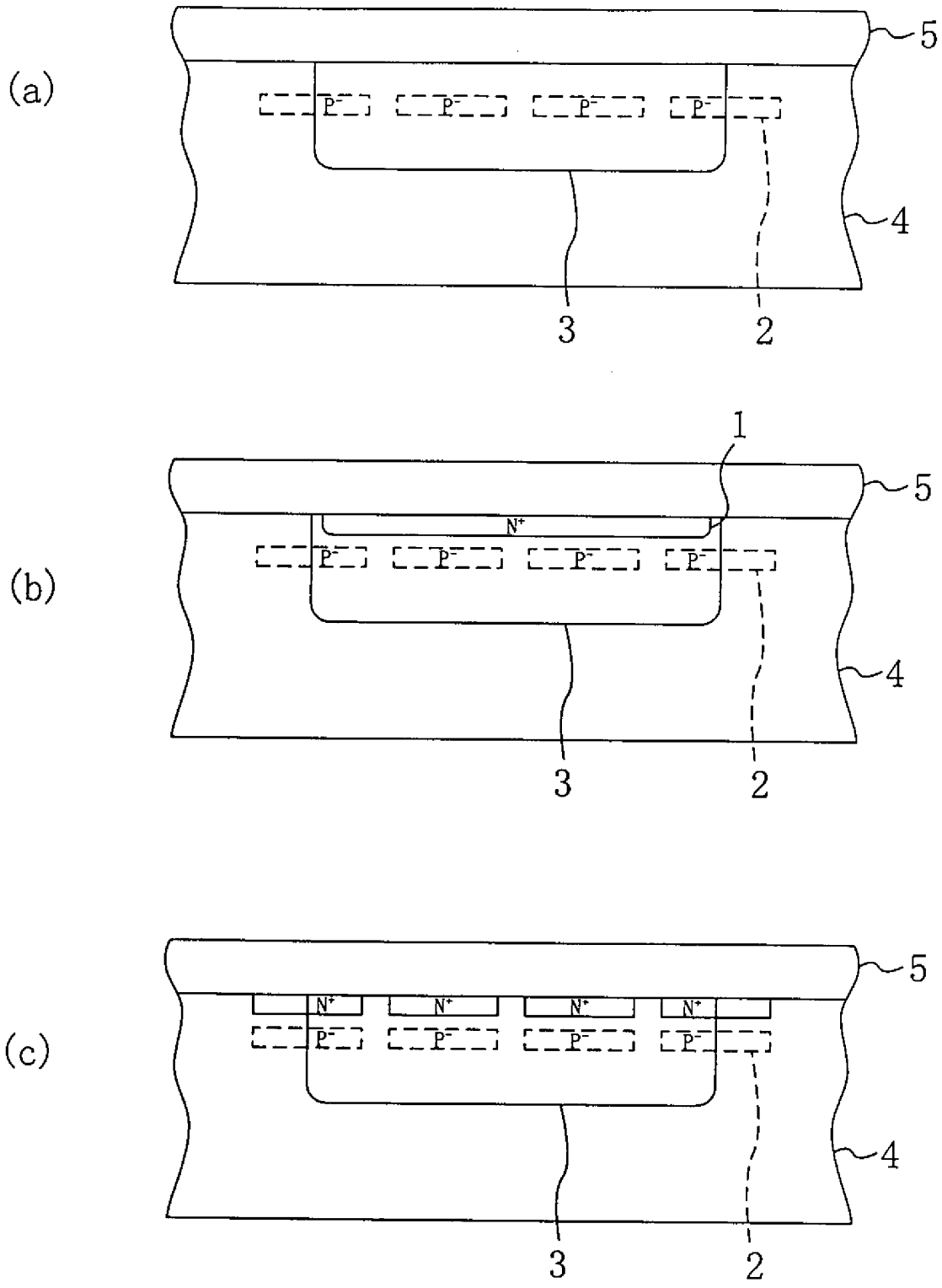


圖 15

公告本

88 9 10 修正補充
年 月 日

申請日期	1999. 6. 9
案號	88109626
類別	H01L 29/784

（以上各欄由本局填註）

A4
C4

(修正頁) 88年9月

421894

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	日文	半導体装置およびその製造方法
二、發明 創作 人	姓名	1. 十河 誠治　5. 八谷 佳明 2. 上野 雄司　6. 高橋 理 3. 山口 誠毅　7. 山西 雄司 4. 森 吉弘　8. 平野 龍馬
	國籍	均日本
	住、居所	1. 日本國京都府京都市西京區桂上野北町15-101 2. 日本國滋賀縣草津市櫻丘1-6-25 3. 日本國滋賀縣甲賀郡甲南町希望之丘本町2-2501-142 4. 日本國京都府京都市伏見區羽束師志水町138-8-A-208 5. 日本國滋賀縣大津市美空町2-6-502 6. 日本國京都府京都市伏見區羽束師志水町138-8-B-305 7. 日本國大阪府茨木市紫明園11-504 8. 日本國京都府相樂郡精華町光台4-36-9
三、申請人	姓名（名稱）	日商松下電子工業股份有限公司
	國籍	日本
	住、居所（事務所）	日本國大阪府高槻市幸町1番1號
	代表人 姓名	大鶴 英嗣

煩請委員明示 88 年 9 月 10 日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線