



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

262237

(11)

(B1)

(51) Int. Cl.⁴
G 11 C 8/00

(22) Přihlášeno 30 06 87

(21) (PV 4887-87.V)

(40) Zveřejněno 15 07 88

(45) Vydáno 15 05 89

112 předat vynálezce

(75)

Autor vynálezu

JOHANOVSKÝ ALEŠ ing., MIKULEC JINDŘICH ing., PRAHA,
JIRKOVSKÝ MIROSLAV ing., CHRÁSTANY, SOBOTKA ZDENĚK ing. DrSc.,
PRAHA

(54) Zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti

1

Vynález se týká zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti pro digitální zpracování obrazu.

V obrazových pamětech s velkou kapacitou a vysokou pracovní rychlostí se v současném stavu techniky používají polovodičové dynamické paměťové obvody, které mají dostatečně velkou paměťovou kapacitu, ale malou pracovní rychlost. Potřebné pracovní rychlosti se dosahuje demultiplexováním vstupních dat do pomocných registrů, odkud jsou potom zapsána současně do několika paměťových obvodů. Naopak v případě čtení z obrazové paměti se v jednom paměťovém cyklu přečtou uložená data současně z více pamětí, a ta jsou multiplexována do výstupního datového toku.

Nevýhodou dosavadních známých řešení je, že rychlost multiplexu dat na vstupu a výstupu paměťové desky je omezena rychlostí použitých dynamických pamětí a použitým multiplexním poměrem, tzn. počtem paměťových obvodů, které jsou aktivovány současně v jednom paměťovém cyklu. Další nevýhodou je, že rychlost multiplexu dat je zároveň pracovní frekvencí rychlosti celého systému a protože rychlost paměťových obvodů je dána současným stavem technologie, je možné zvyšovat pracovní rychlost pouze zvyšováním multiplexního poměru. To ve-

2

de k technicky neúměrně obtížné realizaci paměťových desek nebo k nutnému omezení funkčních možností obrazové paměti.

Další nevýhodou je technicky obtížné nebo ekonomicky nevýhodné využití těchto složitých paměťových desek v rámci stavebnicové řady systému pro zpracování obrazu v systémech s nižší pracovní rychlostí.

Uvedené nedostatky odstraňuje zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti podle vynálezu, která vychází z použití paměťové desky, sestávající z řídicího čítače dekodéru řídicích signálů, vstupního datového demultiplexeru, paměťového pole, výstupního datového multiplexeru. Podstatou vynálezu je, že vstup vnějších řídicích signálů dekodéru řídicích signálů je spojen s přívodem vnějších řídicích signálů pro řízení funkce paměťové desky. Jeho druhý vstup stavu řídicího čítače je spojen s výstupem stavu řídicího čítače, na jehož hodinový vstup je připojen hodinový signál, který určuje pracovní rychlost systému. Na nastavovací vstup řídicího čítače pracovního cyklu paměťové desky je připojen nastavovací signál a na jeho synchronizační vstup je připojen synchronizační signál, který nastavuje řídicí čítač. Výstup řídicích signálů pro demultiplexer dekodéru řídicích signálů je spojen s řídicím vstupem

vstupního datového demultiplexeru, na jehož datový vstup je připojena vstupní sběrnice obrazových dat. Výstup řídicích signálů pro paměťové pole dekodéru řídicích signálů je spojen s řídicím vstupem paměťového pole pro řízení paměťových cyklů dynamických pamětí. Datový vstup paměťového pole je spojen s datovým výstupem vstupního datového demultiplexeru pro zápis obrazových dat.

Výstup řídicích signálů pro datový demultiplexer dekodéru řídicích signálů je spojen s řídicím vstupem výstupního datového multiplexeru pro čtení obrazových dat. Jeho datový výstup je připojen na výstupní sběrnici obrazových dat a jeho datový vstup je spojen s výstupem paměťového pole. V praktickém provedení je dekodér řídicích signálů rozdělen na dekodér řídicích signálů pro čtení a dekodér řídicích signálů pro zápis a řídicí čítač pracovního cyklu paměťové desky je rozdělen na dva samostatné čítače, za účelem odděleného řízení čtecích a zapisovacích cyklů paměťové desky. Na první vstup čítače pracovního cyklu pro čtení je připojen signál pracovní frekvence pro čtení, která určuje rychlost čtení dat. Na první vstup čítače pracovního cyklu pro zápis je připojen signál pracovní frekvence pro zápis, která určuje rychlost zápisu dat. Na nastavovací vstupy obou čítačů je připojen nastavovací signál a na synchronizační vstupy obou čítačů synchronizační signál, které zajišťují správné nastavení pracovní fáze obou čítačů. Na řídicí vstup vstupního datového demultiplexeru je připojen výstup řídicích signálů zápisu pro datový demultiplexer dekodéru řídicích signálů pro zápis, jehož vstup je spojen s výstupem řídicího čítače pracovního cyklu pro zápis, který řídí cyklus zápisu obrazových dat do paměťového pole.

Na řídicí vstup výstupního datového multiplexeru je připojen výstup řídicích signálů čtení pro datový multiplexer dekodéru řídicích signálů pro čtení, jehož vstup je spojen s výstupem řídicího čítače pracovního cyklu pro čtení. Při součinnosti dvou paměťových desek jsou datové výstupy obou paměťových desek spojeny se vstupní sběrnici pro zápis obrazových dat. Na paralelně spojené hodinové vstupy je připojen hodinový signál, který určuje pracovní rychlost systému obrazové paměti. Na paralelně spojené synchronizační vstupy je připojen synchronizační signál a na spojené řídicí vstupy je připojen řídicí signál. Nastavovací vstup jedné desky je připojen na úroveň log 0, zatímco nastavovací vstup druhé desky je připojen na úroveň log 1.

Výhodou řešení podle vynálezu je zejména možnost použití paměťových desek pracujících s určitou rychlostí, danou např. parametry použitých součástek integrovaných obvodů, v systémech pro zpracování obrazu s vyšší pracovní rychlostí, než to dovolu-

je dosavadní stav techniky. Pracovní rychlost je při součinnosti dvou paměťových desek dvakrát vyšší a obecně při použití n -desek n -krát vyšší než při použití samostatné paměťové desky, přičemž zapojení všech v součinnosti pracujících desek je stejné a desky jsou v důsledku toho vzájemně zaměnitelné. Dovoluje to vytvoření stavebnicové řady systémů pro zpracování obrazu podle požadované rychlosti a kapacity pamětí. Výroba velkého množství stejných paměťových desek zároveň umožňuje výhodu jejich efektivnější a levnější sériové výroby a jejich nastavování.

Použití většího počtu shodných paměťových desek v systému pro zpracování obrazu zjednoduší diagnostiku případných poruch vzniklých při provozu a zlepší opravitelnost celého systému.

Zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti bude blíže popsáno podle připojených výkresů. Na obr. č. 1 je blokové schéma zapojení obvodů paměťové desky, na obr. č. 2 blokové schéma úpravy obvodů pro oddělené řízení čtecích a zapisovacích cyklů paměťové desky, na obr. 3 blokové schéma zapojení obvodů pro součinnost dvou paměťových desek a na obr. 4 časový diagram řízení součinnosti dvou paměťových desek.

Zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti vychází z použití paměťové desky, sestávající z řídicího čítače, dekodéru řídicích signálů, vstupního datového demultiplexeru, paměťového pole a výstupního datového multiplexeru, popsané podle blokového schéma na obr. 1. Vstup 1A vnějších řídicích signálů dekodéru A řídicích signálů, je spojen s přívodem vnějších řídicích signálů SC za účelem řízení čtení a zápisu dat na paměťové desce. Jeho druhý vstup 2A stavu řídicího čítače je spojen s výstupem C1 stavu řídicího čítače C pracovního cyklu paměťové desky, na jehož hodinový vstup 1C je připojen přívod hodinového signálu SF, určujícího pracovní rychlost systému. Na nastavovací vstup 2C řídicího čítače C pracovního cyklu paměťové desky je připojen přívod nastavovacího signálu SN a na jeho synchronizační vstup 3C je připojen přívod synchronizačního signálu SI, za účelem nastavení řídicího čítače C do správné fáze pracovního cyklu. Výstup A1 řídicích signálů pro demultiplexer dekodéru řídicích signálů A je spojen s řídicím vstupem 1D vstupního datového demultiplexeru D, na jehož datový vstup 2D je připojena vstupní sběrnice DI obrazových dat. Výstup A2 řídicích signálů pro paměťové pole dekodéru řídicích signálů je spojen s řídicím vstupem 1B paměťového pole B za účelem řízení paměťového cyklu dynamických pamětí. Datový vstup 2B paměťového pole B je spojen s datovým výstupem D1 vstupního datového demultiplexeru D pro zápis obrazových dat do paměťového pole B.

Výstup A3 řídicích signálů pro datový multiplexer dekodéru řídicích signálů je spojen s řídicím vstupem IE výstupního datového multiplexeru E pro čtení obrazových dat. Jeho datový výstup E1 je připojen na výstupní sběrnici DO obrazových dat a jeho datový vstup 2E je spojen s výstupem B1 paměťového pole B.

Zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti po úpravě pro oddělené řízení čtecích a zapisovacích cyklů paměťové desky je popsáno podle blokového schéma na obr. 2. Řídicí čítač C pracovního cyklu paměťové desky je za účelem odděleného řízení čtecích a zapisovacích cyklů paměťové desky rozdělen na dva samostatné čítače, na čítač CC pracovního cyklu pro čtení, na jehož vstup 1CC pracovního cyklu pro čtení je připojen přívod signálu SFČ pracovní frekvence pro čtení, určující rychlost čtení dat a na čítač CZ pracovního cyklu pro zápis, na jehož vstup 1CZ pracovního cyklu pro zápis je připojen přívod signálu SFZ pracovní frekvence pro zápis, určující rychlost zápisu dat. Na nastavovací vstup 2CC čítače pracovního cyklu pro čtení je připojen přívod nastavovacího signálu SN, určující počáteční stav řídicích čítačů CC a CZ. Na synchronizační vstup 3CZ čítače pracovního cyklu pro zápis, spojený se synchronizačním vstupem 3CC pracovního cyklu pro čtení, je připojen přívod synchronizačního signálu SI pro nastavení správné pracovní fáze čítačů. Na řídicí vstup 1D vstupního datového demultiplexeru D je připojen výstup AZ1 řídicích signálů zápisu pro datový demultiplexer dekodéru AZ řídicích signálů pro zápis, jehož vstup je spojen s výstupem CZ1 řídicího čítače CZ pracovního cyklu pro zápis za účelem řízení cyklu zápisu obrazových dat. Na řídicí vstup 1E výstupního datového multiplexeru E je připojen výstup AC1 řídicích signálů čtení pro datový multiplexer dekodéru AC řídicích signálů pro čtení, jehož vstup je spojen s výstupem CC1 řídicího čítače CC pracovního cyklu pro čtení.

Zapojení obvodů dvou v součinnosti pracujících paměťových desek je znázorněno na obr. 3. Datové výstupy IM a IN paměťových desek M a N jsou spojeny se vstupní sběrnicí DI pro zápis obrazových dat a jejich datové výstupy MO, NO jsou spojeny s výstupní sběrnicí DO pro čtení obrazových dat. Na paralelně spojené vstupy 1M a 1N desek je připojen přívod hodinového signálu SF, určujícího pracovní rychlost systému, na spojené vstupy 2M a 2N desek je připojen přívod synchronizačního signálu SI pro synchronizaci v součinnosti pracujících desek a na spojené vstupy 3M a 3N je připojen přívod řídicího signálu SC pro řízení funkce paměťových desek. Nastavovací vstup 4M desky M je přitom připojen na úroveň log 0 a nastavovací vstup 4N desky N na úroveň log 1 pro zajištění

správné fáze pracovního cyklu desek synchronizačním signálem SI.

Paměťová deska podle obr. 1 je řízena autonomně čítačem C, z jehož stavu a vnějších řídicích signálů SC jsou v řídicím dekodéru A jednoznačně odvozeny řídicí signály pro vstupní demultiplexer D, vstupní multiplexer E a pole dynamických pamětí B. Obrazová data, přicházející vstupní sběrnicí DI jsou v časových intervalech odpovídajících vybraným stavům čítače C postupně zapisována do registrů vstupního demultiplexeru D a v další části pracovního cyklu paměťové desky přepsána do paměťového pole B. Při čtení dat jsou data přepsána do registru výstupního datového multiplexeru E a odtud ve stanovených časových intervalech postupně vysílána na výstupní sběrnici DO obrazových dat. Pracovní frekvence desky je určena hodinovým signálem SF, přivedeným na vstup 1C řídicího čítače C, na jehož synchronizační vstup 3C je dále přiveden synchronizační signál SI, který v určitých intervalech nastavuje čítač do počátečního stavu, předvoleného na nastavovacím vstupu 2C čítače C signálem SN.

Na obr. 2 je znázorněno zapojení paměťové desky s dekodérem řídicích signálů A, rozděleným na dva samostatné dekodéry AC pro čtení a AZ pro zápis a s řídicím čítačem C, rozděleným na dva samostatné čítače, čítač CC pro řízení čtení a CZ pro řízení zápisu. Každý čítač je řízen vlastním hodinovým kmitočtem SFČ pro čtení a SFZ pro zápis, což umožňuje, aby zápis o čtení dat na desce probíhalo různou rychlostí. Synchronizace čítačů je opět zajištěna společnými nastavovacími signály SN a synchronizačním impulsem SI. Řídicí signály pro vstupní demultiplexer D jsou vytvářeny dekodérem AZ ze stavu řídicího čítače zápisu CZ, řídicí signály pro výstupní multiplexer dekodéru AV ze stavů řídicího čítače čtení CC.

Obrazová paměť může být sestavena z určitého počtu shodných a funkčně rovnocenných desek, v závislosti na požadavcích kladených na kapacitu a rychlost obrazových pamětí, jejichž pracovní cykly jsou řízeny autonomně. Fáze pracovních cyklů jednotlivých paměťových desek se vzájemně liší o časové posunutí rovné jedné periodě základního hodinového kmitočtu systému. Zapojení obvodů při součinnosti dvou paměťových desek je vysvětleno podle blokového schéma na obr. 3 a podle časového diagramu na obr. 4.

Během jednoho pracovního cyklu TC obrazové paměti je zpracováno 16 dat SD 0 + 15, která jsou přenášena po datových sběrnicích DI a DO v časových intervalech TD zápisu a čtení jednoho data. Data SD 0 + SD 15 přicházející na vstup obrazové paměti jsou zapisována střídavě na vstupy obou paměťových desek M SM 0 + SM 7 a N

SN 0 ÷ SN 7 a na nich jsou dále zpracovávána v pracovním intervalu **TM** datových obvodů paměťové desky, který je dvakrát delší než časový interval **TD** zápisu a čtení jednoho data, to zn., že datový demultiplexer **D** může zpracovávat data s poloviční rychlostí, než je pracovní frekvence systému. Obdobně při čtení dat z obrazové paměti jsou data čtena střídavě z obou paměťových desek **M** SM 0 ÷ SM 7 a **N** SN 0 ÷ SN 7 v intervalech **TM** datových obvodů a skládána do datového toku ve výsledném, časově polovičním intervalu **TD** zápisu a čtení, takže výstup dat je dvakrát rychlejší než pracovní frekvence multiplexních obvodů paměťové desky. Střídavé funkce dvou stejných paměťových desek je dosaženo vzájemným posunutím jejich pracovních cyklů **TC1** jedné a **TC2** druhé paměťové desky o časový interval **TD**. Uvedeného nastavení každé paměťové desky do správné fáze odpovídajícího pracovního cyklu se dosáhne synchronizačním signálem **SI**, který nastavuje řídicí čítače **C** obou paměťových desek do stavu předvoleného signálem **SN** na nastavovacích vstupech **2C** řídicích čítačů pracovního cyklu paměťových desek. Při součinnosti dvou paměťových desek je využit jen nastavovací vstup nejnižšího řádu

řídicích čítačů **C**, na který je na jedné desce přiveden signál **log 0** a na druhé desce **log 1**.

Uvedený příklad zapojení obvodů pro zvýšení rychlosti rychlé obrazové paměti je možné rozšířit na součinnost n -paměťových desek. V blokovém schéma na obr. 2 se změní jen řídicí čítače **CC** a **CZ** a dekodéry řídicích signálů **AC** a **AZ**. Řídicí čítače budou mít n -krát osm stavů a na jejich nastavovací vstupy se budou přivádět další bity. Ostatní obvody paměťové desky se nemění, ani se nezvyšují požadavky na jejich rychlost.

Z časového diagramu na obr. 4 a blokového schéma na obr. 3 je patrné, že pro systém vyžadující poloviční rychlost toku obrazových dat je možné bez jakékoliv úpravy použít jen jednu paměťovou desku v uvedeném zapojení řídicích obvodů a vstupní data budou přenášena při stejné frekvenci základního hodinového kmitočtu s poloviční rychlostí.

Uvedeného zapojení je možno využít zejména při řešení rychlých pamětí pro systémy digitálního zpracování obrazu, dále pro zapisovače rychlých přechodových jevů a jiná zařízení vyžadující rychlý zápis a čtení dat.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti, jejíž paměťová deska sestává z řídicího čítače, na jehož hodinový vstup je připojen přívod hodinového signálu, z dekodéru řídicích signálů, jehož vstup vnějších řídicích signálů je spojen s přívodem vnějších řídicích signálů, ze vstupního datového demultiplexeru, na jehož vstup je připojena vstupní sběrnice obrazových dat, z paměťového pole a z výstupního datového multiplexeru, na jehož výstup je připojena výstupní sběrnice obrazových dat vyznačující se tím, že vstup (1A) vnějších řídicích signálů dekodéru (A) řídicích signálů je spojen s přívodem vnějších řídicích signálů (SC) a jeho druhý vstup (2A) stavu řídicího čítače je spojen s výstupem (C1) stavu řídicího čítače (C), na jehož hodinový vstup (1C) je připojen přívod hodinového signálu (SF) a dále je na jeho nastavovací vstup (2C) připojen přívod nastavovacího signálu (SN) a na jeho synchronizační vstup (3C) přívod synchronizačního signálu (SI), zatímco výstup (A1) řídicích signálů pro demultiplexer dekodéru řídicích signálů je spojen s řídicím vstupem (1D) vstupního datového demultiplexeru, na jehož datový vstup (2D) je připojena vstupní sběrnice (DI) obrazových dat, přičemž výstup (A2) řídicích signálů pro paměťové pole dekodéru řídicích signálů je spojen s řídicím vstupem (1B)

paměťového pole, jehož datový vstup (2B) je spojen s datovým výstupem (D1) vstupního datového demultiplexeru, zatímco výstup (A3) řídicích signálů pro výstupní datový multiplexer dekodéru řídicích signálů je spojen s řídicím vstupem (1E) výstupního datového multiplexeru, na jehož datový výstup (E1) je připojena výstupní sběrnice (DO) obrazových dat a jehož datový vstup (2E) je spojen s datovým výstupem (B1) paměťového pole (B).

2. Zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti podle bodu 1, vyznačené tím, že dekodér (A) řídicích signálů (SC) je rozdělen na dva samostatné dekodéry, na dekodér (AC) řídicích signálů pro čtení a dekodér (AZ) řídicích signálů pro zápis a řídicí čítač (C) je rozdělen na dva samostatné čítače, na řídicí čítač (CC) pro čtení, na jehož hodinový vstup (1CC) je připojen přívod signálu (SFC) pracovní frekvence pro čtení a na řídicí čítač (CZ) pro zápis, na jehož hodinový vstup (1CZ) je připojen přívod signálu (SZF) pracovní frekvence pro zápis a na jehož nastavovací vstup (2CZ), paralelně spojený s nastavovacím vstupem (2CC) řídicího čítače pro čtení, je připojen přívod nastavovacího signálu (SN) a na jehož synchronizační vstup (3CZ) pro zápis, paralelně spojený se synchronizačním vstupem (3CC) řídicího čítače pro čtení, je připojen přívod

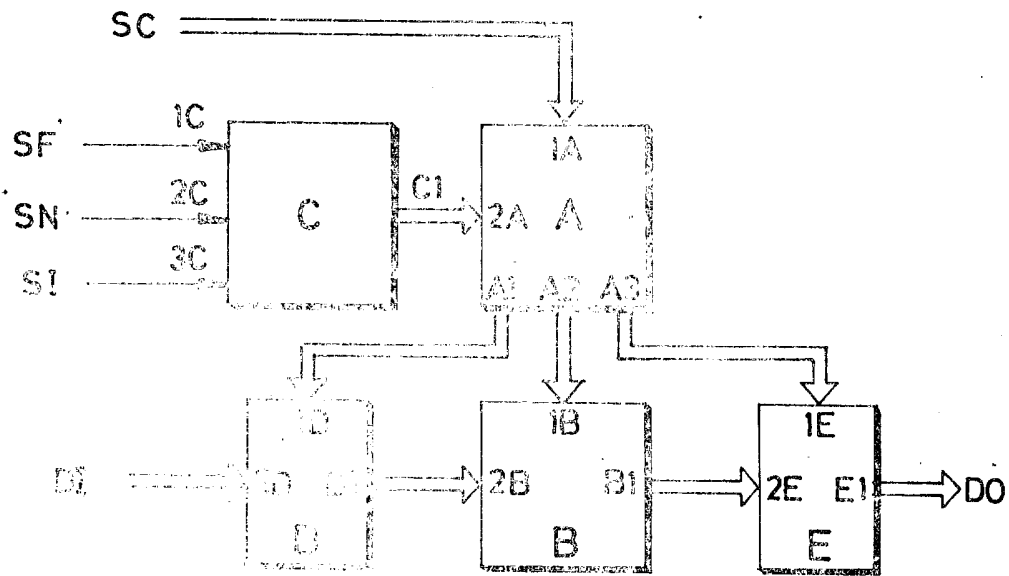
synchronizačního signálu {SI}, zatímco na řídicí vstup {1D} vstupního datového demultiplexeru {D} je připojen výstup {AZ1} dekodéru {AZ} řídicích signálů pro zápis, jehož vstup {1AZ} je spojen s výstupem {CZ1} řídicího čítače pro zápis, zatímco řídicí vstup {1E} výstupního datového multiplexeru je připojen výstup {AC1} dekodéru {AC} řídicích signálů pro čtení, jehož vstup {1AC} je spojen s výstupem {CC1} řídicího čítače {CC} pro čtení.

3. Zapojení pro zvýšení pracovní rychlosti rychlé obrazové paměti podle bodů 1 a 2 vyznačující se tím, že se vstupní sběrnici {DI} obrazových dat jsou spojeny datové vstupy {IM} a {IN} nejméně dvou v

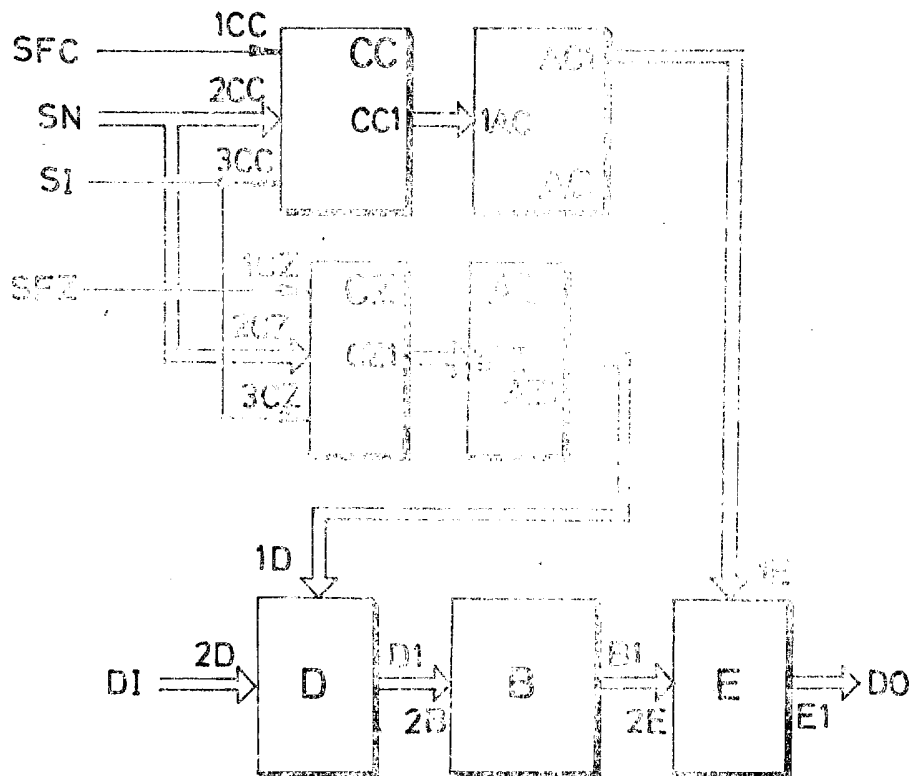
součinnosti pracujících paměťových desek {M} a {N} a jejich datové výstupy {MO} a {NO} jsou spojeny s výstupní sběrnici {DO} obrazových dat, přičemž na paralelně spojené hodinové vstupy {3M} a {3N} paměťových desek je připojen přívod hodinového signálu {SF}, na paralelně spojené synchronizační vstupy {2M} a {2N} je připojen přívod společného synchronizačního signálu {SI} a na paralelně spojené řídicí vstupy {1M} a {1N} je připojen přívod řídicího signálu {SC}, zatímco nastavovací vstup {4M} první paměťové desky {M} je připojen na úroveň log 0 a nastavovací vstup {4N} druhé desky {N} je připojen na úroveň log 1.

2 listy výkresů

vykres str. 2



OBR.1



OBR.2

