

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4802122号

(P4802122)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int.Cl.

F I

H 0 4 L 27/12 (2006.01)

H 0 4 L 27/12

Z

請求項の数 19 (全 11 頁)

(21) 出願番号	特願2007-54519 (P2007-54519)	(73) 特許権者	503349464
(22) 出願日	平成19年3月5日 (2007.3.5)		普誠科技股▲ふん▼有限公司
(65) 公開番号	特開2007-243950 (P2007-243950A)		台湾台北縣新店市寶橋路2 3 3-1 號2 樓
(43) 公開日	平成19年9月20日 (2007.9.20)	(74) 代理人	100070150
審査請求日	平成19年3月5日 (2007.3.5)		弁理士 伊東 忠彦
(31) 優先権主張番号	095107995	(74) 代理人	100091214
(32) 優先日	平成18年3月9日 (2006.3.9)		弁理士 大貫 進介
(33) 優先権主張国	台湾 (TW)	(74) 代理人	100107766
			弁理士 伊東 忠重
		(72) 発明者	張 國威
			台湾新竹縣寶山鄉雙溪村楠坑路4 6 巷6 弄
			6 號
		(72) 発明者	李 文正
			台湾新竹市北區▲なん▼雅街3 1 1 巷6 9
			號8 樓

最終頁に続く

(54) 【発明の名称】 デジタル方式のガウス周波数偏移／周波数偏移変調回路及び関連方法

(57) 【特許請求の範囲】

【請求項 1】

デジタル方式のガウス周波数偏移／周波数偏移（G F S K／F S K）変調回路であって、

入力クロック信号に対し分周を行ってサンプリング信号を生成する分周器と、
 該分周器に結合され、入力データを保存するバッファと、
 該バッファに結合され、前記バッファの出力データに基づいて積分を行う積分器と

、
 該積分器に結合され、コサイン関数に基づいて前記積分器の出力データを変換する第一 R O M（読み取り専用メモリー）と、

前記積分器に結合され、サイン関数に基づいて前記積分器の出力データを変換する第二 R O M と、

前記分周器、前記バッファ及び前記積分器に結合され、前記バッファのデータを前記分周器でオーバーサンプリングした結果のデータを保存し、更に、オーバーサンプリングされたデータをガウス関数に基づいて変換して前記積分器に送信する第三 R O M と、

前記積分器と前記第一 R O M との間に設けられ、コサイン関数波形の対称性を利用して前記第一 R O M に保存すべきビット数を減少させる第一の 1 ビット還元デバイスと、

前記積分器と前記第二 R O M との間に設けられ、サイン関数波形の対称性を利用して前記第二 R O M に保存すべきビット数を減少させる第二の 1 ビット還元デバイスと、

前記バッファに結合され、該バッファの出力データを前記第三 R O M に入力するか

10

20

否かを選択するセレクターと

を含むことを特徴とする G F S K / F S K 変調回路。

【請求項 2】

前記第一 R O M に結合され、前記第一 R O M の出力データをアナログ信号に変換する第一デジタル／アナログ変換器 (D A C) を更に含むことを特徴とする請求項 1 記載の G F S K / F S K 変調回路。

【請求項 3】

前記第一 D A C に結合され、前記第一 D A C によって変換されたアナログ信号をフィルター処理して第一ベースバンド信号を生成する第一低域通過フィルター (L P F) を更に含むことを特徴とする請求項 2 記載の G F S K / F S K 変調回路。

10

【請求項 4】

前記第一 L P F に結合され、前記第一 L P F によって生成された第一ベースバンド信号を第一搬送波信号と混合する第一ミクサーを更に含むことを特徴とする請求項 3 記載の G F S K / F S K 変調回路。

【請求項 5】

前記第二 R O M に結合され、前記第二 R O M の出力データをアナログ信号に変換する第二 D A C を更に含むことを特徴とする請求項 1 記載の G F S K / F S K 変調回路。

【請求項 6】

前記第二 D A C に結合され、前記第二 D A C によって変換されたアナログ信号をフィルター処理して第二ベースバンド信号を生成する第二 L P F を更に含むことを特徴とする請求項 5 記載の G F S K / F S K 変調回路。

20

【請求項 7】

前記第二 L P F に結合され、前記第二 L P F によって生成された第二ベースバンド信号を第二搬送波信号と混合する第二ミクサーを更に含むことを特徴とする請求項 6 記載の G F S K / F S K 変調回路。

【請求項 8】

第一ミクサー及び第二ミクサーに結合され、前記第一ミクサーの出力信号と前記第二ミクサーの出力信号との差を生成する減算器を更に含むことを特徴とする請求項 7 記載の G F S K / F S K 変調回路。

【請求項 9】

前記積分器は、累算器であることを特徴とする請求項 1 記載の G F S K / F S K 変調回路。

30

【請求項 10】

前記バッファ、前記積分器、前記第一 R O M、前記第二 R O M、及び前記第三 R O M は、デジタル回路によって実現されることを特徴とする請求項 1 記載の G F S K / F S K 変調回路。

【請求項 11】

前記第三 R O M と前記積分器との間に結合され、前記第三 R O M の出力データを調整する調整器を更に含むことを特徴とする請求項 1 記載の G F S K / F S K 変調回路。

【請求項 12】

前記分周器と前記バッファとの間に結合され、前記分周器によって生成された前記サンプリング信号に基づいて擬似ランダム雑音を生成するテスト回路を更に含むことを特徴とする請求項 1 記載の G F S K / F S K 変調回路。

40

【請求項 13】

前記テスト回路の出力端に結合され、前記擬似ランダム雑音を受信する第一入力端と、入力信号を受信する第二入力端とを有する X O R (排他的論理和) ゲートを更に含むことを特徴とする請求項 12 記載の G F S K / F S K 変調回路。

【請求項 14】

前記擬似ランダム雑音と前記入力信号とが前記 X O R ゲートを通過した後、前記 X O R ゲートは前記バッファに出力信号を送信することを特徴とする請求項 13 記載の G F S

50

K／F S K変調回路。

【請求項15】

デジタル方式のG F S K／F S K変調方法であって、
クロック信号に対し分周を行ってサンプリング信号を生成するステップと、
入力データを保存するステップと、
該保存されたデータに対して積分を行うステップと、
コサイン関数に基づいて前記積分された出力データを変換するステップと、
サイン関数に基づいて前記積分された出力データを変換するステップとを含み、
前記保存されたデータに対して積分を行うステップは、
前記保存されたデータをオーバーサンプリングし、該オーバーサンプリングされた結果
のデータを保存するステップと、
前記ガウス関数に基づいて前記オーバーサンプリングされたデータを選ぶか否かを選択
するステップと、

ガウス関数に基づいて前記オーバーサンプリングされたデータを変換するステップと、
前記ガウス関数により変換されたデータ又は前記オーバーサンプリングされたデータに
対し積分を行うステップとを含み、

前記コサイン関数に基づいて前記積分された出力データを変換するステップは、コサイン
関数波形の対称性を利用して前記積分された出力データのビット数を減少させるステッ
プを含み、

前記サイン関数に基づいて前記積分された出力データを変換するステップは、サイン関
数波形の対称性を利用して前記積分された出力データのビット数を減少させるステップを
含む、ことを特徴とするG F S K／F S K変調方法。

【請求項16】

前記コサイン関数により変換されたデータを第一アナログ信号に変換するステップと、
前記第一アナログ信号に基づいて第一ベースバンド信号を生成するステップと、
前記第一ベースバンド信号を第一搬送波信号と混合して第一混合信号を生成するステッ
プとを更に含むことを特徴とする請求項15記載のG F S K／F S K変調方法。

【請求項17】

前記サイン関数により変換されたデータを第二アナログ信号に変換するステップと、
前記第二アナログ信号に基づいて第二ベースバンド信号を生成するステップと、
前記第二ベースバンド信号を第二搬送波信号と混合して第二混合信号を生成するステッ
プとを更に含むことを特徴とする請求項15記載のG F S K／F S K変調方法。

【請求項18】

前記第一混合信号を前記第二混合信号から減算するステップを更に含むことを特徴とす
る請求項17記載のG F S K／F S K変調方法。

【請求項19】

前記保存されたデータをオーバーサンプリングし、該オーバーサンプリングされた結果
のデータを保存するステップと、
ガウス関数に基づいて前記オーバーサンプリングされたデータを変換するステップと、
前記ガウス関数変換により変換されたデータに対し積分を行うステップとを更に含むこ
とを特徴とする請求項15記載のG F S K／F S K変調方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明はガウス周波数偏移（G F S K）／周波数偏移（F S K）変調回路及び関連方
法を提供し、特にデジタル方式のG F S K／F S K変調回路及び関連方法に関する。

【背景技術】

【0002】

19世紀終わりに電磁波が発見されて以来、無線通信は日増しに進歩している。商業上
でも日常生活の場面においても、無線通信はほぼ必要不可欠となった。人の可聴周波数範

围は20Hz～20kHzであり、このような低い周波数の無線波を介して情報を搬送することは困難である。それを解決すべく、より高い周波数の無線波（搬送波）に情報を載せ、更に受信先で情報を復元することが一般である。信号を変調／復調すれば遠距離に伝送することができるが、伝送の過程には雑音妨害が生じやすいので、信号を本来のものに正確に変調することは無線通信の重要な課題である。

【0003】

ブルートゥース（登録商標）は低電力且つ短距離の無線通信手段の一種であり、2.4GHz帯域で作動する。ブルートゥース（登録商標）は低価格のほか、現行装置の基本設計を変更しないまま利用できることを特長としている。ブルートゥース（登録商標）はFHS（周波数ホッピングスペクトラム拡散）方式で送受信を行い、GFSK方式で変調を行う。GFSK方式は伝送に必要な帯域幅を有効に縮減するほかにも、簡単なIC設計により実施可能な低コストの変調技術であり、無線通信システムに幅広く利用されている。

10

【0004】

図1を参照する。図1は従来のGFSK変調回路10を表す説明図である。GFSK変調回路10はパルス整形フィルタ12と、VCO（電圧制御発振器）と、ループフィルタ14と、基準発振器XTALと、位相周波数検出器17と、チャージポンプ18とを含む。ベースバンド変調信号Smはパルス整形フィルタ12を通過してからVCOに入力され、VCOはそれによって帰還信号を生成して位相周波数検出器17に入力する。基準発振器XTALは基準クロック信号Siを生成して位相周波数検出器17に入力する。位相周波数検出器17は基準発振器XTALの出力端に結合されて基準クロック信号Siを受信する第一入力端172と、VCOの出力端に結合されて帰還信号Soを受信する第二入力端174とを有し、両入力端172、174の入力信号Si、So間の位相差を定め、誤差信号Seを生成する。基準クロック信号Siの位相が帰還信号Soの位相より進んでいれば、誤差信号Seは立ち上がり信号（up signal）となり、基準クロック信号Siの位相が帰還信号Soの位相より遅れていれば、誤差信号Seは立ち下がり信号（down signal）となる。

20

【0005】

図1を再び参照する。位相周波数検出器17の出力端に結合されたチャージポンプ18の入力端182は、受信した誤差信号Seに基づいてループフィルタ14に制御電流を出力する。誤差信号Seが立ち上がり信号である場合、チャージポンプ18はループフィルタ14への電量を増加し、誤差信号Seが立ち下がり信号である場合、チャージポンプ18はループフィルタ14への電量を減少させる。ループフィルタ14はコンデンサを含んだ簡単な回路であり、誤差信号Seに基づいて充放電を行い、チャージポンプ18からの制御電流に対し低域通過フィルタリングを行って相応の制御電圧Scを生成する。VCOはパルス整形フィルタ12の出力端に結合された第一入力端124と、ループフィルタ14の出力端に結合された第二入力端144とを有し、制御電圧Scを受信してそれに基づいて第一入力端124の受信信号を調整して帰還信号Soを生成する。

30

【0006】

図1によれば、制御電圧Scに制御される特定の周波数を有する帰還信号Soは位相周波数検出器17に帰還される。位相周波数検出器17は受信基準クロック信号Siと帰還信号Soとの間の位相差を継続的に検出し、ループフィルタ14はチャージポンプ18からの制御電流を受けた後、制御電圧Scを継続的に更新する。それを受けて、VCOは帰還信号Soの周波数を継続的に更新し、基準クロック信号Siと帰還信号Soとの間の位相差を減少させることができる。このようにVCO、ループフィルタ14、位相周波数検出器17及びチャージポンプ18を帰還回路機能を有する位相ロックループ（PLL）として組み合わせると、VCOは制御電圧Scに基づいて出力周波数を修正し、それによって位相の誤差は減少する。入力端の周波数と位相の二重化（duplicating）及び追従（tracking）を繰り返した後、VCOによりPLLは理想的な周波数に固定されることとなる。

40

50

【0007】

図1によれば、GFSK変調回路10は更に、チャージポンプ18とループフィルタ14との間に結合されたスイッチSW1を有する。スイッチSW1はPLL変調時にオンにされ、PLLロック時にオフにされる。したがって、ベースバンド変調信号Smの周波数が低すぎる場合でも周波数の偏移を防ぐことができる。

【0008】

アナログ方式の従来の変調回路はベースバンド変調信号SmをVCOに直接にかけると、GFSK変調を実現するためには、ベースバンド変調信号Smを予めパルス整形フィルタ12に通すことが一般である。抵抗器、インダクター及びコンデンサからなるパルス整形フィルタ12は、変調指数及びパルス整形ファクターなどの変調パラメータを精密に制御することができないことを欠点とする。その上、ベースバンド変調信号Smの周波数が低すぎる場合、周波数偏移を防ぐためには図1のスイッチSW1のような開ループ制御が必要とされる。このような開ループは回路を複雑にすると同時に、所要時間も延長させる欠点を有する。

【発明の開示】

【発明が解決しようとする課題】

【0009】

この発明は前述の問題を解決するためのGFSK/FSK変調回路及び関連方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、デジタル方式のGFSK/FSK変調回路を提供する。当該GFSK/FSK変調回路は、入力クロック信号に対し分周を行ってサンプリング信号を生成する分周器と、該分周器に結合され、入力データを保存するバッファと、該バッファに結合され、前記バッファの出力データに基づいて積分を行う積分器と、該積分器に結合され、コサイン関数に基づいて前記積分器の出力データを変換する第一ROM（読み取り専用メモリ）と、前記積分器に結合され、サイン関数に基づいて前記積分器の出力データを変換する第二ROMとを含む。

【0011】

当該GFSK/FSK変調回路は、前記分周器及び前記バッファに結合され、前記バッファのデータを前記分周器でオーバーサンプリングした結果のデータを保存し、更に、前記オーバーサンプリングされたデータをガウス関数に基づいて変換して前記積分器に送信する第三ROMを更に有する。

【0012】

本発明は、更に、デジタル方式のGFSK/FSK変調方法を提供する。当該方法は、クロック信号に対し分周を行ってサンプリング信号を生成するステップと、入力データを保存するステップと、該保存されたデータに対して積分を行うステップと、コサイン関数に基づいて前記積分された出力データを変換するステップと、サイン関数に基づいて前記積分された出力データを変換するステップとを含む。

【発明の効果】

【0013】

本発明は、デジタル方式のGFSK変調回路とGFSK/FSK変調回路とを提供し、第三ROMに保存されるガウス関数波形表を照合することによりガウスフィルタリングの機能を果たす。なお、j、m、nなどのパラメータを選択することによって所望の誤差量と変調パラメータとを制御することができる。そのほか、開ループを必要としないため、開ループによる遅延問題を改善できる。本発明によるGFSK/FSK変調回路は、バッファからのデータを第三ROMに出力するか、または積分器に直接入力するかを選ぶセレクターを有し、それによってソフトウェアでGFSK/FSK間の高速切り替えを実現できる。

【発明を実施するための最良の形態】

【0014】

かかる装置及び方法の特徴を詳述するために、具体的な実施例を挙げ、図示を参照して以下に説明する。

【0015】

図2を参照する。図2は本発明によるGFSK変調回路20のブロック図である。GFSK変調回路20は、分周器21と、バッファ22と、第三ROM（読み取り専用メモリ）23と、積分器25と、第一ROM26と、第二ROM28とを含む。クロック信号CLKに結合された分周器21の入力端212は、入力クロック信号CLKに対し分周を行ってサンプリング信号CLKNを生成する。クロック信号CLKが周波数 f を有するとすると、分周器21が n 倍のサンプリング率に達しようとする場合、分周器21を通過した後のサンプリング信号CLKNは周波数 f/n を有することとなる。バッファ22は、入力信号DATAINを受信する第一入力端222と、分周器21の第一出力端に結合され、サンプリング信号CLKNを受信する第二入力端224とを有し、一連の入力信号DATAINを一時保存したうえ、サンプリング信号CLKNに基づいて入力信号DATAINに対しオーバーサンプリングを行い、それによって得られたデータを第三ROM23に出力する。

10

【0016】

図2を再び参照する。図2の回路では、第三ROM23はガウスフィルタとされる。理論的には、ガウスフィルタのインパルス応答は時間領域において無限に遠くまで及ぶが、回路の複雑さと信号の誤差量を考慮したうえ、ここで j ビットでインパルス応答の波形を表す。夫々のインパルス応答を n 個のサンプリング点で表すと、各サンプリング点を m ビットで表す場合に、許容できる誤差量が計算可能である。 j 及び m ビットの情報を第三ROM23に保存し、ルックアップテーブル関数によって読み出す場合に、ガウスフィルタリングを実現できる。

20

【0017】

第三ROM23は、分周器21の出力端に結合された第一入力端232と、バッファ22の出力端に結合された第二入力端234とを有し、両入力端232、234の入力信号に基づき、バッファ22からのデータを分周器21でオーバーサンプリングした結果のデータを保存し、更にオーバーサンプリングされたデータをガウス関数データに基づいて変換し、ルックアップテーブルにより読み出す。

30

【0018】

積分器25は、第三ROM23の出力端に結合された入力端252を有し、第三ROM23の出力データに基づいて積分を行う。積分器25は積分を行う累算器である。第一ROM26は、積分器25の出力端に結合された入力端262を有し、入力端262の入力信号に基づき、積分器25からのデータをコサイン関数に従って変換し、更にルックアップテーブルにより出力信号DATAOUT1を出力する。第二ROM28は、積分器25の出力端に結合された入力端282を有し、入力端282の入力信号に基づき、積分器25からのデータをサイン関数に従って変換し、更にルックアップテーブルにより出力信号DATAOUT2を出力する。

【0019】

図2によれば、GFSK変調回路20は更に、第三ROM23と積分器25との間に結合され、第三ROM23の出力データのビット数を調整する調整器24を有する。GFSK変調回路20、バッファ22、第三ROM23、積分器25、第一ROM26及び第二ROM28は、デジタル回路により実施可能である。

40

【0020】

図3を参照する。図3は本発明によるGFSK/FSK変調回路30のブロック図である。GFSK/FSK変調回路30は、図2のGFSK変調回路20のほかにも、セレクター37とテスト回路39とを含む。バッファ22の第三入力端226に結合されたセレクター37は、バッファ22から積分器25に出力されたデータを第三ROM23に通すかどうかを選択する。セレクター37がバッファ22からのデータを第三ROM2

50

3に入力すると決定する場合、それは、GFSK/FSK変調回路30がGFSK変調を選ぶので、データがガウス関数変換を必要とすることを示す。それに対して、セレクター37がバッファ22からのデータを積分器25に直接入力する場合、それは、データがガウス関数変換を必要としないことを示す。これは、GFSK/FSK変調回路30がFSK変調を選ぶこと意味する。分周器21とバッファ22との間に結合されたテスト回路39は、その入力端392で分周器21によるサンプリング信号CLKNを受信し、サンプリング信号CLKNを用いて一連の擬似ランダム雑音を生成し、バッファ22に入力されたデータをランダム化する。GFSK/FSK変調回路30は更にXORゲート380を有し、XORゲート380は、入力信号DATAINとテスト回路39とによる擬似ランダム雑音シーケンスを受信する2個の入力端と、バッファ22の第一入力端222に結合された出力端とを有し、入力信号DATAINと擬似ランダム雑音シーケンスに対して演算を行い、1組の出力データを生成する。バッファ22は、第一入力端222によりXORゲート380からの出力データを受信して後続の処理を行う。

10

【0021】

図3を再び参照する。GFSK/FSK変調回路30は更に、第一デジタル/アナログ変換器(DAC)DAC1と、第二DAC(DAC2)と、第一低域通過フィルタ(LPF)33と、第二LPF34と、第一ミクサー35と、第二ミクサー36と、減算器38とを含む。第一ROM26に結合されたDAC1は、第一ROM26からのデータをアナログ信号に変換する。第一DAC1に結合された第一LPF33は、第一DAC1により変換されたアナログ信号をフィルタ処理して第一ベースバンド信号Iを生成する。第一LPF33に結合された第一ミクサー35は、第一LPF33により生成された第一ベースバンド信号Iを第一搬送波信号C1と混合する。第二ROM28に結合されたDAC2は、第二ROM28からのデータをアナログ信号に変換する。第二DAC2に結合された第二LPF34は、第二DAC2により変換されたアナログ信号をフィルタ処理して第二ベースバンド信号Qを生成する。第二LPF34に結合された第二ミクサー36は、第二LPF34により生成された第二ベースバンド信号Qを第二搬送波信号C2と混合する。第一ミクサー35と第二ミクサー36とに結合された減算器38は、第一ミクサー35の出力信号と第二ミクサー36の出力信号との差を生成し、周波数変調(FM)信号S(t)を生成する。FM信号S(t)は以下の式で計算される。

20

30

【0022】

【数1】

$$S(t) = \cos(wt + \int f(t) dt) \\ = \cos wt * \cos(\int f(t) dt) - \sin wt * \sin(\int f(t) dt)$$

40

そのうちf(t)は積分器25の入力端252が受信した信号であり、

【0023】

【数2】

$$\int f(t) dt$$

は積分器25に積分された信号であり、

【0024】

50

【数 3】

$$\cos(\int f(t)dt)$$

は第一ベースバンド信号 I であり、

【0 0 2 5】

【数 4】

$$\sin(\int f(t)dt)$$

10

は第二ベースバンド信号 Q であり、 $\cos \omega t$ は第一搬送波信号 C 1 であり、 $\sin \omega t$ は第二搬送波信号 C 2 である。第一搬送波信号 C 1 と第二搬送波信号 C 2 は相互に直交する。

【0 0 2 6】

なお、図 3 の第一 ROM 2 6 と積分器 2 5 との間に 1 ビット還元デバイス（図示せず。）を追加することも可能である。1 ビット還元デバイスは、コサイン関数波形の対称性を利用して第一 ROM 2 6 に保存すべきビット数を減少させる。この場合、1 ビット還元デバイスに処理された元データを復元するため、第一 ROM 2 6 と DAC 1 との間に他の 1 ビット還元デバイスを追加することも可能である。同じく、第二 ROM 2 8 と積分器 2 5 との間に更なる 1 ビット還元デバイス（図示せず。）を追加することも可能である。1 ビット還元デバイスは、サイン関数波形の対称性を利用して第二 ROM 2 8 に保存すべきビット数を減少させる。第二 ROM 2 8 と DAC 2 との間に他の 1 ビット還元デバイスを追加し、1 ビット還元デバイスに処理された元データを復元することも可能である。

20

【0 0 2 7】

前記実施例は、本発明の例示に過ぎず、本発明を制限するものではない。前述の通り、回路の複雑さと信号の誤差量を考慮したうえ、 j ビットでインパルス応答の波形を表す。ここで j は特定の値ではなく、使用者の要求及び誤差量に関する考慮によって定められるものである。なお、各組のインパルス応答を n 個のサンプリング点で表し、各サンプリング点を m ビットで表すことについても、 m 、 n は特定の値に限らない。そのほか、インパルス応答波形の対称性を利用してメモリのビット数を減少し、第三 ROM 2 3 の保存データ量を減少させるために、前記回路に複数の素子を追加することも可能である。第一 ROM 2 6 及び第二 ROM 2 8 に保存されるコサインとサイン波形表についても、波形の対称性を利用して保存データ量を減少できる。以上はすべてこの発明の範囲に属する。

30

【0 0 2 8】

以上は本発明に好ましい実施例であって、本発明の実施の範囲を限定するものではない。よって、当業者のなし得る修正、もしくは変更であって、この発明の精神の下においてなされ、本発明に対して均等の効果を有するものは、いずれも本発明の特許請求の範囲に属するものとする。

40

【産業上の利用可能性】

【0 0 2 9】

本発明によるデジタル方式の GFSK 変調回路及び GFSK/FSK 変調回路は、第一 ROM に保存されるガウス関数波形表を照合することによりガウスフィルタリングの機能を果たす。

【図面の簡単な説明】

【0 0 3 0】

50

【図 1】従来の G F S K 変調回路を表す説明図である。

【図 2】本発明による G F S K 変調回路のブロック図である。

【図 3】本発明による G F S K / F S K 変調回路のブロック図である。

【符号の説明】

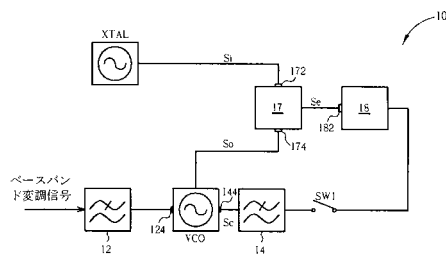
【 0 0 3 1 】

1 0、2 0	G F S K 変調回路	
1 2	パルス整形フィルター	
1 4	ループフィルター	
1 7	位相周波数検出器	
1 8	チャージポンプ	10
2 1	分周器	
2 2	バッファ	
2 3	第三 R O M	
2 4	調整器	
2 5	積分器	
2 6	第一 R O M	
2 8	第二 R O M	
3 0	G F S K / F S K 変調回路	
3 3	第一 L P F	
3 4	第二 L P F	20
3 5	第一ミクサー	
3 6	第二ミクサー	
3 8	減算器	
3 7	セレクター	
3 9	テスト回路	
1 8 2、2 1 2、2 5 2、2 6 2、2 8 2、3 9 2	入力端	
1 2 4、1 7 2、2 2 2、2 3 2	第一入力端	
1 4 4、1 7 4、2 2 4、2 3 4	第二入力端	
2 2 6	第三入力端	
3 8 0	X O R ゲート	30
C 1	第一搬送波信号	
C 2	第二搬送波信号	
C L K	クロック信号	
C L K N	サンプリング信号	
D A C 1	第一 D A C	
D A C 2	第二 D A C	
D A T A I N	入力信号	
D A T A O U T 1、D A T A O U T 2	出力信号	
f、f / n	周波数	
I	第一ベースバンド信号	40
j、m、n	パラメーター	
Q	第二ベースバンド信号	
S c	制御電圧	
S e	誤差信号	
S i	基準クロック信号	
S m	ベースバンド変調信号	
S o	帰還信号	
S (t)	F M 信号	
S W 1	スイッチ	
V C O	電圧制御発振器	50

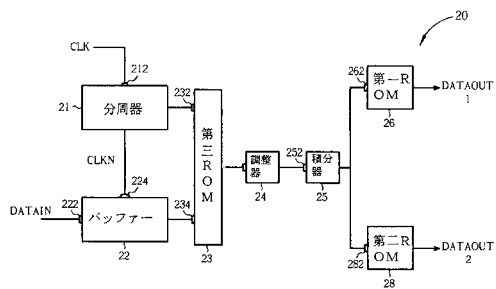
X T A L

基準発振器

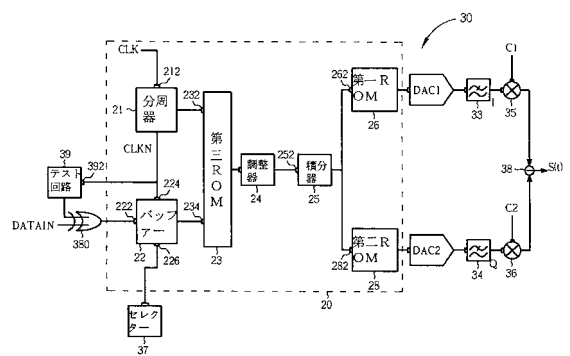
【図 1】



【図 2】



【図 3】



フロントページの続き

審査官 彦田 克文

- (56)参考文献 特開平04-238439 (JP, A)
特開平11-088303 (JP, A)
特開昭62-169554 (JP, A)
特開昭63-254843 (JP, A)
特開2001-160834 (JP, A)
特開2005-294902 (JP, A)
特公平07-043620 (JP, B2)
特開平09-149086 (JP, A)
特開平05-219126 (JP, A)
特開平05-083306 (JP, A)
特開平04-023542 (JP, A)
特開昭56-152359 (JP, A)
特開2001-285378 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04L 27/12