

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3813640号

(P3813640)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int. Cl.		F I		
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 3 4 C
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00 6 4 1

請求項の数 3 (全 18 頁)

(21) 出願番号	特願平6-294653	(73) 特許権者	591016172
(22) 出願日	平成6年11月29日(1994.11.29)		アドバンスト・マイクロ・デバイス・
(65) 公開番号	特開平7-192478		インコーポレイテッド
(43) 公開日	平成7年7月28日(1995.7.28)		ADVANCED MICRO DEVI
審査請求日	平成13年10月19日(2001.10.19)		CES INCORPORATED
(31) 優先権主張番号	160582		アメリカ合衆国、94088-3453
(32) 優先日	平成5年12月1日(1993.12.1)		カリフォルニア州、サニibel、ピー・
(33) 優先権主張国	米国(US)		オウ・ボックス・3453、ワン・エイ・
			エム・ディ・プレイス、メイル・ストップ
			・68(番地なし)
		(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄

最終頁に続く

(54) 【発明の名称】 メモリ

(57) 【特許請求の範囲】

【請求項1】

アレイしきい値を決定させるゲートと、前記アレイしきい値をプログラムさせる電荷を蓄積するフローティングゲートと、出力とを有するアレイセル(400)と、

前記読出基準しきい値を決定させるゲートと、前記読出基準しきい値をプログラムさせる電荷を蓄積するフローティングゲートと、出力とを、各々が有する(n-1)個の読出基準セル(402-1~402-(n-1))とを備えたメモリであって、

前記メモリは、

プログラム基準しきい値を決定させるゲートと、前記プログラム基準しきい値をプログラムさせる電荷を蓄積するフローティングゲートと、出力とを、各々が有するn個のプログラム基準セル(502-1~502-n)と、

前記n個のプログラム基準セルの前記ゲートおよび前記出力に結合され、かつ前記(n-1)個の読出基準セルの前記ゲートおよび前記出力に結合された基準プログラム-ベリファイ手段(506)とをさらに備え、

前記基準プログラム-ベリファイ手段(506)は、プログラム電圧および基準ベリファイ電圧を前記n個のプログラム基準セルの前記ゲートに交互に供給して前記n個のプログラム基準セルを異なるn個のプログラム基準しきい値にプログラムし、かつプログラム電圧および基準ベリファイ電圧を前記(n-1)個の読出基準セルの前記ゲートに交互に供給して、前記プログラム基準しきい値のうちの2つの連続するしきい値の間に各々がある、連続する読出基準セルに対する読出基準しきい値をプログラムし、

10

20

前記アレイセルの前記ゲートおよび前記出力に結合され、かつ前記 n 個のプログラム基準セルの前記出力に結合されたアレイプログラム - ベリファイ手段 (5 0 4) をさらに備え、

前記アレイプログラム - ベリファイ手段 (5 0 4) は、アレイしきい値が前記 n 個のプログラム基準セルのうちの所与の 1 つのプログラム基準しきい値に等しくなるようにプログラムされるまで、プログラム電圧およびアレイベリファイ電圧を前記アレイセルの前記ゲートに交互に供給し、

前記アレイセルの前記ゲートおよび前記読出基準セルの前記ゲートに読出電圧を供給して、前記アレイセルの前記出力からのアレイセル出力および前記読出基準セルの各々の前記出力からの読出基準セル出力を得るセレクタ (4 0 4) と、

10

前記アレイセル出力および前記読出基準セル出力を受取るように結合され、前記アレイセル出力を前記読出基準セル出力と比較し、かつ前記アレイセルをプログラムするのに用いられる前記 n 個のプログラム基準セルのうちの所与の 1 つを示す信号を供給する比較手段 (4 0 6) とをさらに備えることを特徴とする、メモリ。

【請求項 2】

前記読出電圧または前記ベリファイ電圧が供給されているときに、前記読出基準セル、前記プログラム基準セル、および前記アレイセルを、同様にバイアスする回路をさらに備えることを特徴とする、請求項 1 に記載のメモリ。

【請求項 3】

前記プログラム基準セル、前記読出基準セル、および前記アレイセルは、単一の集積回路上にコアセルとして含まれる、請求項 1 に記載のメモリ。

20

【発明の詳細な説明】

【0001】

【発明の分野】

この発明は一般に、メモリアレイのための基準化方式に関し、より特定のには低電圧源および多密度メモリアレイで使用される一括電氣的消去可能プログラム可能リードオンリメモリ (E E P R O M) セルのしきい値を決定するのに用いられる基準化方式に関する。

【0002】

【関連技術の説明】

メモリセルのしきい値を決定するのに用いられる伝統的な基準化方式の 1 つは、センス比と結合されたプログラムされていない基準セルを含む。図 1 はセンス比と結合されてアレイセル 1 0 2 のための基準を提供するそのような基準セル 1 0 0 を示す。センス比は、 V_{CC} とアレイセル 1 0 0 のドレインとの間に接続された同一の値 R を有する 2 つの並列の抵抗素子 1 1 2 および 1 1 4、ならびに V_{CC} とアレイセル 1 0 2 のドレインとの間に接続された値 R の付加的な抵抗素子 1 1 6 によって提供される。基準セル 1 0 0 のドレインはコンパレータ 1 0 4 の 1 つの入力に基準出力を与える。アレイセル 1 0 2 のドレインはコンパレータ 1 0 4 の第 2 の入力にアレイセル出力を与える。コンパレータ 1 0 4 の出力はアレイセル 1 0 2 のしきい値状態を示す。

30

【0003】

図 1 におけるアレイセル 1 0 2 の状態を読出すため、基準セル 1 0 0 とアレイセル 1 0 2 とのゲートに V_{CC} が与えられる。 V_{CC} が与えられると、センス比はコンパレータ 1 0 4 が基準セル 1 0 0 のドレインに見る電圧を、アレイセル 1 0 2 のドレインと比べて変動させる。コンパレータ 1 0 4 が基準セル 1 0 0 のドレインに見る電圧は、したがって $V_{CC} - 1/2 R I_D$ であり、コンパレータがアレイセル 1 0 2 のドレインに見る電圧は $V_{CC} - I_D R$ である。 I_D は MOS トランジスタのための飽和領域の式 $I_D = K (V_{GS} - V_t)^2$ からわかるように基準セル 1 0 0 およびアレイセル 1 0 2 のしきい値 V_t によって制御される。ここで V_{GS} は V_{CC} に等しい。基準セル 1 0 0 とアレイセル 1 0 2 との両方がプログラムされていない、または同一のしきい値 V_t を有している場合、センス比はアレイセル出力よりもコンパレータ 1 0 4 への基準出力においてより高い電圧を与え、それによりコンパレータ 1 0 4 が第 1 の状態を出力することになる。アレイセルがある一定の

40

50

レベルまで高められたしきい値を有するようにプログラムされていれば、そのアレイセルのための I_0 は低減され、アレイセル出力の電圧は基準セル出力における電圧を超えて上昇し、これによりコンパレータ 104 は第 2 の状態を出力するようになる。

【0004】

センス比の方法は、基準セルおよびアレイセルのドレインに接続された異なる抵抗器の比を用いるので、このセンス比の方法は抵抗素子の温度およびプロセスの変動によっても V_{CC} の変動によってもアレイセル出力に関して変動する基準出力を提供する。

【0005】

図 3 の回路は、バイアスゲート方法と呼ばれる別の伝統的な基準化方式を示す。バイアスゲート方法はセンス比の方法よりも正確な基準を提供するが、これはセンス比の方法と比べてプロセスや温度や V_{CC} の変動の影響が低減されているからである。図 3 の回路は、図 1 のセンス比回路に類似のプログラムされていない基準セル 100、アレイセル 102、およびコンパレータ 104 を含む。便宜上、図 3 およびそれ以降の図面では、前の図面から引継がれる構成要素を示すために使用されている参照番号は、同様に引継がれている。

【0006】

基準セル 100 とアレイセル 102 とのドレインに直接接続された抵抗器の比を提供する、図 1 のセンス比の方法とは違って、図 3 の回路は基準セル 100 のゲートに接続されて V_{GS} を変動させる抵抗器の比を有する。抵抗器の比は、 V_{CC} と基準セル 100 のゲートとの間に接続された抵抗素子 302、ならびに基準セル 100 のゲートを接地する抵抗素子 304 によって提供される。基準セル 100 のドレインはコンパレータ 104 の 1 つの入力に基準出力を与える。アレイセル 102 のドレインはコンパレータ 104 の第 2 の入力にアレイセル出力を与える。同じものである抵抗素子 306 および 308 が V_{CC} を基準およびアレイセル出力に接続して、それらの I_0 出力をコンパレータ 104 の入力における電圧に変換する。直接 I_0 を変える代わりに、 V_{GS} を変動させることによって、抵抗素子に対するプロセスおよび温度の影響、ならびに V_{CC} の変動が基準セルとアレイセルとの出力間にもたらす変動は、センス比の方法における場合よりも少なくなる。

【0007】

図 3 におけるアレイセル 102 の状態を讀出するために、電圧 V_{CC} がアレイセル 102 のゲートには直接与えられる一方で、基準セル 100 のゲートには抵抗素子 302 および 304 を介して与えられる。基準セル 100 とアレイセル 102 とが双方ともプログラムされていない、または同一の V_t を有している場合、抵抗素子 302 および 304 はより低い V_{GS} を与え、したがってコンパレータ 104 への基準セル出力においてアレイセル出力における電流よりも低い I_0 を与える。それによりコンパレータ 104 は第 1 の状態を示すようになる。アレイセルがある一定のレベルまで高められたしきい値を有するようにプログラムされていれば、アレイセル出力は基準セル出力を超えて上昇し、コンパレータ 104 に第 2 の状態を出力させる。

【0008】

センス比やバイアスゲート方式などの基準方式では、アレイセル出力に関してのプロセス、温度、および V_{CC} の変動による基準出力の変動は、読出エラーを生じることがあり得る。エラーの起こる可能性は、多密度の、または低電圧源のメモリなどアレイセルのしきい値状態間の動作マージンが低いメモリで、より著しい。図 2 は、単一密度、3/2 密度、および 2 倍密度となるように構成された典型的な多密度メモリのための基準レベルおよびアレイセルのしきい値状態を示す。示されるように、密度が高まるにつれ、基準レベルとアレイセル状態との間の動作マージンは減少する。たとえば、単一密度を用いるなら、ゼロ状態と基準状態との間のマージンは $(4.00 - 2.9 \text{ V} = 1.10 \text{ V})$ である。3/2 密度では、マージンは 50% 低減されて $(4.00 \text{ V} - 3.45 \text{ V} = 0.55 \text{ V})$ となり、2 倍密度ではマージンは 0.33 V まで低減される。低電圧源メモリにおける動作マージンが制限されているのは、 V_{CC} の低減がアレイセルのしきい値状態に利用可能な範囲を制限するからである。動作マージンが低ければ、起こるかもしれないエラーを低減

10

20

30

40

50

するため、アレイセルの電気的特性における変動に追従する基準が必要である。

【 0 0 0 9 】

【 発 明 の 概 要 】

この発明は、アレイセルの電気的特性における変動に追従する基準を備えた基準化方式を提供する。

【 0 0 1 0 】

この発明はプログラム可能基準であって、1つまたはそれ以上の基準セルを含み、各基準セルはそのしきい値を設定するために制御された環境の中でプログラムされたフローティングゲートを有する。アレイセルの状態を讀出するために、アレイセルおよび基準セルのゲートに同一の電圧 V_{CC} が与えられる。加えて、アレイセルおよび基準セルの出力は同じバイアス条件下に維持される。讀出中、基準セルのドレインは、基準セルのしきい値に対するアレイセルのしきい値を決定するためにアレイセルのドレイン出力と比較される出力を提供する。

10

【 0 0 1 1 】

この発明はさらに、プログラムされていないセルに関してバイアスを行なうためのバイアスゲート方法を用いる基準セルをプログラムするための回路を含む。基準セルは好ましくは製造者によってテスト時間にプログラムされ、それにより確実に V_{CC} および温度が厳密な許容誤差内に留まって、バイアスゲート方法を用いて基準しきい値をプログラムするときの変動が排除される。アレイセルは次により緩やかな V_{CC} および温度の許容誤差のもとでプログラムされ讀出されて、その後基準セルが使用される。

20

【 0 0 1 2 】

アレイセルの讀出中、基準セルおよびアレイセルはセンス比またはバイアスされたゲートの方法を用いるのではなく、むしろ同じバイアス条件下に維持され、それにより基準およびアレイセル出力に対するプロセス変動の影響が低減される。 V_{CC} は基準セルのゲートにもアレイセルのゲートにも同じように讀出電圧として与えられるので、基準セルおよびアレイセルの出力間の動作マージンは V_{CC} の変化に対して実質的に一定を維持する。しきい値の変化が確実に温度に対し一定に留まるようにするため、アレイセルおよび基準セルはまた、好ましくは同じ集積回路上のコアセルとして含まれる。

【 0 0 1 3 】

【 詳 しい 説 明 】

この発明のさらなる詳細は、添付の図面の助けを借りて説明される。

30

【 0 0 1 4 】

図4は、アレイセル400を、このアレイセル400を讀出するのに用いられる本発明のプログラム可能基準セル402-1から402-(n-1)とともに示す。アレイセル400は、ワード選択回路404でデコードされるワードアドレスを与えかつアレイセル400のゲートに選択電圧 V_{SEL} を印加することによって讀出される。選択電圧は基準セル402-1から402-(n-1)のゲートに同じように与えられる。 V_{SEL} は、1993年12月1日に提出された本件の発明者らによる「多密度および低電圧源メモリのための基準トラッキングを備える昇圧・安定化ゲート電源 (Boosted and Regulated Gate Power Supply With Reference Tracking for Multi-Density and Low Voltage Supply Memories)」と題されここに引用により援用される米国特許出願連続番号08/160,578号で開示されるように V_{CC} でも、 V_{DD} でも、または昇圧ゲート電圧でもよい。アレイセル400の出力は、本発明の基準セル402-1から402-(n-1)の1つまたはそれ以上の出力に接続され、比較回路406に至る。比較回路406は、アレイセル400の状態を示す信号を出力する。

40

【 0 0 1 5 】

アレイセル400はプログラム可能なしきい値を有するフローティングゲートを備えたトランジスタとして示されているが、アレイセル400がしきい値の固定されたROMトランジスタであってもよい。アレイセル400は、図2に示されるように3/2密度セルの00状態、00.5状態、または11状態などの状態を示すn個のしきい値の1つ

50

を記憶する。

【0016】

基準セル402-1から402-(n-1)は、各々フローティングゲートを有しており、このフローティングゲートは基準しきい値を設定するべくプログラムされてもよい電荷を蓄積する。合計n-1個の基準セルが用いられ、これらは各々が図2の3/2密度セルにおける基準状態AおよびBなどの連続的なしきい値レベルにプログラムされる。基準セル402-1から402-(n-1)とアレイセル400とを同様にバイアスし、それらのゲートに同一の電圧 V_{SEL} を印加することにより、基準セル402-1から402-(n-1)のしきい値を、アレイセル400のしきい値と比較することができる。

【0017】

比較回路406は、選択電圧 V_{SEL} が印加されたときにアレイセル400の出力を基準セル402-1から402-(n-1)の出力と比較することによってしきい値の比較を行なう。比較回路406のための典型的な回路構成は、「メモリセル1つあたりNビットを備える電氣的に書換え可能な不揮発性メモリ(Electrically Alterable Non-volatile Memory)」と題されたバンク(Banks)による米国特許第5,218,569号、および「多ビットリードオンリメモリ回路(Multi-bit Read Only Memory Circuit)」と題されたシェパード(Sheppard)による米国特許第4,495,602号に示されており、これらは双方ともここに引用によって援用される。比較回路406は、アレイセル400によって記憶可能なしきい値の状態により示されることのできる数のビットを有するデジタル信号として比較結果を出力する。

【0018】

図5は、アレイセル400をプログラムするため、およびアレイセル400をプログラムするのに用いられる本発明の基準セル402-1から402-(n-1)および502-1から502-nをプログラムするために接続される回路のブロック図である。アレイセル400をプログラムするためにはアレイセルプログラムベリファイ回路504が設けられており、その一方で基準セルをプログラムするためには基準セルプログラムベリファイ回路506が設けられている。基準セル502-1から502-nは、図2で3/2密度セルについて示されたような00状態、00.5状態、または11状態などのn個の状態のうちの1つに各々がプログラムされたプログラム可能しきい値を有しており、これらの状態は3/2密度設計における状態AおよびBなどの状態間のものであって、基準セル402-1から402-(n-1)によって記憶可能である。

【0019】

アレイセルプログラムベリファイ回路504はアレイセル400のゲートおよびドレインに接続されて、アレイセル400をプログラムする。アレイセルプログラムベリファイ回路504はまた、基準セル502-1から502-nのドレインにも接続されて、アレイセルの出力と基準セルの出力とを比較し、アレイセル400が適正にプログラムされているかどうかを判断する。アレイセルプログラムベリファイ回路504のための典型的な回路構成は、多密度セルをプログラムするのに用いられる方法とともに、前に引用したバンクによる米国特許第5,218,569号で示され、説明されている。

【0020】

基準セルプログラムベリファイ回路506は、ゲートおよびドレインに接続されて、基準セル402-1から402-(n-1)および基準セル502-1から502-nのプログラムができるようにする。基準セルプログラムベリファイ回路506は、伝統的な方法を用いてプログラムおよびベリファイ電圧を供給し、基準セルのプログラミングを可能にする。基準プログラムベリファイ回路506はさらに、適正なプログラミングをベリファイするのにバイアスゲート方法を用いるプログラムされていないセルに関して各基準をバイアスするための回路を用いる。回路はさらに、基準ビットの各々を最後まで順序付けて、プログラムされている基準セルの適正なビットラインおよびワードラインを能動化するためにも設けられる。

【0021】

基準プログラムベリファイ回路506は、好ましくは製造者がテスト時間に基準をプログラムするのに用いられ、それによりVCCおよび温度はバイアスされたゲートの方法を使用している場合に基準しきい値を設定する際の変動を排除するべく厳密な許容誤差内に留まる。アレイプログラムベリファイ回路504は、後にVCCおよび温度のより緩やかな許容誤差を用いたアレイセルをプログラムするのに利用される。

【0022】

図6および7は図2に示されるような3/2密度のメモリアレイのために設計された本発明のプログラムされた基準の一実施例を表わす。図6および7は、図5の基準セルプログラムベリファイ回路506を構成する構成要素を、プログラムされるべき基準セルを含む基準アレイ600とともに含む。基準セルをプログラムするのに必要とされる回路の量および複雑さを低減するため、図6および7の回路は基準セルを1度に1つつプログラムするように設計される。

10

【0023】

図6および7の回路はプログラムベリファイ信号回路602を含み、これは基準がプログラムされるべきであるということを示すPREF信号を受取ると、プログラム信号とベリファイ信号とを交互に生成して個々の基準セルをプログラムする。プログラム中、基準セルのドレインに与えられるプログラム電圧は、信号VPROGとして供給される。信号VPXは基準セルのゲートにプログラム電圧とベリファイ電圧とを交互に与えて、基準セルをプログラムする。VPXはアレイセルのプログラミングを読出している、またはベリファイしている間、読出電圧を与える。ベリファイの間、信号VERIFYがアサートされる。プログラム中は、信号PGMがアサートされる。プログラムベリファイ信号回路602を設けるには、単一フローティングゲートメモリセルをプログラムするための伝統的な回路を用いることができる。そのような伝統的な回路は一般的に前述のバンクによる米国特許第5,218,569号に記載されている。

20

【0024】

すべての基準セルを最後まで順序付し、選択されたセルにプログラムおよびベリファイ電圧を送るには、制御論理が設けられて適正な基準ビットラインおよび基準ワードラインを能動化する。制御論理は、基準カウント回路604およびそれに伴ういくつかの混合論理からなる。基準カウント回路604は、PREF信号を受取ると順序付を始め、列信号(COL0~COL3)および行信号(ROW0~ROW5)を与えて、プログラムおよびベリファイ電圧をどの基準セルが受取るのかを示す。基準カウント回路604は前のセルが適正にプログラムされたことを示す信号RDSO0~RDSO3およびVERIFYが与えられると、次の順序の基準セルビットに進む。

30

【0025】

データバッファ基準606とセンスバイアス回路608とは、基準カウント回路604によって出力された列および行信号をデコードして、選択された基準セルにプログラムおよびベリファイ電圧を与える。データバッファ基準606はPREFとPGMとを受取ると、列信号(COL0~COL3)をデコードして、基準ビットライン(REFBL0~REFBL3)の1つにおけるプログラム電圧信号VPROGを基準アレイ600における基準セルの列のドレインに向ける。センスバイアス回路608はPREFを受取ると、行信号(ROW0~ROW3)をデコードして、基準ワードライン(REFWL0~REFWL5)の1つにおけるプログラムおよびベリファイ電圧信号VPXを基準アレイ600内の基準セルの列のゲートに送る。センスバイアス回路608は読出信号をも受取り、アレイセルの読出またはベリファイ中に、すべてのワードラインへVPXを与える。PGMは、アレイセルのプログラム中に、センスバイアス回路608を不能化するために受取られる。

40

【0026】

基準アレイ600における1つのビットが基準ビットをプログラムするための基準として設けられる。このビットを黄金基準と呼ぶ。バイアスゲート方法を用いてこの黄金基準のゲートをバイアスするために、基準バイアス回路610によって提供されるいくつかの抵

50

抗器の比の1つを、黄金基準のゲートへのマスタワードライン(MSTRWL)に接続することができる。基準バイアス回路610の特定の抵抗器の比が、基準カウント回路604から受取られる列信号(COL0~COL3)によって制御される。

【0027】

基準信号が適正にプログラムされたかどうかをベリファイするため、プログラム基準は基準センス回路612、カスコードプリアンプ614、およびセンスアンプ616を含む。VERIFYとPREFとがアサートされたときに、基準センス回路612は列信号(COL0~COL3)をデコードしてイネーブル信号(REFSEN0~REFSEN4)を与え、適正な回路614のカスコードプリアンプと回路616のセンスアンプとを能動化する。回路614の能動化されたカスコードプリアンプは、プログラムされている基準セルのビットライン(REFBL0~REFBL3)からの電流を受取るように接続され、能動化された基準セル出力電圧(SAREF0~SAREF3)を印加する。回路614における付加的なカスコードプリアンプは、黄金基準のビットライン(GOLBL)からの電流を受取るように接続されて、イネーブル信号(REFSEN0~REFSEN4)が受取られると黄金基準出力電圧(SAREF4)を与える。回路616の能動化されたセンスアンプは、能動化された基準セル出力電圧(SAREF0~SAREF3)を黄金基準出力電圧(SAREF4)と比較し、能動化された基準セル出力電圧と黄金基準セル出力電圧とが実質的に等しいかどうかを示す信号(RDSO0~RESO3)を出力する。

【0028】

図6および7の構成要素のための詳細な回路構成は、後続する図面に示されており、それらは以下で説明される。

【0029】

[基準アレイ600]

図8は、図6に示した基準アレイ600の基準セルおよび黄金基準のための回路を示す。基準セルのゲートにはワードライン接続(REFWL0~REFWL5)が提供され、基準セルのドレインにはビットライン接続(REFBL0~REFBL3)が提供される。基準セルは、予め定められたしきい値にプログラムされてよいフローティングゲートを有する。

【0030】

図6の回路は、8ビット出力を有する3/2密度設計に必要とされる合計24個の基準セルを含む。図2の3/2密度設計の値からわかるように、1つのアレイセルに4つの基準セルビットライン出力を与えるには4つの基準セルが必要である。2つの基準セルは、アレイセルのしきい値状態を定めるために読出中に必要な基準状態AおよびB値を提供する。2つの付加的な基準セルが、アレイセルの適正なプログラミングをベリファイするのに必要な00状態および00.5状態を提供する。ここで11状態はプログラムされていない状態である。4ビットライン出力のそれぞれ異なった6つの組を6つの異なったアレイセルに与えて8ビット出力を提供するには、4つの基準セルが6組必要である。3/2密度設計で8ビット出力を提供するのに6個のアレイセルが使用されているのは、各アレイセルが3つの可能な状態のうち単一密度設計でのように2つではなく1つの状態を記憶している場合には、8ビットを表わすのに必要とされる可能な値を記憶するのに要求されるセルは6個だけだからである。

【0031】

図8の回路はさらに、ワードライン接続(MSTRWL)とビットライン接続(GOLBL)とを備える黄金基準セルを含む。黄金ビットはプログラムされないままのUV(紫外線)消去されたフローティングゲートを有する。図8の基準セルは好ましくはアレイセルと同じ集積回路上にコアセルとして含まれ、アレイセルはプログラムおよび読出にこの基準セルを用いるので、温度およびプロセスが変動しても、基準セルとアレイセルとの間での変動は実質的に均一なもののみとなる。

【0032】

〔基準カウンタ回路 604〕

図9および10は、図6の基準カウンタ回路604のための回路を示す。カウンタを提供するため、図9および10の回路は複数のシフトレジスタ801～806を含む。カウンタを同期させるため、VERIFY信号が、シフタ801のCLK入力と、インバータ810を介してシフタ801のCLKB入力とに与えられる。RDSO0～RDSO3信号がNORゲート812およびインバータ814によって受取られてOR処理され、シフタ801のDATA入力を提供する。ビットがプログラムされるべくベリファイされると、RDSO0～RDSO3信号の1つがアサートされ、それによりVERIFYの立下がり端縁で、シフタ801のQおよびQBが状態を変える。

【0033】

シフタ801のQおよびQB出力は、それぞれシフタ802のCLKBおよびCLK入りに接続される。さらに、シフタ802および803のQおよびQB出力がシフタ803および804のそれぞれのCLKおよびCLKB入りに接続され、その一方でシフタ802、803、および804のQB出力がそれらのDATA入力それぞれにフィードバックされる。シフタ802、803、および804のQおよびQB出力は、それぞれQ0、QB0、Q1、QB1、Q2、およびQB2出力を形成する。Q1およびQ2出力はシフタ805のCLK入りに至るNANDゲート816に接続され、その一方でNANDゲート816の出力はインバータ818を介してシフタ805のCLKB入りに接続される。シフタ805のQおよびQB出力はシフタ806のCLKおよびCLKB入りに接続され、シフタ805および806のQB出力はそれらのDATA入力それぞれにフィードバックされる。シフタ805および806のQおよびQB出力は、それぞれQ3、QB3、Q4、およびQB4出力を形成する。

【0034】

ROW0～ROW5およびCOL0～COL3出力信号を与えるためには、論理回路がシフタ802～806のQ1～Q4およびQB1～QB4出力に接続されるように設けられる。論理回路820は、図示されているようにQ0～Q2およびQB0～QB2出力のいくつかの組合せに接続されて行ビット(ROW0～ROW5)を最後まで順序付し、その一方で作用される列(COL0～COL3)は論理822に接続されたQ3、QB3、Q4、およびQB4の出力の組合せによって制御されるにつれ更新される。

【0035】

プログラム基準モードに入る際、シフトレジスタをリセットするため、シフトレジスタ801、805、および806には、インバータ810を介してPREF信号の補信号を受取るべく接続されたリセットがある。さらに、シフトレジスタ802～804はプログラム基準モードに入る際にNANDゲート824を介してPREF信号の補信号を受取る。NANDゲート816の出力はさらに、作用される列が更新されるときにシフトレジスタ802～804をリセットするようNANDゲート824を介して接続される。

【0036】

図11は、図9および10のシフトレジスタ801～806のための回路を示す。図11のシフトレジスタは、2つのラッチ902および904を含む。トランジスタ906はDATA入力信号をラッチ902の入力に結合する電流経路を有する。トランジスタ906はCLK入りに接続されるゲートを有する。ラッチ902の入力はさらにトランジスタ908を介して接地され、トランジスタ908はRESET入力に接続されたゲートを有する。トランジスタ910は、そのゲートに接続されたCLKB入力によって制御され、ラッチ902の出力をラッチ904の入力に結合する電流経路を有する。ラッチ904はさらにRESET入力によって制御されるトランジスタ912を介してVCCに接続される。ラッチ904の出力はシフタのQ出力を提供し、その一方でQB出力がラッチ904の出力からインバータ914を介して提供される。

【0037】

〔データバッファ基準回路 606〕

図12は、図6に示したデータバッファ基準回路606のための回路構成を示す。図12

10

20

30

40

50

の回路はプログラム基準モードに入ると P R R E F 信号を受取り、プログラムベリファイ信号回路 6 0 2 からの P G M 信号はプログラム信号が与えられたことを示し、C O L 0 ~ C O L 3 信号は図 6 に示されるように基準カウン回路 6 0 4 から出力される。P R R E F および P G M 信号は C O L 0 ~ C O L 3 信号の各々とともにそれぞれの N A N D ゲート 1 0 0 1 ~ 1 0 0 4 の入力に接続されて、P R R E F、P G M、およびそれぞれの C O L 0 ~ C O L 3 入力 が 能動化されるとバッファ 1 0 1 1 ~ 1 0 1 4 の 1 つを能動化する。バッファ 1 0 1 1 ~ 1 0 1 4 は、図 6 のプログラムベリファイ信号回路 6 0 2 から高電圧 V P R O G 信号を受取り、V P R O G をそれぞれの基準セルビットライン (R E F B L 0 ~ R E F B L 3) にそのバッファそれぞれが能動化されたときに与える。V P R O G が与えられていないときには、R E F B L 0 ~ R E F B L 3 出力はハイインピーダンスを与える

10

【 0 0 3 8 】

バッファ 1 0 1 1 ~ 1 0 1 4 は同一の回路構成を有しているので、バッファ 1 0 1 1 の回路だけを説明する。バッファ 1 0 1 1 は N A N D ゲート 1 0 0 1 の出力からの選択入力信号を p チャネルトランジスタ 1 0 2 2 のゲートで受取り、この p チャネルトランジスタ 1 0 2 2 は V P R O G を R E F B L 0 に結合する電流経路を有する。したがって、バッファが選択されていないとき、トランジスタ 1 0 2 2 はライン R E F B L 0 にハイインピーダンス出力を与える。n チャネルトランジスタ 1 0 2 4 がトランジスタ 1 0 2 2 のゲートと N A N D ゲート 1 0 0 1 の出力との間で接続され、この n チャネルトランジスタ 1 0 2 4 のゲートは V P R O G に接続されて、V P R O G が V C C より下まで降下することがあれば保護を提供する。V P R O G は V C C よりも著しく高い値を有しているので、V P R O G のフィードバックを阻止するため、n チャネルトランジスタ 1 0 2 6 がトランジスタ 1 0 2 2 のゲートと N A N D ゲート 1 0 0 1 の出力との間に接続され、この n チャネルトランジスタ 1 0 2 6 のゲートは V C C に接続される。別の p チャネルトランジスタ 1 0 2 8 が V P R O G をトランジスタ 1 0 2 2 の入力に結合し、バッファ 1 0 1 1 が非選択のときトランジスタ 1 0 2 2 が確実にオフに留まるようにする。トランジスタ 1 0 2 8 は、インバータ 1 0 3 0 によって制御されるゲートを有しており、インバータ 1 0 3 0 はトランジスタ 1 0 2 2 の入力と V P R O G によって供給される電力とに接続された入力を有する。図 1 2、およびそれ以降の図面では、トランジスタ 1 0 2 2 でのようにトランジスタのドレインからソースにかけて引かれた斜めの線は p チャネルトランジスタを表わし、線がな

20

30

【 0 0 3 9 】

[センスバイアス回路 6 0 8]

図 1 3 は図 6 に示したセンスバイアス回路 6 0 8 のための回路を示す。図 1 3 の回路は、プログラム基準モードに入り、R O W 0 ~ R O W 5 信号が図 6 に示した基準カウン回路 6 0 4 から出力されると、P R R E F 信号を受取る。P R R E F 信号は R O W 0 ~ R O W 5 信号の各々とともにそれぞれの N A N D ゲート 1 1 0 1 ~ 1 1 0 6 の入力に接続されて、P R R E F 信号とそれぞれの R O W 0 ~ R O W 5 入力とが能動化されると、バッファ 1 1 1 1 ~ 1 1 1 6 の 1 つを能動化する。バッファ 1 1 1 1 ~ 1 1 1 6 は、図 6 のプログラムベリファイ信号回路 6 0 2 から V P X を介してプログラム電圧とベリファイ電圧とを交互に受取り、そのそれぞれのバッファが能動化されたときに V P X をそれぞれの基準セルワードライン (R E F W L 0 ~ R E F W L 5) に結合する。選択されないワードラインは、典型的には接地される。

40

【 0 0 4 0 】

図 1 3 の回路はさらに読出またはベリファイモードに入ると R E A D 信号を受取って、アレイセルの状態を判断する。P G M 信号もインバータ 1 1 0 8 を介して受取られ、これはアレイセルをプログラムするまたは消去するために V P X 信号が与えられてはいないということを示す。P R R E F 信号がさらにインバータ 1 1 0 9 を介して受取られ、これは基準セルのベリファイが行なわれていないということを示す。R E A D 信号とインバータ 1 1 0 8 および 1 1 0 9 の出力とは N A N D ゲート 1 1 1 0 の入力に与えられる。アレイセ

50

ルの読出中、バッファ 1 1 1 1 ~ 1 1 1 6 は V P X を介して読出電圧またはベリファイ電圧を受取り、V P X 信号をすべての基準セルワードライン (R E F W L 0 ~ R E F W L 5) に与える。

【 0 0 4 1 】

バッファ 1 1 1 1 ~ 1 1 1 6 は同一の回路構成を有しているので、バッファ 1 1 1 1 の回路のみを説明する。バッファ 1 1 1 1 は N A N D ゲート 1 1 1 8 の入力で N A N D ゲート 1 1 0 1 および 1 1 1 0 の出力からの選択入力信号を受取る。N A N D ゲート 1 1 1 8 の出力はインバータ 1 1 2 0 を介してトランジスタ 1 1 2 2 および 1 1 2 4 によって形成されるインバータの入力に与えられる。インバータ 1 1 2 2 ・ 1 1 2 4 の出力は R E F W L 0 信号を与える。プルアップトランジスタ 1 1 2 2 は出力インバータ 1 1 2 0 がローであるときに、R E F W L 0 出力に V P X 信号を結合する。プルダウントランジスタ 1 1 2 4 はインバータ 1 1 2 0 の出力がハイであるときに R E F W L 0 出力を接地する。トランジスタ 1 1 2 6 は、V P X とインバータ 1 1 2 2 ・ 1 1 2 4 の入力との間に接続された電流経路を有しており、かつ R E F W L 0 出力に接続されたゲートを有していて、それによりバッファ 1 1 1 1 が非選択のときトランジスタ 1 1 2 2 は確実にオフとなる。V P X はプログラム中、V C C よりも著しく高い値を有しているので、フィードバックを阻止するため、インバータ 1 1 2 2 ・ 1 1 2 4 の入力とインバータ 1 1 2 0 の出力との間に n チャネルトランジスタ 1 1 2 8 が接続され、そのゲートが V C C に接続される。

【 0 0 4 2 】

[基準バイアス回路 6 1 0]

図 1 4 は、図 6 に示した基準バイアス回路 6 1 0 のための回路を示す。図 1 4 の回路は図 6 に示した基準カウント回路 6 0 4 から出力される C O L 0 ~ C O L 3 信号を受取る。C O L 0 ~ C O L 3 信号はインバータ 1 2 1 1 ~ 1 2 1 4 を介して p チャネルトランジスタ 1 2 0 1 ~ 1 2 0 4 のゲートに接続され、抵抗器の比を C O L 0 ~ C O L 3 信号によって選択された黄金基準 M S T R W L のゲートに結合する。抵抗器の比は、トランジスタ 1 2 0 1 ~ 1 2 0 4 の電流経路をそれぞれ抵抗器 1 2 2 1 ~ 1 2 2 5 の連続するそれぞれのものと M S T R W L との間で結合することによって形成される。

【 0 0 4 3 】

前述のように、図 1 4 の回路は基準セルがバイアスゲート方法を用いて適正にプログラムされたものとしてベリファイされることを可能にする。バイアスゲート方法は、抵抗器の比を黄金基準のゲートに結合し、黄金基準出力をプログラムされている基準セルの出力と比較して、基準セルのフローティングゲートが適正なしきい値のレベルまで充電されているかどうかを判断する。この方法は、黄金ビットが M O S トランジスタの飽和領域の式 $I_D = K (V_{GS} - V_t)^2$ に従って飽和させられるため、ゲート電圧 V_{GS} を抵抗器の比を用いて固定された量だけ低減することにより、所望のしきい値 V_t にプログラムされた基準セルと同じだけの電流がもたらされるということを利用するものである。

【 0 0 4 4 】

たとえばバイアスゲートの方法を用いる場合、しきい値間の 0 . 5 5 V の差が 4 . 0 V から 1 . 8 V のプログラム可能なしきい値電圧の最大範囲の間に留まることが要求されるならば、図 2 に示すように 4 つの基準しきい値が 3 / 2 密度アレイで 3 . 4 5 V 、 2 . 9 0 V 、 2 . 3 5 V 、 および 1 . 8 0 V にプログラムされるだろう。第 1 の基準を 3 . 4 5 V のレベルにプログラムするためには、抵抗器の比が黄金基準のゲートを V C C - 0 . 5 5 V にバイアスするよう選択される。続いて異なった抵抗器の比が黄金基準のゲートをバイアスするために選択され、残りの基準セルがプログラムされる。前述のように、バイアスゲート方法では V C C が変動するにつれ、プログラムされるしきい値は互いに関して変動するので、V C C を厳密な許容誤差の範囲内に維持するために製造者によってプログラミングは好ましくはテスト時間中に行なわれるということに注意されたい。同様に、しきい値が互いに関して一定に維持されることを確実にするために、製造者は好ましくは温度を厳密な許容誤差の範囲内に制御する。

【 0 0 4 5 】

[基準センス回路 6 1 2]

図 1 5 は、図 6 に示した基準センス回路 6 1 2 のための回路構成を示す。図 1 5 の回路は、回路 6 1 4 のカスコードプリアンプと回路 6 1 6 のセンスアンプとを能動化するためのイネーブル信号 (R E F S E N 0 ~ R E F S E N 4) を与えて、現在選択されている基準が適正にプログラムされているかどうかをベリファイする。 R E F S E N 0 ~ R E F S E N 4 信号は、 V E R I F Y がアサートされ P R R E F 信号が受取られると与えられる。電力を保存するため、基準カウント回路 6 0 4 からの列信号 (C O L 0 ~ C O L 3) を用いて必要な R E F S E N 0 ~ R E F S E N 4 出力だけが選択され、選択された基準セルが適正にプログラムされているかをベリファイするのに必要なカスコードプリアンプとセンスアンプとを能動化する。

10

【 0 0 4 6 】

図 1 5 の回路は N A N D ゲート 1 3 0 2 の入力で V E R I F Y および P R R E F 信号を受取る。 N A N D ゲート 1 3 0 2 の出力は、インバータ 1 3 2 1 ~ 1 3 2 4 を介して与えられる C O L 0 ~ C O L 3 のそれぞれとともに N O R ゲート 1 3 1 1 ~ 1 3 1 4 の入力に接続される。 N O R ゲート 1 3 1 1 ~ 1 3 1 4 の出力は R E F S E N 0 ~ R E F S E N 3 出力信号を与える。 N O R ゲート 1 3 1 1 ~ 1 3 1 4 の出力はさらに N O R ゲート 1 3 2 6 およびインバータ 1 3 2 8 によって O R 処理されて R E F S E N 4 信号を与え、この R E F S E N 4 信号はカスコードプリアンプを能動化するために与えられるものであって、カスコードプリアンプは R E F S E N 0 ~ R E F S E N 3 信号の 1 つが能動化されたときに黄金基準に接続される。

20

【 0 0 4 7 】

[カスコードプリアンプ 6 1 4]

図 1 6 は、図 7 に示したカスコードプリアンプ 6 1 4 で用いられるカスコードプリアンプの 1 つのための回路を示す。図 7 のカスコードプリアンプ 6 1 4 は、図 1 6 に示すようなカスコードプリアンプを 5 つ含む。 4 つのカスコードプリアンプはビットライン出力 R E F B L 0 ~ R E F B L 3 の各々を受取るために設けられており、付加的なカスコードプリアンプが G O L B L 出力を受取る。カスコードプリアンプは受取られたビットラインからの電流をベリファイのプロセスの間に出力電圧 S A R E F 1 ~ S A R E F 4 に変換する。各カスコードプリアンプは基準センス回路 6 1 2 から前述のベリファイプロセスを能動化するためのイネーブル信号 R E F S E N 0 ~ R E F S E N 4 のそれぞれを受取る。

30

【 0 0 4 8 】

図示されるように図 1 6 の回路は、特定のビットライン信号 (R E F B L 0 ~ R E F B L 3 または G O L B L) を表わす R E F B L i 信号、および R E F S E N 0 ~ R E F S E N 4 のイネーブル信号を表わす R E F S E N i 信号を受取る。出力 S A R E F i は、特定の S A R E F 0 ~ S A R E F 4 信号出力を表わす。ドレインが S A R E F i 出力に接続されたカスコードトランジスタ 1 4 0 2 によって図 1 6 の回路にはカスコード増幅器が実現される。

【 0 0 4 9 】

プリアンプは、インバータ 1 4 0 8 を介してイネーブルトランジスタ 1 4 0 4 のゲートに与えられる R E F S E N i の補信号によって能動化される。イネーブルトランジスタ 1 4 0 4 は V_{cc} と S A R E F i 出力との間で n チャネルレベルシフトトランジスタ 1 4 1 8 および p チャネルロードトランジスタ 1 4 0 6 に直列に接続される。カスコード 1 4 0 2 のためのバイアスを提供するために、 R E F S E N i の補数はさらにインバータ 1 4 0 8 を介してスイッチングトランジスタ 1 4 1 0 のゲートに与えられる。トランジスタ 1 4 1 0 は、 V C C とカスコード 1 4 0 2 のゲートとの間でフィードバックロードトランジスタ 1 4 2 0 へ直列に接続される。プリアンプを不能化するために、 n チャネルスイッチングトランジスタ 1 4 1 2 がゲートをインバータ 1 4 0 8 の出力に接続されて設けられ、 R E F S E N i の補数が提供されていないときにカスコード 1 4 0 2 のゲートを接地する。

40

【 0 0 5 0 】

R E F B L i 信号はトランジスタ 1 4 1 4 を介してカスコード 1 4 0 2 のソースに与えら

50

れ、SAREF_i出力で増幅される。トランジスタ1414のゲートは、プリアンプが能動化されたときにREFSEN_iによって能動化される。カスコード1402のためのさらなるバイアスは、トランジスタ1416によるカスコード1402のソースからのフィードバックによってもたらされる。トランジスタ1416はトランジスタ1402のソースに接続されたゲートと、トランジスタ1402のゲートに接続されたドレインと、接地されたソースとを有する。

【0051】

[センスアンプ616]

図17は図7に示したセンスアンプ616で用いられるセンスアンプの1つのための回路を示す。図7のセンスアンプ616は、図17に示すようなセンスアンプを4つ含む。4つのセンスアンプは能動化された基準セル出力電圧(SAREF₀~SAREF₃)を黄金基準出力電圧(SAREF₄)に比較するために設けられる。センスアンプ出力信号(RDSO₀~RDSO₃)は、プログラムされているセルが完全にプログラムされているかどうかを示す。

10

【0052】

図示されるように、図17の回路は選択された基準セルからの特定のカスコードプリアンプ出力(SAREF₀~SAREF₃)を表わすSAREF_i信号と、黄金基準に接続されたカスコードプリアンプからのSAREF₄信号とを受取る。図17の回路はさらに、REFSEN₀~REFSEN₃イネーブル信号を表わすREFSEN_i信号を受取り、特定のRDSO₁~RDSO₃出力を表わすRDSO_i信号を出力する。

20

【0053】

図17のセンスアンプは、差動増幅器1500であって、REFSEN_i信号によって能動化される。センスアンプはSAREF_i信号とSAREF₄信号とを比較し、SAREF_iの値がSAREF₄を上回ったときにRDSO_i信号を出力する。

【0054】

以上でこの発明を特定の説明してきたが、これはこの発明をどのように作り上げ利用するかを当業者に教示するためにすぎない。多くの変形がこの発明の範囲内に包含され、この範囲は前掲の特許請求の範囲によって規定されるものである。

【図面の簡単な説明】

【図1】センス比の方法を用いてメモリアレイのための基準を提供するための回路の図である。

30

【図2】単一密度、3/2密度、および2倍密度のメモリのために必要とされる基準レベルを示す図である。

【図3】バイアスゲート方法を用いてメモリのための基準を提供するための回路の図である。

【図4】アレイセルを、そのアレイセルを読出すのに用いられるこの発明のプログラム可能基準セルとともに示す図である。

【図5】アレイセルをプログラムするのに用いられる回路を、そのアレイセルのプログラムおよび読出中に用いられる基準セルとともに示したブロック図である。

【図6】3/2密度のメモリアレイのために設計されたこの発明のプログラムされた基準の一実施例を示す図である。

40

【図7】3/2密度のメモリアレイのための設計されたこの発明のプログラムされた基準の一実施例を示す図である。

【図8】図6に示した基準アレイの基準セルおよび黄金基準のための回路図である。

【図9】図6に示した基準カウント回路の回路図である。

【図10】図6に示した基準カウント回路の回路図である。

【図11】図9および10で用いられるシフトレジスタのための回路図である。

【図12】図6に示したデータバッファ基準回路の回路図である。

【図13】図6に示したセンスバイアス回路のための回路図である。

【図14】図6に示した基準バイアス回路のための回路図である。

50

【図 15】図 6 に示した基準センス回路のための回路図である。

【図 16】図 7 に示した回路で用いられるカスコードプリアンプの 1 つのための回路図である。

【図 17】図 7 に示した回路で用いられるセンスアンプの 1 つのための回路図である。

【符号の説明】

4 0 0 アレイセル

4 0 2 - 1 プログラム可能基準セル

4 0 2 - 2 プログラム可能基準セル

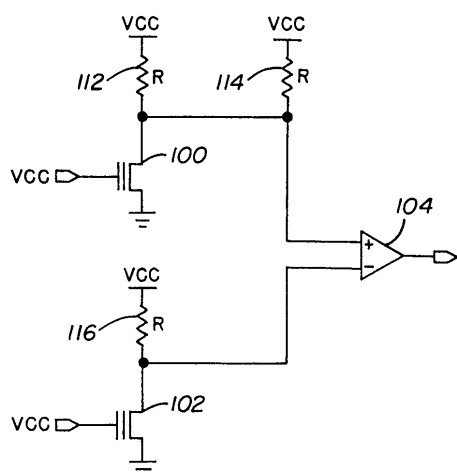
402 - (n - 1) プログラム可能基準セル

4 0 4 ワード選択回路

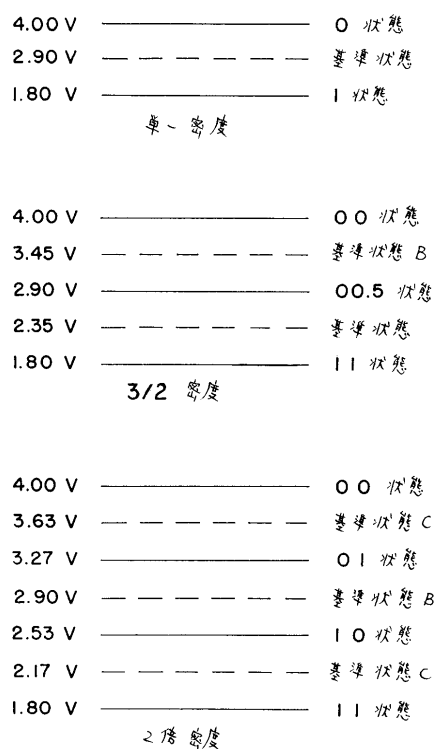
4 0 6 比較回路

10

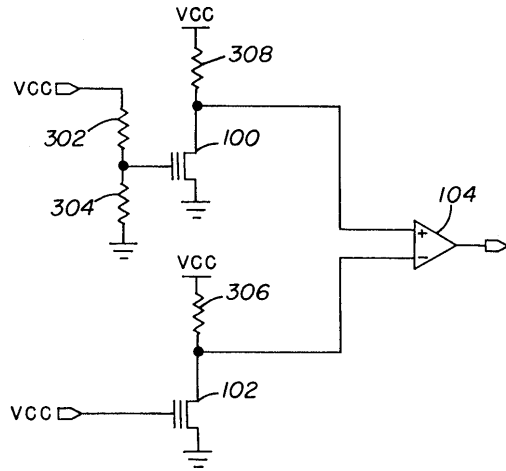
【图 1】



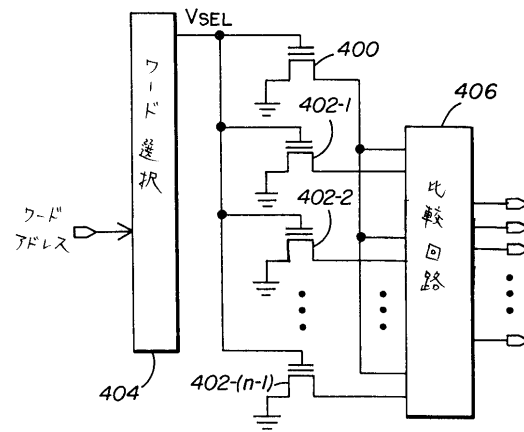
【图 2】



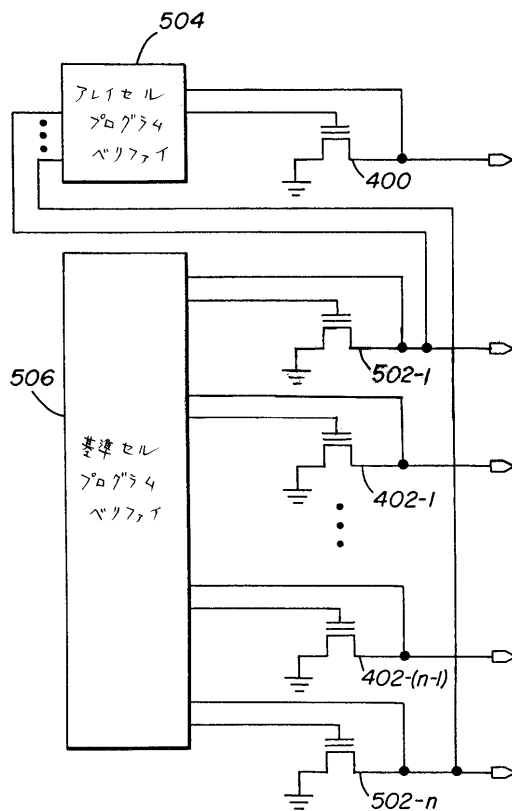
【図 3】



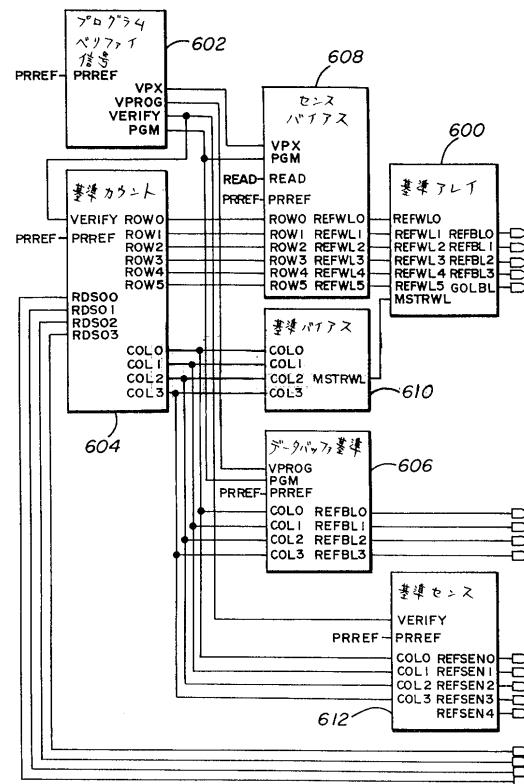
【図 4】



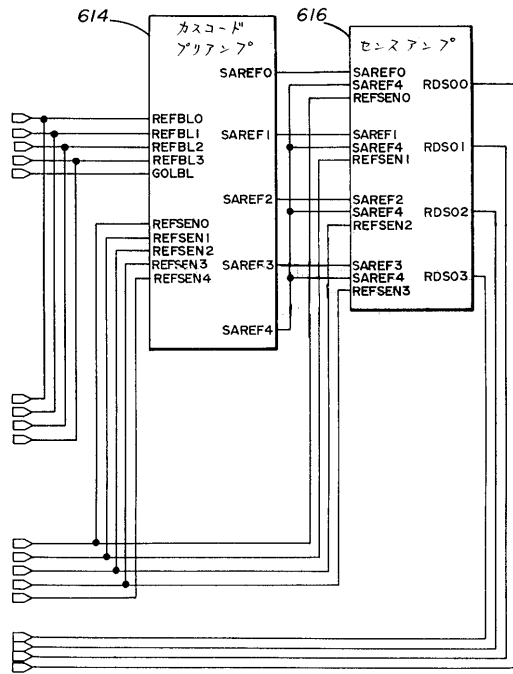
【図 5】



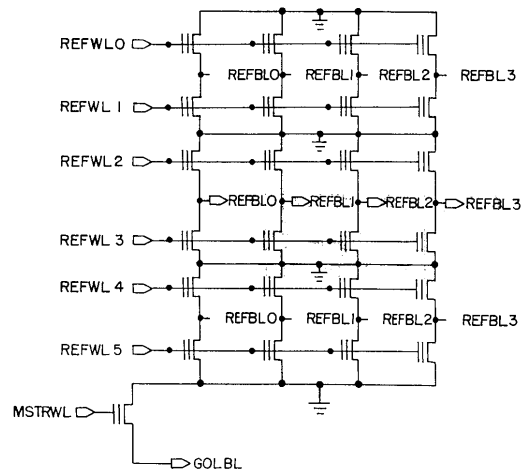
【図 6】



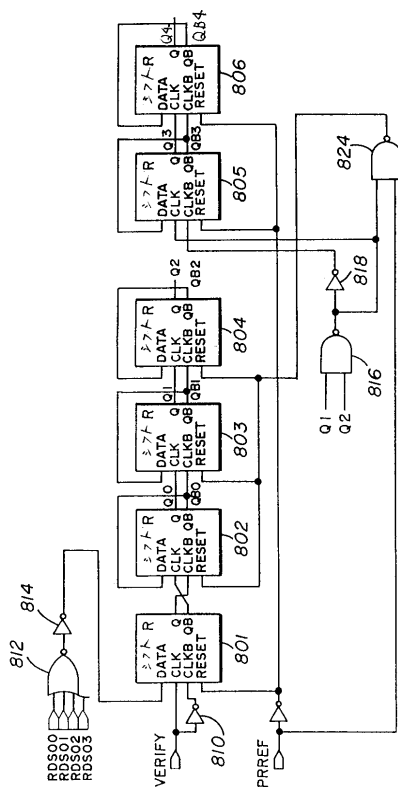
【図 7】



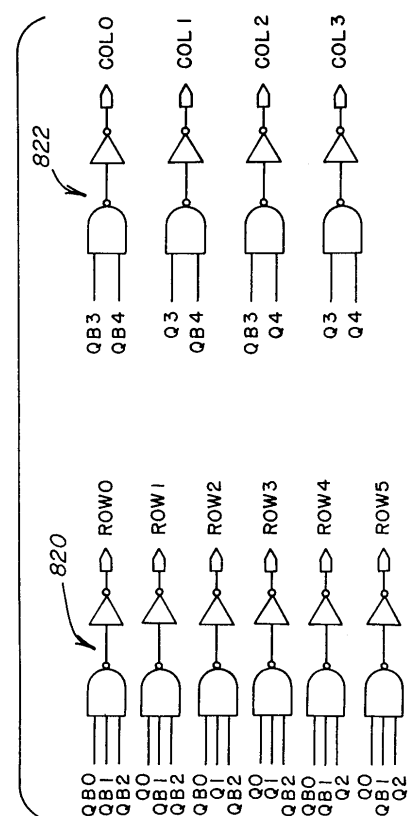
【図 8】



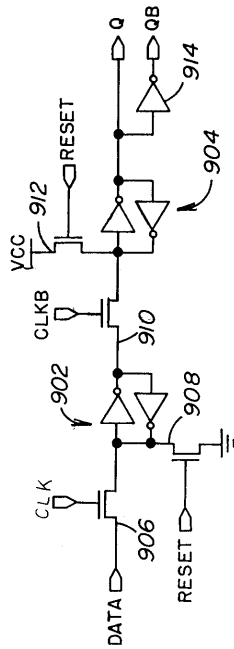
【図 9】



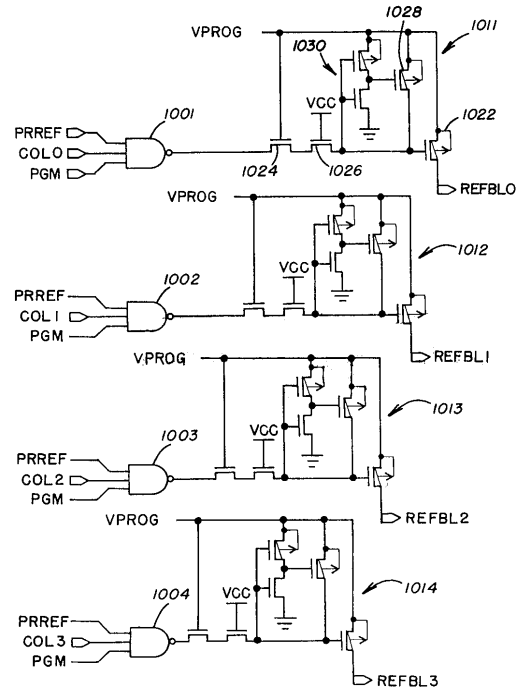
【図 10】



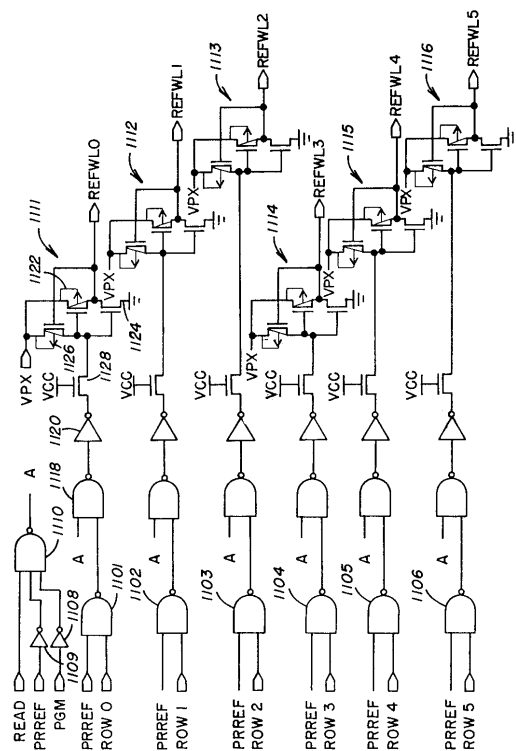
【図 1 1】



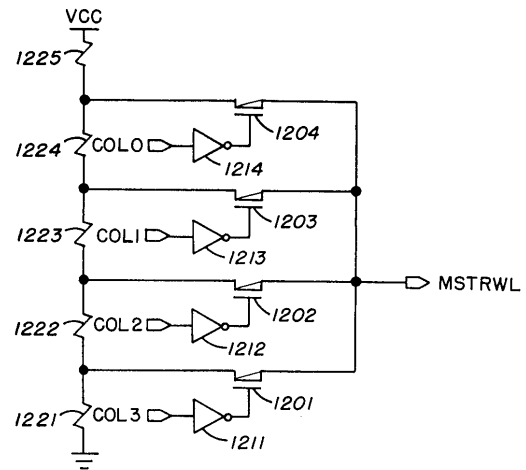
【図 1 2】



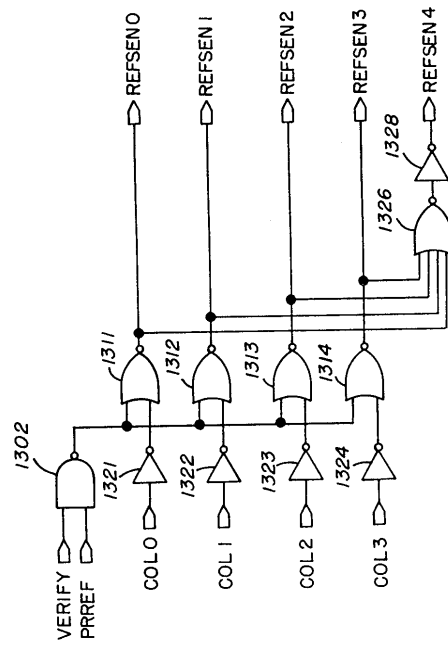
【図 1 3】



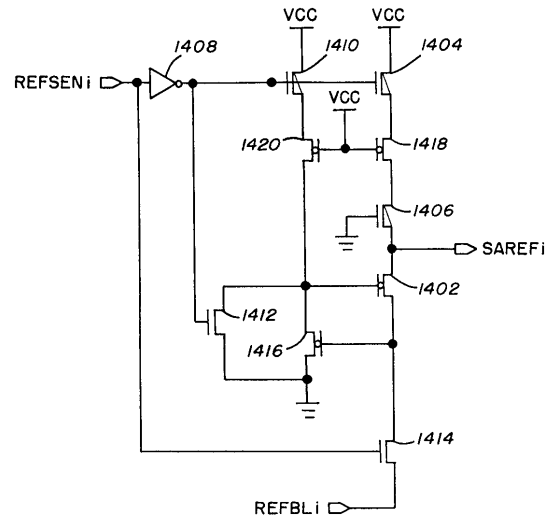
【図 1 4】



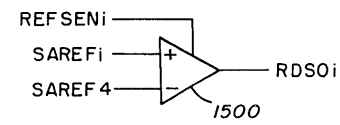
【図 15】



【図 16】



【図 17】



フロントページの続き

(74)代理人 100091409

弁理士 伊藤 英彦

(74)代理人 100096781

弁理士 堀井 豊

(72)発明者 シェイン・シィ・ホールマー

アメリカ合衆国、9 5 0 5 1 カリフォルニア州、サンタ・クララ、ラーセン・プレイス、1 8 7
0

(72)発明者 リー・イー・クリーブランド

アメリカ合衆国、9 5 0 5 1 カリフォルニア州、サンタ・クララ、ラーセン・プレイス、1 8 7
0

審査官 石川 正二

(56)参考文献 特表平04 - 507320 (JP, A)

特開昭62 - 140298 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/06

G11C 16/02