



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

208033
(11) (B1)

(51) Int. Cl.³
G 06 F 11/26

(22) Přihlášeno 30 08 79

(21) (PV 5921-79)

(40) Zveřejněno 28 11 80

(45) Vydáno 01 10 82

(75)

Autor vynálezu

LEGÁT PAVEL ing., MALEC ZDENĚK ing. CSc.,
NOVOTNÝ MICHAEL ing., VRBA RADIMÍR ing., BRNO,
SECHOVSKÝ HYNEK ing. CSc., HOROMĚŘICE a
SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení interaktivního logického analyzátoru

Předmětem vynálezu je zapojení interaktivního logického analyzátoru, který řeší problém přímé obousměrné komunikace mezi zařízením, které je podrobováno zkoušce pomocí logického analyzátoru a obsluhou logického analyzátoru, přičemž logický analyzátor je připojen na sběrnici zkoušeného zařízení a z jejích jednotlivých vodičů signály snímá nebo na tyto vodiče signály vnucuje.

Dosavadní, byť velmi dokonalá zařízení, řešená v poslední fázi vývoje již obdobně jako stolní výpočetní systémy, nebo jako zásuvné jednotky k osciloskopům, případně jako ucelená samostatná jednoúčelová zařízení – např. určená pro práci s mikroprocesory, mají tu společnou nevýhodu, že jsou omezena pouze na příjem signálů ze zkoušeného zařízení, avšak neumožňují vyslání vlastních signálů na sběrnici zkoušeného zařízení. Tato skutečnost velmi zužuje možnosti zkoušek prováděných pomocí těchto přístrojů, neboť obsluha musí provádět zásahy až přes ovládací prvky zkoušených zařízení, kde alternativy možných zásahů jsou velmi úzce ohraničeny, anebo musí zásahy do signálů ve sběrnici uskutečňovat pomocí dalších zařízení.

Tyto nevýhody odstraňuje zapojení interaktivního logického analyzátoru, u něhož je možný záznam a zobrazení stavů sledovaného systému do q-slovné hlavní paměti a výstup z této paměti zpět

do systému podle vynálezu, jehož podstatou je, že na jeho vnitřní sběrnici, tvořenou n signálovými vodiči, které jsou spojeny s odpovídajícími vodiči sledovaného systému, je připojena skupina vzorkovacích hradel, jejichž signálové vstupy jsou připojeny na jednotlivé signálové vodiče vnitřní sběrnice a jejichž výstupy jsou připojeny na vstupy q-slovné hlavní paměti, jejíž výstupy jsou připojeny na paralelní vstupy jednoslovné vyrovnávací paměti, na jejíž výstupy je připojena signálovými vstupy jednotlivých hradel skupiny výstupních výkonových hradel, přičemž třístavové výstupy jednotlivých hradel jsou připojeny na odpovídající vodiče vnitřní sběrnice a jejich společný řídicí vstupní vodič je připojen na blok ovládacích obvodů pro čtení z q-slovné hlavní paměti.

Na výkrese je vyznačen příklad zapojení podle vynálezu.

Signálové vodiče sběrnice 0 (tzv. busu) zkoušeného systému jsou spojeny odpovídajícími signálovými vodiči 001, 002, ... 00n vnitřní sběrnice 01 interaktivního logického analyzátoru, přičemž počet n těchto vodičů musí být roven, anebo být větší, než je počet vodičů ve sběrnici 0 zkoušeného systému, jejichž stavy mají být sledovány. Na n vodičů 001, 002, ... 00n vnitřní sběrnice 01 jsou připojeny vstupy 101, 102, ... 10n hradel n-členné skupiny 10 vzorkovacích hradel, jejichž výstupy

jsou připojeny na n vstupů 111, 112, ... 11n hlavní paměti 11, jejíž kapacita je určena co do počtu bitů v jednom slově počtem n vodičů ve vnitřní sběrnici 01 a do počtu slov q pak požadovanou délkou sekvence, kterou má být možné zaznamenat bez ztráty informace. Výstupy hlavní paměti 11, jichž je opět n , jsou připojeny předně na paralelní signálové vstupy 151, 152, ... 15n jednoslovné vyrovnávací paměti 15, jejíž výstupy jsou připojeny na signálové vstupy 201, 202, ... 20n výstupních výkonových hradel, přičemž n vodičů ze skupiny 20 výstupních výkonových hradel s třístavovými výstupy je připojeno na odpovídající vodiče 001, 002, ... 00n vnitřní sběrnice 01.

Mezi vodiči 001, 002, ... 00n vnitřní sběrnice 01 existuje vždy nejméně jeden vodič 00s, kterým se uskutečňuje synchronizace přenosu signálů pro sběrnici. Tento vodič je navázán na synchronizační vodič sběrnice 0, a kromě toho, že se s ním zachází obdobně, jako s ostatními vodiči, přivádí se též do synchronizačního bloku 31 pro záznam do hlavní paměti 11 i do synchronizačního bloku 32 pro čtení z hlavní paměti 11, přičemž do synchronizačního bloku 31 se přivádí též externí synchronizace záznamu 03 a do synchronizačního bloku 32 pro čtení se přivádí též externí synchronizace čtení 02. Výstupy synchronizačního bloku 31 pro záznam do hlavní paměti 11 se přivádějí předně na ovládací vstup 100 skupiny vzorkovacích hradel 10, dále do čítače adres 13 pro záznam do hlavní paměti 11 a na ovládací vstup 170 skupiny 17 hradel 171, 172, ... 17n přímého zobrazení. Výstupy čítače adres 13, jichž je k , přičemž je s ohledem na možnost cyklického záznamu do hlavní paměti 11 zachován vztah $q = 2^k$, jsou připojeny na skupinu vstupů 021, 022, ... 02k přepínače 12 adresových vodičů hlavní paměti 11, k výstupů tohoto přepínače 12 je spojeno s odpovídajícími adresovými vodiči 011, 012, ... 01k hlavní paměti 11. Druhá

skupina vstupů 121, 122, ... 12k přepínače 12 adresových vodičů je připojena na výstup čítače adres 14 pro čtení z hlavní paměti 11, přičemž vstup čítače adres 14 je připojen na výstup synchronizačního bloku 32 pro čtení z hlavní paměti 11. Tento synchronizační blok je též spojen se společným řídicím vstupem 200 skupiny 20 výstupních výkonových hradel.

Výstupy skupiny 17 hradel přímého zobrazení a výstupy hlavní paměti 11 jsou připojeny též na vstupy 161, 162, ... 16n multiplexeru 16, jehož m ovládacích vodičů se přivádí z čítače znaků 21. Počet m závisí na počtu současně zobrazovaných znaků a na počtu bitů p , potřebných k zobrazení jediného znaku. Například je-li $n = 64$ a $p = 1$, je $m = 6$, obecně platí $n = 2^{m+p}$. Výstup multiplexeru 16 se přivádí na vstup 190, respektive další vstupy 191, ... 19n generátoru tvaru znaku 19, který má dva výstupy 19x a 19y, náležející vodorovné a svislé složce tvaru znaku. Výstup čítače znaků 21 se rovněž přivádí na vstupy 221, 222, ... 22m generátoru polohy znaku, jehož výstupy 22x a 22y náležející vodorovné a svislé složce polohy znaku se slučují v součtových zesilovačích 24 a 25 s odpovídajícími signály tvaru znaku, a přivádějí se na vodorovný vstup x a svislý vstup y obrazovkového systému 27. Čítač znaků 21 a zobrazení na obrazovkovém systému 27 není co do synchronizace závislé na synchronizačním vodiči 00s vnitřní sběrnice 01 a je řízeno stabilním, krystalovým oscilátorem 23.

Další aplikace. Logický analyzátor je pouhým příkladem provedení. Další aplikace přicházejí v úvahu všude tam, kde ve víceslovné paměti je uložen a má být obsluha k dispozici soubor dat, která mohou být vyjádřena nejen v obvyklých formách, tj. binární, oktalová, hexadecimální, dekadická, obecně alfanumerická, nýbrž i ve formě obecně symbolické, tj. pikto grafické.

PŘEDMĚT VYNÁLEZU

1. Zapojení interaktivního logického analyzátoru, u něhož je možný záznam a zobrazení stavů sledovaného systému do q -slovné hlavní paměti a výstup z této paměti zpět do systému, vyznačené tím, že na jeho vnitřní sběrnici (01), tvořenou n signálovými vodiči (001, 002, ... 00n), které jsou spojeny s odpovídajícími vodiči sledovaného systému (0), je připojena skupina (10) vzorkovacích hradel (101, 102, ... 10n), jejichž signálové vstupy jsou připojeny na jednotlivé signálové vodiče (001, 002, ... 00n) vnitřní sběrnice (01) a jejichž výstupy jsou připojeny na vstupy (111, 112, ... 11n) q -slovné hlavní paměti (11), jejíž výstupy jsou připojeny na paralelní vstupy (151, 152, ... 15n) jednoslovné vyrovnávací paměti (15), na jejíž výstupy je připojena signálovými vstupy jednotlivých hradel (201, 202, ... 20n) skupina (20) výstupních výkonových hradel, přičemž třístavové výstupy jednotlivých hradel jsou připojeny na

jednotlivé vodiče (001, 002, ... 00n) vnitřní sběrnice (01) a jejich společný řídicí vstupní vodič (200) je připojen na blok ovládacích obvodů (32) pro čtení z q -slovné hlavní paměti (11).

2. Zapojení podle bodu 1, vyznačené tím, že q -slovná hlavní paměť (11) je sestavena z pamětových obvodů typu D, u nichž vzorkovací hradla (101, 102, ... 10n) jsou přímo jejich součástí.

3. Zapojení podle bodu 1, vyznačené tím, že adresové vodiče (011, 012, ... 01k) q -slovné hlavní paměti (11) jsou připojeny na přepínač čítačů adres (12), jehož jedna k -tice vstupů (121, 122, ... 12k) je spojena s výstupem čítače adres (14) pro čtení z q -slovné hlavní paměti (11), zatímco jeho druhá k -tice vstupů (021, 022, ... 02k) je spojena s výstupy čítače adres (13) pro záznam do q -slovné hlavní paměti (11).

4. Zařízení podle bodu 1, vyznačené tím, že výstupy q -slovné hlavní paměti (11) jsou připojeny

na signálové vstupy (161, 162, ... 16n) multiplexeru (16), jehož výstupní vodič, respektive vodiče, je připojen na vstup (190), respektive jsou připojeny na vstupy (191, 192, ... 19p) generátoru tvaru znaků (19), přičemž řídicí vstupy (061, 062, ... 06m) multiplexeru (16) jsou připojeny na výstupy čítače znaků (21), na něž jsou zároveň připojeny vstupy (221, 222, ... 22m) generátoru polohy znaku (22), přičemž vstup čítače znaků (21) je připojen na stabilní generátor impulsů (23).

5. Zařízení podle bodu 1, vyznačené tím, že signálové vodiče (001, 002, ... 00n) vnitřní sběrnice

(01) jsou připojeny na vstupy (171, 172, ... 17n) skupiny kombinačních hradel (17), jejichž výstupy jsou připojeny na signálové vstupy (161, 162, ... 16n) multiplexeru (16), přičemž společný řídicí vstup (170) skupiny těchto hradel (17) je připojen na blok ovládacích obvodů (31) pro záznam do q-slovné hlavní paměti (11).

6. Zařízení podle bodu 1, vyznačené tím, že q-slovná hlavní paměť (11) je sestavena z paměťových obvodů vybavených kombinačními hradly zapojenými přímo mezi vstupem a výstupem každého z nich.

1 výkres

