

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年8月16日 (16.08.2001)

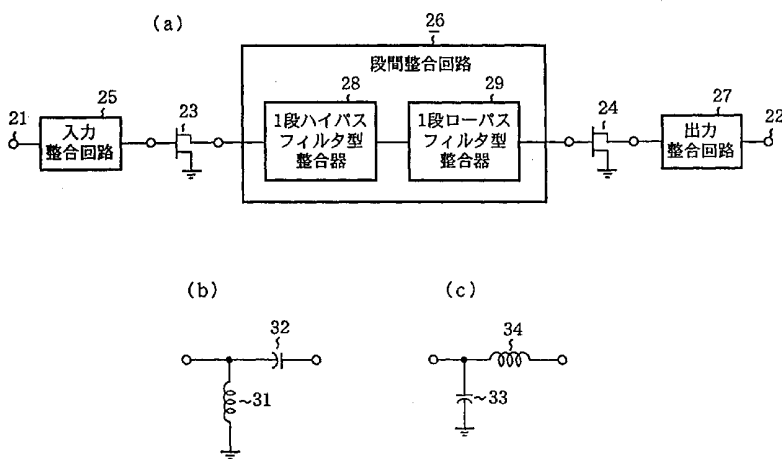
PCT

(10) 国際公開番号
WO 01/59927 A1

- (51) 国際特許分類: **H03F 3/60, H03H 7/38** 池田幸夫 (IKEDA, Yukio) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
 - (21) 国際出願番号: PCT/JP00/00682
 - (22) 国際出願日: 2000年2月8日 (08.02.2000) (74) 代理人: 弁理士 田澤博昭, 外(TAZAWA, Hiroaki et al.); 〒100-0013 東京都千代田区霞が関三丁目7番1号 大東ビル7階 Tokyo (JP).
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
 - (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 森 一富 (MORI, Kazutomi) [JP/JP]. 新庄真太郎 (SHINJO, Shintarou) [JP/JP]. 北林文政 (KITABAYASHI, Fumimasa) [JP/JP].
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MULTISTAGE AMPLIFIER

(54) 発明の名称: 多段増幅器



- 25...INPUT MATCHING CIRCUIT
- 26...INTERSTAGE MATCHING CIRCUIT
- 27...OUTPUT MATCHING CIRCUIT
- 28...SINGLE-STAGE HIGH-PASS FILTER
- 29...SINGLE-STAGE LOW-PASS FILTER

(57) Abstract: A multistage amplifier for amplifying input signals comprises an interstage matching circuit (26) including a series circuit of a single-stage high-pass filter (28) and a single-stage low-pass filter (29). This configuration is effective to optimize the interstage matching conditions of a multistage amplifier, and the overall efficiency of the multistage amplifier improves. The multistage amplifier is suitable for amplification of transmitting signals and received signals used for satellite communications, ground microwave communications, mobile communications, etc.



WO 01/59927 A1



(57) 要約:

入力信号を段階的に増幅して出力する多段増幅器において、段間整合回路（26）を1段ハイパスフィルタ型整合器（28）と1段ローパスフィルタ型整合器（29）とを直列に接続して構成する。この構成は、多段増幅器の段間整合条件の最適化に有効であり、多段増幅器全体の効率が向上する。この多段増幅器は、衛星通信、地上マイクロ波通信、移動体通信などで送信信号および受信信号の増幅に好適である。

明 細 書

多段増幅器

技術分野

この発明は、入力信号を段階的に増幅して出力する多段増幅器に関するものである。

背景技術

一般に F E T、B J T、H B T などの半導体素子を用いた多段増幅器においては、入力、段間、出力の整合回路は半導体素子の性能を引き出すように構成される。

第 1 図は例えば「信学技報 MW 9 5 - 7 3 (1 9 9 5 年 7 月 発 行) 」に示された従来の多段増幅器を示す等価回路図であり、図において、1 は信号を入力する入力端子、2 は増幅後の信号を出力する出力端子、3 は入力端子 1 から入力された信号を増幅する前段増幅素子、4 は前段増幅素子 3 により増幅された信号を増幅する後段増幅素子である。

5 は多段増幅器の入力整合回路、6 は前段増幅素子 3 と後段増幅素子 4 間のインピーダンス整合を図る段間整合回路、7 はバイアス回路、8 は多段増幅器の出力整合回路、9 はバイアス供給用ショートスタブ、1 0 は並列キャパシタ、1 1 は直列線路、1 2 は直列キャパシタである。

なお、前段増幅素子 3 及び後段増幅素子 4 は F E T、B J T、M O S F E T、H E M T、H B T などにより構成される。

次に動作について説明する。

入力端子 1 から信号が入力されると、その信号は入力整合回路 5 を介して前段増幅素子 3 に入力され、前段増幅素子 3 により増幅される。

前段増幅素子 3 により増幅された信号は、段間整合回路 6 及びバイアス回路 7 を介して後段増幅素子 4 に入力され、後段増幅素子 4 により増幅される。

後段増幅素子 4 により増幅された信号は、出力整合回路 8 を介して出力端子 2 から出力される。

ここで、段間整合回路 6 の作用を説明する。

段間整合回路 6 は、段間のある基準面において、インピーダンスが共役となるように整合を実施する。第 2 図は多段増幅器の段間における整合条件の一般例を示す説明図である。

第 2 図に示すように、前段増幅素子 3 の出力インピーダンスを S_{Y_FET} 、前段増幅素子 3 から出力側を見たインピーダンス（前段増幅素子 3 の出力負荷インピーダンス）を Γ_{out} 、後段増幅素子 4 の入力インピーダンスを S_{X_FET} 、後段増幅素子 4 から入力側を見たインピーダンス（後段増幅素子 4 の入力電源インピーダンス）を Γ_{in} と定義する。

多段増幅器が小信号動作する場合、前段増幅素子 3 の最適出力負荷インピーダンス Γ_{opt_out} は前段増幅素子 3 の出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ と一致し、後段増幅素子 4 の最適入力電源インピーダンス Γ_{opt_in} は後段増幅素子 4 の入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ と一致する。

したがって、前段増幅素子 3 の出力端 X において、複素共役整合を実現する場合には、段間整合回路 6 は、第 2 図 (b) に示すように、後段増幅素子 4 の入力インピーダンス S_{X_FET} から前段増幅素子 3 の出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ ($=\Gamma_{opt_out}$) へのインピーダンス変換を行うように設計される。

また、後段増幅素子 4 の入力端 Y において、複素共役整合を実現する場合には、段間整合回路 6 は、第 2 図 (c) に示すように、前段増幅素

子3の出カインピーダンス S_{Y_FET} から後段増幅素子4の入カインピーダンスの複素共役インピーダンス $S_{X_FET}^*$ ($=\Gamma_{opt_in}$) へのインピーダンス変換を行うように設計される。

これにより、段間整合回路6が無損失な場合には、一般的に、前段増幅素子3の出力端Xにおいて複素共役整合を実現すれば、同時に後段増幅素子4の入力端Yにおいて複素共役整合を実現することができる。

しかし、多段増幅器を使用する入力レベルは、多段増幅器の最終段の増幅素子や、その前段の増幅素子においては、小信号動作ではなく大信号動作となる。

大信号動作時においては、増幅素子の入出力インピーダンスは小信号動作時とは異なる値となり、さらに、効率を最大とする最適なインピーダンスは入出力インピーダンスと異なる値になる。したがって、大信号動作時においては、前段増幅素子3の最適出力負荷インピーダンス Γ_{opt_out} は、前段増幅素子3の出カインピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ と一致せずに異なるインピーダンスとなる。同様に、後段増幅素子4の最適入力電源インピーダンス Γ_{opt_in} は、後段増幅素子4の入カインピーダンスの複素共役インピーダンス $S_{X_FET}^*$ と一致せずに異なるインピーダンスとなる。

これにより、前段増幅素子3の出力端Xにおいて複素共役整合を実現する場合には、段間整合回路6は、第2図(b)に示すように、後段増幅素子4の入カインピーダンス S_{X_FET} から前段増幅素子3の最適出力負荷インピーダンス Γ_{opt_out} ($\neq S_{Y_FET}^*$) へのインピーダンス変換を行うように設計される。また、後段増幅素子4の入力端Yにおいて複素共役整合を実現する場合には、段間整合回路6は、第2図(c)に示すように、前段増幅素子3の出カインピーダンス S_{Y_FET} から後段増幅素子4の最適入力電源インピーダンス Γ_{opt_in} ($\neq S_{X_FET}^*$)

E_T^*) へのインピーダンス変換を行うように設計される。

この場合、一般的には、全く同じ段間整合回路 6 を用いて、前段増幅素子 3 の出力端 X における共役整合と、後段増幅素子 4 の入力端 Y における共役整合を同時に実現することができない。

従来の多段増幅器は以上のように構成されているので、前段増幅素子 3 の出力負荷インピーダンス S_{Y_FET} と、後段増幅素子 4 の入力電源インピーダンス S_{X_FET} とを同時に最適インピーダンスに整合することができず、多段増幅器全体の効率が低くなる課題があった。

この発明は上記のような課題を解決するためになされたもので、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができる多段増幅器を得ることを目的とする。

発明の開示

この発明に係る多段増幅器は、1 段ハイパスフィルタ型整合器と 1 段ローパスフィルタ型整合器を直列に接続して、整合回路を構成するようにしたものである。

このことによって、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができるため、多段増幅器全体の効率を高めることができる効果がある。

この発明に係る多段増幅器は、最終段の増幅素子と、その前段の増幅素子間に挿入される整合回路に限り、1 段ハイパスフィルタ型整合器と 1 段ローパスフィルタ型整合器を直列に接続して構成するようにしたものである。

このことによって、多段増幅器の小型化を図ることができる効果があ

る。

この発明に係る多段増幅器は、1段ハイパスフィルタ型整合器を入力側に設置し、1段ローパスフィルタ型整合器を出力側に設置する整合回路を設けたものである。

このことによって、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができる効果がある。

この発明に係る多段増幅器は、1段ローパスフィルタ型整合器を入力側に設置し、1段ハイパスフィルタ型整合器を出力側に設置する整合回路を設けたものである。

このことによって、前段増幅素子の出力負荷インピーダンスと後段増幅素子の入力電源インピーダンスの両方を最適インピーダンスに整合することができる効果がある。

この発明に係る多段増幅器は、並列インダクタと直列キャパシタから1段ハイパスフィルタ型整合器を構成するようにしたものである。

このことによって、小型の1段ハイパスフィルタ型整合器を得ることができる効果がある。

この発明に係る多段増幅器は、並列インダクタとして、長さが4分の1波長以下のバイアス供給用ショートスタブを用いるようにしたものである。

このことによって、前段増幅素子の出力側のバイアス供給線路を兼ねることができるため、多段増幅器の小型化を図ることができる効果がある。

この発明に係る多段増幅器は、並列キャパシタと直列インダクタから1段ローパスフィルタ型整合器を構成するようにしたものである。

このことによって、小型の1段ローパスフィルタ型整合器を得ること

ができる効果がある。

この発明に係る多段増幅器は、直列インダクタとして、直列線路を用いるようにしたものである。

このことによって、小型の1段ローパスフィルタ型整合器を得ることができる効果がある。

図面の簡単な説明

第1図は従来の多段増幅器を示す等価回路図である。

第2図は多段増幅器の段間における整合条件の一般例を示す説明図である。

第3図はこの発明の実施の形態1による多段増幅器を示す等価回路図である。

第4図は前段増幅素子の最適出力負荷インピーダンスと後段増幅素子の最適入力電源インピーダンスを示す説明図である。

第5図は1段ハイパスフィルタ型整合器と1段ローパスフィルタ型整合器を用いて段間整合回路を構成した場合の段間のインピーダンスを示す説明図である。

第6図はこの発明の実施の形態2による多段増幅器を示す等価回路図である。

第7図は1段ローパスフィルタ型整合器と1段ハイパスフィルタ型整合器を用いて段間整合回路を構成した場合の段間のインピーダンスを示す説明図である。

第8図はこの発明の実施の形態3による多段増幅器を示す等価回路図である。

第9図はこの発明の実施の形態4による多段増幅器を示す等価回路図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1.

第 3 図はこの発明の実施の形態 1 による多段増幅器を示す等価回路図であり、図において、21 は信号を入力する入力端子、22 は増幅後の信号を出力する出力端子、23 は入力端子 21 から入力された信号を増幅する前段増幅素子、24 は前段増幅素子 23 により増幅された信号を増幅する後段増幅素子である。

25 は多段増幅器の入力整合回路、26 は前段増幅素子 23 と後段増幅素子 24 間のインピーダンス整合を図る段間整合回路、27 は多段増幅器の出力整合回路、28 は段間整合回路 26 を構成する 1 段ハイパスフィルタ型整合器、29 は段間整合回路 26 を構成する 1 段ローパスフィルタ型整合器である。

31 は 1 段ハイパスフィルタ型整合器 28 を構成する並列インダクタ、32 は 1 段ハイパスフィルタ型整合器 28 を構成する直列キャパシタ、33 は 1 段ローパスフィルタ型整合器 29 を構成する並列キャパシタ、34 は 1 段ローパスフィルタ型整合器 29 を構成する直列インダクタである。

なお、前段増幅素子 23 及び後段増幅素子 24 は FET、BJT、MOSFET、HEMT、HBT などにより構成される。

次に動作について説明する。

入力端子 21 から信号が入力されると、その信号は入力整合回路 25 を介して前段増幅素子 23 に入力され、前段増幅素子 23 により増幅される。

前段増幅素子 23 により増幅された信号は、1 段ハイパスフィルタ型整合器 28 と 1 段ローパスフィルタ型整合器 29 から構成される段間整合回路 26 を介して後段増幅素子 24 に入力され増幅され、後段増幅素子 24 により増幅される。

後段増幅素子 24 により増幅された信号は、出力整合回路 27 を介して出力端子 22 から出力される。

ここで、第 4 図 (a) に前段増幅素子 23 として、例えば、ゲート幅が 5.8 mm の HEMT 素子の最適出力負荷インピーダンス Γ_{opt_out} を示すとともに、出カインピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ を示す。

また、第 4 図 (b) に後段増幅素子 24 として、例えば、ゲート幅が 17.5 mm の HEMT 素子の最適入力電源インピーダンス Γ_{opt_in} を示すとともに、入カインピーダンスの複素共役インピーダンス $S_{X_FET}^*$ を示す。

どちらの HEMT 素子もバイアス条件は A B 級である。この場合、前段増幅素子 23 のゲート幅は後段増幅素子 24 のゲート幅の 2 分の 1 以下になっている。

後段増幅素子 24 (ゲート幅が 17.5 mm の HEMT 素子) の最適入力電源インピーダンス Γ_{opt_in} は、バックオフ 3 dB 程度 of 出力電力レベルにおいて、所定の歪みの条件を満足するとき、最大の効率が得られるインピーダンスであり、ロードプル・ソースプル測定をして求めた結果である。

前段増幅素子 23 (ゲート幅が 5.8 mm の HEMT 素子) の最適出力負荷インピーダンス Γ_{opt_out} は、ゲート幅が 17.5 mm の上記 HEMT 素子に対するロードプル・ソースプル測定の結果と、ゲート幅が 5.8 mm の HEMT 素子に対するロードプル・ソースプル測定の結果

果から、前段増幅素子 2 3 と後段増幅素子 2 4 の特性を組み合わせた際に、2 段増幅器としてバックオフ 3 d B 程度の出力電力レベルにおいて、所定の歪みの条件を満足するとき、最大の効率が得られる組み合わせを求め、最大効率が得られる組み合わせの場合の前段増幅素子 2 3 の出力負荷インピーダンスとして求めた結果である。

第 4 図 (a) より、前段増幅素子 2 3 (ゲート幅が 5 . 8 m m の H E M T 素子) の最適出力負荷インピーダンス Γ_{opt_out} は、出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ と比較して、インピーダンスの実部は低インピーダンス方向に移動し、インピーダンスの虚部は誘導性方向に移動している。

また、第 4 図 (b) より、後段増幅素子 2 4 (ゲート幅が 1 7 . 5 m m の H E M T 素子) の最適入力電源インピーダンス Γ_{opt_in} は、入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ と比較して、インピーダンスの実部は高インピーダンス方向に移動し、インピーダンスの虚部は誘導性方向に移動している。

次に、1 段ハイパスフィルタ型整合器 2 8 と 1 段ローパスフィルタ型整合器 2 9 から構成された段間整合回路 2 6 を多段増幅器に用いた場合の前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} と後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を第 5 図に示す。

第 5 図 (a) , (b) において、◆印で示されたインピーダンスが出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$, 入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ をそれぞれ表し、点線の円で示された領域が第 4 図 (a) , (b) で示された最適出力負荷インピーダンス Γ_{opt_out} , 最適入力電源インピーダンス Γ_{opt_in} の近傍の領域をそれぞれ表している。

ここで、1 段ハイパスフィルタ型整合器 2 8 と 1 段ローパスフィルタ

型整合器 29 から構成された段間整合回路 26 を多段増幅器に用いた場合において、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を、後段増幅素子 24 の入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ とは異なる点に整合したとき、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} がどのようなインピーダンスになるかを想定する。

例えば、第 5 図 (b) のように、後段増幅素子 24 の入力電源インピーダンス Γ_{in} が A の ●印のインピーダンスに整合されるように段間整合回路 26 を作成すると、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} は第 5 図 (a) の A の ●印のインピーダンスになる。

その他、B ~ H の ●印のインピーダンスについても、A の ●印のインピーダンスと同様に、第 5 図 (a) と第 5 図 (b) において対応したインピーダンスとなる。

このように、整合すべき後段増幅素子 24 の入力電源インピーダンス Γ_{in} を、A ~ H の ●印のインピーダンスのように円周上に変化させると、B の ●印のインピーダンスについては、第 5 図 (a) , (b) に示すように、点線の円の領域で示された最適出力負荷インピーダンス Γ_{opt_out} の近傍の領域に存在し、かつ、最適入力電源インピーダンス Γ_{opt_in} の近傍の領域に存在する。

したがって、多段増幅器の段間整合回路 26 を 1 段ハイパスフィルタ型整合器 28 と 1 段ローパスフィルタ型整合器 29 から構成することにより、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体の効率を高めることができる効果を奏する。

なお、段間整合回路 26 の構成として、1 段ローパスフィルタ型整合器、1 段ハイパスフィルタ型整合器、2 段ローパスフィルタ型整合器又は 2 段ハイパスフィルタ型整合器を用いる場合には、第 5 図 (b) において、後段増幅素子 24 の入力電源インピーダンス Γ_{in} が最適入力電源インピーダンス Γ_{opt_in} 近傍の B の●印のインピーダンスとなるように段間整合回路 26 を作成すると、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} は、第 5 図 (a) の B の●印のインピーダンスとは大きく異なるインピーダンスとなり、前段増幅素子 3 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に一致させることができず、また、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に一致させることができない。

第 1 図の従来例の場合、バイアス供給用ショートスタブ 9 は 4 分の 1 波長に近い長さを有し、直列キャパシタ 12 は十分大きな値を有し、どちらも使用周波数においてインピーダンスに影響を与えない値としているため、段間整合回路 6 は並列キャパシタ 10 と直列線路 11 で構成される 1 段ローパスフィルタ型整合器と言える。したがって、前段増幅素子 3 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に一致させることができず、また、後段増幅素子 4 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に一致させることができない。

この実施の形態 1 では、段数が 2 段の多段増幅器について示したが、段数が 3 段以上の多段増幅器の場合には、少なくとも、最終段の増幅素子と、その前段の増幅素子間の段間整合回路 26 (以下、「最終段の段間整合回路」という) が、1 段ハイパスフィルタ型整合器 28 と 1 段ローパスフィルタ型整合器 29 から構成されていればよく、最終段の段間

整合回路 26 より入力側方向に存在する段間整合回路 26 については、1 段ハイパスフィルタ型整合器 28 と 1 段ローパスフィルタ型整合器 29 から構成されていなくても、この実施の形態 1 と同様の効果を奏することができる。

これにより、最終段の段間整合回路 26 より入力側方向に存在する段間整合回路 26 については、例えば、1 段ローパスフィルタ型整合器などの小型の整合回路を用いることができるので、多段増幅器の小型化を図ることができる効果を奏する。

実施の形態 2 .

第 6 図はこの発明の実施の形態 2 による多段増幅器を示す等価回路図であり、図において、第 3 図と同一符号は同一または相当部分を示すので説明を省略する。

41 は前段増幅素子 23 と後段増幅素子 24 間のインピーダンス整合を図る段間整合回路、42 は段間整合回路 41 を構成する 1 段ローパスフィルタ型整合器、43 は段間整合回路 41 を構成する 1 段ハイパスフィルタ型整合器である。

44 は 1 段ローパスフィルタ型整合器 42 を構成する並列キャパシタ、45 は 1 段ローパスフィルタ型整合器 42 を構成する直列インダクタ、46 は 1 段ハイパスフィルタ型整合器 43 を構成する並列インダクタ、47 は 1 段ハイパスフィルタ型整合器 43 を構成する直列キャパシタである。

次に動作について説明する。

上記実施の形態 1 では、入力側に 1 段ハイパスフィルタ型整合器 28 を設置し、出力側に 1 段ローパスフィルタ型整合器 29 を設置する段間整合回路 26 を用いるものについて示したが、入力側に 1 段ローパスフ

フィルタ型整合器 4 2 を設置し、出力側に 1 段ハイパスフィルタ型整合器 4 3 を設置する段間整合回路 4 1 を用いるようにしてもよい。具体的には次の通りである。

1 段ローパスフィルタ型整合器 4 2 と 1 段ハイパスフィルタ型整合器 4 3 から構成された段間整合回路 4 1 を多段増幅器に用いた場合の前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} と後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を第 7 図に示す。

第 7 図 (a), (b) において、◆印で示されたインピーダンスが出力インピーダンスの複素共役インピーダンス $S_{Y_FET}^*$ 、入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ をそれぞれ表し、点線の円で示された領域が第 4 図 (a), (b) で示された最適出力負荷インピーダンス Γ_{opt_out} 、最適入力電源インピーダンス Γ_{opt_in} の近傍の領域をそれぞれ表している。

ここで、1 段ローパスフィルタ型整合器 4 2 と 1 段ハイパスフィルタ型整合器 4 3 から構成された段間整合回路 4 1 を多段増幅器に用いた場合において、後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を、後段増幅素子 2 4 の入力インピーダンスの複素共役インピーダンス $S_{X_FET}^*$ とは異なる点に整合したとき、前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} がどのようなインピーダンスになるかを想定する。

例えば、第 7 図 (b) のように、後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} が A の●印のインピーダンスに整合されるように段間整合回路 4 1 を作成すると、前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} は第 7 図 (a) の A の●印のインピーダンスになる。

その他、B ~ H の●印のインピーダンスについても、A の●印のインピーダンスと同様に、第 7 図 (a) と第 7 図 (b) において対応したインピーダンスとなる。

このように、整合すべき後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を、A ~ H の ● 印のインピーダンスのように円周上に変化させると、B の ● 印のインピーダンスについては、第 7 図 (a), (b) に示すように、点線の円の領域で示された最適出力負荷インピーダンス Γ_{opt_out} の近傍の領域に存在し、かつ、最適入力電源インピーダンス Γ_{opt_in} の近傍の領域に存在する。

したがって、多段増幅器の段間整合回路 4 1 を 1 段ローパスフィルタ型整合器 4 2 と 1 段ハイパスフィルタ型整合器 4 3 から構成することにより、前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体の効率を高めることができる効果を奏する。

実施の形態 3 .

第 8 図はこの発明の実施の形態 3 による多段増幅器を示す等価回路図であり、図において、第 3 図と同一符号は同一または相当部分を示すので説明を省略する。

5 1 は 1 段ハイパスフィルタ型整合器 2 8 を構成する長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ、5 2 は 1 段ローパスフィルタ型整合器 2 9 を構成する直列線路である。

次に動作について説明する。

上記実施の形態 1 では、1 段ハイパスフィルタ型整合器 2 8 を並列インダクタ 3 1 と直列キャパシタ 3 2 から構成し、1 段ローパスフィルタ型整合器 2 9 を並列キャパシタ 3 3 と直列インダクタ 3 4 から構成する

ものについて示したが、並列インダクタ 31 の代わりに長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ 51 を用いて 1 段ハイパスフィルタ型整合器 28 を構成し、直列インダクタ 34 の代わりに直列線路 52 を用いて 1 段ローパスフィルタ型整合器 29 を構成するようにしてもよい。

並列のショートスタブは長さが 4 分の 1 波長以下の場合には、並列のインダクタと同等の電気的特性を有する。また、直列線路も直列のインダクタと同等の電気的特性を有する。

したがって、バイアス供給用ショートスタブ 51 を構成要素とする 1 段ハイパスフィルタ型整合器 28 と、直列線路 52 を構成要素とする 1 段ローパスフィルタ型整合器 29 とから多段増幅器の段間整合回路 26 を構成することにより、前段増幅素子 23 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 24 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体での効率を高めることができる効果を奏する。

また、並列インダクタ 31 の代わりに長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ 51 を用いて 1 段ハイパスフィルタ型整合器 28 を構成することにより、前段増幅素子 23 の出力側のバイアス供給線路を兼ねることができるため、多段増幅器の小型化を図ることができる効果を奏する。

実施の形態 4 .

第 9 図はこの発明の実施の形態 4 による多段増幅器を示す等価回路図であり、図において、第 6 図と同一符号は同一または相当部分を示すの

で説明を省略する。

6 1 は 1 段ローパスフィルタ型整合器 4 2 を構成する直列線路、6 2 は 1 段ハイパスフィルタ型整合器 4 3 を構成する長さが 4 分の 1 波長以下のバイアス供給用ショートスタブである。

次に動作について説明する。

上記実施の形態 2 では、1 段ローパスフィルタ型整合器 4 2 を並列キャパシタ 4 4 と直列インダクタ 4 5 から構成し、1 段ハイパスフィルタ型整合器 4 3 を並列インダクタ 4 6 と直列キャパシタ 4 7 から構成するものについて示したが、直列インダクタ 4 5 の代わりに直列線路 6 1 を用いて 1 段ローパスフィルタ型整合器 4 2 を構成し、並列インダクタ 4 6 の代わりに長さが 4 分の 1 波長以下のバイアス供給用ショートスタブ 6 2 を用いて 1 段ハイパスフィルタ型整合器 4 3 を構成するようにしてもよい。

直列線路は直列のインダクタと同等の電気的特性を有し、また、並列のショートスタブは長さが 4 分の 1 波長以下の場合には、並列のインダクタと同等の電気的特性を有する。

したがって、直列線路 6 1 を構成要素とする 1 段ローパスフィルタ型整合器 4 2 とバイアス供給用ショートスタブ 6 2 を構成要素とする 1 段ハイパスフィルタ型整合器 4 3 とから多段増幅器の段間整合回路 2 6 を構成することにより、前段増幅素子 2 3 の出力負荷インピーダンス Γ_{out} を最適出力負荷インピーダンス Γ_{opt_out} に略一致させることができるとともに、後段増幅素子 2 4 の入力電源インピーダンス Γ_{in} を最適入力電源インピーダンス Γ_{opt_in} に略一致させることができる。

これにより、多段増幅器の段間整合条件をより最適化することができるため、多段増幅器全体での効率を高めることができる効果を奏する。

また、並列インダクタ 4 6 の代わりに長さが 4 分の 1 波長以下のバイ

アス供給用ショートスタブ62を用いて1段ハイパスフィルタ型整合器43を構成することにより、前段増幅素子23の出力側のバイアス供給線路を兼ねることができるため、多段増幅器の小型化を図ることができる効果を奏する。

産業上の利用可能性

以上のように、この発明に係る多段増幅器は、衛星通信、地上マイクロ波通信、移動体通信等を実施する際、送信信号や受信信号等を増幅するものなどに適している。

請 求 の 範 囲

1. 入力信号を段階的に増幅して出力する複数の増幅素子と、上記各増幅素子間にそれぞれ挿入され、相互に隣り合う増幅素子間のインピーダンス整合を図る整合回路とを備えた多段増幅器において、1段ハイパスフィルタ型整合器と1段ローパスフィルタ型整合器を直列に接続して、上記整合回路を構成することを特徴とする多段増幅器。

2. 最終段の増幅素子と、その前段の増幅素子間に挿入される整合回路に限り、1段ハイパスフィルタ型整合器と1段ローパスフィルタ型整合器を直列に接続して構成することを特徴とする請求の範囲第1項記載の多段増幅器。

3. 1段ハイパスフィルタ型整合器を入力側に設置し、1段ローパスフィルタ型整合器を出力側に設置することを特徴とする請求の範囲第1項記載の多段増幅器。

4. 1段ローパスフィルタ型整合器を入力側に設置し、1段ハイパスフィルタ型整合器を出力側に設置することを特徴とする請求の範囲第1項記載の多段増幅器。

5. 並列インダクタと直列キャパシタから1段ハイパスフィルタ型整合器を構成することを特徴とする請求の範囲第1項記載の多段増幅器。

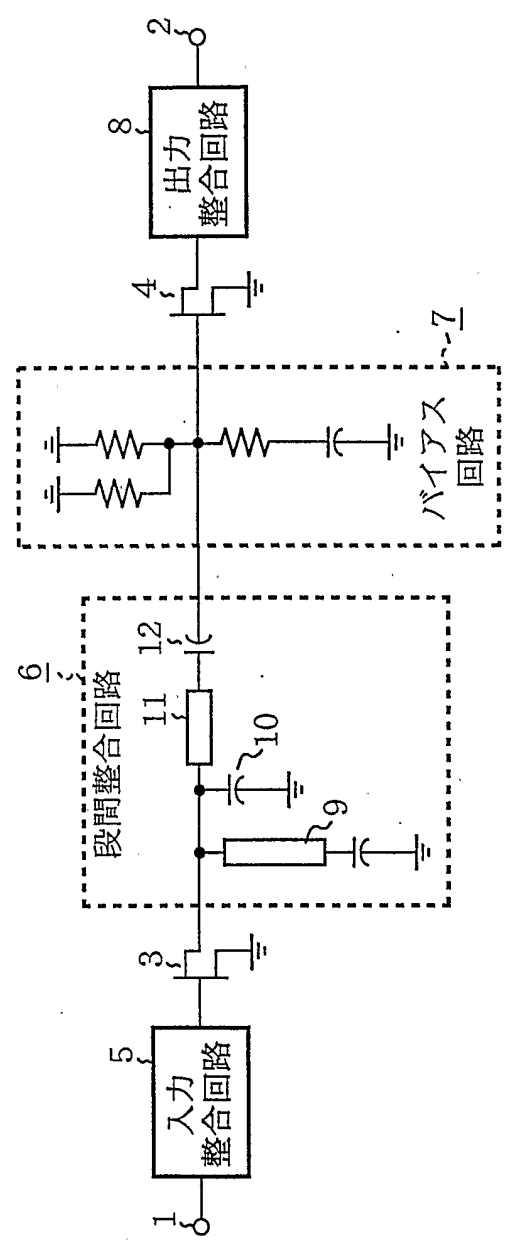
6. 並列インダクタとして、長さが4分の1波長以下のバイアス供給用ショートスタブを用いることを特徴とする請求の範囲第5項記載の多段

増幅器。

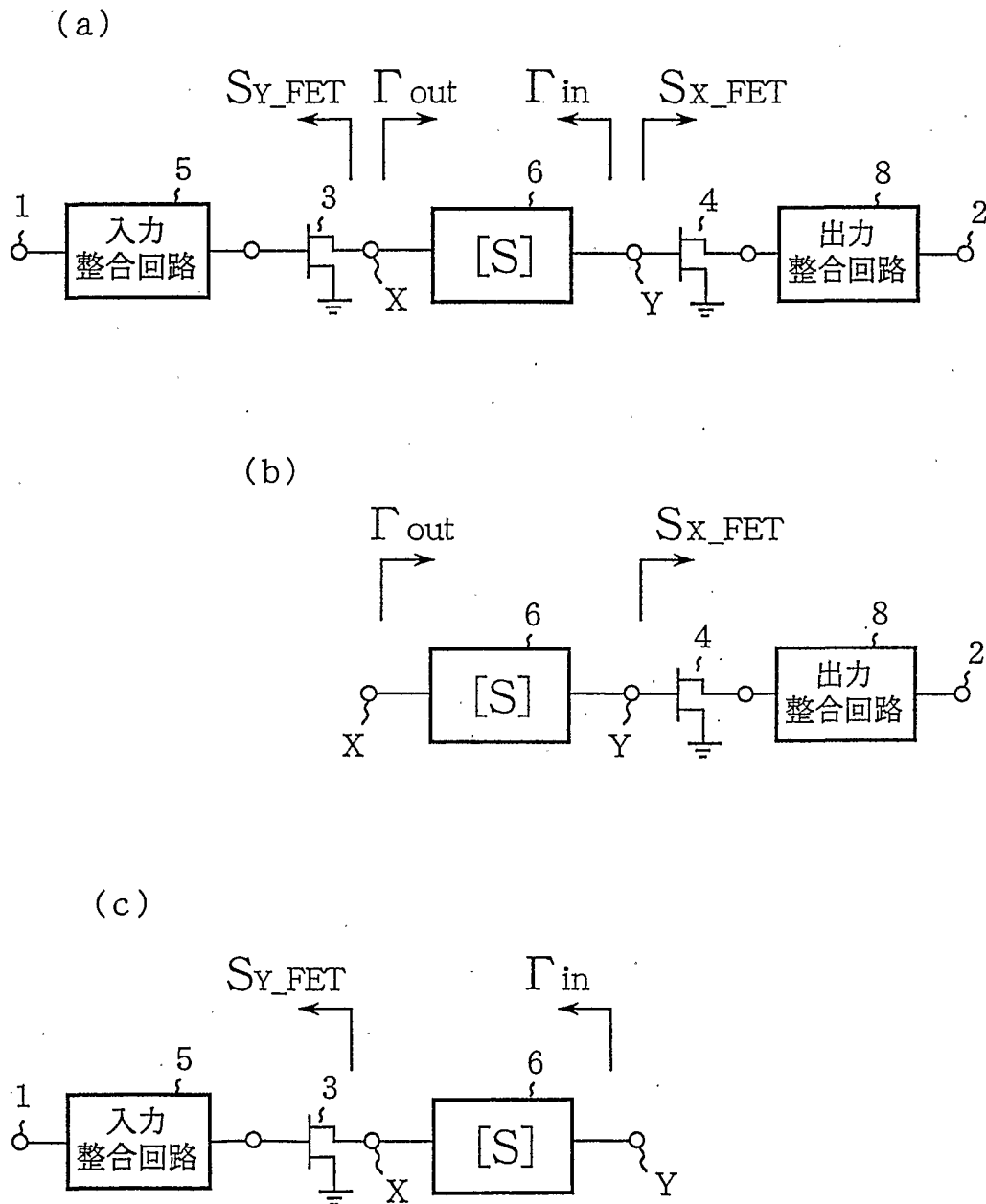
7. 並列キャパシタと直列インダクタから1段ローパスフィルタ型整合器を構成することを特徴とする請求の範囲第1項記載の多段増幅器。

8. 直列インダクタとして、直列線路を用いることを特徴とする請求の範囲第7項記載の多段増幅器。

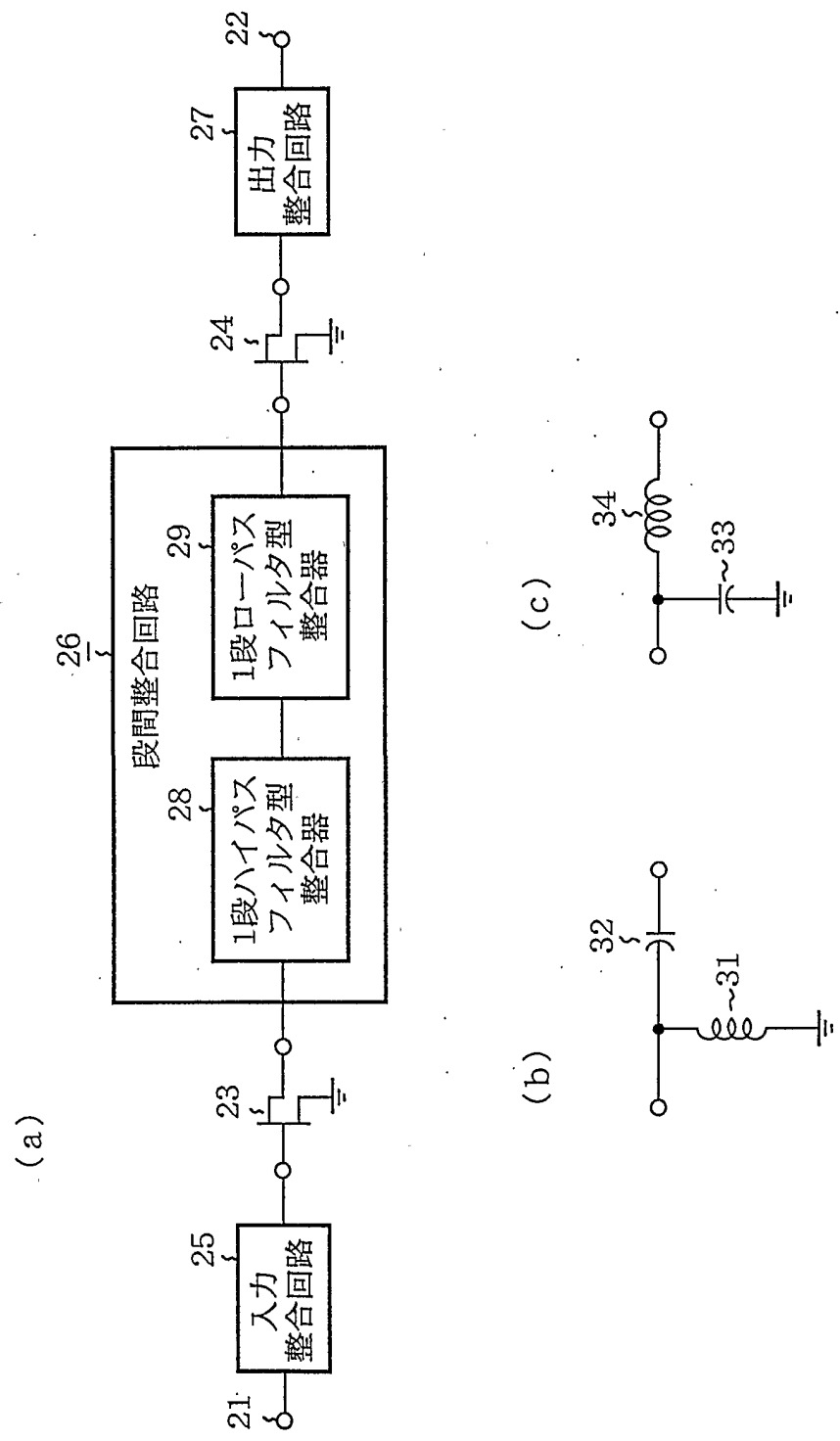
第 1 図



第 2 図

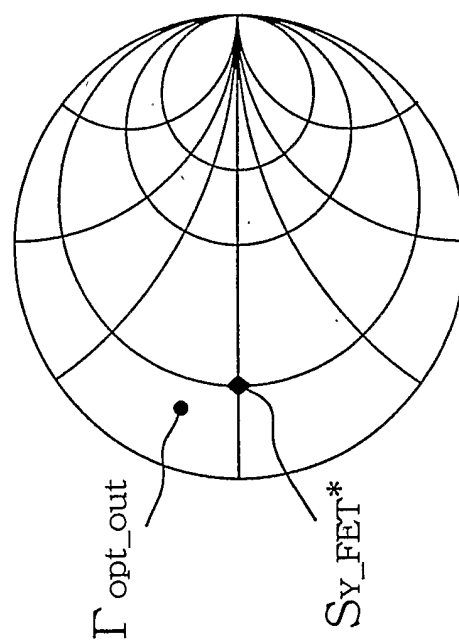


第 3 図

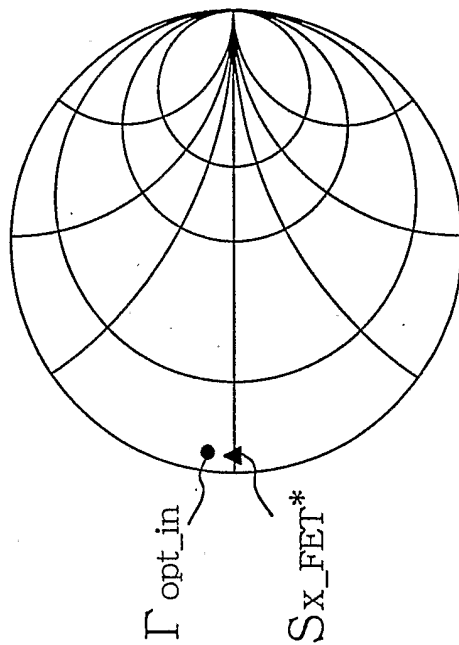


第 4 図

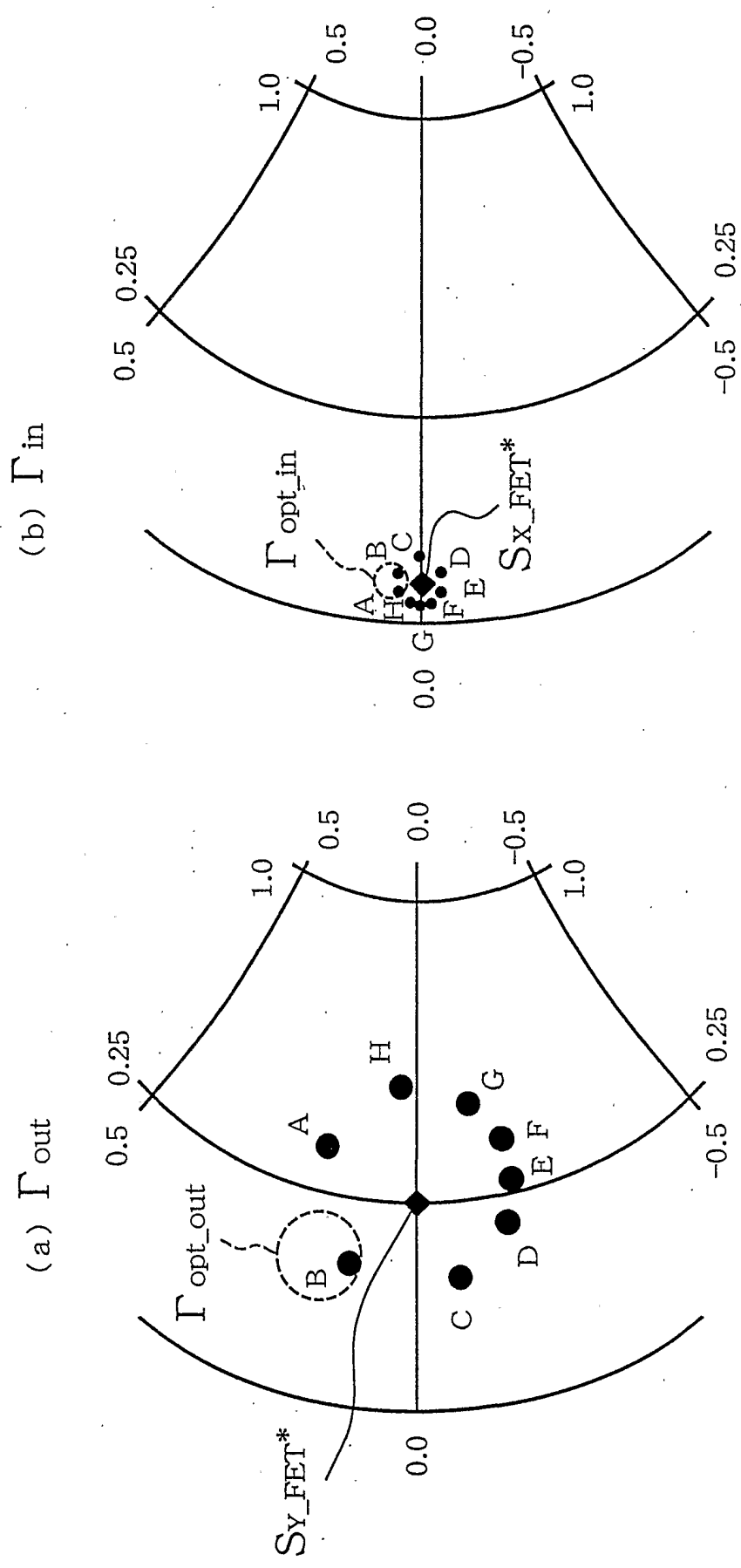
(a) Γ_{out}



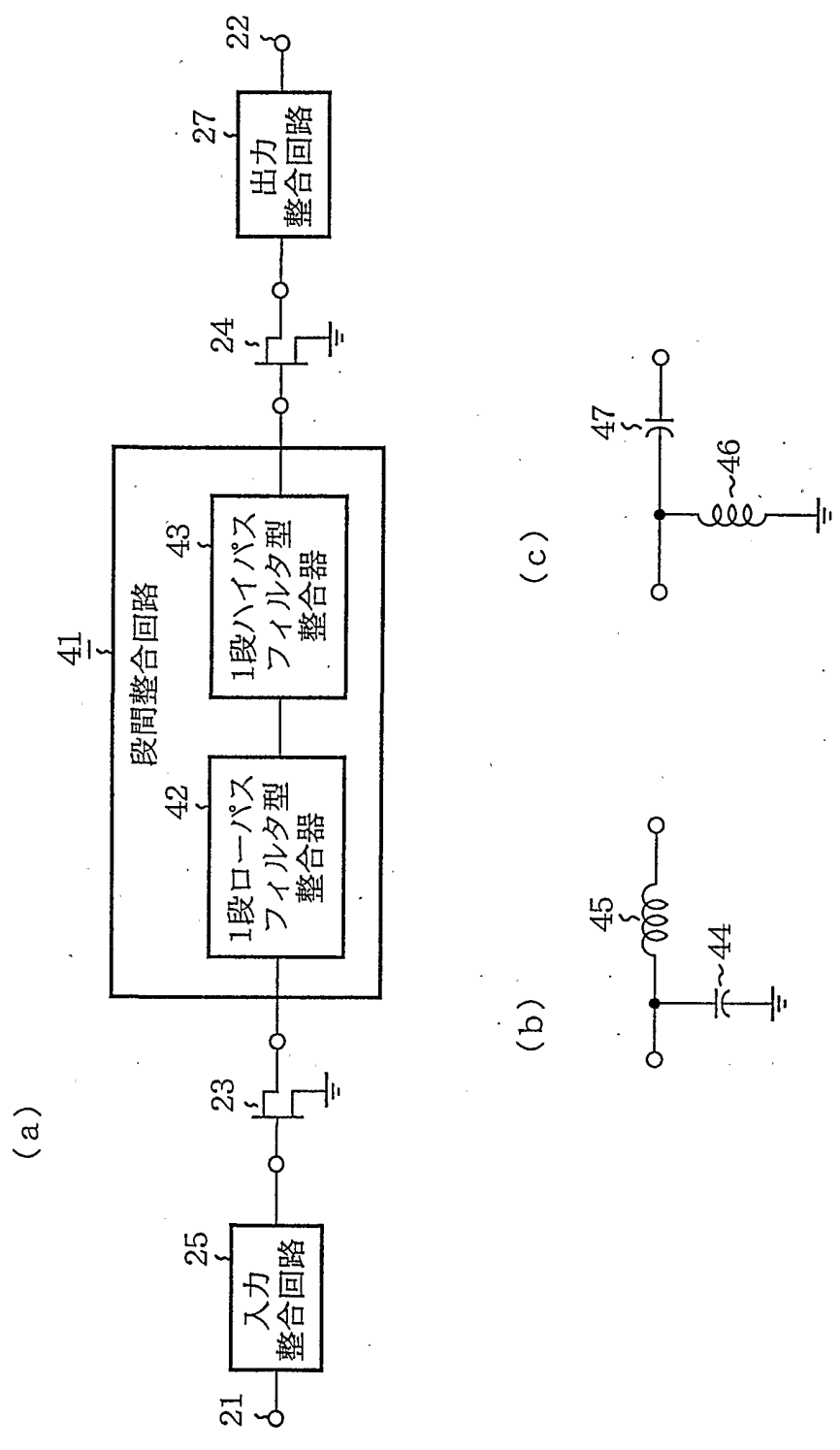
(b) Γ_{in}



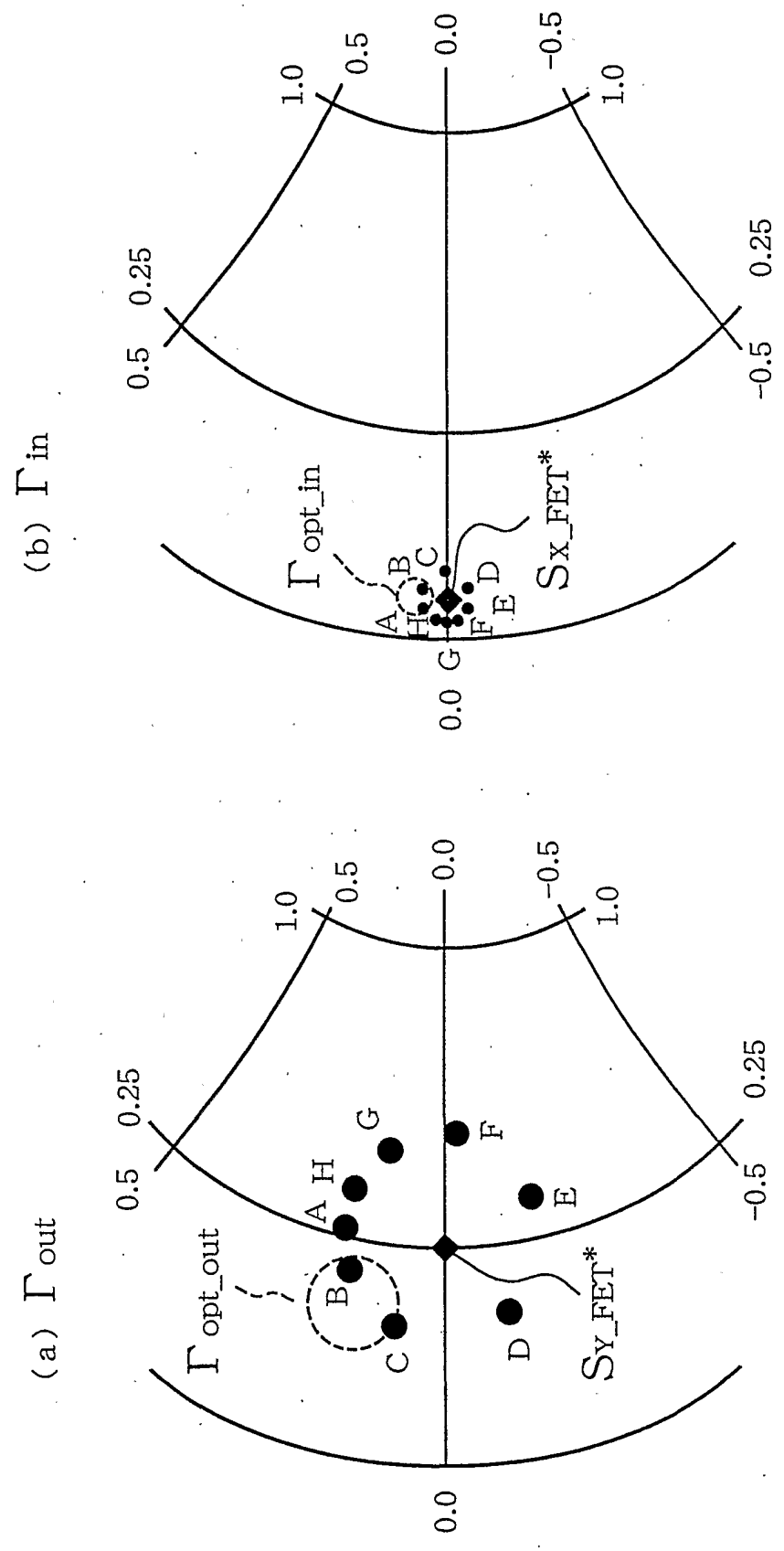
第 5 図



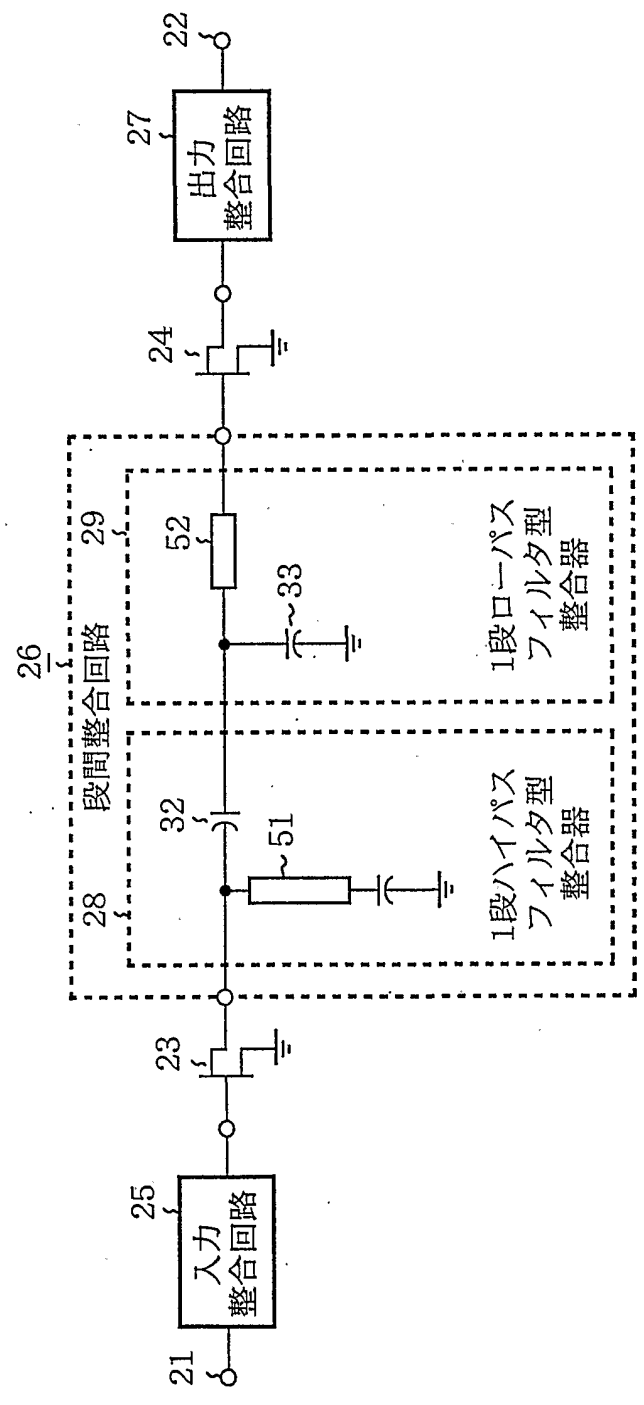
第 6 図



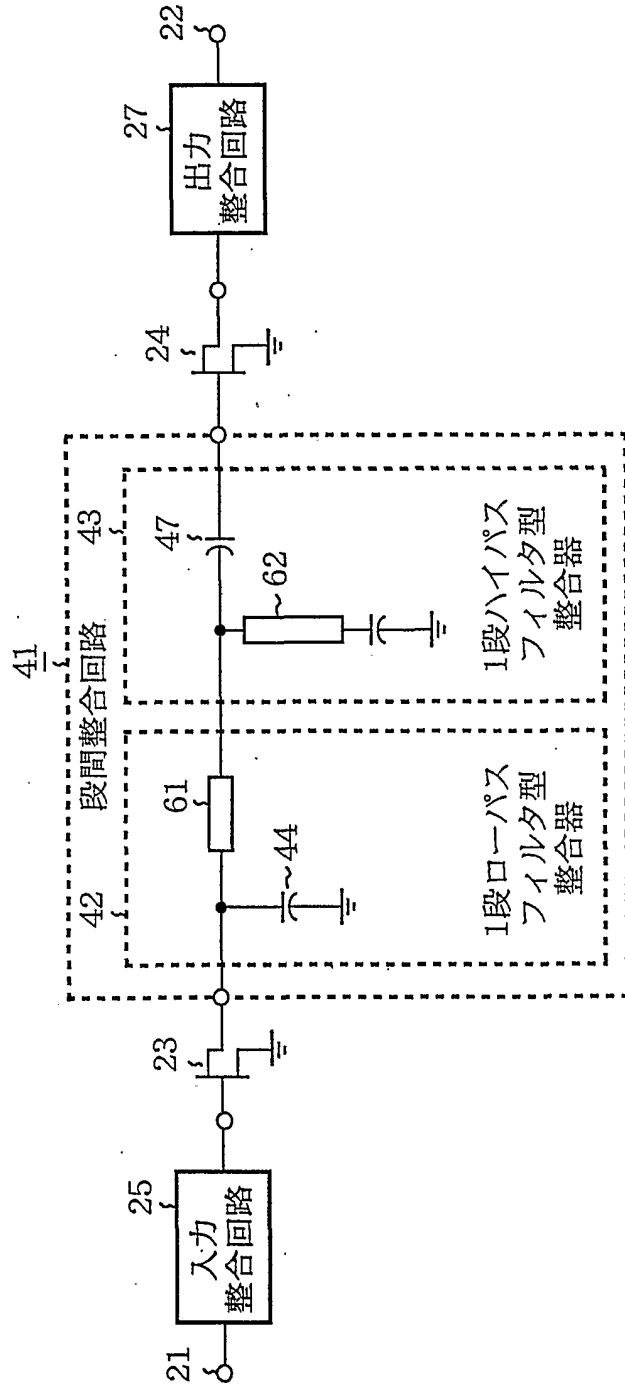
第 7 図



第 8 図



第 9 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00682

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03F 3/60, H03H 7/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H03F 1/00-1/56, H03F 3/00-3/72,
H03H 7/00-7/13, H03H 7/38-7/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-56339, A (Murata MFG. Co., Ltd.), 24 February, 1998 (24.02.98), Figs. 3, 7 (Family: none)	1-8
A	EP, 823779, A2 (Murata MFG. Co., Ltd.), 11 February, 1998 (11.02.98), Fig. 12 & JP, 10-56340, A & US, 6054902, A	1-8
A	US, 5146178, A (Nippon Telegr. & Teleph. Corp. <NTT>), 08 September, 1992 (08.09.92), Figs. 4, 6 & JP, 4-183008, A & JP, 7-32335, B2	1-8
A	JP, 58-94210, A (Mitsubishi Electric Corporation), 04 June, 1983 (04.06.83), Fig. 2 (Family: none)	1-8
A	Technical Report of IEICE, Vol.95 No.179 MW95-73 (25.07.1995) "900 MHz-band Low Voltage Drive Linear Amplifire Module" Kazuhiko Nakahara, Mitsuru Mochizuki, Hideaki Katayama,	1-8

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
29 May, 2000 (29.05.00)

Date of mailing of the international search report
06 June, 2000 (06.06.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00682

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Hirochika Hanai, Yasushi Itoh, Tadashi Takagi, Yasuo Mitsui, pp.103-106	

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H03F 3/60, H03H 7/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H03F 1/00-1/56, H03F 3/00-3/72,
 H03H 7/00-7/13, H03H 7/38-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの

- 日本国実用新案公報 1926-1996
- 日本国公開実用新案公報 1971-2000
- 日本国登録実用新案公報 1994-2000
- 日本国実用新案登録公報 1996-2000

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)
 WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-56339, A (株式会社村田製作所) 24. 2月. 1998 (24. 02. 98) 図面第3図、第7図参照 (ファミリ ーなし)	1-8
A	EP, 823779, A2 (株式会社村田製作所) 11. 2月. 1 998 (11. 02. 98) 図面第12図参照 & JP, 10-56340, A & US, 6054902, A	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|--|---|
| <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p> | <p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p> |
|--|---|

国際調査を完了した日 29. 05. 00

国際調査報告の発送日 **06.06.00**

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 杉田 恵 印
 5 T 8936
 電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5 1 4 6 1 7 8, A (日本電信電話株式会社) 8. 9月. 1 9 9 2 (0 8. 0 9. 9 2) 図面第 4 図、第 6 図参照 & JP, 4-1 8 3 0 0 8, A & JP, 7-3 2 3 3 5, B 2	1-8
A	JP, 5 8-9 4 2 1 0, A (三菱電機株式会社) 4. 6月. 1 9 8 3 (0 4. 0 6. 8 3) 図面第 2 図参照 (ファミリーなし)	1-8
A	Technical Report of IEICE, Vol.95 No.179 MW95-73 (1995.07.2 5) "900MHz-band Low Voltage Drive Linear Amplifire Module" Kazuhiko Nakahara, Mitsuru Mochizuki, Hideaki Katayama, Hirochika Hanai, Yasushi Itoh, Tadashi Takagi, Yasuo Mitsui, pp.103-106	1-8