

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6573025号
(P6573025)

(45) 発行日 令和1年9月11日(2019.9.11)

(24) 登録日 令和1年8月23日(2019.8.23)

(51) Int. Cl.	F 1		
HO 2M 7/48 (2007.01)	HO 2M 7/48	Z	
HO 2M 7/487 (2007.01)	HO 2M 7/487		
HO 1L 25/07 (2006.01)	HO 1L 25/04	C	
HO 1L 25/18 (2006.01)	HO 1L 25/00	B	
HO 1L 25/00 (2006.01)			

請求項の数 8 (全 12 頁)

(21) 出願番号 特願2018-510221 (P2018-510221)
 (86) (22) 出願日 平成28年4月8日(2016.4.8)
 (86) 国際出願番号 PCT/JP2016/061584
 (87) 国際公開番号 W02017/175394
 (87) 国際公開日 平成29年10月12日(2017.10.12)
 審査請求日 平成30年9月14日(2018.9.14)

(73) 特許権者 501137636
 東芝三菱電機産業システム株式会社
 東京都中央区京橋三丁目1番1号
 (74) 代理人 100082175
 弁理士 高田 守
 (74) 代理人 100106150
 弁理士 高橋 英樹
 (72) 発明者 藤井 洋介
 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内

審査官 麻生 哲朗

最終頁に続く

(54) 【発明の名称】 マルチレベル電力変換装置

(57) 【特許請求の範囲】

【請求項1】

複数の半導体モジュールにより電力変換回路が構成されたマルチレベル電力変換装置であって、

正極回路に設けられた第1のコンデンサと、

前記第1のコンデンサと直列に接続され、負極回路に設けられた第2のコンデンサと、

前記正極回路から交流回路に電流が流れる第1のスイッチング素子及び前記第1のスイッチング素子と逆並列に接続された第1のダイオードにより構成された第1の電気回路と

、
 前記第1のコンデンサ及び前記第2のコンデンサにより構成されたコンデンサ回路と前記交流回路とを接続する電気経路を形成し、第2のスイッチング素子及び前記第2のスイッチング素子と直列に接続された第2のダイオードにより構成された第2の電気回路と、

前記コンデンサ回路と前記交流回路とを接続し、前記第2の電気回路と逆方向に電流が流れる電気経路を形成し、第3のスイッチング素子及び前記第3のスイッチング素子と直列に接続された第3のダイオードにより構成された第3の電気回路と、

前記交流回路から前記負極回路に電流が流れる第4のスイッチング素子及び前記第4のスイッチング素子と逆並列に接続された第4のダイオードにより構成された第4の電気回路と、

前記交流回路を構成するラミネート化された交流バスと、

前記交流バスと積層され、前記コンデンサ回路を構成するラミネート化されたコンデン

10

20

サブスト、

前記交流バス及び前記コンデンサバスと積層され、前記正極回路を構成するラミネート化された正極バスと、

前記交流バス及び前記コンデンサバスと積層され、前記負極回路を構成するラミネート化された負極バスとを備え、

複数の半導体モジュールは、前記第 1 の電気回路及び前記第 4 の電気回路が、それぞれ前記第 2 の電気回路又は前記第 3 の電気回路のいずれ一方と転流ループのインダクタンスが小さくなるように隣接して、配置されたことを特徴とするマルチレベル電力変換装置。

【請求項 2】

前記正極バスは、前記負極バスと重ならず、前記交流バス及び前記コンデンサバスと積層されたこと

を特徴とする請求項 1 に記載のマルチレベル電力変換装置。

【請求項 3】

前記複数の半導体モジュールは、

前記第 1 の電気回路が構成された第 1 の半導体モジュールと、

前記第 2 の電気回路が構成された第 2 の半導体モジュールと、

前記第 3 の電気回路が構成された第 3 の半導体モジュールと、

前記第 4 の電気回路が構成された第 4 の半導体モジュールとを含み、

前記第 1 の半導体モジュール及び前記第 4 の半導体モジュールは、それぞれ前記第 2 の半導体モジュール又は前記第 3 の半導体モジュールのいずれか一方と隣接するように配置されたこと

を特徴とする請求項 1 に記載のマルチレベル電力変換装置。

【請求項 4】

前記電力変換回路は、直流電力を交流電力に変換するインバータ動作をし、

前記第 2 の電気回路は、前記コンデンサ回路から前記交流回路に電流が流れるように構成され、

前記第 1 の半導体モジュールは、前記第 2 の半導体モジュールと隣接するように配置され、

前記第 4 の半導体モジュールは、前記第 3 の半導体モジュールと隣接するように配置されたこと

を特徴とする請求項 3 に記載のマルチレベル電力変換装置。

【請求項 5】

前記電力変換回路は、交流電力を直流電力に変換するコンバータ動作をし、

前記第 2 の電気回路は、前記コンデンサ回路から前記交流回路に電流が流れるように構成され、

前記第 1 の半導体モジュールは、前記第 3 の半導体モジュールと隣接するように配置され、

前記第 4 の半導体モジュールは、前記第 2 の半導体モジュールと隣接するように配置されたこと

を特徴とする請求項 3 に記載のマルチレベル電力変換装置。

【請求項 6】

前記複数の半導体モジュールは、

前記第 1 の電気回路及び前記第 2 の電気回路が構成された第 1 の半導体モジュールと、

前記第 3 の電気回路及び前記第 4 の電気回路が構成された第 2 の半導体モジュールとを含むこと

を特徴とする請求項 1 に記載のマルチレベル電力変換装置。

【請求項 7】

前記電力変換回路は、直流電力を交流電力に変換するインバータ動作をし、

前記第 2 の電気回路は、前記コンデンサ回路から前記交流回路に電流が流れるように構

10

20

30

40

50

成されたこと

を特徴とする請求項 6 に記載のマルチレベル電力変換装置。

【請求項 8】

前記電力変換回路は、交流電力を直流電力に変換するコンバータ動作をし、

前記第 2 の電気回路は、前記交流回路から前記コンデンサ回路に電流が流れるように構成されたこと

を特徴とする請求項 6 に記載のマルチレベル電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチレベル電力変換装置に関する。

【背景技術】

【0002】

一般に、スイッチング素子などの半導体モジュールにより、マルチレベル電力変換装置を構成することが知られている。

【0003】

例えば、電力変換回路の回路インダクタンスを抑え、また保守性を向上させるとともに、製造コストを低減するように構成した 3 レベル電力変換装置が開示されている（特許文献 1 参照）。

【0004】

しかしながら、半導体モジュールを用いて、マルチレベル電力変換装置を構成する場合、電力変換回路の配線部分の長さは、物理上の制限により、自由度が少ない。このため、スイッチング素子のオフ時に発生する転流ループのインダクタンスが大きくなると、サージ電圧が大きくなる。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2014 - 36509 号

【発明の概要】

【0006】

本発明の目的は、半導体モジュールにより構成され、スイッチング素子のオフ時のサージ電圧が抑制されるマルチレベル電力変換装置を提供することにある。

【0007】

本発明の観点に従ったマルチレベル電力変換装置は、複数の半導体モジュールにより電力変換回路が構成されたマルチレベル電力変換装置であって、正極回路に設けられた第 1 のコンデンサと、前記第 1 のコンデンサと直列に接続され、負極回路に設けられた第 2 のコンデンサと、前記正極回路から交流回路に電流が流れる第 1 のスイッチング素子及び前記第 1 のスイッチング素子と逆並列に接続された第 1 のダイオードにより構成された第 1 の電気回路と、前記第 1 のコンデンサ及び前記第 2 のコンデンサにより構成されたコンデンサ回路と前記交流回路とを接続する電気経路を形成し、第 2 のスイッチング素子及び前記第 2 のスイッチング素子と直列に接続された第 2 のダイオードにより構成された第 2 の電気回路と、前記コンデンサ回路と前記交流回路とを接続し、前記第 2 の電気回路と逆方向に電流が流れる電気経路を形成し、第 3 のスイッチング素子及び前記第 3 のスイッチング素子と直列に接続された第 3 のダイオードにより構成された第 3 の電気回路と、前記交流回路から前記負極回路に電流が流れる第 4 のスイッチング素子及び前記第 4 のスイッチング素子と逆並列に接続された第 4 のダイオードにより構成された第 4 の電気回路と、前記交流回路を構成するラミネート化された交流バスと、前記交流バスと積層され、前記コンデンサ回路を構成するラミネート化されたコンデンサバスと、前記交流バス及び前記コンデンサバスと積層され、前記正極回路を構成するラミネート化された正極バスと、前記交流バス及び前記コンデンサバスと積層され、前記負極回路を構成するラミネート化され

10

20

30

40

50

た負極バスとを備え、複数の半導体モジュールは、前記第 1 の電気回路及び前記第 4 の電気回路が、それぞれ前記第 2 の電気回路又は前記第 3 の電気回路のいずれ一方と転流ループのインダクタンスが小さくなるように隣接して、配置される。

【図面の簡単な説明】

【0008】

【図 1】図 1 は、本発明の第 1 の実施形態に係る 3 レベル電力変換装置の構成を示す構成図である。

【図 2】図 2 は、第 1 の実施形態に係る 3 レベル電力変換装置の電力変換回路の構成を示す回路図である。

【図 3】図 3 は、第 1 の実施形態の変形例に係る第 2 の半導体モジュール及び第 3 の半導体モジュールの電気回路の構成を示す回路図である。

10

【図 4】図 4 は、第 1 の実施形態に係る各半導体モジュールがそれぞれラミネートバスに接続された状態を示す側面図である。

【図 5】図 5 は、本発明の第 2 の実施形態に係る 3 レベル電力変換装置の構成を示す構成図である。

【図 6】図 6 は、第 2 の実施形態に係る 3 レベル電力変換装置の電力変換回路の構成を示す回路図である。

【図 7】図 7 は、本発明の第 3 の実施形態に係る 3 レベル電力変換装置の構成を示す構成図である。

【図 8】図 8 は、第 3 の実施形態に係る 3 レベル電力変換装置の電力変換回路の構成を示す回路図である。

20

【図 9】図 9 は、第 3 の実施形態の変形例に係る第 7 の半導体モジュール及び第 8 の半導体モジュールの電気回路の構成を示す回路図である。

【図 10】図 10 は、第 4 の実施形態に係る 3 レベル電力変換装置の構成を示す構成図である。

【図 11】図 11 は、第 4 の実施形態に係る 3 レベル電力変換装置の電力変換回路の構成を示す回路図である。

【図 12】図 12 は、第 4 の実施形態の変形例に係る第 9 の半導体モジュール及び第 10 の半導体モジュールの電気回路の構成を示す回路図である。

【発明を実施するための形態】

30

【0009】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る 3 レベル電力変換装置 20 の構成を示す構成図である。図 2 は、本実施形態に係る 3 レベル電力変換装置 20 の電力変換回路の構成を示す回路図である。なお、図面における同一部分には同一符号を付してその詳しい説明を省略し、異なる部分について主に述べる。

【0010】

3 レベル電力変換装置 20 は、中性点スイッチ方式の 3 レベル(マルチ)レベルインバータである。ここでは、電力変換回路の三相のうち一相分の構成について説明するが、全ての相は同様に構成されているものとする。また、主に直流電力を交流電力に逆変換するものとして説明するが、交流電力を直流電力に順変換してもよい。さらに、電力変換回路は、三相でもよいし、単相でもよい。また、3 レベル電力変換装置 20 は、本実施形態と同様の構成であれば、3 より多いレベルの電力変換装置でもよい。

40

【0011】

3 レベル電力変換装置 20 は、4 つの半導体モジュール 1, 2, 3, 4、2 つのコンデンサ 5, 6、及び 4 つのラミネートバス L1, L2, L3, L4 を備える。

【0012】

ラミネートバス L1 ~ L4 は、ラミネート化(薄板形状化)された導体である。交流バス L1 は、電力変換回路の交流回路を構成し、交流端子を備える。コンデンサバス L2 は、2 つのコンデンサ 5, 6 と接続され、電力変換回路のコンデンサ回路を構成する。正極

50

バスL3は、電力変換回路の正極回路を構成し、正極端子を備える。負極バスL4は、電力変換回路の負極回路を構成し、負極端子を備える。

【0013】

ラミネートバスL1～L4は、直方形の平板形状である。交流バスL1とコンデンサバスL2は、ほぼ同形状である。正極バスL3及び負極バスL4は、交流バスL1又はコンデンサバスL2をほぼ半分にした形状である。半導体モジュール1～4及びコンデンサ5,6が実装される側を上側とすると、交流バスL1、コンデンサバスL2、正極バスL3又は負極バスL4の順に、上から順番に積層される。正極バスL3と負極バスL4は、重ならず横に並んで隣接するように配置される。したがって、積層されたラミネートバスL1～L4を側面から見ると、正極バスL3と負極バスL4は1つの層に収まる。このため、ラミネートバスL1～L4は、全部で3層になる。各ラミネートバスL1～L4の間は、絶縁されている。なお、積層されるラミネートバスL1～L4の順番は、どのように入れ替えてもよい。

10

【0014】

第1の半導体モジュール1は、スイッチング素子11及びダイオード12を備える。ダイオード12は、スイッチング素子11と逆並列に接続される。具体的には、スイッチング素子11のコレクタ(入力側)とダイオード12のカソードが接続され、スイッチング素子11のエミッタ(出力側)とダイオード12のアノードが接続される。ダイオード12のカソードは、正極バスL3に接続される。ダイオード12のアノードは、交流バスL1に接続される。ここでは、特に言及しない限り、スイッチング素子11は、IGBT(insulated gate bipolar transistor)を想定して説明するが、MOSFET(metal oxide semiconductor field-effect transistor)等の他の種類のスイッチング素子でもよい。また、他のスイッチング素子も、スイッチング素子11と同様に、IGBTを想定して説明するが、他の種類のスイッチング素子でもよい。

20

【0015】

第2の半導体モジュール2は、スイッチング素子21及びダイオード22を備える。スイッチング素子21に逆並列に接続されるダイオードが、さらに設けられてもよい。スイッチング素子21は、流れる電流の向きがダイオード22と同方向の向きで、ダイオード22から電流が入力されるように直列に接続される。具体的には、スイッチング素子21のコレクタ(入力側)とダイオード22のカソードが接続される。ダイオード22のアノードは、コンデンサバスL2に接続される。スイッチング素子21のエミッタ(出力側)は、交流バスL1に接続される。これにより、第2の半導体モジュール2の電気回路には、コンデンサ回路から交流回路に流れる電流経路が形成される。スイッチング素子21とダイオード22を接続する配線に接続された端子Tmは、第2の半導体モジュール2の外側に露出している。この端子Tmは、第3の半導体モジュール3の端子Tmと接続される。

30

【0016】

第3の半導体モジュール3は、スイッチング素子31及びダイオード32を備える。スイッチング素子31に逆並列に接続されるダイオードが、さらに設けられてもよい。スイッチング素子31は、流れる電流の向きがダイオード32と同方向の向きで、ダイオード32から電流が入力されるように直列に接続される。具体的には、スイッチング素子31のコレクタ(入力側)とダイオード32のカソードが接続される。ダイオード32のアノードは、交流バスL1に接続される。これにより、第3の半導体モジュール3の電気回路には、交流回路からコンデンサ回路に流れる電流経路が形成される。即ち、第3の半導体モジュール3の電気回路は、第2の半導体モジュール2の電気回路と逆方向に電流が流れる。スイッチング素子31のエミッタ(出力側)は、コンデンサバスL2に接続される。スイッチング素子31とダイオード32を接続する配線に接続された端子Tmは、第3の半導体モジュール3の外側に露出している。この端子Tmは、第2の半導体モジュール2の端子Tmと接続される。

40

【0017】

50

第4の半導体モジュール4は、スイッチング素子41及びダイオード42を備える。ダイオード42は、スイッチング素子41と逆並列に接続される。具体的には、スイッチング素子41のコレクタ(入力側)とダイオード42のカソードが接続され、スイッチング素子41のエミッタ(出力側)とダイオード42のアノードが接続される。ダイオード42のカソードは、交流バスL1に接続される。ダイオード42のアノードは、負極バスL4に接続される。

【0018】

なお、第2の半導体モジュール2及び第3の半導体モジュール3は、それぞれ図3に示す本実施形態の変形例に係る第2の半導体モジュール2a及び第3の半導体モジュール3aに置き換えてもよい。図3に示す第2の半導体モジュール2aのスイッチング素子21aとダイオード22aの構成は、図2に示す第2の半導体モジュール2において、スイッチング素子21とダイオード22の位置を入れ替えたものである。図3に示す第3の半導体モジュール3aのスイッチング素子31aとダイオード32aの構成は、図2に示す第3の半導体モジュール3において、スイッチング素子31とダイオード32の位置を入れ替えたものである。

10

【0019】

コンデンサ5,6は、円筒形状である。コンデンサ5は、正極回路に設けられる正極側のコンデンサである。コンデンサ6は、負極回路に設けられる負極側のコンデンサである。コンデンサ5,6は、コンデンサバスL2により、直列に接続される。各コンデンサ5,6は、1つのコンデンサで構成されてもよいし、複数の単位コンデンサで構成されてもよい。

20

【0020】

次に、4つの半導体モジュール1~4及び2つのコンデンサ5,6の実装方法について説明する。

【0021】

半導体モジュール1~4及びコンデンサ5,6は、最上層にある交流バスL1の表面に配置される。第1の半導体モジュール1、第2の半導体モジュール2、第3の半導体モジュール3、第4の半導体モジュール4の順に、横一列に配置される。コンデンサ5,6は、半導体モジュール1~4とは別の列に横に並べて配置される。半導体モジュール1及びコンデンサ5は、正極バスL3に接続される素子であるため、正極バスL3の上に位置するように配置される。半導体モジュール4及びコンデンサ6は、負極バスL4に接続される素子であるため、負極バスL4の上に位置するように配置される。

30

【0022】

図4は、各半導体モジュール1~4がそれぞれラミネートバスL1~L4に接続された状態を示す側面断面図である。

【0023】

第1の半導体モジュール1は、交流バスL1と正極バスL3に配線される。交流バスL1は、最上層にある。第1の半導体モジュール1の交流端子は、第1の半導体モジュール1の下にある交流バスL1の表面で接続される。正極バスL3は、最下層にある。第1の半導体モジュール1の正極端子は、交流バスL1及びコンデンサバスL2を突き通して、正極バスL3に達したところで接続される。このため、交流バスL1及びコンデンサバスL2には、それぞれ第1の半導体モジュール1の正極端子を通すための穴が重なるように設けられる。これらの穴には、第1の半導体モジュール1の正極端子が接触しても短絡しないように、絶縁処理が施される。

40

【0024】

同様に、他の半導体モジュール2~4の端子を通すために必要な穴も、交流バスL1又はコンデンサバスL2に設けられる。他の半導体モジュール2~4も、第1の半導体モジュール1と同様に配線される。これにより、第2の半導体モジュール2及び第3の半導体モジュール3は、交流バスL1とコンデンサバスL2に配線される。また、第4の半導体モジュール4は、交流バスL1と負極バスL4に配線される。さらに、第2の半導体モジ

50

ジュール 2 及び第 3 の半導体モジュール 3 は、互いに端子 T m で接続される。

【 0 0 2 5 】

コンデンサ 5 , 6 についても、半導体モジュール 1 ~ 4 と同様に、交流バス L 1 及びコンデンサバス L 2 に端子を通すために必要な穴が設けられ、正極バス L 3 又は負極バス L 4 とコンデンサバス L 2 に配線される。

【 0 0 2 6 】

ゼロ又は正極の交流電圧の期間中に、正極の電流が流れる回路のインダクタンスが小さくなるように、半導体モジュール 1 ~ 4 を配置する。これにより、各半導体モジュール 1 ~ 4 のスイッチング素子 1 1 , 2 1 , 3 1 , 4 1 のターンオフ時の転流ループのインダクタンスが小さくなる。この転流ループを流れる電流は、第 1 の半導体モジュール 1 の交流側から出た電流が第 2 の半導体モジュール 2 から入る経路と、第 3 の半導体モジュール 3 の交流側から出た電流が第 4 の半導体モジュール 4 に入る経路を流れる。

10

【 0 0 2 7 】

したがって、第 1 の半導体モジュール 1 と第 2 の半導体モジュール 2 との間の経路のインダクタンスが小さくなるように、第 1 の半導体モジュール 1 は、第 2 の半導体モジュール 2 と隣接して配置される。また、第 3 の半導体モジュール 3 と第 4 の半導体モジュール 4 との間の経路のインダクタンスが小さくなるように、第 3 の半導体モジュール 3 は、第 4 の半導体モジュール 4 と隣接して配置される。なお、ここでは、第 1 の半導体モジュール 1 と第 2 の半導体モジュール 2 は、横に隣接するように配置したが、縦に隣接するように配置してもよい。第 3 の半導体モジュール 1 と第 4 の半導体モジュール 2 についても同様に、縦に隣接するように配置してもよい。

20

【 0 0 2 8 】

本実施形態によれば、順変換よりも主に逆変換を行う 3 レベル電力変換回路を 4 つの半導体モジュール 1 ~ 4 で構成し、第 1 の半導体モジュール 1 と第 2 の半導体モジュール 2 を隣接して配置し、第 3 の半導体モジュール 3 と第 4 の半導体モジュール 4 を隣接して配置することで、スイッチング素子 1 1 ~ 4 1 のターンオフ時の転流ループのインダクタンスを小さくすることができる。これにより、スイッチング素子 1 1 ~ 4 1 のオフ時のサージ電圧を抑制することができる。なお、この 3 レベル電力変換回路は、順変換を行わずに、逆変換のみを行う回路でもよい。

【 0 0 2 9 】

正極バス L 3 と負極バス L 4 を重ねずに横に並べることで、正極バス L 3 と負極バス L 4 との間のインダクタンスを大きくすることができる。また、正極バス L 3 に接続される素子 1 1 , 1 2 と負極バス L 4 に接続される素子 4 1 , 4 2 とをそれぞれ別々の半導体モジュール 1 , 4 にし、半導体モジュール 1 , 4 をそれぞれが接続される極性のバス L 3 , L 4 の上に位置するように配置する。これにより、逆側の転流ループのインダクタンスが大きくなり、不要な転流動作を抑制することができる。

30

【 0 0 3 0 】

また、正極バス L 3 と負極バス L 4 を重ねずに横に並べることで、正極バス L 3 と負極バス L 4 を 1 層分に収めることができる。これにより、3 レベル電力変換装置を小型化でき、製造コストを低減することができる。

40

【 0 0 3 1 】

(第 2 の実施形態)

図 5 は、本発明の第 2 の実施形態に係る 3 レベル電力変換装置 2 0 A の構成を示す構成図である。図 6 は、本実施形態に係る 3 レベル電力変換装置 2 0 A の電力変換回路の構成を示す回路図である。

【 0 0 3 2 】

3 レベル電力変換装置 2 0 A は、第 1 の実施形態に係る 3 レベル電力変換装置 2 0 において、第 2 の半導体モジュール 2 と第 3 の半導体モジュール 3 との位置を入れ替えたものである。即ち、第 1 の半導体モジュール 1 と第 3 の半導体モジュール 3 を隣接して配置し、第 2 の半導体モジュール 2 と第 4 の半導体モジュール 4 を隣接して配置したものである

50

。3レベル電力変換装置20Aは、主に順変換を行う。その他の点は、第1の実施形態と同様である。

【0033】

なお、第1の実施形態と同様に、第2の半導体モジュール2及び第3の半導体モジュール3は、それぞれ図3に示す第2の半導体モジュール2a及び第3の半導体モジュール3aに置き換えてもよい。

【0034】

本実施形態によれば、逆変換よりも主に順変換を行う3レベル電力変換回路を4つの半導体モジュール1~4で構成し、第1の半導体モジュール1と第3の半導体モジュール3を隣接して配置し、第2の半導体モジュール2と第4の半導体モジュール4を隣接して配置することで、第1の実施形態と同様の作用効果を得ることができる。なお、この3レベル電力変換回路は、逆変換を行わずに、順変換のみを行う回路でもよい。

10

【0035】

(第3の実施形態)

図7は、本発明の第3の実施形態に係る3レベル電力変換装置20Bの構成を示す構成図である。図8は、本実施形態に係る3レベル電力変換装置20Bの電力変換回路の構成を示す回路図である。

【0036】

3レベル電力変換装置20Bは、第1の実施形態に係る3レベル電力変換装置20において、第1の半導体モジュール1及び第2の半導体モジュール2の代わりに、第7の半導体モジュール7を設け、第3の半導体モジュール3及び第4の半導体モジュール4の代わりに、第8の半導体モジュール8を設けたものである。その他の点は、第1の実施形態と同様である。

20

【0037】

第7の半導体モジュール7は、第1の実施形態に係る第1の半導体モジュール1及び第2の半導体モジュール2を1つの半導体モジュールにしたものである。具体的には、第7の半導体モジュール7は、スイッチング素子11、ダイオード12、スイッチング素子21、及び、ダイオード22を備える。スイッチング素子11のエミッタは、スイッチング素子21のエミッタと接続される。これにより、スイッチング素子11及びダイオード12で構成される電気回路と、スイッチング素子21及びダイオード22で構成される電気回路との間の配線インダクタンスが小さくなる。その他の点は、第1の実施形態に係る第1の半導体モジュール1及び第2の半導体モジュール2の構成と同じである。

30

【0038】

第8の半導体モジュール8は、第3の半導体モジュール3と第4の半導体モジュール4を1つの半導体モジュールにしたものである。具体的には、第8の半導体モジュール8は、スイッチング素子31、ダイオード32、スイッチング素子41、及び、ダイオード42を備える。ダイオード32のアノードは、スイッチング素子41のコレクタと接続される。これにより、スイッチング素子31及びダイオード32で構成される電気回路と、スイッチング素子41及びダイオード42で構成される電気回路との間の配線インダクタンスが小さくなる。その他の点は、第3の半導体モジュール3及び第4の半導体モジュール4の構成と同じである。

40

【0039】

なお、第7の半導体モジュール7及び第8の半導体モジュール8は、それぞれ図9に示す本実施形態の変形例に係る第7の半導体モジュール7a及び第8の半導体モジュール8aに置き換えてもよい。図9に示す第7の半導体モジュール7aのスイッチング素子21aとダイオード22aの構成は、図3に示す第2の半導体モジュール2aの構成と同じである。図9に示す第8の半導体モジュール8aのスイッチング素子31aとダイオード32aの構成は、図3に示す第3の半導体モジュール3aの構成と同じである。

【0040】

本実施形態によれば、第1の実施形態と同様の作用効果を得ることができる。

50

【0041】

また、第7の半導体モジュール7及び第8の半導体モジュール8を用いることで、各半導体モジュール7, 8をどのような位置に配置しても、スイッチング素子11~41のターンオフ時の転流ループのインダクタンスを小さくすることができる。これにより、スイッチング素子11~41のオフ時のサージ電圧を抑制することができる。

【0042】

(第4の実施形態)

図10は、本発明の第4の実施形態に係る3レベル電力変換装置20Cの構成を示す構成図である。図11は、本実施形態に係る3レベル電力変換装置20Cの電力変換回路の構成を示す回路図である。

10

【0043】

3レベル電力変換装置20Cは、第2の実施形態に係る3レベル電力変換装置20Aにおいて、第1の半導体モジュール1及び第3の半導体モジュール3の代わりに、第9の半導体モジュール9を設け、第2の半導体モジュール2及び第4の半導体モジュール4の代わりに、第10の半導体モジュール10を設けたものである。その他の点は、第2の実施形態と同様である。

【0044】

第9の半導体モジュール9は、第2の実施形態に係る第1の半導体モジュール1及び第3の半導体モジュール3を1つの半導体モジュールにしたものである。具体的には、第9の半導体モジュール9は、スイッチング素子11、ダイオード12、スイッチング素子31、及び、ダイオード32を備える。スイッチング素子11のエミッタは、ダイオード32のアノードと接続される。これにより、スイッチング素子11及びダイオード12で構成される電気回路と、スイッチング素子31及びダイオード32で構成される電気回路との間の配線インダクタンスが小さくなる。その他の点は、第2の実施形態に係る第1の半導体モジュール1及び第3の半導体モジュール3の構成と同じである。

20

【0045】

第10の半導体モジュール10は、第2の半導体モジュール2と第4の半導体モジュール4を1つの半導体モジュールにしたものである。具体的には、第10の半導体モジュール10は、スイッチング素子21、ダイオード22、スイッチング素子41、及び、ダイオード42を備える。スイッチング素子21のエミッタは、スイッチング素子41のコレクタと接続される。これにより、スイッチング素子21及びダイオード22で構成される電気回路と、スイッチング素子41及びダイオード42で構成される電気回路との間の配線インダクタンスが小さくなる。その他の点は、第2の実施形態に係る第2の半導体モジュール2及び第4の半導体モジュール4の構成と同じである。

30

【0046】

なお、第9の半導体モジュール9及び第10の半導体モジュール10は、それぞれ図12に示す本実施形態の変形例に係る第9の半導体モジュール9a及び第10の半導体モジュール10aに置き換えてもよい。図12に示す第9の半導体モジュール9aのスイッチング素子31aとダイオード32aの構成は、図3に示す第3の半導体モジュール3aの構成と同じである。図12に示す第10の半導体モジュール10aのスイッチング素子21aとダイオード22aの構成は、図3に示す第2の半導体モジュール2aの構成と同じである。

40

【0047】

本実施形態によれば、第2の実施形態と同様の作用効果を得ることができる。

【0048】

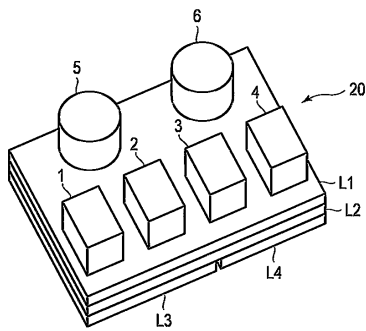
また、第9の半導体モジュール9及び第10の半導体モジュール10を用いることで、各半導体モジュール9, 10をどのような位置に配置しても、スイッチング素子11~41のターンオフ時の転流ループのインダクタンスを小さくすることができる。これにより、スイッチング素子11~41のオフ時のサージ電圧を抑制することができる。

【0049】

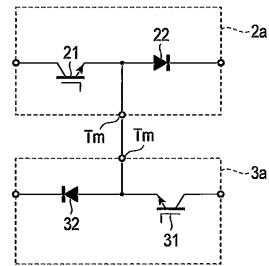
50

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

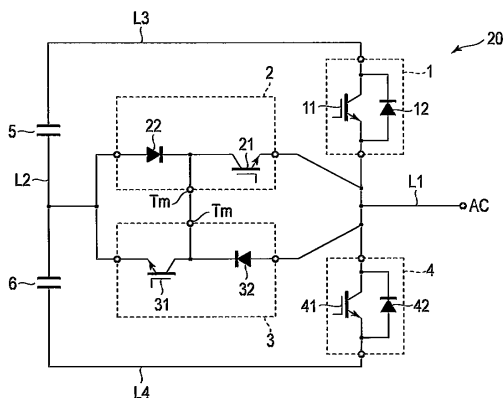
【図1】



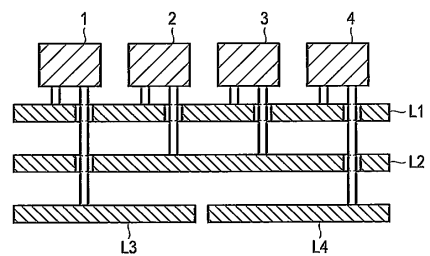
【図3】



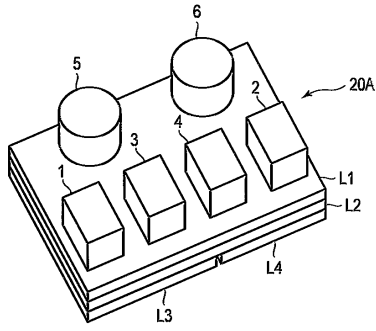
【図2】



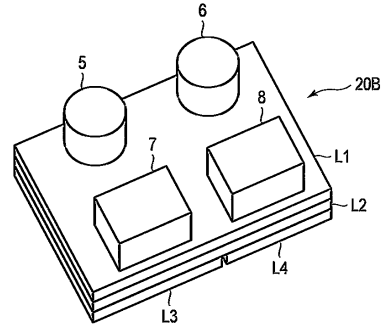
【図4】



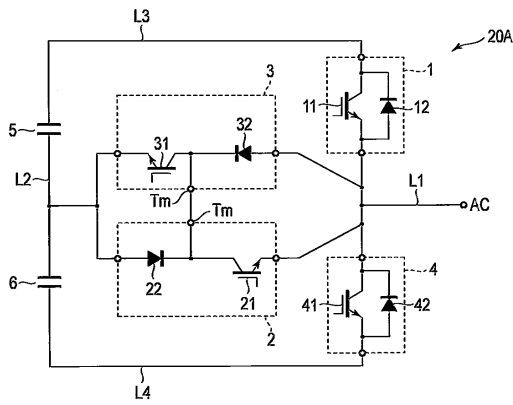
【図5】



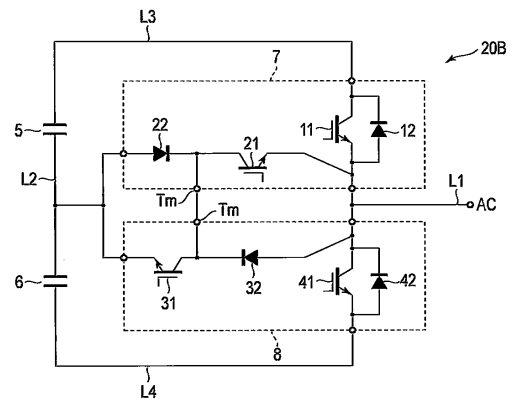
【図7】



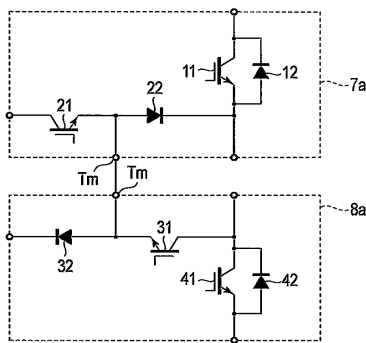
【図6】



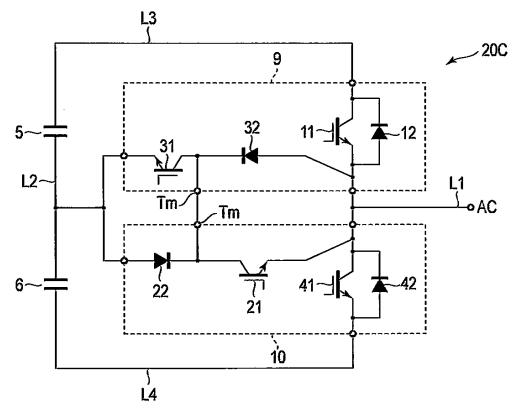
【図8】



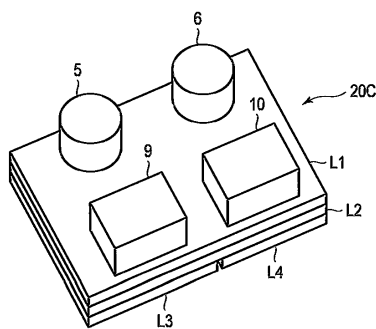
【図9】



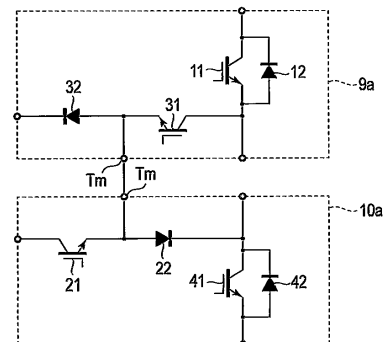
【図11】



【図10】



【図12】



フロントページの続き

- (56)参考文献 特開2011-223664(JP,A)
特開2014-217270(JP,A)
特開2015-91178(JP,A)
特開2012-110095(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48
H01L 25/00
H01L 25/07
H01L 25/18
H02M 7/487