

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5578915号
(P5578915)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl.

F I

H O 4 N 5/374 (2011. 01)

H O 4 N 5/335 7 4 O

H O 4 N 5/353 (2011. 01)

H O 4 N 5/335 5 3 O

H O 4 N 5/341 (2011. 01)

H O 4 N 5/335 4 1 O

請求項の数 5 (全 17 頁)

(21) 出願番号 特願2010-85471 (P2010-85471)
 (22) 出願日 平成22年4月1日 (2010. 4. 1)
 (65) 公開番号 特開2011-217280 (P2011-217280A)
 (43) 公開日 平成23年10月27日 (2011. 10. 27)
 審査請求日 平成25年3月29日 (2013. 3. 29)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 山崎 電彦
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 竹中 真太郎
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

審査官 木方 庸輔

最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

光電変換により画素信号を生成する複数の画素が2次元行列状に配列された画素部と、
 前記画素部の行を選択する画素駆動部と、を有し、
 前記画素駆動部は、

第1のフィールドで読み出される前記画素部の行を走査して前記第1のフィールドで読
 み出される画素の画素信号を順次リセットし、その後、第2のフィールドで読み出される
 前記画素部の行を走査して前記第2のフィールドで読み出される画素の画素信号を順次リ
 セットし、その後、前記第1のフィールドの画素の画素信号を順次読み出し、その後、前
 記第2のフィールドの画素の画素信号を順次読み出す第1の動作モードと、

前記第1のフィールドで読み出される前記画素部の行を走査して前記第1のフィールド
 で読み出される画素の画素信号を順次リセットし、その後、前記第1のフィールドの画素
 の画素信号を順次読み出し、その後、前記第2のフィールドで読み出される前記画素部の
 行を走査して前記第2のフィールドで読み出される画素の画素信号を順次リセットし、そ
 の後、前記第2のフィールドの画素の画素信号を順次読み出す第2の動作モードとを備え

る。
 前記第2の動作モードに引き続き前記第1の動作モードが行われる際、前記第2の動作
 モードにおける前記第2のフィールドの画素の画素信号の読み出しの走査開始は、前記第
 1の動作モードにおける前記第1のフィールドの画素の画素信号のリセットの走査開始の
 後、かつ前記第1の動作モードにおける前記第2のフィールドの画素の画素信号のリセッ

10

20

トの走査開始の前に行われることを特徴とする固体撮像装置。

【請求項 2】

さらに、前記画素部の読み出しの行アドレスを生成する読み出し行カウンタと、
前記画素部の第 1 のフィールドのリセットの行アドレスを生成する第 1 のリセット行カウンタと、

前記画素部の前記第 1 のフィールドに引き続く第 2 のフィールドのリセットの行アドレスを生成する第 2 のリセット行カウンタと、

前記読み出し行カウンタ、前記第 1 のリセット行カウンタ及び前記第 2 のリセット行カウンタにより生成される行アドレスのうちの 1 つの行アドレスを選択するセレクトと、

前記読み出し行カウンタ、前記第 1 のリセット行カウンタ及び前記第 2 のリセット行カウンタを制御する行カウンタ制御部と、を有し、

前記行カウンタ制御部は、

前記読み出し行カウンタをカウントスタートさせるためのカウントスタートパルスを生成する第 1 のカウンタスタートパルス生成回路と、

垂直同期信号のタイミングでリセットし、水平同期信号のタイミングでカウントアップする水平同期信号カウンタと、

前記水平同期信号カウンタのカウント値に応じて、前記第 1 のリセット行カウンタをカウントスタートさせるためのカウントスタートパルスを生成する第 2 のカウンタスタートパルス生成回路と、

前記水平同期信号カウンタのカウント値に応じて、前記第 2 のリセット行カウンタをカウントスタートさせるためのカウントスタートパルスを生成する第 3 のカウンタスタートパルス生成回路とを有することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

さらに、前記画素部の読み出しの行アドレスを生成する読み出し行カウンタと、

前記画素部の第 1 のフィールドのリセットの行アドレスを生成する第 1 のリセット行カウンタと、

前記画素部の前記第 1 のフィールドに引き続く第 2 のフィールドのリセットの行アドレスを生成する第 2 のリセット行カウンタと、

前記読み出し行カウンタ、前記第 1 のリセット行カウンタ及び前記第 2 のリセット行カウンタにより生成される行アドレスのうちの 1 つの行アドレスを選択するセレクトと、

前記読み出し行カウンタ、前記第 1 のリセット行カウンタ及び前記第 2 のリセット行カウンタを制御する行カウンタ制御部と、を有し、

前記行カウンタ制御部は、

前記読み出し行カウンタをカウントスタートさせるためのカウントスタートパルスを生成する第 1 のカウンタスタートパルス生成回路と、

2 つの垂直同期信号のタイミング毎にリセットし、水平同期信号のタイミングでカウントアップする第 1 の水平同期信号カウンタと、

2 つの垂直同期信号のタイミング毎かつ前記第 1 の水平同期信号カウンタに対して 1 つの垂直同期信号分ずれてリセットし、水平同期信号のタイミングでカウントアップする第 2 の水平同期信号カウンタと、

前記第 1 の水平同期信号カウンタのカウント値に応じて、前記第 1 のリセット行カウンタをカウントスタートさせるためのカウントスタートパルスを生成する第 2 のカウンタスタートパルス生成回路と、

前記第 2 の水平同期信号カウンタのカウント値に応じて、前記第 2 のリセット行カウンタをカウントスタートさせるためのカウントスタートパルスを生成する第 3 のカウンタスタートパルス生成回路とを有することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

1 つの読み出し行カウンタと 2 つのリセット行カウンタを有する行アドレス生成部と、

前記読み出し行カウンタと前記リセット行カウンタを制御する行カウンタ制御部と、

前記行アドレス生成部で生成された行アドレスを選択するセレクトと、

前記セレクトタによって選択された行アドレスをデコードする行アドレスデコーダと、
前記行アドレスデコーダの出力ビットを入力してその状態を記憶する記憶部と、
前記記憶部に記憶された出力ビットに対応する行選択信号を出力する画素駆動部とを有し、

前記読み出し行カウンタは、第1のフィールド及び第2のフィールドのインターレース読み出しの行アドレスを生成し、

前記2つのリセット行カウンタは、フィールド読み出し周期に対して短い蓄積時間と長い蓄積時間の2種類の蓄積動作の一方から他方へ切り替わる場合に、前記第1のフィールドと前記第2のフィールドが互いのフィールドの読み出し行を飛び越して行リセットするように行アドレスを生成することを特徴とする固体撮像装置。

10

【請求項5】

光電変換により画素信号を生成する複数の画素が2次元行列状に配列された画素部と、
前記画素部の行を選択する画素駆動部と、を有する固体撮像装置の駆動方法であって、
前記画素駆動部は、

第1のフィールドで読み出される前記画素部の行を走査して前記第1のフィールドで読み出される画素の画素信号を順次リセットし、その後、第2のフィールドで読み出される前記画素部の行を走査して前記第2のフィールドで読み出される画素の画素信号を順次リセットし、その後、前記第1のフィールドの画素の画素信号を順次読み出し、その後、前記第2のフィールドの画素の画素信号を順次読み出す第1のステップと、

前記第1のフィールドで読み出される前記画素部の行を走査して前記第1のフィールドで読み出される画素の画素信号を順次リセットし、その後、前記第1のフィールドの画素の画素信号を順次読み出し、その後、前記第2のフィールドで読み出される前記画素部の行を走査して前記第2のフィールドで読み出される画素の画素信号を順次リセットし、その後、前記第2のフィールドの画素の画素信号を順次読み出す第2のステップとを備え、

20

前記第2のステップに引き続き前記第1のステップが行われる際、前記第2のステップにおける前記第2のフィールドの画素の画素信号の読み出しの走査開始は、前記第1のステップにおける前記第1のフィールドの画素の画素信号のリセットの走査開始の後、かつ前記第1のステップにおける前記第2のフィールドの画素の画素信号のリセットの走査開始の前に行われることを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、固体撮像装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、数百万画素を超える固体撮像装置がデジタルカメラに使用されるようになり、高精彩な静止画像を撮影することが可能となっている。動画撮影においても、滑らかな動画を撮影するために、固体撮像装置に高フレームレートで画像を読み出したいという要請がある。高フレームレートで読み出す場合、固体撮像装置の画素部の光電変換素子の、1フレームあたりの蓄積時間が短くなるので、特に暗い被写体からは十分な露光量が得られないという問題がある。限られた露光時間で、十分な露光量を得るための手段として、CCD型の撮像素子において、2つの間引きモードを用いる方法が下記の特許文献1に記載されている。特許文献1によると、2つのモードのうち一方は、蓄積時間が1垂直走査期間以内の場合に、電子シャッターを用いて細かな蓄積時間制御を行うモードである。また、他方のモードは、蓄積時間が1垂直走査期間を超える場合に、電子シャッターは使用せず蓄積時間を固定化し、被写体の明るさに応じて信号増幅手段の増幅率を変化させるモードである。

40

【先行技術文献】

【特許文献】

【0003】

50

【特許文献１】特開２００６－７４４４０号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

特許文献１に開示された固体撮像装置では、２つの間引き読み出しモードを切り替えて行う為、切り替えたタイミングを境目にして間引きの仕方が変化する。つまり短秒（例えば１／３０秒）蓄積の際は３行毎に２行を読み飛ばすのに対して、長秒（例えば１／１５秒）では３行毎に１行だけを読み飛ばす。これは撮影シーンによっては視認され、違和感をもたらす。また、特許文献１では、蓄積時間１／３０～１／１５秒のシーンでは、回路の増幅率を変化させる。増幅率が変化すると回路のノイズも変化する。従って、特に暗い被写体を撮影している際、蓄積時間の切り替わりの前後で画質が変化する。これもシーンによって視認され、違和感をもたらす。

10

【０００５】

本発明の目的は、動画撮影における画質を向上させることができる固体撮像装置及びその制御方法を提供することである。

【課題を解決するための手段】

【０００６】

本発明の固体撮像装置は、光電変換により画素信号を生成する複数の画素が２次元行列状に配列された画素部と、前記画素部の行を選択する画素駆動部と、を有し、前記画素駆動部は、第１のフィールドで読み出される前記画素部の行を走査して前記第１のフィールドで読み出される画素の画素信号を順次リセットし、その後、第２のフィールドで読み出される前記画素部の行を走査して前記第２のフィールドで読み出される画素の画素信号を順次リセットし、その後、前記第１のフィールドの画素の画素信号を順次読み出し、その後、前記第２のフィールドの画素の画素信号を順次読み出す第１の動作モードと、前記第１のフィールドで読み出される前記画素部の行を走査して前記第１のフィールドで読み出される画素の画素信号を順次リセットし、その後、前記第１のフィールドの画素の画素信号を順次読み出し、その後、前記第２のフィールドで読み出される前記画素部の行を走査して前記第２のフィールドで読み出される画素の画素信号を順次リセットし、その後、前記第２のフィールドの画素の画素信号を順次読み出す第２の動作モードとを備え、前記第２の動作モードに引き続き前記第１の動作モードが行われる際、前記第２の動作モードにおける前記第２のフィールドの画素の画素信号の読み出しの走査開始は、前記第１の動作モードにおける前記第１のフィールドの画素の画素信号のリセットの走査開始の後、かつ前記第１の動作モードにおける前記第２のフィールドの画素の画素信号のリセットの走査開始の前に行われることを特徴とする。

20

30

【発明の効果】

【０００７】

動画撮影における画質を向上させることができる。

【図面の簡単な説明】

【０００８】

【図１】固体撮像装置の構成例を示す図である。

40

【図２】固体撮像装置の駆動方法の概要を示すタイミング図である。

【図３】第１の実施形態による行カウンタ制御部の構成例を示すブロック図である。

【図４】第１の実施形態による固体撮像装置の動作を示すタイミング図である。

【図５】第２の実施形態による行カウンタ制御部の構成例を示すブロック図である。

【図６】第２の実施形態による固体撮像装置の動作を示すタイミング図である。

【発明を実施するための形態】

【０００９】

（第１の実施形態）

図１（Ａ）は、本発明の第１の実施形態に係る固体撮像装置の構成例を示すブロック図である。固体撮像素子１は、画素部１１及び画素駆動部１２Ｌ、１２Ｒを有する。画素部

50

1 1 は、行と列の 2 次元行列状に配列された複数の画素で構成される。画素駆動部 1 2 L , 1 2 R は、画素を駆動する信号、すなわちフォトダイオードに蓄積された電荷を転送するための転送信号や、行列の中から特定の行の画素を選択するための行選択信号などを奇数行と偶数行のそれぞれに対して生成する。画素部 1 1 は、各々が光電変換素子（フォトダイオード）の光電変換により画素信号を生成する複数の画素を含む。各画素は、例えば光電変換素子の他に光電変換素子で蓄積された電荷に基づく電圧信号を出力する増幅部を有する、増幅型の画素が考えられる。固体撮像素子 1 は、奇数行と偶数行の行選択信号を保持するための選択記憶部 1 3 L , 1 3 R、行カウンタ値 S 1 5 に対応する 1 行を選択する行アドレスデコーダ 1 4 L , 1 4 R、行アドレス生成部 1 5、タイミング生成部 1 6、行カウンタ制御部 1 8 を有する。行アドレス生成部 1 5 は、読み出し行カウンタ 1 5 1、リセット行カウンタ A (1 5 2)、リセット行カウンタ B (1 5 3) 及びセクタ 1 5 0 を有する。セクタ 1 5 0 は、3 つの行カウンタ 1 5 1 ~ 1 5 3 が出力する行アドレスの内、1 つを選択して行カウンタ値 S 1 5 として出力する。読み出し行カウンタ 1 5 1 は、画素部 1 1 の読み出しの行アドレスを生成する。第 1 のリセット行カウンタ A (1 5 2) は、画素部 1 1 の奇数フィールド（第 1 のフィールド）でリセットする行を示す行アドレスを生成する。第 2 のリセット行カウンタ B (1 5 3) は、画素部 1 1 の偶数フィールド（第 2 のフィールド）でリセットする行を示す行アドレスを生成する。奇数フィールド及び偶数フィールドは 1 フレームを構成する。セクタ 1 5 0 は、読み出し行カウンタ 1 5 1、リセット行カウンタ A (1 5 2) 及びリセット行カウンタ B (1 5 3) により生成される行アドレスのうちの 1 つの行アドレスを選択する。行カウンタ制御部 1 8 は、外部の CPU からの通信信号 1 9、垂直同期信号 2 0、水平同期信号 2 1 に基づき、3 つの行カウンタ 1 5 1 ~ 1 5 3 のそれぞれに対し、カウンタスタートパルス等のカウンタ制御信号 S 1 8 1 1 ~ S 1 8 1 3 を出力する。行カウンタ制御部 1 8 は、行カウンタ 1 5 1 ~ 1 5 3 を制御する。行アドレスデコーダ 1 4 L , 1 4 R は、セクタ 1 5 0 によって選択された行アドレスをデコードする。選択記憶部 1 3 L , 1 3 R は、行アドレスデコーダ 1 4 L , 1 4 R の出力ビットを入力してその状態を記憶する。画素駆動部 1 2 L , 1 2 R は、選択記憶部 1 3 L , 1 3 R に記憶された出力ビットに対応する行選択信号を出力する。タイミング生成部 1 6 は、外部の CPU からの通信信号 1 9、垂直同期信号 2 0、水平同期信号 2 1 に基づき、3 つの行カウンタ 1 5 1 ~ 1 5 3 のうちの 1 つを選択する行アドレス生成部選択信号 S 1 6 1 0 を生成する。さらに、タイミング生成部 1 6 は、選択記憶部 1 3 L , 1 3 R を制御する奇数行と偶数行共通の記憶部制御信号 S 1 6 2 と、画素駆動部 1 2 L , 1 2 R を制御する画素駆動信号 S 1 6 3 L , S 1 6 3 R を生成する。第 1 の画素駆動部 1 2 L は、セクタ 1 5 0 により選択された行アドレスに対応する画素部 1 1 の奇数行を選択する。第 2 の画素駆動部 1 2 R は、セクタ 1 5 0 により選択された行アドレスに対応する画素部 1 1 の偶数行を選択する。第 1 及び第 2 の画素駆動部 1 2 L、1 2 R は、対応する選択記憶部 1 3 L、1 3 R の出力と、タイミング生成部 1 6 から供給される不図示の信号との論理和や論理積によって画素の動作を制御する構成になっている。固体撮像素子 1、タイミング生成部 1 6、行カウンタ制御部 1 8 は同一半導体上に集積されていても、されていなくてもかまわない。

【 0 0 1 0 】

図 1 (B) は、図 1 (A) の選択記憶部 1 3 L , 1 3 R の構成例を示す回路図である。選択記憶部 1 3 L , 1 3 R は、それぞれ画素部 1 1 の 1 / 2 の行数の行選択記憶回路 1 3 1 を含んで構成される。行選択記憶回路 1 3 1 は、D ラッチ 1 3 5 と、論理積 (AND) 回路 1 3 6 と、S R ラッチ 1 3 7 を含んで構成される。行選択記憶回路 1 3 1 には、行アドレスデコーダ 1 4 L , 1 4 R が出力するデコード信号 1 3 2 の 1 ビットと、記憶部制御信号 S 1 6 2 である書き込み許可信号 wen_rd 、S R ラッチ 1 3 7 の消去信号 $clear_sh$ 及びセット信号 wen_sh が入力される。書き込み許可信号 wen_rd は、D ラッチ 1 3 5 のクロック端子 (CK) に入力され、データ端子 (D) には、デコード信号 1 3 2 の内の 1 ビットが入力され、その D ラッチ 1 3 5 の Q 出力信号は、画素信号を転送する行の行選択信号 $Lrd (1 3 3)$ となる。消去信号 $clear_sh$ は、S R ラ

ッチ 137 のリセット端子 (R) に入力される。AND 回路 136 は、セット信号 wen_sh 及びデコード信号 132 の内の 1 ビットとが入力され、その論理積を、SR ラッチ 137 のセット端子 (S) に出力する。SR ラッチ 137 の Q 出力信号は、画素をリセットする行の行選択信号 $Lsh(134)$ となる。選択記憶部 13L、13R でそれぞれ生成された、画素信号を転送する行の行選択信号 $Lrd(133)$ と、画素をリセットする行の行選択信号 $Lsh(134)$ は、画素駆動部 12L、12R に入力される。これにより、行アドレスデコーダ 14L、14R により選択された画素部 11 の対応する行の画素信号の転送、及びリセットが可能となる。

【0011】

図 2 (A) 及び (B) は、図 1 (A) の行カウンタ制御部 18 と、タイミング生成部 16 と、選択記憶部 13L、13R の動作の概要を示すタイミング図である。図 2 (A) は外部からの入力信号の入力タイミングを示す。CPU からの通信信号 19 は、垂直同期信号 (VD) 20 として入力されるパルス 201 に先立って、次の垂直同期期間 203 に実施する動作の通信信号 191 を含む。垂直同期期間 203 は、水平同期信号 (HD) 21 として入力される複数の水平同期パルス 211 により構成される。

【0012】

図 2 (B) は、図 2 (A) の 1 水平同期期間 212 における固体撮像装置の駆動方法の概要を示すタイミング図である。1 水平同期期間 212 における動作は、ステート遷移 22 に示す、期間 221 ~ 期間 225 までの処理期間に大別される。行カウンタ値 $S15$ は、タイミング生成部 16 の行アドレス生成部選択信号 $S1610$ により、期間 221 では読み出し行カウンタ 151 の出力信号 $S151$ となり、期間 222 ではリセット行カウンタ A (152) の出力信号 $S152$ となる。また、行カウンタ値 $S15$ は、その他の期間では、リセット行カウンタ B (153) の出力信号 $S153$ となる。

【0013】

最初に、1 水平同期期間 212 における行の画素信号の転送動作について述べる。まず、期間 221 にて、タイミング生成部 16 は、書き込み許可信号 wen_rd のパルスを生成する。読み出し行カウンタ 151 の出力信号 $S151$ のデコード信号 132 は D ラッチ 135 にてラッチされる。ここでは、読み出し行カウンタ 151 の出力信号 $S151$ が L 行を選択している例を示しており、画素信号を転送する行の行選択信号 $Lrd(133)$ は L 行のみはハイレベルに遷移し、その他の行 $L+1$ 行、N 行はローレベルのままである。この時、行カウンタ値 $S15$ は、行アドレスデコーダ 14L、14R 共通であり、かつ、書き込み許可信号 wen_rd も、選択記憶部 13L、13R に共通である。そのため、画素駆動部 12L、12R では、奇数行のみからなる群の L 行と偶数行のみからなる群の L 行が選択されることとなる。期間 222 では、タイミング生成部 16 により、画素駆動部 12L が制御され、画素部 11 の奇数行のみからなる群の L 行の画素信号が、水平転送部 17 へ垂直転送される。期間 223 では、タイミング生成部 16 により、画素駆動部 12R が制御され、画素部 11 の偶数行のみからなる群の L 行の画素信号が、水平転送部 17 へ垂直転送される。期間 224 では、タイミング生成部 16 の制御により垂直転送された、奇数行と偶数行 2 つの L 行の画素信号が水平転送部 17 にて水平転送され固体撮像素子 1 の出力画素信号となる。

【0014】

次に、1 水平同期期間 212 における行の画素信号のリセット動作について述べる。タイミング生成部 16 は、期間 221 にて、消去信号 $clear_sh$ のパルス、期間 222 と期間 223 にて、セット信号 wen_sh のパルスを生成する。ここでは、リセット行カウンタ A (152) の出力信号 $S152$ が $L+1$ 行を選択し、リセット行カウンタ B (153) の出力信号 $S153$ が N 行を選択、1 つ前の 1 水平同期期間 212 では、L 行が選択されていたものとして例を示す。

【0015】

期間 221 では、消去信号 $clear_sh$ のパルスにより、全ての SR ラッチ 137 がリセットされ、選択されていた $Lsh[L]$ はハイレベルからローレベルに遷移する。

10

20

30

40

50

期間 2 2 2 では、リセット行カウンタ A (1 5 2) の出力信号 S 1 5 2 の選択した L + 1 行をデコードしたデコード信号 1 3 2 と、セット信号 w e n _ s h とを入力とする AND 回路 1 3 6 の出力により、L s t [L + 1] がローレベルからハイレベルに遷移する。期間 2 2 3 では、リセット行カウンタ B (1 5 3) の出力信号 S 1 5 3 の選択した N 行をデコードしたデコード信号 1 3 2 と、セット信号 w e n _ s h とを入力とする AND 回路 1 3 6 の出力により、L s t [N] がローレベルからハイレベルに遷移する。この時、行カウンタ値 S 1 5 は、行アドレスデコーダ 1 4 L , 1 4 R 共通であり、消去信号 c l e a r _ s h、セット信号 w e n _ s h も、選択記憶部 1 3 L , 1 3 R に共通である。そのため、画素駆動部 1 2 L , 1 2 R では、奇数行の L + 1 行と偶数行の L + 1 行と、奇数行の N 行と偶数行の N 行が選択されることとなる。期間 2 2 4 では、タイミング生成部 1 6 により、画素駆動部 1 2 L , 1 2 R が制御され、選択された、画素部 1 1 の奇数行の L + 1 行と偶数行の L + 1 行と、奇数行の N 行と偶数行の N 行の画素リセットを行う。以上により、1 水平同期期間 2 1 2 では、隣接する奇数行と偶数行を 1 組読み出し、2 組をリセットすることが出来る構成となっている。

【 0 0 1 6 】

図 3 は、第 1 の実施形態による行カウンタ制御部 1 8 の構成例を示す図である。以下、露光時間が垂直同期期間より短い場合も長い場合も、連続的に蓄積時間を設定可能な固体撮像装置の駆動方法について述べる。C P U 書き込みレジスタ R (4 0 1) は、C P U 1 9 からの通信による読み出し行カウンタ 1 5 1 の制御用のレジスタであり、読み出し走査フラグ、読み出し開始行、読み出し終了行、読み出し行カウンタのカウントアップのステップ値を保持する。C P U 書き込みレジスタ A (4 0 2) は、C P U 1 9 からの通信によるリセット行カウンタ A (1 5 2) の制御用のレジスタであり、リセット走査開始カウンタ、リセット開始行、リセット終了行、リセット行カウンタ A のカウントアップのステップ値を保持する。C P U 書き込みレジスタ B (4 0 3) は、C P U 1 9 からの通信によるリセット行カウンタ B (1 5 3) の制御用のレジスタであり、リセット走査開始カウンタ、リセット開始行、リセット終了行、リセット行カウンタ B のカウントアップのステップ値を保持する。カウンタスタートパルス生成回路 R (4 0 7) は、C P U 書き込みレジスタ A (4 0 2) の読み出し走査フラグが “ 0 ” (走査オフ) でない場合は、垂直同期信号 2 0 のタイミングにて読み出し行カウンタ 1 5 1 のスタートパルス 4 1 5 を生成する。

【 0 0 1 7 】

V D 同期レジスタ R (4 0 8) は、垂直同期信号 2 0 のタイミングにて C P U 書き込みレジスタ R (4 0 1) の読み出し終了行、読み出し行カウンタのカウントアップのステップ値をコピーし保持すると共に信号線 4 1 6 により読み出し行カウンタ 1 5 1 に入力する。V D 同期レジスタ A (4 0 9) は、垂直同期信号 2 0 のタイミングにて、C P U 書き込みレジスタ A (4 0 2) のリセット走査開始カウンタ、リセット開始行、リセット終了行、リセット行カウンタ A のカウントアップのステップ値をコピーし保持する。V D 同期レジスタ B (4 1 0) は、垂直同期信号 2 0 のタイミングにて、C P U 書き込みレジスタ B (4 0 3) のリセット走査開始カウンタ、リセット開始行、リセット終了行、リセット行カウンタ B のカウントアップのステップ値をコピーし保持する。H D カウンタ 4 1 4 は、垂直同期信号 2 0 のタイミングにてリセットされ、水平同期信号 2 1 のタイミングでカウンタアップするカウンタである。

【 0 0 1 8 】

水平同期信号 2 1 が連続して入力され、H D カウンタ 4 1 4 のカウント値が、V D 同期レジスタ A (4 0 9) のリセット走査開始カウンタと一致すると、カウンタスタートパルス生成回路 A (4 1 7) と、H D カウンタ同期レジスタ A (4 1 9) は次の動作をする。まず、カウンタスタートパルス生成回路 A (4 1 7) は、リセット行カウンタ A (1 5 2) のスタートパルス 4 1 8 を生成する。H D カウンタ同期レジスタ A (4 1 9) は、V D 同期レジスタ A (4 0 9) のリセット終了行、リセット行カウンタ A のカウントアップのステップ値をコピーし保持すると共に、リセット行カウンタ A (1 5 2) にレジスタ値 4 2 0 として出力する。

10

20

30

40

50

【 0 0 1 9 】

同様に、H Dカウンタ4 1 4のカウンタ値が、V D同期レジスタB (4 1 0)のリセット走査開始カウンタと一致すると、カウンタスタートパルス生成回路B (4 2 1)と、H Dカウンタ同期レジスタB (4 2 3)は次の動作をする。まず、カウンタスタートパルス生成回路B (4 2 1)は、リセット行カウンタB (1 5 3)のスタートパルス4 2 2を生成する。H Dカウンタ同期レジスタB (4 2 3)は、V D同期レジスタB (4 1 0)のリセット終了行、リセット行カウンタBのカウンタアップのステップ値をコピーし保持すると共に、リセット行カウンタB (1 5 3)にレジスタ値4 2 4として出力する。

【 0 0 2 0 】

図4は、図3に示した、第1の実施形態による行カウンタ制御部1 8の動作と、その制御信号出力に基づく、読み出し行カウンタ1 5 1、リセット行カウンタA (1 5 2)、リセット行カウンタB (1 5 3)の動作を示すタイミング図である。図4は、垂直同期信号2 0により、垂直同期期間5 0 0が、期間V 0から期間V 6へと進む間の各部の動作を示している。C P U書き込みレジスタ値5 0 1は、C P U 1 9からの通信により、C P U書き込みレジスタR (4 0 1)、C P U書き込みレジスタA (4 0 2)、C P U書き込みレジスタB (4 0 3)のレジスタに書き込まれるタイミングを示している。

【 0 0 2 1 】

V D同期レジスタ値5 0 2は、垂直同期信号2 0に同期して、V D同期レジスタR (4 0 8)、V D同期レジスタA (4 0 9)、V D同期レジスタB (4 1 0)に、C P U書き込みレジスタ値5 0 1の内容がコピーされるタイミングを示している。H Dカウンタ値 (4 1 3)は、H Dカウンタ4 1 4の出力であるカウンタのカウンタ値が、カウンタアップしていく様子を示しており、そのカウンタ値は、垂直同期信号2 0に同期して0にリセットされ、水平同期信号2 1の入力毎に1ずつカウンタアップする。H Dカウンタ同期レジスタA値4 2 0は、H Dカウンタ同期レジスタA (4 1 9)の出力であり、H Dカウンタ値 (4 1 3)を参照して、V D同期レジスタA (4 0 9)の内容がコピーされるタイミングを示している。H Dカウンタ同期レジスタB値4 2 4は、H Dカウンタ同期レジスタB (4 2 3)の出力であり、H Dカウンタ値 (4 1 3)を参照して、V D同期レジスタB (4 1 0)の内容がコピーされるタイミングを示している。カウンタスタートパルスR出力 (4 1 5)は、カウンタスタートパルス生成回路R (4 0 7)のパルス出力タイミングを示している。カウンタスタートパルスA出力 (4 1 8)は、カウンタスタートパルス生成回路A (4 1 7)のパルス出力タイミングを示している。カウンタスタートパルスB出力 (4 2 2)は、カウンタスタートパルス生成回路B (4 2 1)のパルス出力タイミングを示している。

【 0 0 2 2 】

行アドレス5 0 3は、画素部1 1の各行に対するアドレスを示しており、行アドレスデコーダ1 4 L , 1 4 Rの入力である行カウンタ値S 1 5との対応を示している。例えば、行アドレス5 0 3の1行目は、行アドレスデコーダ1 4 Lのカウンタ値0に対応し、行アドレス5 0 3の2行目は、行アドレスデコーダ1 4 Rのカウンタ値0に対応することを示している。リセット走査A (5 0 5、5 0 9)は、リセット行カウンタA (1 5 2)によるリセット走査を示している。例えばリセット走査A (5 0 5)において、リセット行5 0 5 1、5 0 5 3、5 0 5 5は、行アドレスデコーダ1 4 Lにて選択された行、リセット行5 0 5 2、5 0 5 4、5 0 5 6は、行アドレスデコーダ1 4 Rにて選択された行により構成されることを示す。同様に、リセット走査B (5 0 8、5 1 2)は、リセット行カウンタB (1 5 3)によるリセット走査を示し、読み出し走査5 0 6、5 1 0、5 1 3、5 1 4は、読み出し行カウンタ1 5 1による読み出し走査を示している。

【 0 0 2 3 】

次に、図4で示す動作を説明する。まず、期間V 1においてC P U 1 9からの通信5 0 1 1により、C P U書き込みレジスタR (4 0 1)には、読み出し走査フラグに“ 0 ” (走査オフ)を設定し、読み出し走査の禁止を指示する。C P U書き込みレジスタA (4 0 2)には、リセット走査開始カウンタとしてH Dカウンタ値 (4 1 3 1)を書き込み、リ

10

20

30

40

50

セット開始行には“0”、リセット終了行には“ $n/2 - 1$ ”、リセット行カウンタAのカウンタアップのステップ値には“2”を書き込む。CPU書き込みレジスタB(403)には、リセット走査開始カウンタとして、1垂直同期期間にカウントされるHDカウンタ値(413)より大きな値を設定することにより、実質的にリセット走査を禁止できる。

【0024】

期間V2では、まず通信5011によるCPU書き込みレジスタ値501が、VD同期レジスタR(408)、VD同期レジスタA(409)、VD同期レジスタB(410)にコピーされる(5021)。次に、HDカウンタ値413が、VD同期レジスタA(409)のリセット走査開始カウンタであるHDカウンタ値(4131)に一致したとき、VD同期レジスタA(409)が、HDカウンタ同期レジスタA(419)にコピーされる(4201)。さらに、カウンタスタートパルス生成回路A(417)はリセット行カウンタA(152)に対し、スタートパルス4181を生成する。スタートパルス4181を受け、リセット行カウンタA(152)は、リセット走査A(505)を開始する。リセット走査A(505)では、リセット行カウンタA(152)はHDカウンタ同期レジスタA値(4201)を参照する。リセット行カウンタA(152)は、スタートパルス4181の水平同期期間では、リセット開始行である“0”からカウントを開始し画素部11の1行目と2行目をリセットする(5051、5052)。次の水平同期期間では、リセット行カウンタA(152)はカウンタアップのステップ値の“2”を加算した値を出力し画素部11の5行目と6行目をリセットする(5053、5054)。以降、水平同期期間毎にステップ値の“2”を加算しリセット終了行まで“ $n/2 - 1$ ”リセット走査を行う。

【0025】

さらに、期間V2では、通信5012により、CPU書き込みレジスタR(401)には、以下の書き込みを行う。読み出し走査フラグに“1”(走査オン)、読み出し開始行には“0”、読み出し終了行には“ $n/2 - 1$ ”、読み出し行カウンタのカウンタアップのステップ値には“2”を書き込む。CPU書き込みレジスタA(402)には、リセット走査開始カウンタとしてHDカウンタ値(4133)を書き込み、リセット開始行には“0”、リセット終了行には“ $n/2 - 1$ ”、リセット行カウンタAのカウンタアップのステップ値には“2”を書き込む。CPU書き込みレジスタB(403)には、リセット走査開始カウンタとしてHDカウンタ値(4132)を書き込み、リセット開始行には“1”、リセット終了行には“ $n/2$ ”、リセット行カウンタAのカウンタアップのステップ値には“2”を書き込む。

【0026】

期間V3では、まず通信5012によるCPU書き込みレジスタ値501が、VD同期レジスタにコピーされる(5022)。カウンタスタートパルス生成回路R(407)は、読み出し走査フラグが“1”(走査オン)であるのでスタートパルス4151を生成する。スタートパルス4151を受け、読み出し行カウンタ151は、読み出し開始行“0”、読み出し終了行“ $n/2 - 1$ ”、読み出し行カウンタのカウンタアップのステップ値“2”の設定に基づき読み出し走査(506)を開始する。読み出し走査(506)は、リセット走査A(505)にてリセットされた画素部11の奇数フィールド1を読みだす処理であり、リセット走査A(505)から読み出し走査(506)までの時間差が、露光時間507となる。

【0027】

次に、HDカウンタ値413が、VD同期レジスタB(410)のリセット走査開始カウンタであるHDカウンタ値(4132)に一致したとき、VD同期レジスタB(410)が、HDカウンタ同期レジスタB(424)にコピーされる(4241)。さらに、カウンタスタートパルス生成回路B(421)はリセット行カウンタB(153)に対し、スタートパルス4182を生成する。スタートパルス4182を受け、リセット行カウンタB(153)は、リセット開始行“1”、リセット終了行“ $n/2$ ”、カウンタアップ

のステップ値“2”に基づきリセット走査B(508)を開始する。3、4、7、8、
 ・ ・ 行目の偶数フィールドの画素がリセットされる。

【0028】

次に、HDカウンタ値413が、VD同期レジスタA(409)のリセット走査開始カウントであるHDカウンタ値(4133)に一致したとき、VD同期レジスタA(409)が、HDカウンタ同期レジスタA(419)にコピーされる(4202)。さらに、カウンタスタートパルス生成回路A(417)はリセット行カウンタA(152)に対し、スタートパルス4152を生成する。スタートパルス4152を受け、リセット行カウンタA(152)は、リセット走査A(509)を開始する。1、2、5、6、
 ・ ・ 行目の奇数フィールドの画素がリセットされる。

10

【0029】

以降、同様に期間V4の読み出し走査510と、リセット走査B(512)の為の設定を通信5013により行い、期間V5の読み出し走査513の為の設定を通信5014により行う事を示している。読み出し走査513は、リセット走査A(509)にてリセットされた画素部11の奇数フィールド2を読み出す処理であり、リセット走査A(509)から読み出し走査513までの時間差が、露光時間511となる。ここで、露光時間507は、垂直同期期間より短い時間であるのに対し、露光時間511は、垂直同期期間より長い時間を設定できることを示しており、これは読み出し走査の対応する、リセット走査の為のCPUによる通信信号19のタイミングにより制御できる。つまり露光時間507での読み出し走査506の為の通信5012は期間V2であり、対応するリセット走査A(505)の為の通信5011は期間V1でありその差は1垂直走査期間である。これに対して、読み出し走査513の為の通信5014は期間V4であり、対応するリセット走査A(509)の為の通信5012は2垂直走査期間前の期間V2に行えば、露光時間511となる。なお、奇数フィールド2のリセット走査509は、偶数フィールド1の読み出し走査510より時間的に前に走査される。ただし、リセット走査509は、カウンタアップのステップ値“2”により、偶数フィールド1の読み出し行を飛び越して走査されるため、偶数フィールド1の読み出し行は、読み出し前にリセットされることは無い。

20

【0030】

画素駆動部12L, 12Rは、セクタ150により選択された行アドレスに応じて、1つの奇数行とそれに隣接する1つの偶数行との2行を1組みとして画素部11の行を選択する。短蓄積動作の露光時間507は、1垂直同期期間より短く、フィールドの周期に対して短い。画素部11は、露光時間507の短蓄積動作では、画素駆動部12L, 12Rにより選択される画素部11の奇数番目の組みの行を走査505により順次走査して奇数フィールド1の画素の画素信号をリセットする。その後、画素駆動部12L, 12Rにより選択される画素部11の奇数番目の組みの行を走査506により順次走査して奇数フィールド1の画素の画素信号を読み出す。その後、画素駆動部12L, 12Rにより選択される画素部11の偶数番目の組みの行を順次走査して偶数フィールド1の画素の画素信号をリセットする。その後、画素駆動部12L, 12Rにより選択される画素部11の偶数番目の組みの行を順次走査して偶数フィールド1の画素の画素信号を読み出す。

30

【0031】

長蓄積動作の露光時間511は、1垂直同期期間より長く、フィールドの周期に対して長い。画素部11は、露光時間511の長蓄積動作では、画素駆動部12L, 12Rにより選択される画素部11の奇数番目の組みの行を順次走査して奇数フィールド2の画素の画素信号をリセットする。その後、画素駆動部12L, 12Rにより選択される画素部11の偶数番目の組みの行を順次走査して偶数フィールド2の画素の画素信号をリセットする。その後、画素駆動部12L, 12Rにより選択される画素部11の奇数番目の組みの行を順次走査して奇数フィールド2の画素の画素信号を読み出す。その後、画素駆動部12L, 12Rにより選択される画素部11の偶数番目の組みの行を順次走査して偶数フィールド2の画素の画素信号を読み出す。

40

【0032】

50

露光時間 5 0 7 の短蓄積動作に引き続き露光時間 5 1 1 の長蓄積動作が行われる際には、以下の動作が行われる。短蓄積動作における偶数フィールド 1 の画素の画素信号の読み出しの走査 5 1 0 の開始は、長蓄積動作における奇数フィールド 2 の画素の画素信号のリセットの走査 5 0 9 の開始の後に行われる。かつ、短蓄積動作における偶数フィールド 1 の画素の画素信号の読み出しの走査 5 1 0 の開始は、長蓄積動作における偶数フィールド 2 の画素の画素信号のリセットの走査 5 1 2 の開始の前に行われる。

【 0 0 3 3 】

読み出し行カウンタ 1 5 1 は、奇数フィールド及び偶数フィールドのインターレース読み出しの行アドレスを生成する。フィールド読み出し周期に対して短い蓄積時間と長い蓄積時間の 2 種類の蓄積動作の一方から他方へ切り替わる場合に、2 つのリセット行カウンタ 1 5 2 , 1 5 3 は、以下の動作を行う。2 つのリセット行カウンタ 1 5 2 , 1 5 3 は、奇数フィールドと偶数フィールドが互いのフィールドの読み出し行を飛び越して行リセットするように行アドレスを生成する。

【 0 0 3 4 】

図 3 に示すように、行カウンタ制御部 1 8 は、第 1 のカウンタスタートパルス生成回路 R (4 0 7) と、水平同期信号カウンタ 4 1 4 と、第 2 のカウンタスタートパルス生成回路 A (4 1 7) と、第 3 のカウンタスタートパルス生成回路 B (4 2 3) とを有する。第 1 のカウンタスタートパルス生成回路 R (4 0 7) は、読み出し行カウンタ 1 5 1 をカウントスタートさせるためのカウントスタートパルス 4 1 5 を生成する。水平同期信号カウンタ 4 1 4 は、垂直同期信号 2 0 のタイミングでリセットし、水平同期信号 2 1 のタイミングでカウントアップする。第 2 のカウンタスタートパルス生成回路 A (4 1 7) は、水平同期信号カウンタ 4 1 4 のカウンタ値に応じて、第 1 のリセット行カウンタ A (1 5 2) をカウントスタートさせるためのカウントスタートパルス 4 1 8 を生成する。第 3 のカウンタスタートパルス生成回路 B (4 2 3) は、水平同期信号カウンタ 4 1 4 のカウンタ値に応じて、第 2 のリセット行カウンタ B (1 5 3) をカウントスタートさせるためのカウントスタートパルス 4 2 2 を生成する。

【 0 0 3 5 】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態の固体撮像装置について、第 1 の実施形態と異なる点を中心に説明する。図 1 (A) で示した固体撮像装置の構成は本実施形態においても同じであり、かつ行カウンタ制御部 1 8 以外の動作は同じである。

【 0 0 3 6 】

図 5 は、第 2 の実施形態による行カウンタ制御部 1 8 の構成例を示す図である。以下、露光時間が垂直同期期間より短い場合も、長い場合も、外部 C P U からの通信タイミングが変わらない動作を説明する。フィールド判定回路 6 0 4 は、垂直同期信号 2 0 に同期して “ 0 ” と “ 1 ” が交互に変化するフィールド判定結果 6 0 5 を出力する。C P U 書き込みレジスタ R (4 0 1)、カウンタスタートパルス生成回路 R (4 0 7)、V D 同期レジスタ R (4 0 8) は、図 3 の説明と同じ動作であるが、奇数フィールドに対する偶数フィールドの読み出し開始行の差分であるオフセット値のレジスタが追加される。垂直同期信号 2 0 に同期して C P U 書き込みレジスタ R (4 0 1) から、V D 同期レジスタ R (4 0 8) に開始行と終了行をコピーする際、フィールド判定結果 6 0 5 を参照し、“ 0 ” であれば、そのままコピーし、“ 1 ” であればオフセット値を加算してコピーする。

【 0 0 3 7 】

C P U 書き込みレジスタ S (6 0 1) は、リセット行カウンタ A (1 5 2)、リセット行カウンタ B (1 5 3) の共通の設定レジスタである。C P U 書き込みレジスタ S (6 0 1) は、リセット走査開始カウント、リセット開始行、リセット終了行、カウントアップのステップ値、および、奇数フィールドに対する偶数フィールドのリセット開始行の差分であるオフセット値を保持する。V D 同期レジスタ A (4 0 9) は、垂直同期信号 2 0 に同期して C P U 書き込みレジスタ S (6 0 1) の値をコピーする際、スイッチ 6 0 3 A により、フィールド判定結果 6 0 5 が、“ 0 ” であればコピーし、“ 1 ” であれば値を保持

する。VD同期レジスタB(409)は、垂直同期信号20に同期してCPU書き込みレジスタS(601)の値をコピーする際、スイッチ603Bにより、フィールド判定結果605が、“1”であればコピーし、“0”であれば値を保持する。さらにVD同期レジスタB(410)には、CPU書き込みレジスタS(601)の開始行と終了行をコピーする際、オフセット値を加算してコピーする。

【0038】

HDカウンタA(606)は、フィールド判定結果605が、“0”のときのみ垂直同期信号20のタイミングにてリセットされ、水平同期信号21のタイミングでカウントアップするカウンタである。HDカウンタB(608)は、フィールド判定結果605が、“1”のときのみ垂直同期信号20のタイミングにてリセットされ、水平同期信号21のタイミングでカウントアップするカウンタである。なお、HDカウンタA(606)、HDカウンタB(608)は、2垂直同期期間に入力される水平同期信号21のパルス数をカウント可能なカウンタである。カウンタスタートパルス生成回路A(417)及びHDカウンタ同期レジスタA(419)は、図3での説明と同じ動作であるが、HDカウンタA(606)の出力信号607を参照する点が異なる。カウンタスタートパルス生成回路B(421)及びHDカウンタ同期レジスタB(423)は、図3での説明と同じ動作であるが、HDカウンタB(608)の出力信号609を参照する点が異なる。

【0039】

図6は、図5に示した、第2の実施形態による行カウンタ制御部18の動作と、その制御信号に基づく、読み出し行カウンタ151、リセット行カウンタA(152)、リセット行カウンタB(153)の動作を示すタイミング図である。フィールド判定結果605は、フィールド判定回路604の出力であり、垂直同期信号20に同期して、“0”と“1”が交互に出力される。HDカウンタA値(607)は、フィールド判定結果605が“0”の時に垂直同期信号20に同期してリセットされ、水平同期信号21の入力毎にカウントアップする。HDカウンタB値(609)は、フィールド判定結果605が“1”の時に垂直同期信号20に同期してリセットされ、水平同期信号21の入力毎にカウントアップする。カウンタスタートパルスR出力(415)、カウンタスタートパルスA出力(418)、カウンタスタートパルスB出力(422)、リセット走査A(505、509)、リセット走査B(508、512)の動作とタイミングは図3と同じである。読み出し走査506、510、513、514の動作とタイミングも図3と同じである。

【0040】

次に、図6で示す動作を説明する。まず、期間V0においてCPUからの通信7011により、CPU書き込みレジスタR(401)には、読み出し走査フラグに“0”(走査オフ)を設定し、読み出し走査の禁止を指示する。CPU書き込みレジスタS(601)には、リセット走査開始カウントにはHDカウンタ値A(6071)、リセット開始行には“0”、リセット終了行には“ $n/2 - 1$ ”、カウントアップのステップ値には“2”、オフセット値には“1”が書き込まれる。この時、リセット走査開始カウント値6071は、1垂直同期期間に入力される水平同期信号21のパルス数より大きな値である。

【0041】

期間V1にて、垂直同期信号20に同期して、CPU書き込みレジスタR(401)の値が、VD同期レジスタR(408)にコピーされる(4081)。期間V1の、垂直同期信号20の入力タイミングでの、フィールド判定結果605は“0”であるので、スイッチ603Aにより、CPU書き込みレジスタS(601)の値が、VD同期レジスタA(409)にコピーされる(4111)。一方、VD同期レジスタB(410)は、スイッチ603Bによりコピーされず、値が保持されるが、期間V2にてフィールド判定結果605は“1”となったタイミングで、CPU書き込みレジスタS(601)の値がコピーされる(4121)。この時、VD同期レジスタB(410)の、リセット開始行とリセット終了行には、オフセット値が加算された値が保持される。

【0042】

また、期間V2では、HDカウンタA値(607)が、VD同期レジスタA値(411

10

20

30

40

50

）のリセット走査開始カウンタ値 6071 に一致すると、VD 同期レジスタ A 値 (411) が、HD 同期レジスタ A (419) にコピーされる。そして、カウンタスタートパルス生成回路 A (417) は、スタートパルス 4181 を生成し、リセット走査 A (505) が行われる。さらに、期間 V2 おいて、通信 7012 により、CPU 書き込みレジスタ R (401) には、読み出し走査フラグに “1” (走査オン)、読み出し開始行に “0”、読み出し終了行に “ $n/2 - 1$ ”、ステップ値に “2”、オフセット値に “1” が書き込まれる。CPU 書き込みレジスタ S (601) には、リセット走査開始カウンタには HD カウンタ値 A (6072)、リセット開始行には “0”、リセット終了行には “ $n/2 - 1$ ”、カウンタアップのステップ値には “2”、オフセット値には “1” が書き込まれる。この時、リセット走査開始カウンタ値 6072 は、1 垂直同期期間に入力される水平同期信号 21 のパルス数より小さな値である。

10

【0043】

期間 V3 では、まず通信 7012 による CPU 書き込みレジスタ値 701 が、VD 同期レジスタ R 408 にコピーされる (4082)。この時、フィールド判定結果 605 は “0” であるので、VD 同期レジスタ A (409) にはコピーされ、VD 同期レジスタ B (410) にはコピーされない。カウンタスタートパルス生成回路 R (407) は、読み出し走査フラグが “1” (走査オン) であるのでスタートパルス 4151 を生成する。スタートパルス 4151 を受け、読み出し行カウンタ 151 は、読み出し開始行 “0”、読み出し終了行 “ $n/2 - 1$ ”、読み出し行カウンタのカウンタアップのステップ値 “2” の設定に基づき読み出し走査 (506) を開始する。

20

【0044】

次に、HD カウンタ値 B (609) が、VD 同期レジスタ B (410) のリセット走査開始カウンタである HD カウンタ値 (6071) に一致したとき、VD 同期レジスタ B (410) の値が、HD カウンタ同期レジスタ B (424) にコピーされる (4241)。さらに、カウンタスタートパルス生成回路 B (421) はリセット行カウンタ B (153) に対し、スタートパルス 4182 を生成する。スタートパルス 4182 を受け、リセット行カウンタ B (153) は、オフセット値が加算された、リセット開始行 “1”、リセット終了行 “ $n/2$ ”、カウンタアップのステップ値 “2” に基づきリセット走査 B (508) を開始する。

【0045】

30

次に、HD カウンタ A 値 607 が、VD 同期レジスタ A (409) のリセット走査開始カウンタである HD カウンタ値 (6072) に一致したとき、VD 同期レジスタ A (409) の値が、HD カウンタ同期レジスタ A (419) にコピーされる (4202)。さらに、カウンタスタートパルス生成回路 A (417) はリセット行カウンタ A (152) に対し、スタートパルス 4152 を生成する。スタートパルス 4152 を受け、リセット行カウンタ A (152) は、リセット走査 A (509) を開始する。

【0046】

期間 V4 では、期間 V3 での通信 7012 による CPU 書き込みレジスタ値 701 が、VD 同期レジスタ R (408) にコピーされる (4083)。この時、フィールド判定結果 605 は “1” であるので、VD 同期レジスタ R 408 の、読み出し開始行、読み出し終了行にはオフセット値 “1” が加算されて書き込まれる。同様に、VD 同期レジスタ A (409) はコピーされず、VD 同期レジスタ B (410) は、オフセット値 “1” が加算されて書き込まれる。カウンタスタートパルス生成回路 R (407) は、読み出し走査フラグが “1” (走査オン) であるのでスタートパルス 4153 を生成する。スタートパルス 4153 を受け、読み出し行カウンタ 151 は、オフセット値が加算された読み出し開始行 “1”、読み出し終了行 “ $n/2$ ” にて読み出し走査 (506) を開始する。

40

【0047】

次に、HD カウンタ値 B (609) が、VD 同期レジスタ B (410) のリセット走査開始カウンタである HD カウンタ値 (6072) に一致したとき、VD 同期レジスタ B (410) の値が、HD カウンタ同期レジスタ B (424) にコピーされる (4242)。

50

さらに、カウンタスタートパルス生成回路 B (4 2 1) はリセット行カウンタ B (1 5 3) に対し、スタートパルス 4 1 8 3 を生成する。スタートパルス 4 1 8 3 を受け、リセット行カウンタ B (1 5 3) は、オフセット値が加算された、リセット開始行 “ 1 ”、リセット終了行 “ $n / 2$ ”、カウントアップのステップ値 “ 2 ” に基づきリセット走査 B (5 1 2) を開始する。

【 0 0 4 8 】

以降、同様に期間 V 5、期間 V 6 の読み出し走査 5 1 3、5 1 4 と、リセット走査禁止の為の設定を通信 7 0 1 3 により行う事を示している。以上により、露光時間 5 0 7、5 1 1 は第 1 の実施形態と同様に制御できている。かつ、露光時間が垂直同期期間より、長い、または短いに関わらず、奇数フィールドの読み出し期間に対して、常に 2 垂直走査期間前に通信すればよいことを示している。

10

【 0 0 4 9 】

図 5 に示すように、行カウンタ制御部 1 8 は、第 1 のカウンタスタートパルス生成回路 R (4 0 7) と、第 2 のカウンタスタートパルス生成回路 A (4 1 7) と、第 3 のカウンタスタートパルス生成回路 B (4 2 1) とを有する。さらに、行カウンタ制御部 1 8 は、第 1 の水平同期信号カウンタ A (6 0 6) と、第 2 の水平同期信号カウンタ B (6 0 8) とを有する。第 1 のカウンタスタートパルス生成回路 R (4 0 7) は、読み出し行カウンタ 1 5 1 をカウントスタートさせるためのカウントスタートパルス 4 1 5 を生成する。第 1 の水平同期信号カウンタ A (6 0 6) は、2 つの垂直同期信号 2 0 のタイミング毎にリセットし、水平同期信号 2 1 のタイミングでカウントアップする。第 2 の水平同期信号カウンタ B (6 0 8) は、2 つの垂直同期信号 2 0 のタイミング毎かつ第 1 の水平同期信号カウンタ A (6 0 6) に対して 1 つの垂直同期信号 2 0 分ずれてリセットし、水平同期信号 2 1 のタイミングでカウントアップする。第 2 のカウンタスタートパルス生成回路 A (4 1 7) は、第 1 の水平同期信号カウンタ A (6 0 6) のカウンタ値に応じて、第 1 のリセット行カウンタ A (1 5 2) をカウントスタートさせるためのカウントスタートパルス 4 1 8 を生成する。第 3 のカウンタスタートパルス生成回路 B (4 2 1) は、第 2 の水平同期信号カウンタ B (6 0 8) のカウンタ値に応じて、第 2 のリセット行カウンタ B (1 5 3) をカウントスタートさせるためのカウントスタートパルス 4 2 1 を生成する。

20

【 0 0 5 0 】

第 1 及び第 2 の実施形態の固体撮像装置は、デジタルカメラ等に使用される固体撮像装置に利用することができる。第 1 及び第 2 の実施形態によれば、1 垂直走査期間以内の短蓄積動作の蓄積時間設定要求時と、1 垂直走査期間を超える長蓄積動作の蓄積時間設定要求時とで、画素部 1 1 の読み出しの間引き行を切り替えない。そのため、短蓄積動作と長蓄積動作の切り替わり前後で画質の変化がない自然な動画撮影が可能となる。また、低照度時の動画撮影における画質を向上させることができ、その制御の簡略化を実現することができる。

30

【 0 0 5 1 】

また、上述の各実施形態においては、画素部 1 1 の制御を行うために、行アドレスデコーダ 1 4、選択記憶部 1 3、画素駆動部 1 2 をそれぞれ 2 系統設けているが、1 系統で画素部 1 1 を制御しても良い。つまり、行アドレスデコーダから出力しうるデコード値の総数が、上述の実施形態で示したものの 2 倍の数になる。図 1 に示すように、選択記憶部 1 3 は論理回路やラッチ回路を含んで成るため、素子数が多くなる。したがって、画素の微細化が進んだ際には、図示されるように 2 系統の行アドレスデコーダ 1 4、選択記憶部 1 3、画素駆動部 1 2 を設けた方が、レイアウトが容易になるという利点がある。

40

【 0 0 5 2 】

また、各実施形態においては、隣接する 2 行の画素を 1 組として選択する例を示したが、1 行ずつ独立に選択しても良いことはいうまでもない。また、上記では、奇数フィールド (第 1 のフィールド) とそれに引き続く偶数フィールド (第 2 のフィールド) の場合を例に説明したが、奇数フィールドと偶数フィールドの順番は逆でもよい。

【 0 0 5 3 】

50

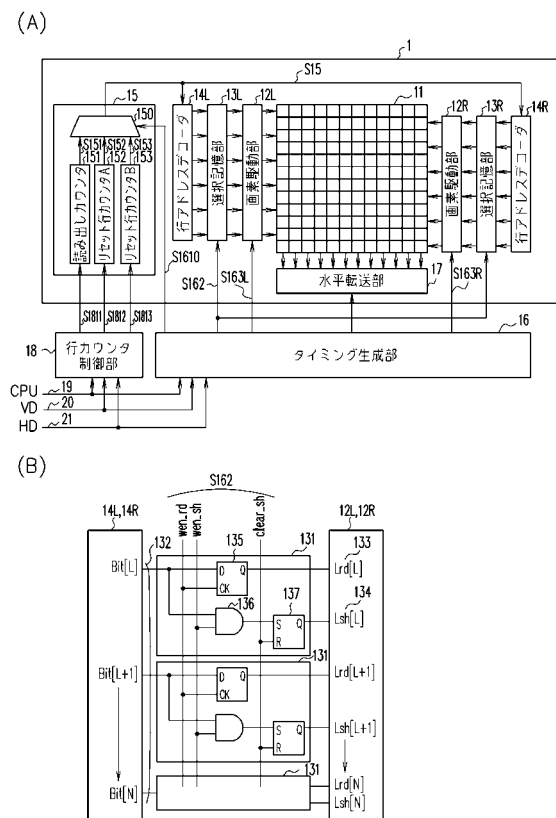
なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

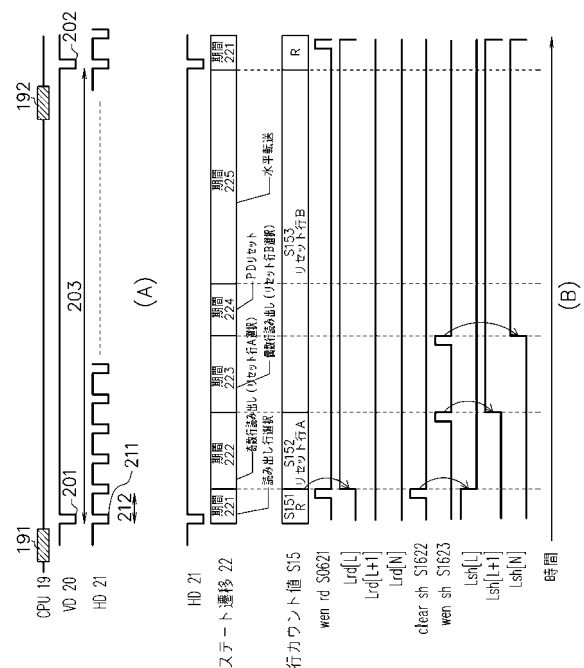
【0054】

11 画素部、12L, 12R 画素駆動部、18 行カウンタ制御部、150 セレクタ、151 読み出し行カウンタ、152, 153 リセット行カウンタ

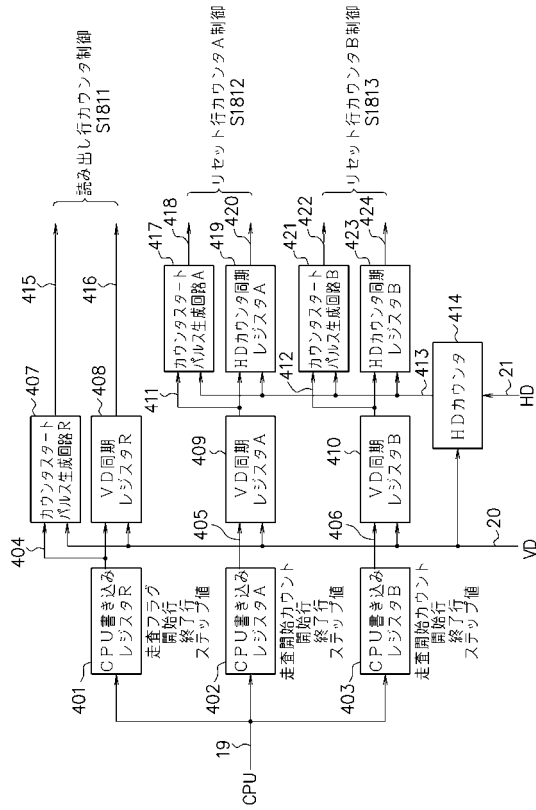
【図1】



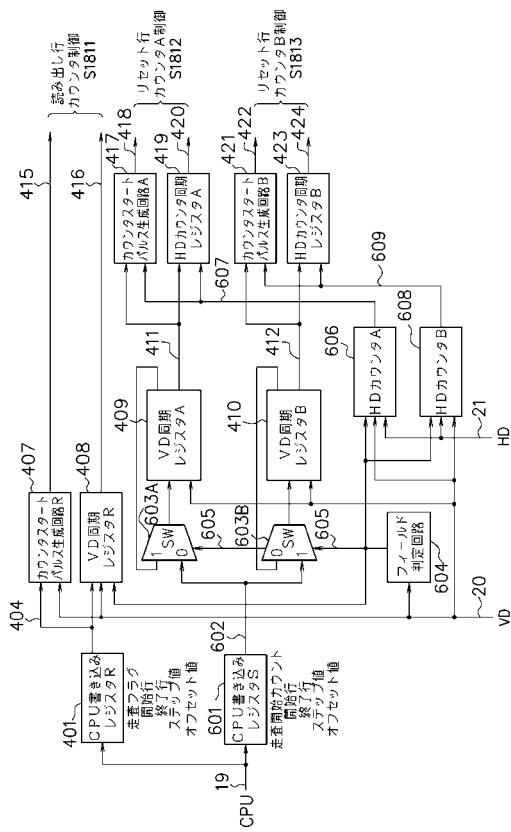
【図2】



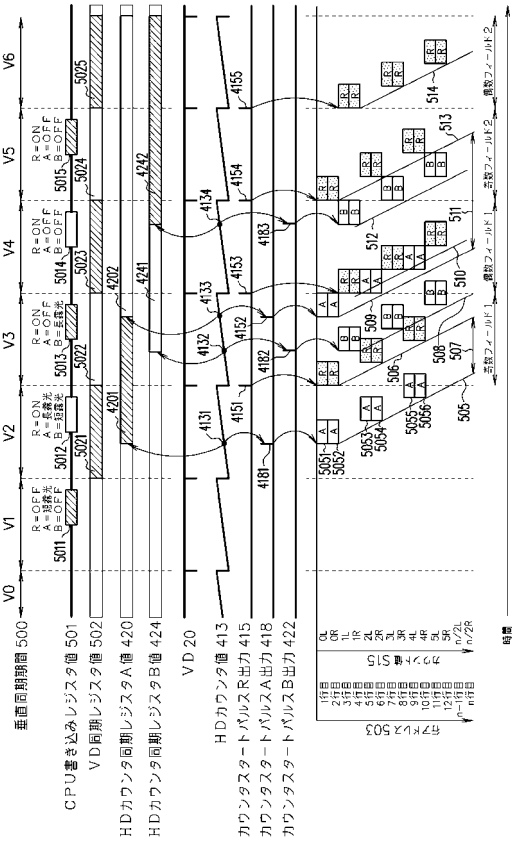
【 図 3 】



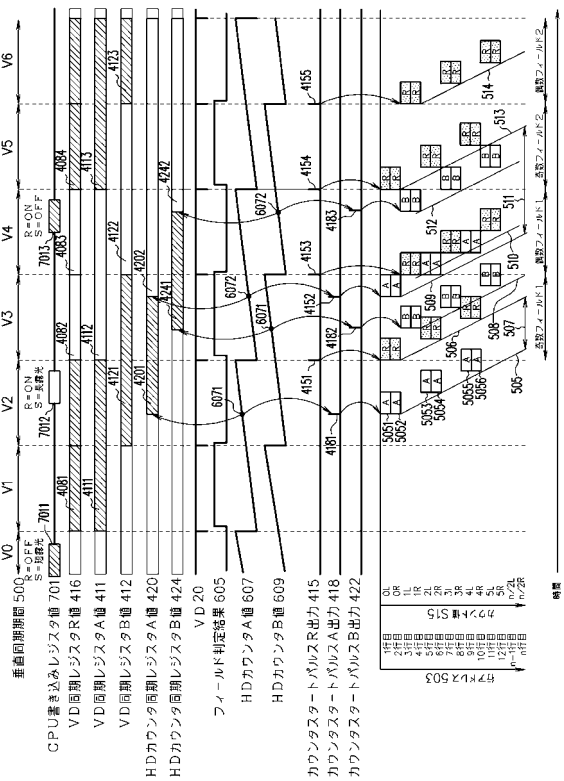
【 図 5 】



【 図 4 】



【 図 6 】



フロントページの続き

(56)参考文献 特開 2011-071927 (JP, A)
特開 2008-288946 (JP, A)
特開 2008-028608 (JP, A)
特開 2009-124317 (JP, A)
特開 2005-123758 (JP, A)
特開 2008-288903 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/30	-	5/378
H04N	5/222	-	5/257
H01L	21/339		
H01L	27/14	-	27/148
H01L	29/762		