

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11B 20/10 (2006.01)

H04N 5/52 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200680031148.5

[43] 公开日 2008年8月20日

[11] 公开号 CN 101248493A

[22] 申请日 2006.7.3

[21] 申请号 200680031148.5

[30] 优先权

[32] 2005.8.26 [33] US [31] 11/213,127

[86] 国际申请 PCT/EP2006/063793 2006.7.3

[87] 国际公布 WO2007/023012 英 2007.3.1

[85] 进入国家阶段日期 2008.2.26

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 E·埃莱夫特里乌 S·厄尔策尔

G·A·伽奎特 J·耶利托

R·A·哈钦斯

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 李峥

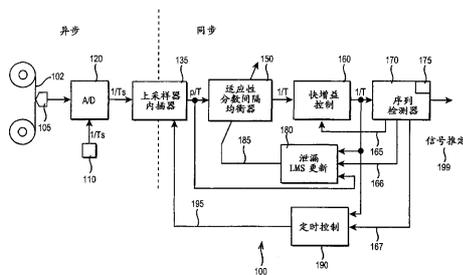
权利要求书6页 说明书8页 附图9页

## [54] 发明名称

用于异步过采样、同步分数间隔均衡化以及数字增益控制的读取通道设备

## [57] 摘要

公开了一种读取通道接收器设备和方法。读取通道接收器链路包含：以固定速率对通过读取数据轨道形成的模拟信号进行异步采样的模拟到数字转换器，其中，数据轨道以符号速率被写入数据存储介质；上采样器与内插器，其与模拟到数字转换器互连。接收器还包含分数间隔均衡器，其中，内插器以大于符号速率的内插速率向分数间隔均衡器提供信号。分数间隔均衡器形成同步均衡化信号。接收器还包含与分数间隔均衡器互连的数字增益控制模块以及输出最大似然信号序列的序列检测器。



1. 一种读取通道，其包含：

异步模拟到数字转换器，其以大于第一速率的速率对通过读取数据轨道形成的模拟信号进行异步采样，其中，所述数据轨道以所述第一速率被写入数据存储介质；

内插器，其与所述模拟到数字转换器互连；

分数间隔均衡器，其与所述内插器互连，其中，所述内插器以内插速率向所述分数间隔均衡器提供内插采样，且其中，所述分数间隔均衡器以均衡化速率形成同步均衡化采样，其中，所述内插速率大于或等于所述均衡化速率，且其中，所述内插速率大于所述第一速率；

增益控制模块，其与所述分数间隔均衡器互连；以及

序列检测器，其与所述增益控制模块互连。

2. 根据权利要求1的读取通道，其还包含在异步领域内以大于所述第一速率的速率对所述模拟信号进行过采样的上采样器。

3. 根据权利要求2的读取通道，其还包含第一反馈电路，该电路包含与所述序列检测器以及所述内插器互连的定时控制电路。

4. 根据权利要求3的读取通道，其还包含第二反馈电路，该电路包含与所述序列检测器以及所述分数间隔均衡器互连的最小均方更新电路。

5. 根据权利要求4的读取通道，其还包含第三反馈电路，该电路与所述序列检测器以及所述增益控制模块互连。

6. 根据权利要求5的读取通道，其中，所述第二反馈电路与所述第三反馈电路解耦合。

7. 根据权利要求6的读取通道，其中，所述序列检测器包含部分响应最大似然序列检测器。

8. 根据权利要求6的读取通道，其中，所述序列检测器包含噪音预测最大似然序列检测器。

9. 根据权利要求8的读取通道，其中，所述噪音预测最大似然序列检

测器包含分支度量计算算法和多个预测器滤波器，其中，所述预测器滤波器被嵌入所述分支度量计算算法，其中，所述算法的每个变化与所述多个预测器滤波器中不同的一个相关联。

10. 一种读取在数据存储介质中编码的信息的方法，其包含以下步骤：

提供读取通道，所述读取通道包含模拟到数字转换器、与所述模拟到数字转换器互连的内插器、与所述内插器互连的分数间隔均衡器、与所述分数间隔均衡器互连的增益控制模块以及与所述增益控制模块互连的序列检测器；

读取被写入数据存储介质的数据轨道以形成模拟信号，其中，所述数据轨道包含以第一速率编码的信息；

以固定的采样速率对所述模拟信号进行异步采样，以形成采样信号；

形成内插采样；

以内插速率将所述内插采样提供给所述分数间隔均衡器，其中，所述内插速率大于所述第一速率；

以均衡化速率形成同步均衡化采样，其中，所述均衡化速率小于所述内插速率；

调节所述均衡化采样的增益；

使用所述增益调节后的同步均衡化采样检测表示最大似然序列估计的数据符号。

11. 根据权利要求 10 的方法，其中，所述提供步骤还包含提供上采样器，所述方法还包含以上采样速率在异步领域中进行上采样的步骤，其中，所述上采样速率大于所述第一速率。

12. 根据权利要求 10 的方法，其还包含以下步骤：

提供定时控制电路，该电路与所述序列检测器以及所述内插器互连；

产生定时信号；

将所述定时信号提供给所述内插器。

13. 根据权利要求 12 的方法，其还包含以下步骤：

产生均衡器误差信号；

将所述均衡器误差信号提供给所述分数间隔均衡器。

14. 根据权利要求 13 的方法，其还包含以下步骤：

产生通过来自所述序列检测器的决策形成的信号估计；

其中，在增益控制之前，所述产生均衡器误差信号的步骤还包含产生包含所述信号估计与延迟均衡化信号之间的差的均衡器误差信号。

15. 根据权利要求 14 的方法，其还包含以下步骤：

产生包含延迟增益调节信号与所述信号估计之间的差的增益控制误差信号；

将所述增益控制误差信号提供给所述增益控制模块；

其中，所述产生均衡器误差信号的步骤与所述产生增益控制误差信号的步骤解耦合。

16. 根据权利要求 15 的方法，其中，所述提供序列检测器的步骤还包含提供包含目标的序列检测器，所述方法还包含以下步骤：

产生调节后的目标；

将所述调节后的目标提供给所述序列检测器；

将所述目标设置到所述调节后的目标。

17. 根据权利要求 15 的方法，其中，所述提供序列检测器的步骤还包含提供部分响应最大似然序列检测器，且其中，所述检测步骤还包含使用所述部分响应最大似然序列检测器检测表示最大似然序列估计的数据符号。

18. 根据权利要求 15 的方法，其中，所述提供序列检测器的步骤还包含提供噪音预测最大似然序列检测器，且其中，所述检测步骤还包含使用所述噪音预测最大似然序列检测器检测表示最大似然序列估计的数据符号。

19. 根据权利要求 18 的方法，其中，所述噪音预测最大似然序列检测器包含分支度量计算算法和多个预测器滤波器，其中，所述预测器滤波器嵌入所述分支度量计算算法中，其中，所述算法的每个变化与所述多个预测器滤波器的不同的一个相关联。

20. 一种适用于可编程计算机处理器的计算机程序产品，其用于使用读取通道读取在数据存储介质中编码的信息，所述读取通道包含模拟到数字转换器、与所述模拟到数字转换器互连的内插器、与所述内插器互连的分数间隔均衡器、与所述分数间隔均衡器互连的增益控制模块以及与所述增益控制模块互连的序列检测器，所述计算机程序产品包含；

计算机可读程序代码，其使所述可编程计算机处理器读取被写入数据存储介质的数据轨道以形成模拟信号，其中，所述数据轨道包含以第一速率编码的信息；

计算机可读程序代码，其使所述可编程计算机处理器以固定的采样速率对所述模拟信号进行异步采样，以形成采样信号；

计算机可读程序代码，其使所述可编程计算机处理器形成内插采样；

计算机可读程序代码，其使所述可编程计算机处理器以内插速率将所述内插采样提供给所述分数间隔均衡器，其中，所述内插速率大于所述第一速率；

计算机可读程序代码，其使所述可编程计算机处理器以均衡化速率形成同步均衡化采样，其中，所述均衡化速率小于所述内插速率；

计算机可读程序代码，其使所述可编程计算机处理器调节所述均衡化采样的增益；

计算机可读程序代码，其使所述可编程计算机处理器使用所述增益调节后的同步均衡化采样检测表示最大似然序列估计的数据符号。

21. 根据权利要求 20 的计算机程序产品，其中，所述读取通道还包含上采样器，所述计算机程序产品还包含使所述可编程计算机处理器以大于所述第一速率的速率在异步领域中进行上采样的计算机可读程序代码。

22. 根据权利要求 21 的计算机程序产品，其中，所述读取通道还包含定时控制电路，该电路与所述序列检测器以及所述内插器互连；所述计算机程序产品还包含：

计算机可读程序代码，其使所述可编程计算机处理器产生定时信号；

计算机可读程序代码，其使所述可编程计算机处理器将所述定时信号

提供给所述内插器。

23. 根据权利要求 22 的计算机程序产品, 其还包含:

计算机可读程序代码, 其使所述可编程计算机处理器产生均衡器误差信号;

计算机可读程序代码, 其使所述可编程计算机处理器将所述均衡器误差信号提供给所述分数间隔均衡器。

24. 根据权利要求 23 的计算机程序产品, 其还包含:

计算机可读程序代码, 其使所述可编程计算机处理器接收来自所述序列检测器决策的信号估计;

计算机可读程序代码, 其使所述可编程计算机处理器在增益控制前产生包含所述信号估计与延迟均衡化信号之间的差的均衡器误差信号。

计算机可读程序代码, 其使所述可编程计算机处理器将所述均衡化误差信号提供给所述分数间隔均衡器。

25. 根据权利要求 24 的计算机程序产品, 其还包含:

计算机可读程序代码, 其使所述可编程计算机处理器产生包含延迟增益调节信号与所述信号估计之间的差的增益控制误差信号;

计算机可读程序代码, 其使所述可编程计算机处理器将所述增益控制误差信号提供给所述增益控制模块;

其中, 产生所述均衡器误差信号与产生所述增益控制误差信号解耦合。

26. 根据权利要求 24 的计算机程序产品, 其中, 所述序列检测器包含目标, 所述计算机程序产品还包含:

计算机可读程序代码, 其使所述可编程计算机处理器产生调节后的目标;

计算机可读程序代码, 其使所述可编程计算机处理器将所述调节后的目标提供给所述序列检测器;

计算机可读程序代码, 其使所述可编程计算机处理器将所述目标设置到所述调节后的目标。

27. 根据权利要求 26 的计算机程序产品, 其中, 所述序列检测器包含

部分响应最大似然序列检测器，所述计算机程序产品还包含使所述可编程计算机处理器使用所述部分响应最大似然序列检测器检测表示最大似然序列估计的所述数据符号的计算机可读程序代码。

28. 根据权利要求 26 的计算机程序产品，其中，所述序列检测器包含噪音预测最大似然序列检测器，所述计算机程序产品还包含使所述可编程计算机处理器使用所述噪音预测最大似然序列检测器检测表示最大似然序列估计的所述数据符号的计算机可读程序代码。

29. 一种增强由存储服务提供者提供给存储服务用户的服务的方法，其包含以下步骤：

以第一速率将接收自存储服务用户的数据编码到信息存储介质；

从所述信息存储介质读取所述数据以形成模拟信号；

以固定采样速率对所述模拟信号进行异步采样以形成采样信号；

形成内插采样；

以内插速率向分数间隔均衡器提供所述内插采样；其中，所述内插速率大于所述第一速率；

以均衡化速率形成同步均衡化采样，其中，所述均衡化速率小于所述内插速率；

调节所述均衡化采样的增益；

使用所述增益调节后的同步均衡化采样检测表示最大似然序列估计的数据符号。

用于异步过采样、同步分数间隔均衡化以及数字增益控制的读取通道设备

## 技术领域

本发明涉及使用异步采样和同步均衡化读取被编码到数据存储介质的信息的设备和方法。

## 背景技术

人们知道，自动化介质存储库用于提供对大量存储介质的节约成本的访问。一般而言，介质存储库包含大量数据存储介质。在某些实施方式中，这种信息存储与检索系统包含多个存储器槽（storage slot），其上为存储信息的便携式数据存储介质。典型的数据存储介质包括一个或一个以上的磁带、一个或一个以上的光盘、一个或一个以上的硬磁盘、电子存储介质等等。

随着被写入数据存储介质的信息量的增大，读取该信息以及从噪音中识别有效数据信号变得更加困难。所需要的是可靠地读取被编码到数据存储介质的信息的设备和方法。

## 发明内容

本发明提供了一种读取通道（read channel）以及使用该读取通道的方法。读取通道包含：模拟到数字转换器，该转换器对通过读取数据轨道形成的模拟信号进行异步采样，其中，数据轨道以符号速率（symbol rate）或者由写入均衡化处理指定的速率被写到数据存储介质；内插器，其与模拟到数字转换器互连。

读取通道还包含分数间隔均衡器（fractionally-spaced equalizer），其中，内插器以内插速率向分数间隔均衡器提供内插信号，内插速率大于符号速率。分数间隔均衡器形成同步符号间隔均衡化信号。读取通道还包含：

增益控制模块，该模块与分数间隔均衡器互连；序列检测器，其与增益控制模块互连。

## 附图说明

结合附图，通过阅读下面的详细介绍可更好地理解本发明，在附图中，相同的参考标号用于表示相同的元件，其中：

图 1A 为一框图，其示出了申请人的读取通道的第一实施例；

图 1B 为一框图，其示出了申请人的读取通道的第二实施例；

图 2 为一框图，其示出了申请人的分数间隔均衡器；

图 3 为一框图，其示出了申请人的读取通道的第三实施例；

图 4 为一框图，其示出了申请人的读取通道的第四实施例；

图 5 为一框图，其示出了申请人的读取通道的第五实施例；

图 6 为一框图，其示出了申请人的读取通道的第六实施例；

图 7 为一流程图，其概括了申请人的方法中的某些步骤；以及

图 8 为一流程图，其概括了申请人的方法中的附加步骤。

## 具体实施方式

参照附图，同样的符号对应于附图所示同样的部件。本发明的实例将被介绍为在用于从磁带读取信息的读取通道组件中实现。然而，下面对用于调节多个数字信号幅度的方法的介绍不意味着将本发明限制为从磁带读取信息或限制为数据处理应用，因为这里的本发明可适用于从一般的信息存储介质读取信息。

本发明的实例包含通过对模拟信号（其包含被编码到存储介质的信息）进行异步采样并接着对这些采样进行同步均衡化来从信息存储介质读取信息的设备——即读取通道——以及使用该设备的方法。申请人的方法在图 7 和 8 中概括。

现在参照图 1A 和 7，在步骤 710 中，该方法提供这样的读取通道，其包含：模拟到数字转换器；内插器，其与模拟到数字转换器互连；分数间

隔均衡器，其与内插器互连；增益控制模块，其与分数间隔均衡器互连；序列检测器，其与增益控制模块互连。

在步骤 720 中，随着带 102 移过读取头 105，读取头 105 由读取被编码在磁带 102 上的数据产生模拟信号。在某些实施例中，写入带 102 的数据以第一速率——即符号速率——被编码。在某些实施例中，第一速率由写入均衡化处理指定。读取头 105 将该模拟信号提供给模拟到数字转换器 120。固定频率时钟 110 向 A/D 转换器 120 提供定时信号。

在步骤 730 中，关于用于写入数据符号的时钟异步地对模拟信号进行采样。据发现，异步采样通道允许减小的实现复杂性，因为数字锁相环代替了在同步采样中使用的模拟锁相振荡器。结果，消除了模拟部件中的变化引起的许多问题。在 (N) 个数据轨道使用同步采样被读取的情况下，需要 (N) 个模拟 PLO，即每个通道一个模拟 PLO。

相反，在使用实现本发明的方法和设备读取 (N) 个数据轨道的情况下，一个整个系统范围内的自由运行 (free running) 的时钟 110 控制 (N) 个模拟信号的采样，以获得对于 (N) 个通道的异步采样。在这种情况下，避免了对 (N) 个模拟 PLO 的需求，并使用 (N) 个数字锁相环。相对于数据速率增加采样速率减小了由于混淆现象引起的误差。

在步骤 740 中，异步采样的信号被提供给上采样器 (upsampler) / 内插器 135，上采样器/内插器 135 通过以指定的上采样速率进行内插来计算同步采样。在步骤 750 中，上采样器/内插器 135 向分数间隔均衡器 150 提供同步采样。因此，该设备和方法结合同步分数间隔均衡化使用异步信号采样。

现在参照图 1A、2、7，在步骤 750 中，分数间隔均衡器 150 以速率  $p/T$  接收来自采样器/内插器 135 的采样。 $p$  的值为大于或等于 2 的整数。均衡器权重  $w_1, w_2, w_3, \dots, w_L$  每  $q \cdot T/p$  个延迟元件 (从第一个延迟元件前开始) 分接出均衡器延迟线。

在步骤 760 中，分数间隔均衡器 150 每个数据符号间隔  $T$  接收  $p$  个输入采样，并且每个  $T$  产生一个采样。均衡器权重  $w_1, w_2, w_3, \dots, w_L$  也每

个符号间隔  $T$  被更新。因此，输出采样速率为  $1/T$ ，而输入采样速率为  $p/T$ 。权重更新以输出速率  $1/T$  发生。来自均衡器 150 的输出包含理想的无失真通道输出信号和由于来自均衡化不当的残余符号间干扰以及有色噪音引起的失真。

分数间隔均衡器 150 以  $1/T$  的速率向增益控制模块 160 提供同步均衡化采样。在步骤 770 中，增益控制模块 160 调节均衡化采样的增益。

在步骤 780 中，增益调节后的同步均衡化采样受到序列检测器 170 的处理，其中，检测器 170 被配置为基于检测器决策产生信号估计，例如来自沿着最大似然序列检测器的残余序列的数据决策的信号估计。本领域技术人员将会明了，序列检测器将这些检测到的数据符号提供给对这些数据符号进行解码的解码器。

现在参照图 1A 和 8，读取通道 100 包含第一反馈环，第一反馈环包含通信链路 165。在步骤 810 中，该方法通过序列检测器 170 产生信号估计 199。在步骤 820 中，这些信号估计 199 被提供给增益控制模块 160。

读取通道 100 还包含第二反馈环，第二反馈环包含通信链路 166、最小均方（“LMS”）算法 180 和通信链路 185。传统的 LMS 算法可显示出明显的稳定性与性能缺陷，这些缺陷是由于（1）非恒定、脉冲环境噪音，（2）精度有限的算法，以及（3）与量化以及电子放大器相关联的测量噪音引起的。在某些实施例中，LMS 算法 180 包含“泄漏的（leaky）”LMS 算法，其中，泄漏参数解决由于非恒定的输入、低的信噪比以及精度有限的算法引起的稳定性缺陷。

在步骤 830 中，信号估计 199 被提供给 LMS 算法 180。在步骤 840 中，LMS 算法 180 将更新后的一组均衡器系数提供给分数间隔均衡器 150。

读取通道 100 还包含第三反馈环，第三反馈环包含通信链路 167、定时控制模块 190、通信链路 195。在步骤 850 中，信号估计 199 被提供给定定时控制模块 190，定时控制模块 190 产生定时信号。在步骤 860 中，该定时信号被提供给上采样器/内插器 135。

在某些实施例中，该方法从步骤 860 转移到步骤 740，并如这里所介

绍的那样继续。尽管图 8 显示出步骤 810 到 860 被依次执行，在该设备和方法的某些实施例中，步骤 810 到 860 基本上同步地执行。

现在参照图 1B，图 1B 为示出读取通道 101 的框图。读取通道 101 包含分立的上采样器 130 和内插器 140。

在读取通道 100/101 的某些实施例中，将均衡器适配反馈环与增益适配反馈环解耦合。在没有解耦合的情况下，这两个反馈环的交互作用可能导致增益和/或均衡器系数移动，其可降低读取通道的整体性能，和/或可在均衡器与增益控制适配未被适当约束的情况下导致适应性环的发散。

现在参照图 3，读取通道 300 包含增益适配环 310，其中，增益控制误差信号使用通信链路 340 被提供给增益控制模块 160，增益控制误差信号包含通过通信链路 330 提供的来自增益控制模块 160 的延迟输出信号与通过通信链路 320 提供的由序列检测器 170 的决策形成的信号估计 199 之间的差。

读取通道 300 还包含均衡器适配环 350，其中，均衡器误差信号通过通信链路 380 被提供给 LMS 算法 180，均衡器误差信号包含延迟均衡化信号（通过通信链路 370 提供）与信号估计 199（通过通信链路 360 提供，由序列检测器 170 的决策形成）之间的差。

在某些实施例中，该设备和方法使用采用欧几里德距离度量到部分响应 4 类（PR4）目标和最大似然序列检测的均衡化，一种在现有技术中被称为 PRML 的组合。在这些 PRML 检测器实施例中，序列检测器 170 包含 PRML 检测器，目标多项式 175（图 1A）包含整数系数，即，其中， $D$  表示延迟运算符。

在较高的线性记录密度下，线性 PR4 均衡器产生相当大的噪音增强。在该设备和方法的某些实施例中，检测器 170 包含扩展 PRML 检测器（“EPRML”）。具有目标多项式的这种 EPRML 检测器 170 也为固定结构，其中，目标多项式 175 不能被适配到变化的通道运行点。

在更高的线性记录密度下，EPR4 目标可导致进一步的噪音增强。在申请人的设备和方法的某些实施例中，检测器 170 包含扩展 EPRML 检测

器 (“E2PRML”)。具有目标多项式的这种 E2PRML 检测器 170 也为固定的结构,其中,目标多项式 175 不能被适配到变化的通道运行点。

在某些实施例中,据发现,均衡化到短的目标不允许减轻通道与目标的不匹配,且改变总体响应所要求的、接下来的均衡化导致噪音着色 (noise coloration)、噪音增强以及结果引起的性能劣化。或者,过度增大目标的长度引起最大似然序列检测器的复杂性的、不受欢迎的增大。

在某些实施例中,该设备和方法采用噪音预测最大似然 (“NPML”) 检测器。通过在到序列检测器的输入上增加噪音白化滤波器并基于较长的有效目标进行序列检测, NPML 检测器提供增强的可靠性。在某些 NPML 实施例中,目标多项式包含非整数系数。通过允许 PR 目标多项式采用非整数系数,到通道的更好的匹配是可能的。

在某些实施例中,目标多项式 175 (图 1A, 1B) 在包含读取通道 100 的信息存储与检索系统的初始化过程中被设置。在其他实施例中,目标多项式 175 由与包含读取通道 100 的信息存储与检索系统互连的主计算机提供。

在该设备和方法的某些实施例中,部分响应目标和分数间隔均衡器被连带地更新。现在参照图 4,申请人的读取通道 400 包含 NPML 检测器 410 和目标适配环 440,其中,电路 430 向 NPML 检测器 410 提供更新后的目标 420。同时,均衡器输出信号 450 被用于产生均衡器误差信号,该信号被提供给分数间隔均衡器 150。在本实施例中,均衡器结合信号整形与噪音预测的功能。

读取通道 400 还包含固定时钟 110、模拟到数字转换器 120、上采样器/内插器 135 (图 1A) 或上采样器 130 (图 1B) 与内插器 140 (图 1B)。在某些实施例中,读取通道 400 还包含增益适配环 310 (图 3),其中,均衡器/目标适配以及定时与增益调节被解耦合,如上面所介绍的那样。

现在参照图 4 和 8,在目标适配实施例中,该方法包含步骤 870,其中,该设备和方法产生调节后的目标。在步骤 880 中,该设备和方法将调节后的目标提供给 NPML 检测器 410。

在某些实施例中，读取通道包含分数间隔均衡器与噪音预测滤波器的分立的实施。例如参照图 5，读取通道 500 包含与噪音预测滤波器 510 结合的分数间隔均衡器 150，噪音预测滤波器 510 包含噪音预测滤波器更新环 520，其中，两滤波器被适应性地调节。读取通道 500 还包含固定时钟 110、模拟到数字转换器 120、上采样器/内插器 135（图 1A）或上采样器 130（图 1B）与内插器 140（图 1B）。在某些实施例中，读取通道 500 还包含增益适配环 310（图 3），其中，均衡器适配以及定时与增益调节被解耦合，如上面所介绍的那样。

在某些实施例中，该设备包含依赖于状态的 NPML 检测器。现在参照图 6，读取通道 600 包含 NPML 检测器 610，其包含度量计算单元 620，其中， $P_k(D)$ ， $k=0,1,\dots,2xNstates-1$  表示对应于 NPML 框架上的第  $k$  个变化的一组预测器系数。读取通道 600 还包含固定时钟 110、模拟到数字转换器 120、上采样器/内插器 135（图 1A）或上采样器 130（图 1B）与内插器 140（图 1B）。在某些实施例中，读取通道 600 还包含增益适配环 310（图 3），其中，均衡器适配以及定时与增益调节被解耦合，如上面所介绍的那样。

存储服务提供者可使用该设备和方法向存储服务用户提供增强信息存储服务。具体而言，存储服务提供者可通过以符号速率将接收自存储服务用户的数据编码到信息存储介质并在此后从所述信息存储介质读取该数据以形成模拟信号来增强提供给存储服务用户的服务。存储服务提供者可使用该设备和方法以固定采样速率对模拟信号进行异步采样以形成采样信号，形成内插采样，并以内插速率将这些内插采样提供给分数间隔均衡器，其中，内插速率大于符号速率。存储服务提供者可使用该设备和方法以均衡化速率形成同步均衡化采样（其中，均衡化速率小于或等于内插速率），调节这些均衡化采样的增益，并使用所述增益调节后的同步均衡化采样检测表示最大似然序列估计的数据符号。

图 7 与 8 所示方法的实施例可分别实现。另外，在某些实施例中，可对图 7 和/或 8 所示的单独的步骤进行合并、消除或重新排序。

在某些实施例中，本发明包含驻留在布置在包含读取通道的数据存储装置中的存储器内的指令，其中，这些指令由布置在包含读取通道的数据存储装置中的处理器执行，以执行图 7 所示的步骤 720、730、740、750、760、770 和/或 780，和/或图 8 所示的步骤 810、820、830、840、850、860、870 和/或 880。

在其他实施例中，本发明包含驻留在任何其他计算机程序产品中的指令，其中，这些指令由包含读取通道的信息存储与检索系统内部或外部的计算机执行，以执行图 7 所示的步骤 720、730、740、750、760、770 和/或 780，和/或图 8 所示的步骤 810、820、830、840、850、860、870 和/或 880。在每种情况下，指令可被编码在包括例如磁信息存储介质、光信息存储介质、电子信息存储介质等的信息存储介质中。“电子存储介质”意味着例如 PROM、EPROM、EEPROM、闪速 ROM、压缩闪存 (compact flash)、智能介质等装置。

尽管详细示出了本发明的优选实施例，应当明了，在不脱离所附权利要求书所述本发明的范围的情况下，本领域技术人员可想到对这些实施例的修改和变型。

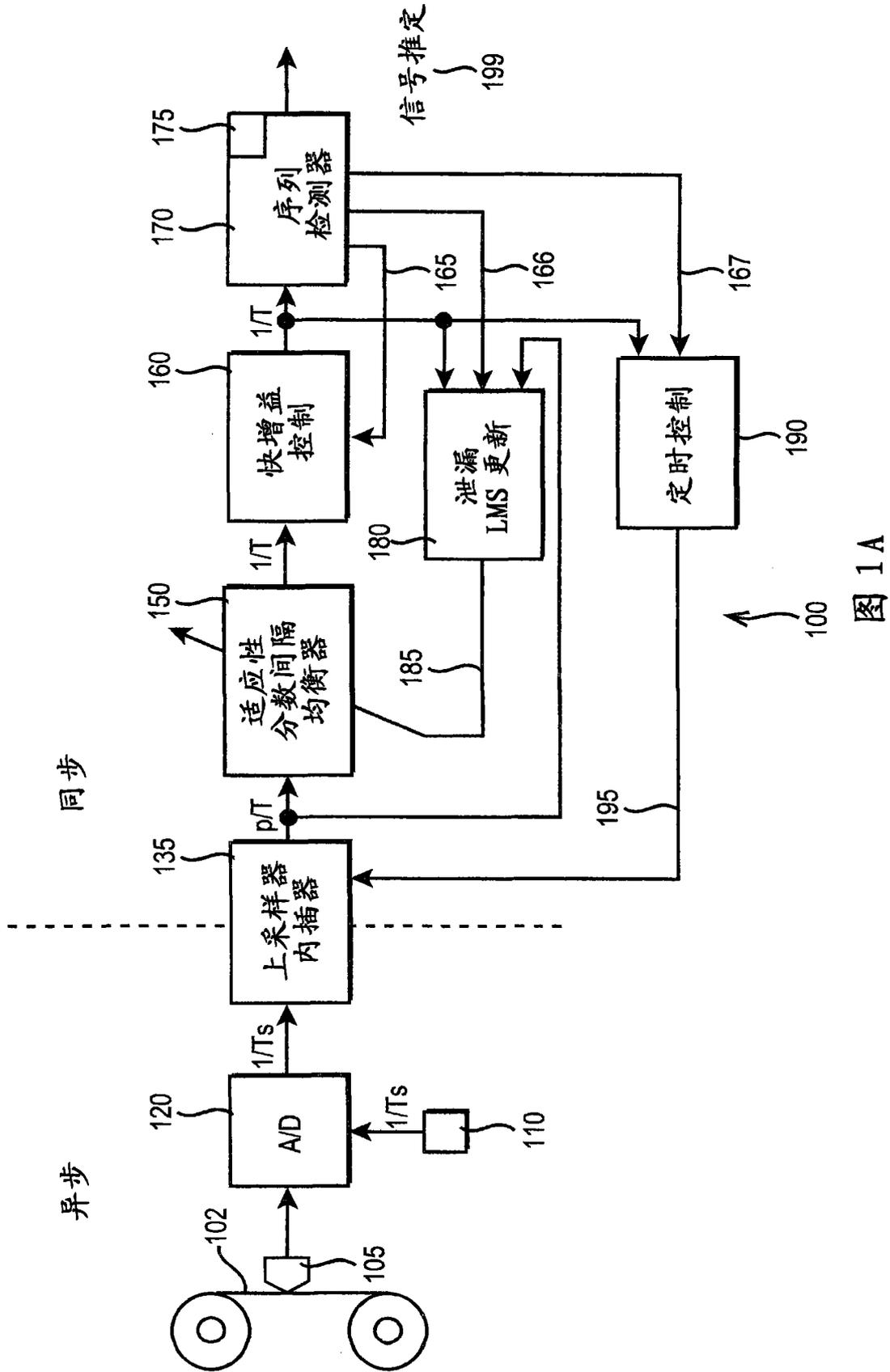


图 1 A

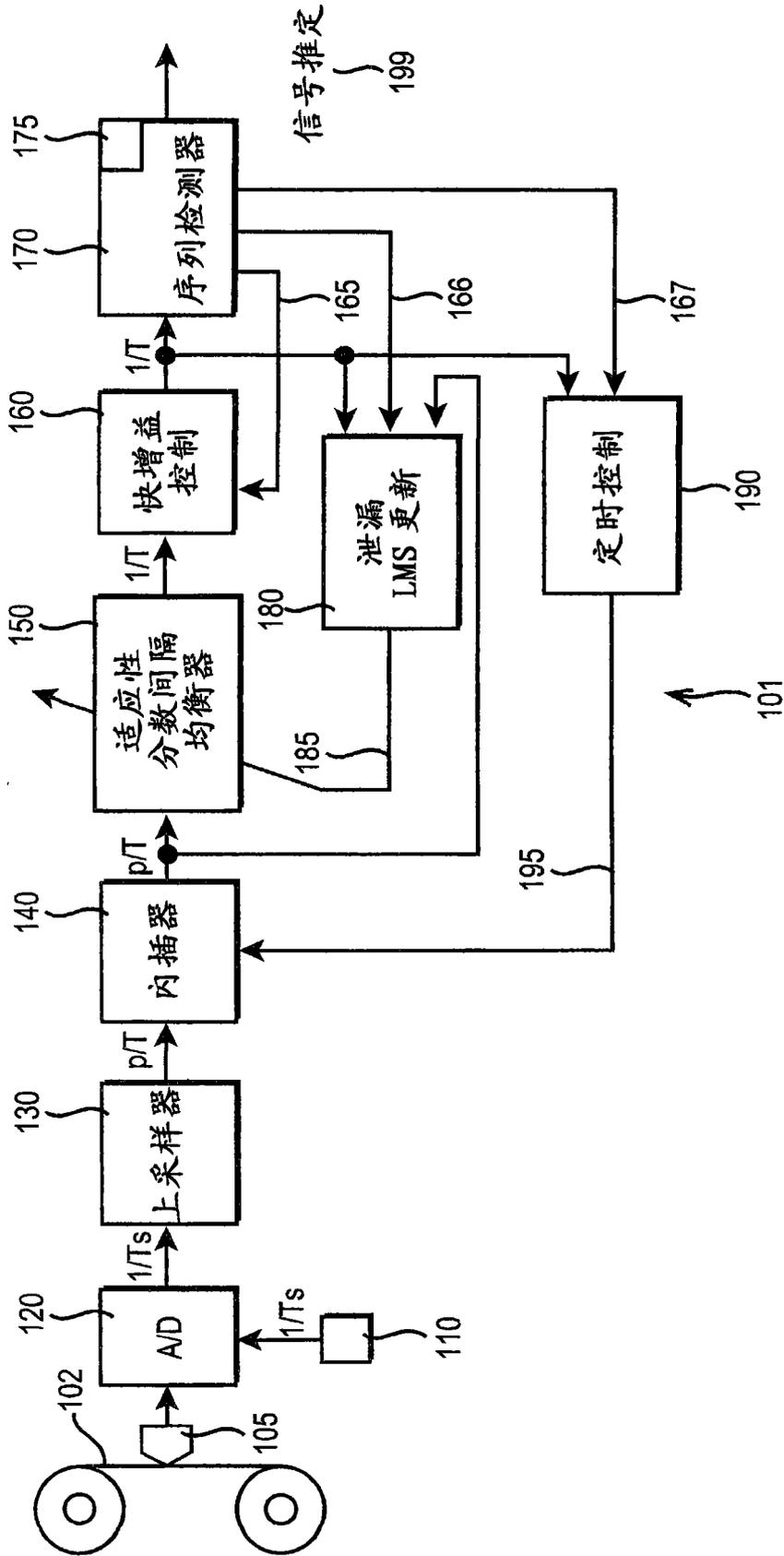


图 1B

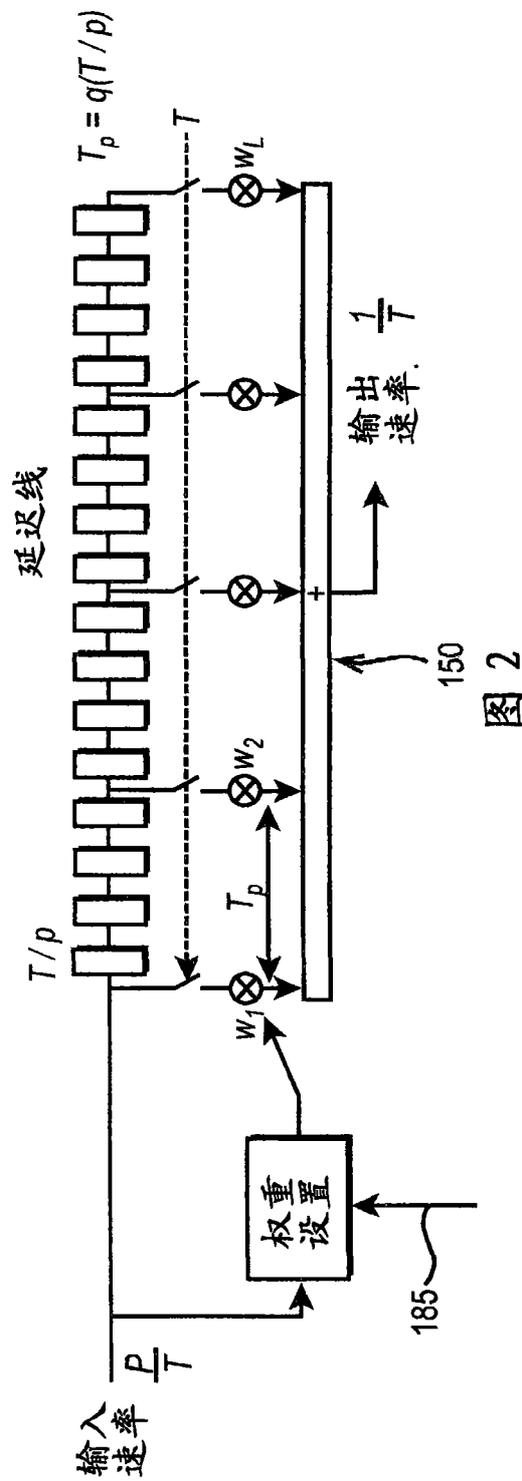


图 2

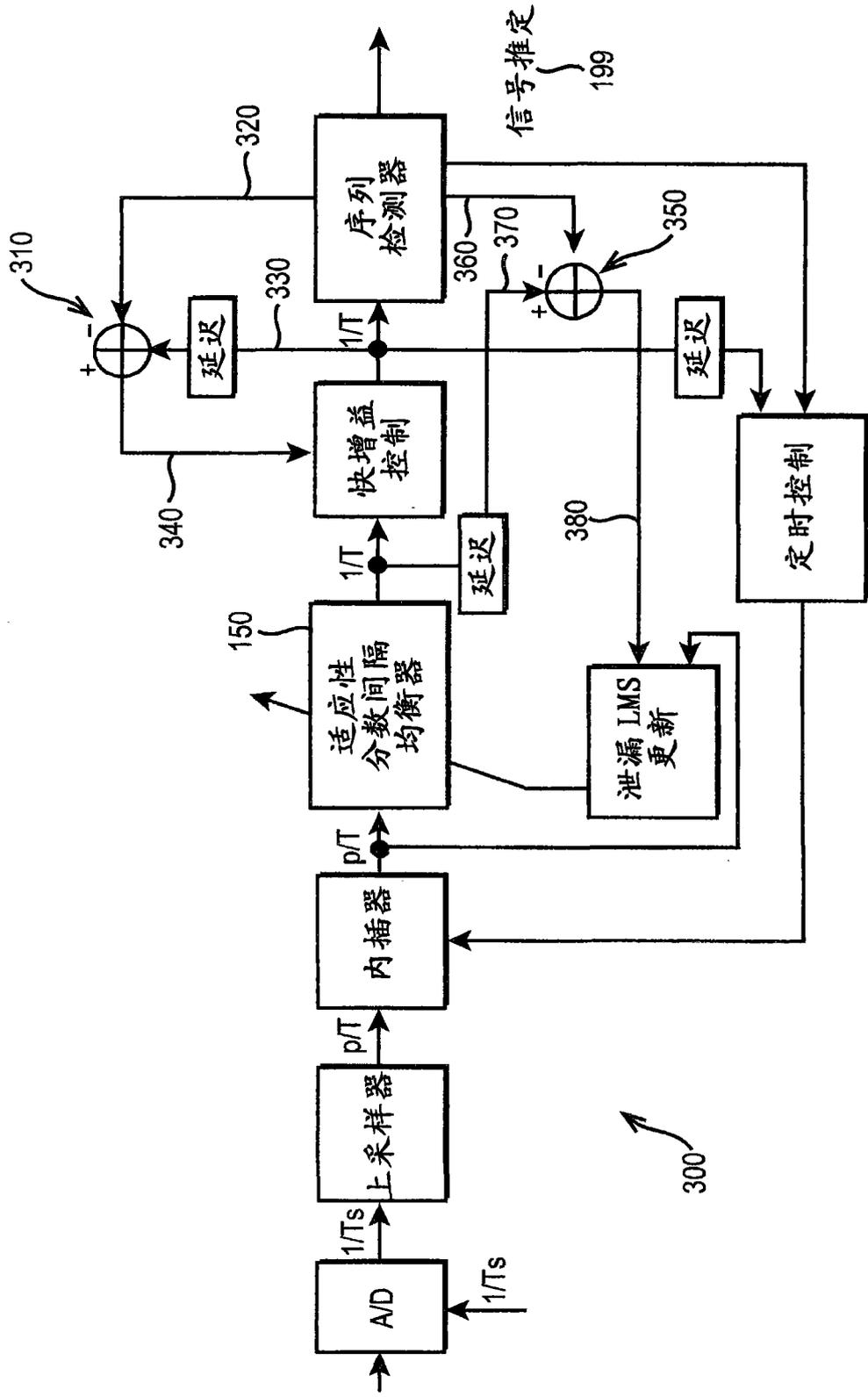


图 3

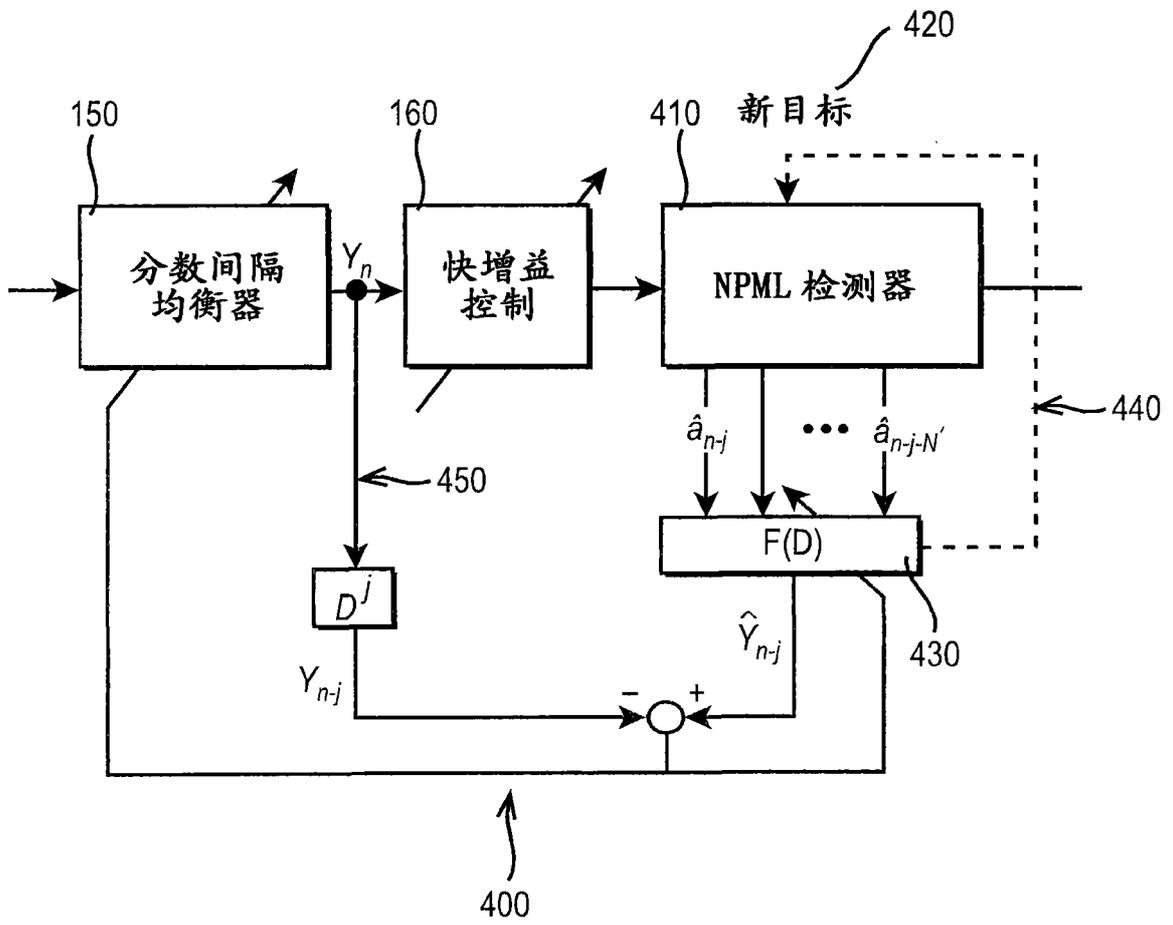


图 4

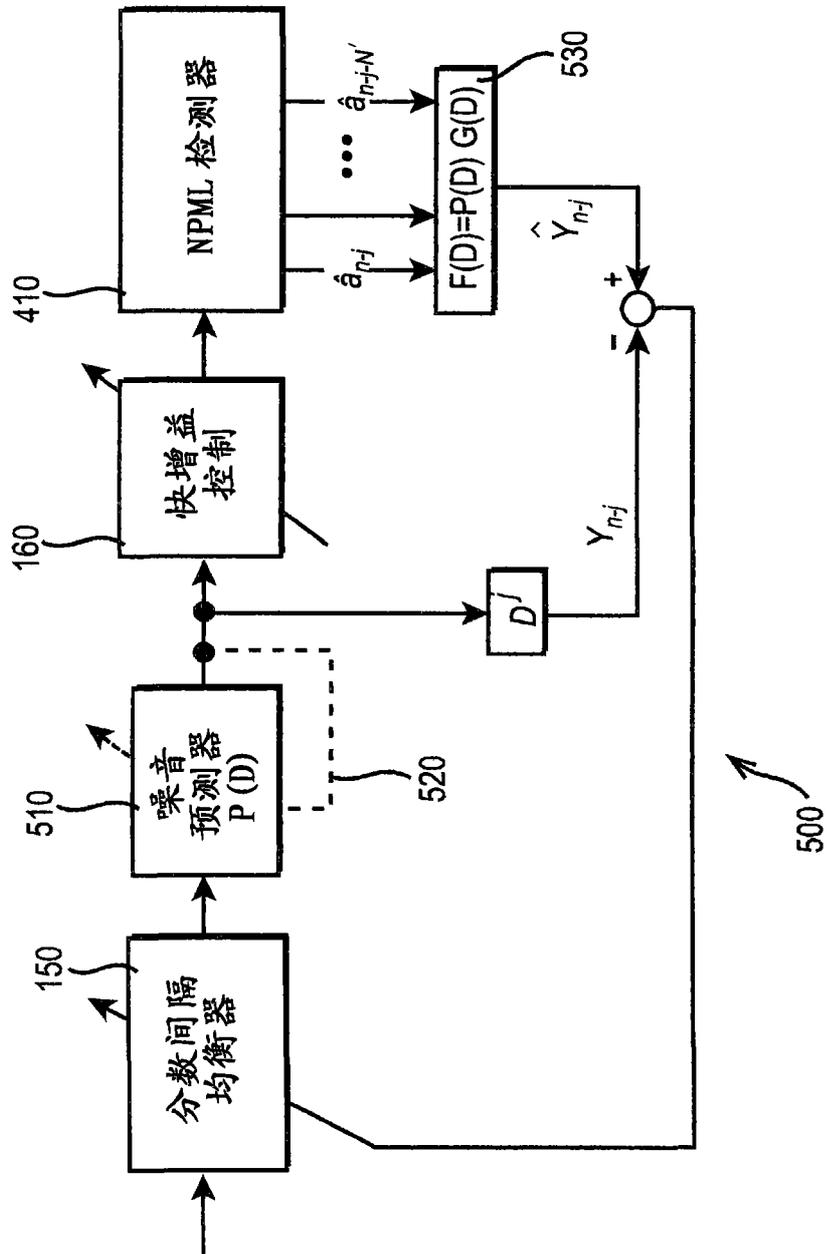


图 5

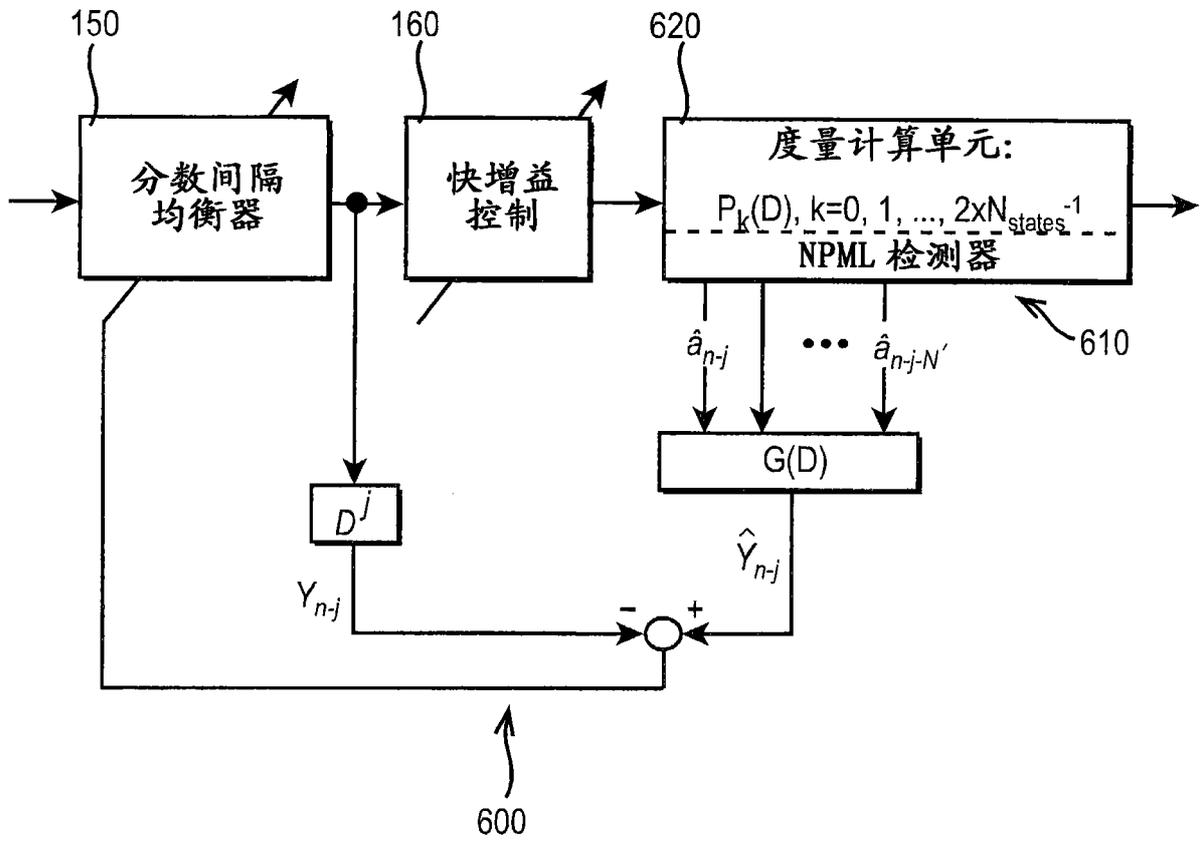


图 6

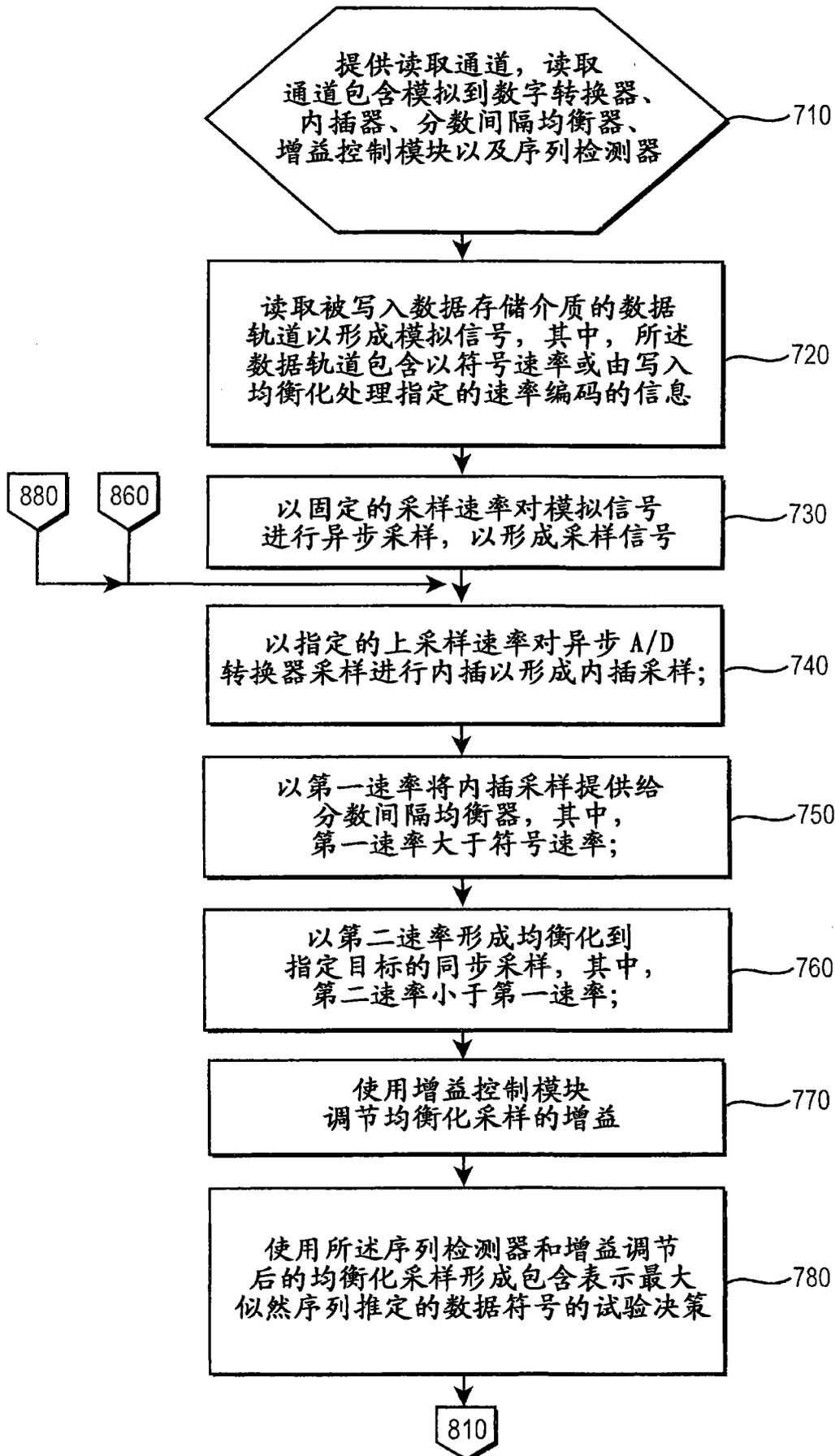


图 7

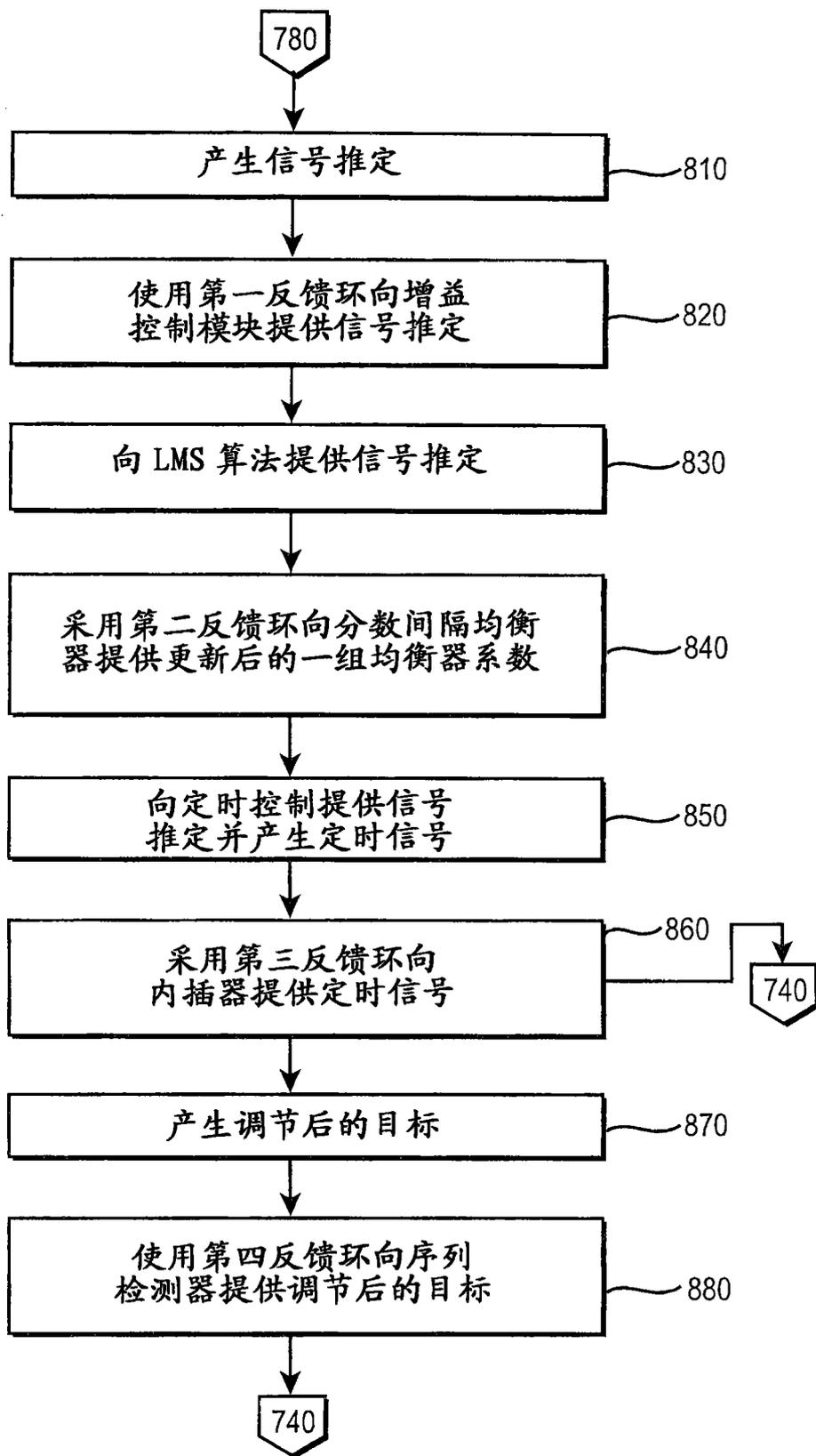


图 8