

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3985016号
(P3985016)

(45) 発行日 平成19年10月3日(2007. 10. 3)

(24) 登録日 平成19年7月20日(2007. 7. 20)

(51) Int. Cl.

H 0 1 L 21/60 (2006.01)

F I

H 0 1 L 21/60 3 1 1 R

請求項の数 8 (全 12 頁)

(21) 出願番号	特願平9-315787	(73) 特許権者	000000295
(22) 出願日	平成9年10月31日(1997. 10. 31)		沖電気工業株式会社
(65) 公開番号	特開平11-135555		東京都港区虎ノ門1丁目7番12号
(43) 公開日	平成11年5月21日(1999. 5. 21)	(74) 代理人	100082050
審査請求日	平成16年8月31日(2004. 8. 31)		弁理士 佐藤 幸男
		(72) 発明者	柏田 順治
			東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
		審査官	池淵 立
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

一側端に複数の出力端子が設けられ、他側端に複数の入力端子が設けられて1つの回路機能を形成する複数の半導体チップ部と、前記複数の半導体チップ部が1つのデバイスホール内に所定間隔を保持して配される保持部材と、該保持部材の前記一側端側の一側に整列して配され、前記各半導体チップ部の複数の出力端子と第1のリード線を介して電氣的に接続される複数の出力電極と、前記保持部材の前記他側端側の他側に整列して配され、前記各半導体チップ部の複数の入力端子と第2のリード線を介して電氣的に接続される複数の入力電極とを備え、該入力電極の数が前記出力電極のそれより小さい半導体装置であって、

隣接する一対の前記各半導体チップ部の対向する端部側の前記他側端に前記入力端子と共にそれぞれ設けられる共通端子と、

前記保持部材の他側の領域に前記第2のリード線と共に設けられ、前記一対の半導体チップ部の各共通端子を相互に電氣的に接続する複数の結線とを含むことを特徴とする半導体装置。

【請求項 2】

前記保持部材はTABテープである請求項1記載の半導体装置。

【請求項 3】

前記半導体チップ部は全体に長方形の平面形状を有し、その長手方向を整列させかつほぼその長手方向寸法に等しい相互間隔をおいて配置されている請求項1記載の半導体装置

。

【請求項 4】

一方の半導体チップ部に設けられた入力端子が共通端子を兼ねる場合に、該入力端子に接続される第 2 のリード線に分岐路を設け、該分岐路を他方の半導体チップ部に設けられた共通端子に接続することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記共通端子にチップ部内配線である分岐路を経て接続される分岐端子が設けられている請求項 1 記載の半導体装置。

【請求項 6】

前記分岐路を経て相互に接続される一方の前記半導体チップ部の前記共通端子または前記分岐端子および他方の前記半導体チップ部の前記共通端子または前記分岐端子は、それぞれの半導体チップ部内を伸びる分割線を対称軸として、相互に対称的に配置されている請求項 4 または 5 記載の半導体装置。

10

【請求項 7】

前記分岐端子と前記共通端子とを相互に接続する前記チップ部内配線は、多層配線技術により形成されている請求項 5 記載の半導体装置。

【請求項 8】

分岐路には、信号の減衰を防止するためのバッファが挿入されている請求項 5 記載の半導体装置。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、半導体基板に集積回路を組み込んで構成される半導体チップを備える半導体装置に関する。

【0002】

【従来の技術】

半導体チップの製造では、一般的には、半導体ウエハ上の領域に同一の集積回路を多数組み込んだ後、各領域が分離され、この各領域部分により多数の半導体チップが、一括的かつ効率的に形成される。

一枚の半導体ウエハから、このような多数の半導体チップを得るとき、各半導体チップの面積が大きくなるほど、限られた面積の半導体ウエハから得られる半導体チップの数が少なくなる。また、欠陥部分が発見された半導体チップは廃棄されるが、廃棄される半導体チップの面積が大きいくほど半導体ウエハの廃棄面積が増加し、生産性は低下する。そのため、半導体ウエハの有効利用および生産性の向上のためには、半導体ウエハから分離される半導体チップの小型化を図ることが望ましい。

30

【0003】

しかしながら、この半導体チップの小型化の要望に反し、半導体チップを組み込んだ半導体装置のコンパクト化のために、半導体チップの大型化の傾向が見られる。

【0004】

この種の半導体チップを利用した半導体装置に、例えば、特開平 5 - 235092 号公報に示される半導体装置がある。

40

この従来技術によれば、液晶駆動用の半導体装置として、1 つの保持部材に多数の同一機能を有する液晶駆動用 IC チップを連続的に配置し、この保持部材上の同一機能を有する液晶駆動用 IC チップ間で該 IC チップの制御用信号を電氣的に導通させることにより、保持部材上に設けられる外部接続端子数の低減を図ることができ、これにより、半導体装置の実装面積の低減によるコンパクト化が可能となる。

【0005】

【発明が解決しようとする課題】

しかしながら、この種の半導体装置で、一層のコンパクト化を図るためには、各 IC チップに設けられる液晶への出力端子数の増大を図る必要があることから、各 IC チップの出

50

力端子が配列される一辺の寸法が増大し、そのために各ＩＣチップが長大化し、よりスリム化する傾向が見られた。

また、コンパクト化の反面、保持部材上のＩＣチップに１つでも欠陥があれば、保持部材上の他のＩＣチップをも廃棄しなければならないという問題もあった。

【０００６】

各ＩＣチップのスリム化は、前記したような半導体ウエハの有効利用および生産性の向上を疎外する。なぜならば、ほぼ円型である半導体ウエハ上に矩形のＩＣチップを製造するため、半導体ウエハの周辺部には利用できない。領域が残るが、正方形のＩＣチップに比較して、これと同一面積の長方形のＩＣチップは、縦横比の値が１から離れるほど、すなわちスリム化が進むほど、この利用できない領域の面積が増加するためである。

10

【０００７】

そのため、半導体ウエハの有効利用および生産性の向上を可能とする半導体装置を提供し得る技術が望まれていた。

また、この半導体ウエハの有効利用および生産性の向上に関連して、半導体装置の大型化を招くことなくＩＣチップの出力端子と保持部材上に設けられる端子とを接続するリード回路の信頼性を高め、これにより歩留まりの向上を図り得る技術が望まれていた。

【０００８】

【課題を解決するための手段】

本発明は、以上の点を解決するために、次の構成を採用する。

構成１

20

本発明は、一側端に複数の出力端子が設けられ、他側端に複数の入力端子が設けられて１つの回路機能を形成する複数の半導体チップ部と、前記複数の半導体チップ部が１つのデバイスホール内に所定間隔を保持して配される保持部材と、該保持部材の前記一側端側の一側に整列して配され、前記各半導体チップ部の複数の出力端子と第１のリード線を介して電氣的に接続される複数の出力電極と、前記保持部材の前記他側端側の他側に整列して配され、前記各半導体チップ部の複数の入力端子と第２のリード線を介して電氣的に接続される複数の入力電極とを備え、該入力電極の数が前記出力電極のそれより小さい半導体装置であって、隣接する一対の前記各半導体チップ部の対向する端部側の前記他側端に前記入力端子と共にそれぞれ設けられる共通端子と、前記保持部材の他側の領域に前記第２のリード線と共に設けられ、前記一対の半導体チップ部の各共通端子を相互に電氣的に

30

【０００９】

作用１

本発明によれば、所定の１つの機能を果たす電気回路が複数の半導体チップ部に分割されて形成され、この複数の半導体チップ部は、これを保持する単一の保持部材上で、所定の１つの機能を果たすべく電氣的に接続されて構成される。

従って、各半導体チップ部の面積およびスリム化が従来に比較して著しく低減されることから、限られた面積の半導体ウエハから得られる半導体チップの数が増加し、これに伴い半導体チップ部分の生産性向上およびこれを保持部材上で相互に接続して構成される半導体装置の生産性の向上が図られる。

40

【００１０】

また、保持部材上のＩＣはもともと所定の１つの機能を果たす回路であるため、１つの半導体チップに欠陥があり、保持部材上のＩＣをすべて廃棄する場合でも、廃棄量は従来と変わらない。

【００１３】

一側に複数の出力端子が設けられた複数の半導体チップ部を一つの保持部材上に配置することにより、コンパクト化が可能となり、また保持部材上にそれぞれの出力端子に対応した出力電極が設けられる。

この保持部材上の出力電極と対応する半導体チップの出力端子とを接続する第１のリード回路部分については、このリード回路部分の信頼性の確保のために、前記第１の直線部

50

分、傾斜伸長部および第2の直線部におけるそれぞれの間隔を均等に保持する必要がある。

また、半導体装置の大型化の防止のために、前記出力電極の整列方向に沿った保持部材の長さ寸法およびその幅寸法の増大を防止する必要がある。

しかも、出力電極に接続される例えば液晶パネルのような電気素子との確実な電氣的に接続を得るために、各出力電極間の間隔を大きくする必要がある。

【0014】

複数の半導体チップの出力端子数の和と同一数の出力端子数を有する単一の半導体チップ部について、半導体装置の大型化を防止すべく半導体チップ部の各出力端子列と保持部材の各出力電極列間の間隔を保持した状態で、例えば出力電極の間隔を大きく設定しようとすると、第1のリード回路部分における各傾斜伸長部の傾斜角が大きくなり、この傾斜角の増大に伴って傾斜伸長部の相互間隔が小さくなることから、当該リード回路部分における信頼性の低下を招く結果となる。

10

そのため、単一の半導体チップでは、前記した3つの要件の全てを満足させることはできない。

【0015】

これに対し、必要とする出力端子を複数の半導体チップ部に分割し、かつ整列して配置される半導体チップ部間に適正な間隔を保持させることにより、前記した3つの要件を満足させることができ、これにより、大型化を招くことなく、コンパクトでありかつ信頼性に優れた半導体装置を提供することが可能となる。

20

【0016】

各半導体チップ部を例えば液晶駆動用ICチップのような同一の機能を有するICチップで構成することができる。また、各ICチップを長方形として、それぞれの出力端子が直線状に整列するように、各ICチップをその長手方向に整列して配置することができ、これにより、実装効率の向上を図ることができる。

【0017】

各半導体チップ部に、半導体チップ部間で相互に接続される共通端子が設けられるとき、それらを保持部材上の第2のリード回路部分と共に設けた結線で相互に接続することができ、これにより、分割する前の1つの電気回路機能を持つ半導体装置と信号入力端子数、信号出力端子数、電源入力端子数を同一にすることができる。

30

また、この第2のリード回路部分で共通端子を相互に接続するための分岐端子を、各半導体チップ部に設けることができる。

【0018】

各半導体チップ部の共通端子とこれに接続される分岐端子とを多層配線技術により、結線することができる。

また、各半導体チップ部の相互に接続される共通端子および分岐端子を半導体内の仮想分割を対称軸として、相互に対称的に配置することができ、これにより、第2のリード回路部分に交差部を形成することなく該第2のリード回路部分の複雑化を防止して、その簡素化を図ることができる。

【0019】

40

各分岐端子に関連して、半導体チップ内に信号の減衰を防止するためのバッファを組み込むことができる。

【0020】

【発明の実施の形態】

以下、本発明を図示の実施の形態について詳細に説明する。

具体例1

図1は、本発明に係る半導体装置の具体例1を示す。

本発明に係る半導体装置10は、保持部材11と、該保持部材上に保持される複数のチップ部分12とを備える。本具体例では、両チップ部分12の長手方向寸法は等しくLである。

50

半導体装置 10 は、図示の例では、保持部材 11 として T A B (Tape automated bonding) テープが用いられた液晶パネル駆動用ドライバである。

T A B テープ 11 は、その両側部に設けられたスプロケットホール 13 間に、T A B テープ 11 の幅方向に伸長する単一の細長いデバイスホール 14 を備える。

デバイスホール 14 内には、全体に長方形の平面形状を有する細長い一対のチップ部分 12 が配置されている。

【0021】

両チップ部分 12 は、例えば、所定の間隔 D をおいて、その長手方向を一致させて相互に整列するように、配置されている。

両チップ 12 内には、従来よく知られた液晶パネル駆動用ドライバ回路を構成する集積回路が 2 分割されてなる集積回路部分 (図示せず) が、それぞれに形成されている。

10

【0022】

各チップ部分 12 の一側には、前記集積回路部分のための出力端子 16 が互いに等間隔で整列して形成されている。また、各チップ部分 12 の他側には、前記集積回路部分のための入力端子 17 が互いに等間隔で整列して形成されている。

両チップ部分 12 は、相互に近接する端部に設けられた共通端子 18 を備え、両チップ部分 12 の互に対向する共通端子 18 は、接続回路として作用する結線 19 により、相互に接続されている。

【0023】

共通端子 18 を液晶パネル駆動用ドライバの外部で電気接続することにより、両チップ部分 12 は、電氣的に一体的となり、1つのドライバ回路として機能する。また、この1つのドライバ回路として機能する集積回路部分が組み込まれた各チップ部分 12 は、従来のドライバ回路が組み込まれた約 2 L の長さ寸法の半導体基板をその長手方向へ半分に分離したものに相当する。

20

【0024】

T A B テープ 11 の一側には、各出力端子 16 に対応する出力電極 20 が、チップ部分 12 から所定の間隔 W をおいて、出力端子 16 の列と平行に配列されている。出力電極 20 は相互に等間隔をおいて配置されている。

また、T A B テープ 11 の他側には、各入力端子 17 に対応する入力電極 21 が入力端子 17 の列と平行に配列されている。入力電極 21 は相互に等間隔をおいて配置されており、この入力電極 21 の一部が電源用として利用され、残部が入力信号および入出力信号用電極として利用される。

30

【0025】

出力端子 16 とこれに対応する出力電極 20 は T A B テープ 11 上に形成される第 1 のリード回路部分 22 により、相互に接続され、入力端子 17 とこれに対応する第 2 のリード回路部分 23 により、相互に接続されている。

図 1 に示す例では、第 2 のリード回路部分 23 は、半導体基板 15 の縁部から直角に半導体基板 15 の外方へ伸長するリード部分 (23) からなる。

他方、第 1 のリード回路部分 22 は、それぞれ出力端子 16 から半導体基板 15 の縁部と直角に半導体基板 15 の外方へ伸長する第 1 の直線部 22 a と、該直線部の外端から角度的に伸長する傾斜伸長部 22 b と、該傾斜伸長部の外端から対応する出力電極 20 に伸びる第 2 の直線部 22 c とを備える。

40

【0026】

第 1 のリード回路部分 22 は、各チップ部分 12 ごとで、それぞれの傾斜伸長部 22 b が各チップ部分 12 の中間部を横切る仮想線 l_1 を対称軸として対称的に配置されている。各傾斜伸長部 22 b は、第 1 の直線部 22 a と傾斜角 θ をなすように、それぞれが外方へ向けて仮想線 l_1 から離れるように、伸長する。

これにより、第 1 のリード回路部分 22 は、それぞれの部分 22 a、22 b および 22 c が相互に等間隔をおいて形成されている。

【0027】

50

デバイスホール 14 内には、チップ部分 12 を埋め込む従来よく知られた樹脂材料が充填され、これにより両チップ部分 12 が確実に保持される。

【0028】

従来の半導体装置では、長手方向寸法が約 2 L のチップが用いられており、出力電極とチップとの間隔 (W) を所定値に保持した状態で出力電極相互の間隔を増大させるべく傾斜伸長部 (22b) の傾斜角 (θ) を増大させようとする、この傾斜伸長部 (22b) 相互の間隔が小さくなるため、第 1 のリード回路部分 (22) での信頼性の低下を招くおそれが生じる。

【0029】

これに対し、本願発明に係る半導体装置 10 では、両チップ部分 12 に分割されしかも両チップ部分 12 が間隔 D をおいて配置されていることから、この間隔 D を出力電極 20 の間隔分として利用することができる。そのため、出力電極 20 とチップ部分 12 との間隔 W を所定値に保持した状態で、傾斜伸長部 22b の相互間隔を減少させることなく両部 22a と 22c を接続することができ、これにより、TAB テープ 11 の大型化を招くことなく TAB テープ 11 上での出力電極 20 の相互間隔の増大を図ることができる。

【0030】

この出力電極 20 の相互間隔の増大は、該電極に接続される液晶パネルの接続端子との接続を確実に容易とし、この接続部の信頼性の向上に大きく寄与する。

また、TAB テープ 11 の大型化を防止して第 1 のリード回路部分 22 における各部 (22a、22b および 22c) での相互間隔を保持することができることから、半導体装置 10 の大型化を招くことなく、しかも第 1 のリード回路部分 22 での信頼性の低下を招くことなく、出力電極 20 の相互間隔の増大を図ることができる。

また、出力電極 20 の相互間隔と第 1 のリード回路部分 22 における各部 (22a、22b および 22c) での相互間隔を減少させることなく、TAB テープ 11 の小型化を図ることも可能である。

【0031】

しかも、従来のほぼ半分の長さ寸法 L の半導体チップ 12 を用い、両半導体基板 15 に組み込まれた集積回路部分の相互結線により、単一のドライバ回路機能が組み込まれた従来のドライバ回路チップと同等の機能を達成することができ、したがって、1 枚の半導体ウエハから得られる半導体チップ 14 の数を増加させることができるため生産性が向上し、安価な半導体装置 10 を得ることができる。

【0032】

具体例 2

図 2 は、本発明に係る具体例 2 を示す。

具体例 1 では、両チップ部分 12 の共通端子 18 を接続する結線 19 がデバイスホール 14 内に配置された。この例に代えて、図 2 に示すように、デバイスホール 14 を各チップ部分 12 ごとの小寸のデバイスホール 14a とし、TAB テープ 11 における両デバイスホール 14a 間のブリッジ部 11a で、結線 19 を確実に保持することができ、これにより結線 19 の耐久性および信頼性を高めることができる。

【0033】

具体例 3

また、共通端子 18 のための接続回路である結線 19 に関し、図 3 の具体例 3 で示すように、共通端子 18 をチップ部分 12 の他側に配置される入力端子 17 の一部として配列し、接続回路である結線 19 を第 2 のリード回路部分 23 の一部として TAB テープ 11 上の配線により実現することができる。

【0034】

具体例 4

さらに、共通端子の接続回路に関し、図 4 の具体例 4 で示すように、一方のチップ部分 12 の共通端子 18 及び共通端子として機能する入力端子 17 に分岐路 19a の一端を接続し、分岐路 19a の他端を他方のチップ部分 12 の対応する共通端子 (17 および 18

10

20

30

40

50

）に接続することができる。

【 0 0 3 5 】

具体例 5

具体例 1 ~ 4 では、液晶パネル駆動用の 1 つのドライバを 2 つのチップ部分 1 2 に分割して形成した例について説明した。これに代えて、図 5 の具体例に示すように、3 つのチップ部分 1 2 (1 2 a、1 2 b および 1 2 c) に分割し、これらチップ部分 1 2 の各共通端子 1 8 を接続回路である結線 1 9 を経て相互に接続することができる。

【 0 0 3 6 】

この具体例 5 では、1 つのドライバを 3 つのチップ部分 1 2 に分割して形成することができ、各チップ部分 1 2 を結線すなわち接続回路 1 9 により相互に接続することにより、1 つのドライバとして機能させることができる。

従って、具体例 5 の半導体装置 1 0 によれば、具体例 1 ~ 4 に示した例に比較して、より大型のドライバに有利であり、あるいは、より小さな寸法の半導体チップ 1 4 の適用が可能となる。

【 0 0 3 7 】

具体例 6

また、複数のチップ部分 1 2 の電氣的接続によりドライバのような 1 つの回路機能を達成することに代えて、図 6 の具体例 6 に示すように、1 つの T A B テープ 1 1 に保持される各チップ 1 2 ' ごとに、それぞれの独立した同一のドライバ回路機能を付与することができる。

それぞれがドライバ回路として機能するチップ 1 2 ' 間には、前記したような共通結線を不要とすることができる。しかしながら、必要に応じて、各チップ 1 2 ' 間に共通の制御信号あるいは電源等のための結線を保持部材 1 1 または保持部材 1 1 の外部に施すことができる。

【 0 0 3 8 】

各チップ 1 2 ' にそれぞれ異なる機能を有する集積回路を組み込むことができるが、前記したように、1 つの T A B テープ 1 1 に保持される各チップ 1 2 ' に同一規格の同一機能および同一サイズチップを採用することにより、実装設計および生産工程の簡素化を図ることができる。これにより実装設計の効率を高め生産性の向上を図ることができる。

【 0 0 3 9 】

具体例 7

共通端子として機能する入力端子の第 2 のリード回路部分 2 3 での相互接続の簡素化を図るために、チップ部分 1 2 (またはチップ 1 2 ') 内での多層配線技術を利用することが望ましい。

図 7 は、本発明の具体例 7 を部分的に拡大して示す平面図である。

各チップ部分 1 2 には、カスケードデータ信号用入出力端子 1 7 と、入力端子の一部として、共通端子 1 8 およびこの共通端子 1 8 に接続される分岐端子 1 8 ' とが整列して配置されている。

各チップ部分 1 2 の各入出力端子 1 7、入力端子 1 8 および 1 8 ' のうち、両チップ部分 1 2 間で相互に接続される共通端子 1 8 および分岐端子 1 8 ' は、両チップ部分 1 2 内を伸べる分割線 1₂ を対称軸として、相互に対称的に配置されており、共通端子 1 8 から伸べる内部結線 2 4 a の分岐路 2 4 b を介して、対応する共通端子 1 8 と分岐端子 1 8 ' とが接続されている。

【 0 0 4 0 】

チップ部分 1 2 内の結線 (2 4 a および 2 4 b) は、集積回路の形成に不可欠な従来よく知られた多層配線技術を用いて電氣的短絡をもたらすことなく容易に交差配置することができる。

このチップ部分 1 2 内での結線 (2 4 a および 2 4 b) の交差配置により、T A B テープ 1 1 上の単層配線で構成される第 2 のリード回路部分 2 3 の複雑化を招くことなく、チップ部分 1 2 間の所望の配線が可能となる。

10

20

30

40

50

【 0 0 4 1 】

図 7 に示す具体例 7 の半導体装置 1 0 では、複数のチップ部分 1 2 により 1 つの液晶パネル駆動用ドライバとして機能させる例を示したが、図 7 に示す各チップ部分 1 2 に代えて、それぞれが単一の液晶パネル駆動用ドライバとして機能するチップ 1 2 ' を適用することができる。

【 0 0 4 2 】

具体例 8

また、図 8 に示すように、内部結線 2 4 a の分岐路 2 4 b に、該分岐路を経る電気信号の減衰防止用として、従来よく知られたバッファ 2 5 を挿入することができる。このバッファ 2 5 の挿入により、分岐によるファンアウトの影響を無くすることができる。

10

【 0 0 4 3 】

前記したところでは、本発明を液晶パネル駆動用ドライバに適用した例について説明したが、これに限らず、本発明を種々の集積回路チップを含む半導体装置に適用することができる。

【 0 0 4 4 】

【発明の効果】

本発明によれば、前記したように、所定の 1 つの機能を果たす電気回路が分割されて形成される各半導体チップ部分の面積およびスリム化は従来に比較して著しく低減されることから、一枚の半導体ウエハから得られる半導体チップの数が増加し、これに伴い半導体チップ部分の生産性の向上およびこれを保持部材上で相互に接続して構成される半導体装置

20

【 0 0 4 5 】

また、本発明によれば、前記したように、必要とする出力端子を複数の半導体チップに分割し、かつ整列して配置される半導体チップ間に適正な間隔を保持させることにより、歩留まりの向上に加えて、リード回路部分の信頼性を確保し、半導体装置の全体的な大型化を防止し、しかも、各出力電極間の間隔を大きくすることができ、これにより、大型化を招くことなく、コンパクトでありかつ信頼性に優れた比較的安価な半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の具体例 1 を示す平面図である。

30

【図 2】本発明に係る半導体装置の具体例 2 を示す平面図である。

【図 3】本発明に係る半導体装置の具体例 3 を示す平面図である。

【図 4】本発明に係る半導体装置の具体例 4 を示す平面図である。

【図 5】本発明に係る半導体装置の具体例 5 を示す平面図である。

【図 6】本発明に係る半導体装置の具体例 6 を示す平面図である。

【図 7】本発明に係る半導体装置の具体例 7 をその一部を拡大して示す平面図である。

【図 8】本発明に係る半導体装置の具体例 8 をその一部を拡大して示す平面図である。

【符号の説明】

1 0 半導体装置

1 1 (保持部材) T A B テーブ

40

1 2 チップ部分

1 2 ' チップ

1 5 半導体基板

1 6 出力端子

1 7 入力端子

1 8 共通端子

1 8 ' 分岐端子

1 9 (接続回路) 結線

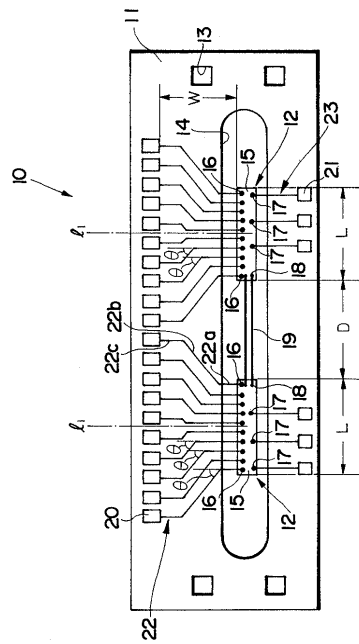
2 0 出力電極

2 1 入力電極

50

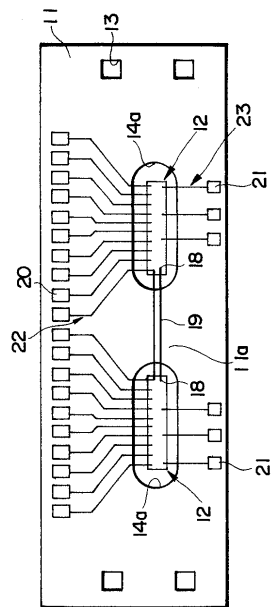
- 2 2 第 1 のリード回路部分
- 2 2 a 第 1 の直線部
- 2 2 b 傾斜伸長部
- 2 2 c 第 2 の直線部
- 2 3 第 2 のリード回路部分
- 2 4 b 分岐路

【 図 1 】



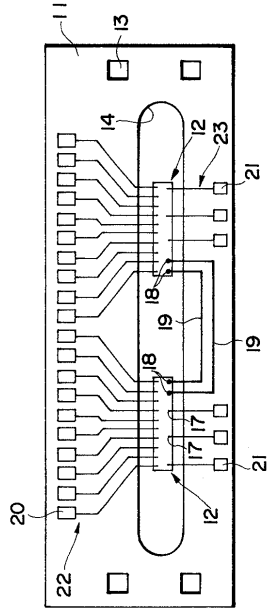
本発明に係る半導体装置の具体例 1

【 図 2 】



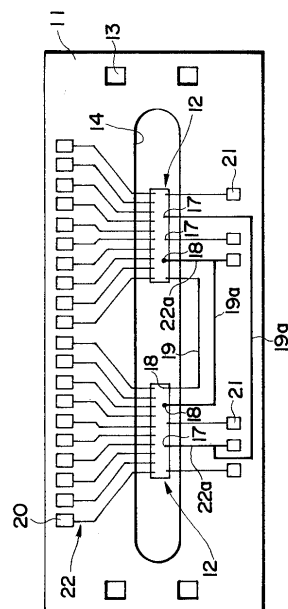
本発明に係る半導体装置の具体例 2

【図 3】



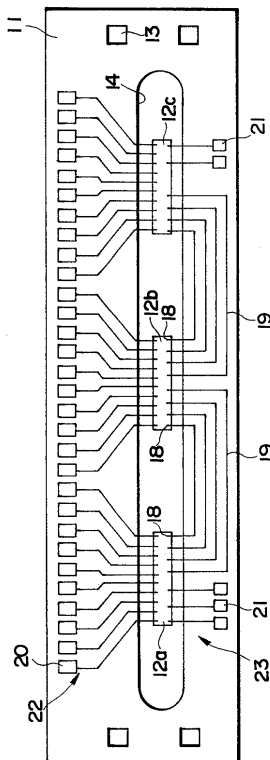
本発明に係る半導体装置の具体例 3

【図 4】



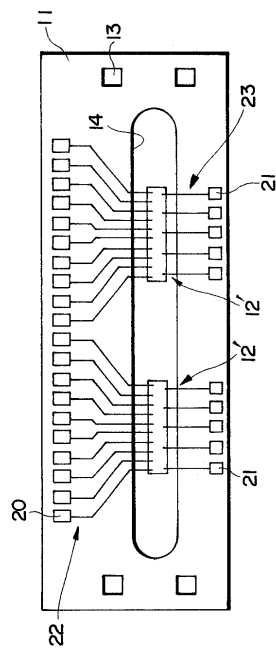
本発明に係る半導体装置の具体例 4

【図 5】



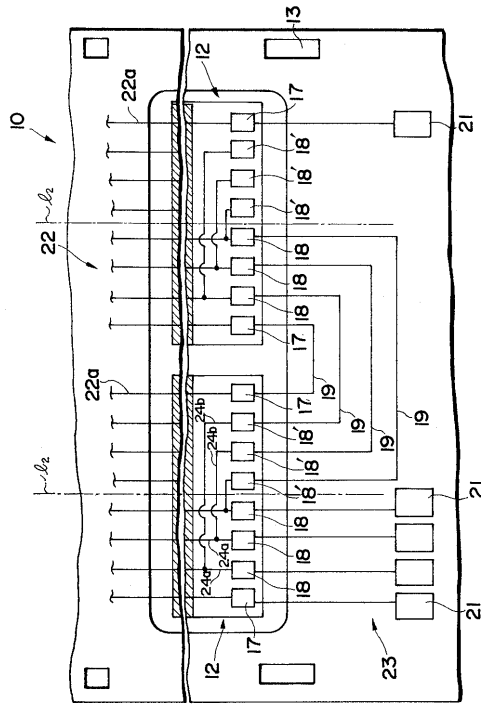
本発明に係る半導体装置の具体例 5

【図 6】



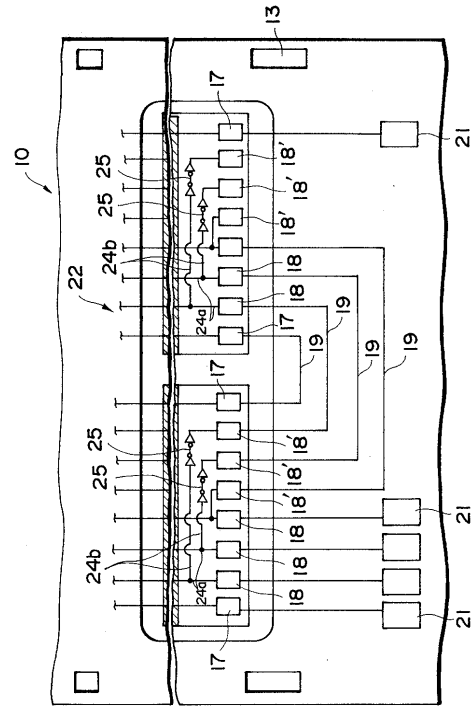
本発明に係る半導体装置の具体例 6

【図 7】



本発明に係る半導体装置の具体例 7

【図 8】



本発明に係る半導体装置の具体例 8

フロントページの続き

- (56)参考文献 特開平06-163641(JP,A)
特開昭59-054252(JP,A)
特開平07-263485(JP,A)
特開平05-297399(JP,A)
特開平03-190145(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/60