(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03M 7/32
H03M 3/02

(45) 공고일자 1999년04월01일
(11) 등록번호 특0174028
(24) 등록일자 1998년11월03일

(21) 출원번호 특1994-034606
(22) 출원일자 1994년12월16일
(65) 공개번호 특1995-022176
(43) 공개일자 1995년07월28일

(30) 우선권주장 171,485 1993년12월21일 미국(US)

(73) 특허권자 에이티 앤드 티 코포레이션 하워드 에이. 스카이스트
미국 뉴욕 10013-2412 뉴욕 애비뉴 오브 디 아메리카즈 32

(72) 발명자 스티븐 로버트 노쓰워디
미국 펜실베니아 18049 레하이 카운티 엠마우스 우드펀 드라이브 6365
데이빗 아서 리치
미국 뉴욕 11598 나쏘 카운티 우드미어 우드미어 코트 845
다양쿠랑가라 람즈와니 비스와나탄
미국 펜실베니아 19529 벅스 카운티 알바니 타운쉽 켐프톤 박스 149이 알디 #1

(74) 대리인 이병호, 최달용

심사관 : 정연용

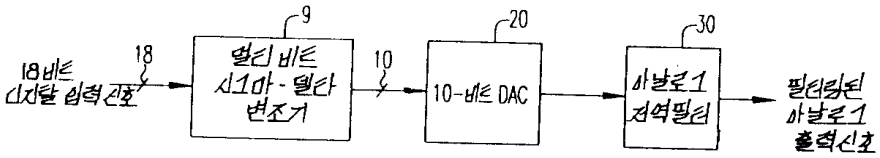
(54) N비트 디지탈 신호의 양자화 잡음을 디지탈적으로 세이핑하는 장치 및 방법

요약

양의 정수인 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 세이핑하는 장치(215,220)에 있어서, N 비트 디지탈 신호의 선택된 비트를 마스킹 출력하여 N 보다 작은 양의 정수인 M 비트 디지탈 신호를 발생시키는 레지스터(230)와 상기 레지스터(230)에 결합되어 N-M 보다 작은 양의 정수인 B 비트 디지탈 신호를 발생시키기 위하여 상기 마스킹되어 출력된 비트의 양자화 잡음을 세이핑하는 디지탈 잡음-세이핑 코더(240,250)와, 상기 레지스터(230) 및 상기 코더(240,250)에 결합되어 상기 레지스터(230) 및 상기 코더(240,250)부터 수신되는 디지탈 신호를 누산하는 누산기(260)를 구비하는 것을 특징으로 한다.

양의 정수인 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 세이핑하는 방법에 있어서, 상기 N 비트 디지탈 신호의 선택된 비트를 마스킹하여 N 보다 작은 양의 정수인 M 비트 디지탈 신호를 발생시키는 단계와, 상기 N 비트 신호의 마스킹된 비트를 디지탈적으로 코딩하여 N-M 보다 작은 양의 정수인 B 비트 디지탈 신호를 제공하는 단계, 상기 M 비트 디지탈 신호 및 상기 B 비트 디지탈 신호를 누산하는 단계를 구비하는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 세이핑하는 장치 및 방법

[도면의 간단한 설명]

제1도는 종래 디지탈-아날로그 변환기에 결합되는 멀티비트 시그마-델타 변조기의 블럭도.

제2도는 1비트 1차 오버샘플된 시그마-델타 변조기를 이용하는 디지탈-아날로그 변환기의 블럭도.

제3도는 디지탈-아날로그 변환시에 사용되는 바와 같은 본 발명을 따른 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 세이핑하는 장치의 일실시예를 도시한 블럭도.

제4도는 디지탈-아날로그 변환기에 사용되는 바와 같은 본 발명을 따른 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 세이핑하는 장치의 또다른 실시예를 도시한 블럭도.

제5도 및 제6도는 10비트 양자화기를 사용하여 멀티비트 오버샘플된 시그마-델타 변조기의 수행성능 및 3비트 양자화기를 사용하여 제4도에 도시된 실시예의 아키텍쳐를 갖는 본 발명을 따른 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치의 수행성능을 나타내는 시뮬레이션 결과들 각각을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

110 : 10비트 레지스터 120 : 10비트 디지탈-아탈로그 변환기

140 : 8비트 레지스터 150 : 1비트 1차 오버샘플된 시그마-델타 변조기

160 : 1비트 디지탈-아날로그 변환기

[발명의 상세한 설명]

[기술 분야]

본 발명은 예를 들어 디지탈-아날로그 변환중에 발생될 수 있는 디지탈 신호의 양자화 잡음을 셰이핑하는 것에 관한 것이다.

[발명의 배경]

디지탈 신호의 양자화 잡음을 오버샘플링 또는 셰이핑하는 단계를 포함하는 디지탈-아날로그 변환 방법이 널리 공지되어 있는데, 상기 방법은 디지탈 오디오, 디지탈 전화기 및 수많은 디지탈 기구에 다양하게 응용되고 있다. 디지탈-아날로그 변환은 예를 들어 James C. Candy 및 Gabor C. Temes가 편집하여 IEEE Press에 의해 1992년 발간된 오버샘플링 델타-시그마 데이타 변환기 : 이론, 설계 및 시뮬레이션 본문에 기재되어 있는 A/D 및 D/A 변환하는 오버샘플링 방법과, Stuart K. TewKsbury 및 Robert W. Hallock이 발표하여 상기 Candy 및 Temes가 편집한 책자의 본문에 기재되어 있는 오버샘플된 선형예측 및 N1차의 잡음 셰이핑 코더와, Steven R. NorsWorthy가 발표하여 1993년 5월판 IEEE Proc. ISCAS '93, Vol. 2, pp 1353-1360에 기재되어 있는 오버샘플링 데이타 변환기용 최적의 비순환적인 잡음 셰이핑 필터, 파트 1 : 이론 및 오버샘플링 데이타 변환기용 최적의 비순환적인 잡음 셰이핑 필터, 파트 2 : 응용에 서술되어 있다. L.R. Candy 및 John Kenny가 또한 Candy 및 Temes가 편집한 본문에 발표한 16 비트 4차 잡음-셰이핑 D/A 변환기에 기술된 한가지 변환 기술은 시그마-델타 변조기를 저역 필터에 앞서있는 종래 디지탈-아날로그 변환기에 결합시키는 것이다. 델타-시그마 변조기 및 시그마-델타 변조기라는 용어는 본원에서 동일한 의미로 사용되고 있다. Carley 및 Kenney의 디지탈-아날로그 변환 기술은 저역 아날로그 필터에 대한 제한 조건을 경감시켜 멀티비트 시그마-델타 변조기가 사용되는 저역 아날로그 필터에 제공되는 신호에 나타나는 대역외(out-of-date) 잡음양을 감소시킨다. 그러나, 멀티비트 시그마-델타 변조기에 결합되는 종래 디지탈-아날로그 변환기로 정확한 양자화 레벨 변환시에 수반되는 문제점들이 공지되어 있다. 더구나, N-비트 디지탈 신호의 모든 N 비트는 Carley 및 Kenney의 아키텍쳐로 처리될 수 있다. 따라서, 이와같은 큰 데이타 통로로 인해 시그마-델타 변조기에 대한 하드웨어를 어느정도 복잡하게 한다.

또다른 방법 또는 기술이 Burr-Brown IC Databook Supplement, Vol.33C의 pp 6.2 189-6.2 192에 서술된 Burr-Brown PCM 67 디지탈-아날로그(D/A) 변환기 칩에 사용된다. 이 칩은 8비트 디지탈 입력 신호의 상위 또는 최상위 10비트용 종래 10비트 디지탈-아날로그 변환기(DAC)를 사용한다. 이 칩은 또한 18비트 디지탈 입력 신호의 하위 또는 최하위 8비트용 1비트 1차 시그마-델타 변조기를 사용한다. 시그마-델타 변조기는 384×나이키스트 속도로 오버샘플링하여 1비트 DAC에 제공되는 1비트 디지탈 신호를 발생시킨다. 그리고나서, 10비트 DAC 및 1비트 DAC로부터 나오는 아날로그 출력 전류는 아날로그 출력 신호를 상기 칩에 제공하도록 합산된다.

Burr-Brown 방식이 종래 멀티비트 시그마-델타 변조기의 출력 신호의 양자화 레벨 변환에 수반되는 문제점을 경감시킬지라도, 이 방식은 그외 여러가지 단점을 갖고 있다. 특히, 발생된 아날로그 출력 신호의 정확도는 두개의 DAC_S로부터 나오는 아날로그 출력 전류를 결합시키는 정확도로 제한된다. 게다가, 임의의 직류(DC) 옵셋, 슬루율(slew rate) 제한, 열잡음 및 그외다른 아날로그 장치 이상(anomalies)으로 인해 18비트 디지탈 입력 신호가 10비트 디지탈 신호를 10비트 DAC에 제공하도록 트렁케이트(truncate)될때 야기되는 트렁케이션 에러(truncation error)를 완전히 소거하지 못한다. 게다가, 1비트 1차 시그마-델타 변조기에 공급되는 트렁케이션 에러는 1비트 양자화기를 과부하 상태가 되도록 하여 손쉽게 제거되지 않는 비선형 상태를 초래한다. 이 문제는 1차 보다 높은 차수를 갖는 시그마-델타 변조기를 더욱 악화시킨다. 그러므로, 이 상황은 1비트 시그마-델타 변조기에 의해 발생되는 디지탈 출력 신호의 잡음층(noise floor)을 더욱 나쁘게 한다. 게다가, 공지된 바와 같이, 1비트 1차 시그마-델타 변조기는 자체 출력 신호에 특정 패턴 잡음을 야기시킨다. 따라서, 상술한 문제를 감소시키는 아날로그-디지탈 변환에 사용되는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치 또는 방법이 요구된다.

[발명의 요약]

본 발명을 따라서 N 비트(N은 양의 정수) 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치는 N 비트 디지탈 신호의 선택된 비트를 마스킹 출력하여 M 비트(M은 N보다 작은 양의 정수) 디지탈 신호를 발생시키는 레지스터와, 상기 레지스터에 결합되어 마스킹 출력된 비트의 양자화 잡음을 셰이핑하는 디지탈 잡음 셰이핑 코더와, 상기 레지스터 및 코더에 결합되어 상기 레지스터 및 코더로부터 수신되는 디지탈 신호를 누산하는 누산기를 구비한다. 마찬가지로, N 비트(N은 양의 정수) 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 방법은 N 비트 디지탈 신호의 선택된 비트를 마스킹하여 M 비트(M은 N 보다 작은 양의 정수) 디지탈 신호를 발생시키는 단계와, 상기 N 비트 디지탈 신호의 마스킹된 비트를 디지탈적으로 코딩하여 B 비트(B는 N-M 보다 작은 양의 정수) 디지탈 신호를 발생시키는 단계와, 상기 M 비트 디지탈 신호와 B 비트 디지탈 신호를 누산하는 단계를 포함한다.

이하에, 첨부된 도면을 참조로 하여 본 발명의 요지를 상세히 설명할 것이다.

[상세한 설명]

제1도는 상술된 Candy 및 Kenny 논문에 설명된 한 타입과 같은 디지탈-아날로그 변환기의 일실시예를 도시한 블럭도이다. 제1도에 도시된 바와 같이, 18 비트 디지탈 입력 신호를 멀티비트 시그마-델타 변조기(9)에 제공된다. 디지탈 신호에 대하여 선택된 비트수가 제1도 및 2도에 간략히 도시되어 있다. 시그마-델타 변조기의 잡음 셰이핑으로 인해, 10비트 디지탈 출력 신호는 변조기에 의해 발생되어 종래 10비트 디지탈-아날로그 변환기(DAC)(20)에 제공된다. DAC(20)에 의해 발생된 아날로그 출력 신호는 아날로그 저역 필터(30)에 제공되어 필터링된 아날로그 출력 신호를 발생시킨다. 이와같은 디지탈-아날로그 변환기는 시그마-델타 변조기가 1비트라기 보다는 멀티비트이기 때문에 적어도 부분적으로 저역 아날로그 필터에 대한 엔지니어링 설계 제한조건을 어느정도 경감시키는 장점이 있다. 그럼에도 불구하고, 제1도에 도시된 방식의 단점은 멀티비트 시그마-델타 변조기의 사용에 따라 수반되는 문제점, 가령 종래 DAC로 정확한 선형 양자화 레벨로 변환시키기 어려웠던 문제점을 갖고 있다. 게다가, 디지탈 신호의 모든 18비트는 이 아키텍쳐에서 처리되어야만 된다. 상술한 바와 같이, 이 방식은 시그마-델타 변조기에 대한 하드웨어를 더욱 복잡하게 한다.

제2도는 1비트 1차 오버샘플된 시그마-델타 변조기(150)를 사용하는 디지탈-아날로그 변환기의 또다른 실시예를 도시한 블럭도이다. 제2도에 도시된 아키텍쳐는 상술된 Burr-Brown PCM 65 D/A 변환기 칩에 대응한다. 도시된 바와 같이, 18비트 디지탈 입력 신호가 칩에 제공된다. 디지탈 입력 신호는 10개의 최상위 비트가 레지스터(110)에 제공되고 8개의 최하위 비트가 레지스터(140)에 제공되기 때문에 트렁케이트된다. 마찬가지로, 10개의 최상위 비트는 레지스터(110)에서 10비트 DAC로 제공되는데, 그후에 상기 DAC는 아날로그 출력 신호를 제공한다. 8개의 최하위 비트는 병렬 신호 통로를 통해서 1비트 1차 오버샘플된 시그마-델타 변조기(150)에 제공된다. 1비트 디지탈 출력 신호는 시그마-델타 변조기에 의해 1비트 DAC에 제공되는데, 상기 DAC는 또한 아날로그 출력 신호를 발생시킨다. 제2도에 도시한 바와 같이, 아날로그 이득(G1 및 G2)은 동일하게 되도록 조정되어 DAC(120)에 의해 발생된 아날로그 출력 신호 및 DAC(160)에 의해 발생된 아날로그 출력 신호가 노드(180)에서 합산되거나 중첩되어 디지탈-아날로그 변환기 칩의 전체 아날로그 출력 신호를 발생시킨다. 전형적으로, 이들 G1 및 G2는 상기 칩상의 레이저 트리밍 저항 소자(laser trimming resistive elements)에 의해 조정된다.

이 방식이 종래 멀티비트 시그마-델타 변조기의 이용을 피하도록 할지라도 상술된 바와 같은 단점을 갖고 있다. 특히, 이득 G1 및 G2를 정확히 매칭시키는 것은 대단히 어렵기 때문에 변환기 칩에 의해 발생된 아날로그 출력 신호의 정확도를 제한시킨다. 마찬가지로, 다른 아날로그 장치 이상(anomalies)은 18비트 디지탈 입력 신호를 트렁케이트하는데 수반되는 트렁케이션 에러를 완전히 소거하지 못하여 10비트 디지탈 신호를 DAC(120)에 발생시킨다. 이들은 열잡음, 슬루율 제한 및 그외다른 이상들을 포함한다. 게다가, 병렬 신호 통로에서 1비트 1차 시그마-델타 변조기의 존재로 인해, 트렁케이션 에러는 시그마-델타 변조기(150)의 1비트 양자화기를 과부하 상태가 되도록 하여 발생된 디지탈 출력 신호의 잡음을 악화시키는 비선형성을 초래한다. 이 과부하는 고차 시그마-델타 변조기에 더욱 큰 문제가 된다.

제3도는 본 발명을 따른 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치의 일실시예를 도시한 블럭도이다. 도시된 바와 같이, N 비트 디지탈 신호(N은 양의 정수)는 레지스터(230)에 제공된다. 제3도에서 X+Eo와 같이 지정된 디지탈 신호는 전형적으로 X(n)+Eo(n)과 같이 지정된 샘플된 데이타 도메인 신호 또는 대응 시간에서의 Z변환을 표시한다. 레지스터(230)는 N-비트 디지탈 신호의 N-M 선택된 비트를 마스킹하여 M 비트(M은 N보다 작은 양의 정수) 디지탈 신호를 제공한다. 본원에서, N 비트 디지탈 신호의 선택된 비트를 마스킹한다는 것은 선택된 비트가 N 비트 디지탈 신호로부터 제로로되거나 상기 N 비트 디지탈 신호의 마스킹된 출력이 되도록 처리한다는 것을 의미한다. 이것은 예를들어 선택된 비트, 즉 N 비트 디지탈 신호의 선택된 비트 위치의 디지탈 2진 신호 및 제로간의 논리적인 AND 동작에 의해 성취될 수 있다. 특정 실시예를 따르면, 마스킹 레지스터(230)는 N 비트 디지탈 신호의 N-M 선택된 비트를 트렁케이트하는 트렁케이터로서 동작한다. 따라서, 이 실시예에서, N-M 선택된 비트는 N 비트 디지탈 신호의 N-M 최하위 비트이다. 레지스터(230)가 N 비트 디지탈 신호의 N-M 최하위 비트인 경우, 제3도에서 E_1으로 지정된 트렁케이션 에러는 레지스터(230)에 의해 발생된 N 비트 디지탈 신호로 발생된다. 따라서, 제3도에 도시된 바와 같이, X+Eo가 레지스터(230)에 제공되는 에러 Eo를 포함하는 N 비트 디지탈 신호를 표시하는 경우, X+Eo-E_1은 레지스터(230)에 의해 발생된 M 비트 디지탈 신호를 표시한다.

N-M 마스킹된 비트는 디지탈 잡음 셰이핑 코더(240)에 제공된다. 따라서, N 비트 디지탈 신호의 N-M 최하위 비트에 대응하는 트렁케이션 에러 E_1는 디지탈 잡음-셰이핑 코더(240)에 제공된다. 제3도가 디지탈 잡음-셰이핑 코더의 특정 실시예를 도시하지만, 본 발명은 이 실시예에만 국한되는 것이 아니라는 것을 알 수 있을 것이다. 단지 이 실시예는 설명할 목적으로 제안되어 있는 것이다. 따라서, 예를 들어, 디지탈 잡음 셰이핑 코더는 제한됨이 없이 제4도에 도시된 한타입과 같은 시그마-델타 변조기를 구비한다. 마찬가지로, 디지탈 잡음-셰이핑 코더는 1비트 코더 또는 멀티비트 코더와 같이 임의 비트수의 코더를 구비한다. 마찬가지로, 디지탈 잡음 셰이핑 코더는 자체 피드백 통로, 피드 포워드 통로 또는 상기 두통로내에서 임의 차수의 필터를 갖을 수 있으며, 게다가 멀티플 피드 포워드 루프, 멀티플 피드백 루프 또는 둘다를 갖을 수 있다. 게다가, 디지탈 잡음 셰이핑 코더는 멀티 스테이지되거나 캐스케이드될 수 있다. 따라서, 일반적으로, 특정 장치에 따르면, 임의 디지탈 잡음-셰이핑 코더가 사용될 수 있는데, 상기 코더의 대역내 양자화 잡음의 적어도 일부분은 대역외 양자화 잡음의 일부분을 희생시키므로써 감소된다. 게다가, 본원에서, 양자화 잡음을 디지탈적으로 셰이핑하므로써 양자화 에러와 관련된 전력 스펙트럼 밀도는 디지탈 필터링에 의해 셰이핑되어 소정 관련 주파수 범위에 걸쳐 나타나는 잡음 에너지양의 적어도 일부분을 감소시킨다.

제3도의 디지탈 잡음-셰이핑 코더(240)로 도시된 바와 같이, N-M 비트 디지탈 신호는 디지탈 잡음-셰이핑 필터 H(z)-1에 의해 필터링되어 디지탈적으로 필터링된 에러 신호와 중첩되고 나서 양자화기(310)에 의해 재양자화될 수 있다. 이 재양자화된 디지탈 신호는 재양자화 전에 상기 중첩된 디지탈 신호와 비교되어 제3도에서 E_2로 지정된 재양자화 에러 신호를 발생시킨다. 이 재양자화 에러 신호 E_2는 디지탈 잡음-셰이핑 필터 H(z)-1에 의해 필터링되는 상술된 에러 신호이고 레지스터(230)에 의해 제공되는 N-M 비트 디지탈 신호와 합산되거나 중첩된다. 디지탈 잡음 셰이핑 필터는 상술된 A/D 및 D/A 변환하는 오버샘플링 방법 및 오버샘플된 선형 예측 및 N1차의 잡음 셰이핑 코더에 더욱 상세히 서술되어 있다. 서술된 바와 같

이, 디지탈 신호 처리 결과는 노드 또는 누산기(260)에서 M 비트 디지탈 신호와 합산되거나 중첩될 수 있는 B 비트(B는 N-M 보다 작은 양의 정수) 디지탈 신호를 발생시켜 M+B 비트(M+B는 N 보다 작은 양의 정수) 디지탈 신호를 제공한다. 디지탈 잡음-셰이핑 코더에 의해 발생된 디지탈 신호는 양의 또는 부의 신호중 하나로서 표시되는 것이 바람직하다. 이 방식이 사용될때, B 비트 디지탈 신호에서의 비트들중 한 비트가 부호 비트로서 작용하므로 누산기(260)에서 발생된 디지탈 신호는 M+B 비트라기 보다는 M+B-1 비트를 구비한다. 코더에서 양의 및 부의 신호를 표시하는 기술에 의해, 양자화기의 과부하를 방지할 수 있다.

실시예(200)의 결과는 디지탈 신호 X+Eo를 보다 적은 비트를 갖는 또다른 디지탈 신호로 재양자화하여 추가 신호 처리를 한다. 게다가, 이 처리로 인해 발생된 양자화 또는 재양자화 잡음은 디지탈적으로 셰이핑되므로써 초기 신호 Eo의 잡음 E와 비교하여 볼때 무시할 수 있다. 마찬가지로, 제3도에 도시된 바와 같이, 재양자화된 디지탈 신호는 종래 디지탈-아날로그 변환기(270)에 제공되어 아날로그 출력 신호를 발생시킨다. 그럼에도 불구하고, 양자화 잡음의 디지탈 셰이핑으로 인해, DAC(270)의 하드웨어 복잡도는 적어도 부분적으로 상기 DAC에 제공된 디지탈 신호가 초기 디지탈 신호보다 적은 비트를 갖기 때문에 감소된다. 따라서, 서술된 바와 같이, 본 발명에 따라서 N 비트 디지탈 신호의 양자화 잡음을 셰이핑하는 장치의 실시예(200)는 N 비트 디지탈 신호를 아날로그 신호로 변환시키는 장치에 사용되어 종래 디지탈-아날로그 변환 방식보다 몇가지 장점을 성취할 수 있다.

제3도의 실시예에서 N 비트 디지탈 신호의 N-M 최하위 비트가 레지스터(230)에 의해 마스킹될지라도, 본 발명은 이에만 국한되는 것은 아니다. 예를들어, 최하위 유효 비트 이외의 N 비트 디지탈 신호의 비트 필드가 마스킹될 수 있다. 본원에서, 이것을 디지탈 신호 비트 필드 레인징이라 칭한다. 마찬가지로, 비연속적인 비트는 특정 장치에 의해 마스킹된다. 제3도에 도시된 양자화기(310)는 1비트 양자화기 또는 멀티비트 양자화기중 하나를 구비한다. 1비트 양자화기를 사용하는 한가지 장점은 특히 실제 신호 에너지양이 디지탈 잡음 셰이핑 코더를 통과하는 작은 입력 신호에 대해 두개의 디지탈 신호 출력 레벨만을 사용함에 따라서 선형성을 유지시킨다는 것이다. 그럼에도 불구하고, 멀티비트 양자화기 또는 그외 다른 장점들을 갖고 있다. 예를들어, 2 또는 3비트 양자화기가 사용되는 경우, 디지탈 잡음-셰이핑 코더에 제공되는 트렁케이션 에러로 인한 과부하를 피할 수 있다. 더구나, 상술된 바와 같이, 제3도에 도시된 아키텍쳐는 제1도의 방식과 비교시 여러가지 장점을 제공하는데, 그중에서도 DAC에 대해 요구되는 변환 레벨이 작으므로써 선형성 문제를 감소시킨다는 것이다.

제2도에 도시된 아키텍쳐와 비교시 제3도에 도시된 아키텍쳐에 의해 제공되는 장점은 트렁케이션 에러를 완전히 소거한다는 것이다. 트렁케이션 에러는 N 비트 디지탈 신호가 M 비트(M 비트는 특정 실시예에서 N 비트 디지탈 신호의 최상위 비트) 디지탈 신호로 변환될때 야기된다. 그러나, 제3도의 누산기(260)에서 두개의 디지탈 신호의 합산 또는 중첩이 제2도에 도시된 바와 같은 아날로그 도메인과 대향되는 바와 같이 디지탈 도메인에서 수행되기 때문에 완전한 소거 또는 보정이 행해진다. 게다가, 단지 하나의 DAC만을 갖음으로써, 두개의 서로다른 DAC_S, 예를들어 제2도의 DAC(120) 및 DAC(16)간의 아날로그 오정합 문제를 피할 수 있다.

디지탈 잡음 셰이핑 코더(240) 대신에 제4도의 변조기(250)와 같은 시그마-델타 변조기를 사용하므로써 성취되는 여러가지 장점이 있다. 그럼에도 불구하고, 상술된 바와 같이, 본 발명은 서술된 디지탈 잡음-셰이핑 코더 또는 시그마-델타 변조기의 특정 실시예로만 국한되지 않는다. 상술된 디지탈-셰이핑 코더와 대조적으로 그리고 상술된 오버샘플된 선형 예측 및 N1차 잡음 셰이핑 코더에서 더욱 상세히 설명된 바와 같이, 제4도에서 트렁케이션 에러 E_1에 대응하는 N 비트 디지탈 신호의 N-M 비트는 시그마-델타 변조기의 디지탈 출력 신호로 옵셋된다. 서술된 바와 같이, 시그마-델타 변조기(250)의 디지탈 출력 신호는 시그마-델타 변조기의 디지탈 출력 신호에 의해 옵셋된 재양자화되어 디지탈적으로 필터링된 N-M 비트이다. 다시, 제4도의 양자화기(320)와 같은 양자화기는 1비트 또는 멀티비트중 하나일 수 있다. 멀티비트 양자화기가 사용될때, 시그마-델타 변조기는 임의적으로 고차의 잡음 셰이핑으로 설계되어 안정하게 될 수 있다. 이것은 오버샘플된 시그마-델타 변조기에 대한 오버샘플링 감소율을 사용함으로써 기저대내에서 신호-대-잡음비를 저하시킴이 없이 디지탈-아날로그 변환기(270)의 대역폭 및 속도를 개선시키는 장점이 있다. 또한, 제3도와 관계하여 상술한 바와 같이, 하드웨어 복잡도를 감소시킨 DAC가 사용될 수 있다. 오버샘플된 시그마-델타 변조기가 사용되는 경우, 제4도에 도시된 디지탈-아날로그 변환 시스템은 보다 낮은 샘플링율로부터 보간된 후의 시스템이다. 따라서, 레지스터(230)에 제공되는 디지탈 신호는 이미 오버샘플링되어 있다.

제3도 및 4도는 본 발명에 따라서 N 비트 디지탈 신호의 양자화 잡음을 셰이핑하는 장치의 다른 실시예를 도시한다. 이들 도면에서, NorsWorthy가 고레벨 디더를 이용하여 시그마-델타 변조기에 대한 주기적인 잡음 억압 및 아이들 채널음이라는 명칭으로 출원하여 1992년 9월 1일자로 허여되어 본 양수인에게 양도된 미국 특허 제5,144,308호에 서술된 바와 같은, 고레벨 디더(high level dither)가 가상으로 도시되어 있다. 제3도 및 4도에서, D는 시간 또는 샘플된 데이타 도메인 디더 신호 d(n)의 Z변환을 표시한다. 제3도 및 4도에서 가상으로 도시된 바와 같이, 디더링은 디더 신호 발생기에 의해 발생되는 디더 신호, 전형적으로는 화이트 잡음을 제4도에 도시된 시그마-델타 변조기 또는 제3도에 도시된 디지탈 잡음-셰이핑 코더의 디지탈 신호에 양자화기가 상기 디지탈 신호를 양자화하기 전에 가산 또는 중첩하므로써 성취된다. 본원에서 제4도에 도시된 바와 같은 디더링을 수행하는 시그마-델타 변조기를 디더링된 시그마-델타 변조기라 칭한다.

제3도에 도시된 바와 같은 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치는 다음 방법에 따라서 동작한다. N 비트 디지탈 신호는 마스킹 레지스터(230)에 제공된다. N 비트 디지탈 신호의 선택된 비트는 M 비트(M은 N 보다 작은 양의 정수) 디지탈 신호를 발생시키도록 마스킹된다. 제3도에서, 상술된 바와 같이, N 비트 디지탈 신호는 트렁케이트된다. N 비트 디지탈 신호의 N-M 마스킹되거나 트렁케이트된 비트는 제3도에 도시된 실시예에서 N-M 최하위 비트로 디지탈적으로 코딩되어 B 비트(B는 N-M 보다 작은 양의 정수) 디지탈 신호를 제공한다. 상술된 바와 같이, 제3도에 도시된 실시예 이외의 수많은 서로다른 디지탈 잡음-셰이핑 코더는 이 단계를 성취하기 위하여 사용될 수 있다. N 비트 디지탈 신호로부터 발생된 M 비트 디지탈 신호 및 N-M 비트 디지탈 신호로부터 발생된 B 비트 디지탈 누산기 또는 합산

노드(260)에 의해 누산된다. 더구나, DAC(270)와 같은 종래 디지탈-아날로그 변환기는 누산된 디지탈 신호를 아날로그 신호로 변환시킨다. 제4도에 도시된 바와 같이, N 비트 디지탈 신호의 마스킹된 N-M 비트를 디지탈적으로 코딩하면은 N-M 비트를 시그마-델타 변조시킨다. 제3도 및 4도에 가상으로 도시된 바와 같은, 디더링이 또한 포함될 수 있다. 예를 들어, M-비트 이외의 N-비트 디지탈 신호의 나머지 비트를 시그마-델타 변조하는 단계는 제3도에 도시된 바와 같은 디지탈적으로 필터링된 신호를 양자화하는 단계를 포함하는 경우, 상기 나머지 또는 마스킹된 N-M 비트를 시그마-델타 변조하는 단계는 상술된 바와 같은 디더 신호를 디지탈적으로 필터링된 신호와 중첩하는 단계 및 상기 중첩된 디지탈 신호를 양자화 또는 재양자화하는 단계를 구비한다.

제5도 및 6도에서 제4도에 도시된 실시예의 아키텍쳐를 갖는 본 발명을 따라서 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치를 갖는 제1도에 도시된 바와 같은 멀티비트 시그마-델타 변조기의 수행성능을 나타내는 시뮬레이션 결과(simulation results)를 각각 도시한 것이다. 이들 결과를 알기 위하여, 16비트 사인파는 2차 멀티비트 디지탈 시그마-델타 변조기에 제공된다. 변조기의 양자화기는 10비트이다. 그리고 나서, 양자화기의 출력 신호는 이상적인 10비트 DAC에 제공된다. 이 시뮬레이션에서, 상용되는 오버샘플링율은 16이다. 이것은 -105.1dB의 기저대 잡음층을 발생시킨다. 발생된 스펙트럼은 제5도에 도시되어 있는데, 여기서 fs는 오버샘플링 주파수이고 데이타의 1024 bins이 도시되어 있다. 직접 비교한 다음, 상술된 16비트 사인파는 8비트로 트렁케이트된다. 8개의 최하위 비트 10비트 양자화기 대신에 3비트 양자화기만을 갖는 2차 시그마-델타 변조기에 제공된다. 양자화기의 출력 신호는 초기 16비트 신호의 8개의 최상위 비트와 중첩되어 10비트 출력 신호를 발생시킨다. 이것은 또한 이상적인 10비트 DAC에 공급된다. 상술한 바와 같이, 사용되는 오버샘플링율은 16인데, 이 경우에 -104.4dB의 기저대 잡음층을 발생시킨다. 발생된 스펙트럼을 제6도에 도시한다. 각 스펙트럼 및 잡음층이 표시될때, 디지탈 잡음 셰이핑은 제6도에서 야기된 약간의 일부 추가적인 에러를 최종 신호로 발생시키기 위하여 사용되지만, 이 에러는 초기 기저대 잡음층과 비교시에 무시할 수 있다. 따라서, 하드웨어 복잡도 감소, 이 경우에 시그마-델타 변조기에 대한 16비트 디지탈 신호 통로에서 8비트 디지탈 신호 통로로의 감소는 얻어지는 디지탈 신호질의 저하없이도 성취된다.

본 발명이 단지 특정 실시예를 토대로 서술되었지만, 당업자는 본 발명의 원리 및 영역을 벗어남이 없이 각종 수정 및 변경을 행할 수 있다.

(57) 청구의 범위

청구항 1

양의 정수인 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치(215,220)에 있어서, N 비트 디지탈 신호의 선택된 비트를 마스킹 출력하여 N 보다 작은 양의 정수 M 비트 디지탈 신호를 발생시키는 레지스터(230)와, 상기 레지스터(230)에 결합되어 N-M 보다 작은 양의 정수인 B 비트 디지탈 신호를 발생시키기 위하여 상기 마스킹되어 출력된 비트의 양자화 잡음을 셰이핑하는 디지탈 잡음-셰이핑 코더(240,250)와, 상기 레지스터(230) 및 상기 코더(240,250)에 결합되어 상기 레지스터(230) 및 상기 코더(240,250)로부터 수신되는 상기 디지탈 신호를 누산하는 누산기(260)를 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치.

청구항 2

제1항에 있어서, 상기 레지스터(230)는 트렁케이터(230)를 구비하는데, 상기 마스킹되어 출력된 비트는 상기 N 비트 디지탈 신호의 N-M 최하위 비트를 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치.

청구항 3

제1항에 있어서, 상기 코더(240)는 멀티비트 디지탈 잡음 셰이핑 코더(240)를 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 장치.

청구항 4

제1항에 있어서, 상기 코더(240,250)는 멀티비트 시그마-델타 변조기(250)를 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑 하는 장치.

청구항 5

제1항에 있어서, 상기 누산기(260)에 결합되어 상기 누산기(260)로부터 수신된 상기 디지탈 신호를 아날로그 신호로 변환시키는 디지탈-아날로그 변환기(270)를 더 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑 하는 장치.

청구항 6

양의 정수인 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑하는 방법에 있어서, 상기 N 비트 디지탈 신호의 선택된 비트를 마스킹하여 N 보다 작은 양의 정수인 M 비트 디지탈 신호를 발생시키는 단계와, 상기 N 비트 신호의 마스킹된 비트를 디지탈적으로 코딩하여 N-M 보다 작은 양의 정수인 B 비트 디지탈 신호를 제공하는 단계와, 상기 M 비트 디지탈 신호 및 상기 B 비트 디지탈 신호를 누산하는 단계를 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑 하는 방법.

청구항 7

제6항에 있어서, 상기 마스킹 단계는 상기 N 비트 디지탈 신호를 트렁케이트하여 상기 M 비트 디지탈 신호를 발생시키는 단계를 구비하는데, 상기 M 비트 디지탈 신호는 1 보다 큰 양의 정수인 상기 N 비트 디지탈의 M 최상위 비트를 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로

셰이핑 하는 방법.

청구항 8

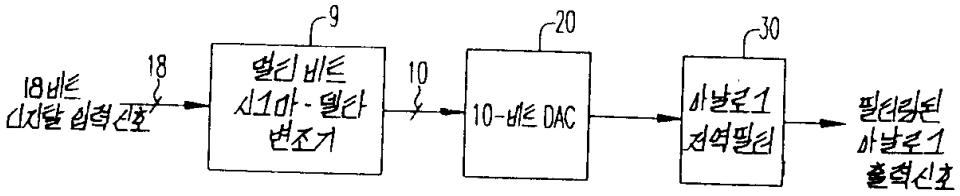
제7항에 있어서, 상기 마스킹된 비트를 디지탈적으로 코딩하는 단계는 상기 마스킹된 비트를 시그마-델타 변조하는 단계를 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑 하는 방법.

청구항 9

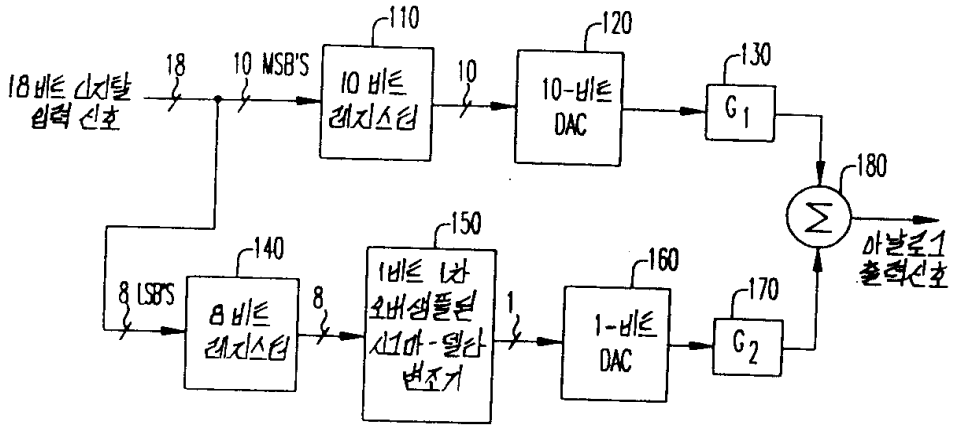
제6항에 있어서, 상기 누산된 디지탈 신호를 아날로그 신호로 변환하는 단계를 더 구비하는 것을 특징으로 하는 N 비트 디지탈 신호의 양자화 잡음을 디지탈적으로 셰이핑 하는 방법.

도면

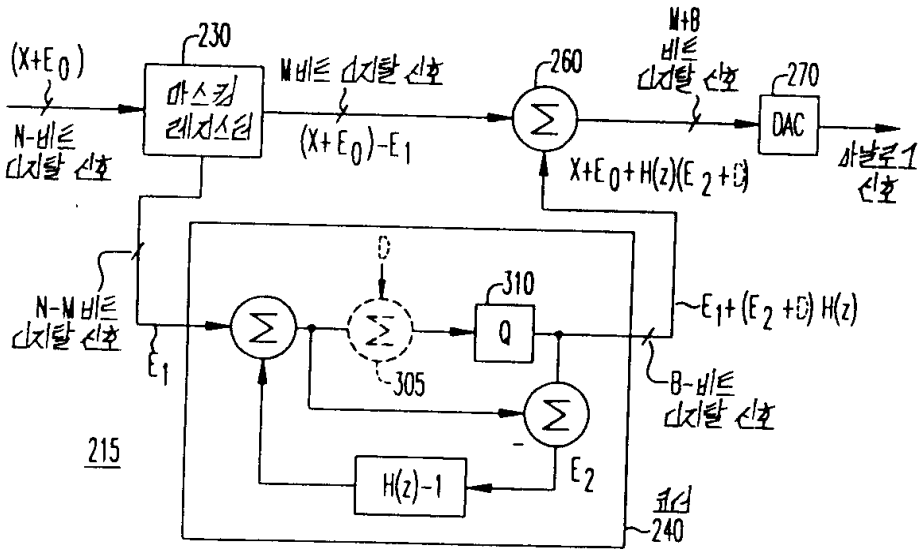
도면1



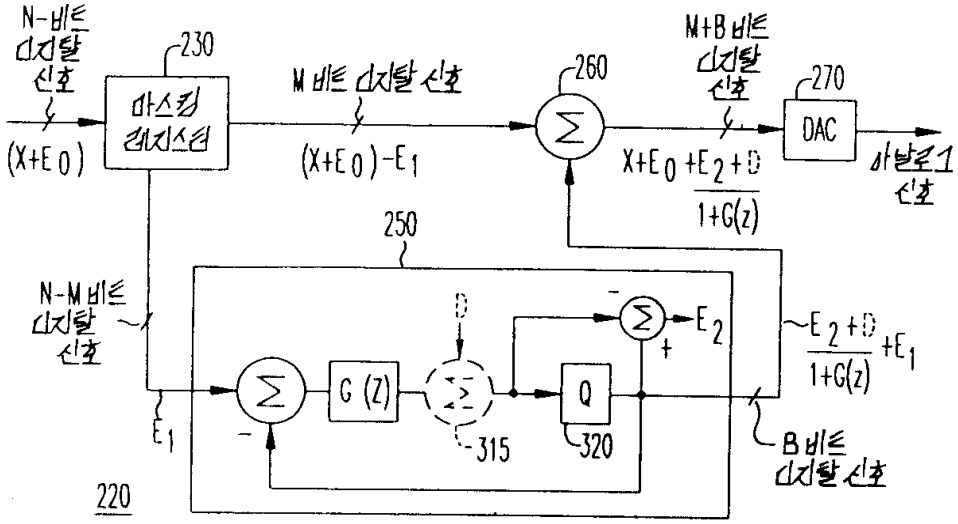
도면2



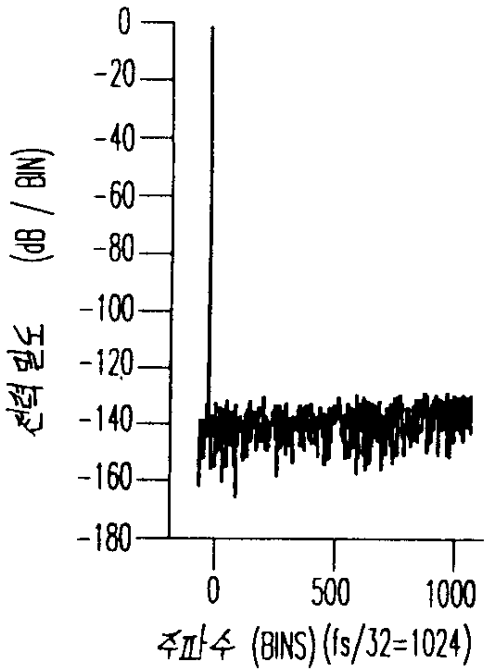
도면3


(X+E0)
N-비트 디지털 신호
230
마스킹 레지스터
M비트 디지털 신호
(X+E0)-E1
260
M+B 비트 디지털 신호
270
DAC
아날로그 신호
X+E0+H(z)(E2+D)
N-M비트 디지털 신호
E1
D
310
Q
305
E1+(E2+D) H(z)
B-비트 디지털 신호
E2
H(z)-1
215
필터 240

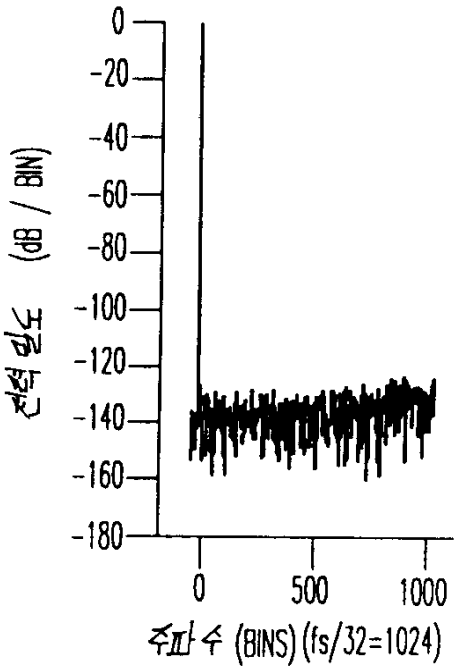
도면4


N-비트 디지털 신호
(X+E0)
230
마스킹 레지스터
M 비트 디지털 신호
(X+E0)-E1
260
M+B 비트 디지털 신호
270
DAC
아날로그 신호
X+E0+E2+D / 1+G(z)
250
N-M비트 디지털 신호
E1
D
G(Z)
315
Q
320
E2
E2+D / 1+G(z) +E1
B 비트 디지털 신호
220

도면5


0
-20
-40
-60
-80
-100
-120
-140
-160
-180
전력밀도 (dB / BIN)
0
500
1000
주파수 (BINS) (fs/32=1024)

도면6


0
-20
-40
-60
-80
-100
-120
-140
-160
-180
전력밀도 (dB / BIN)
0
500
1000
주파수 (BINS) (fs/32=1024)