



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월22일
 (11) 등록번호 10-1910471
 (24) 등록일자 2018년10월16일

- (51) 국제특허분류(Int. Cl.)
H01L 21/673 (2006.01) *H01L 21/48* (2006.01)
- (52) CPC특허분류
H01L 21/67333 (2013.01)
H01L 21/4803 (2013.01)
- (21) 출원번호 10-2018-0003817(분할)
- (22) 출원일자 2018년01월11일
 심사청구일자 2018년01월11일
- (65) 공개번호 10-2018-0097127
- (43) 공개일자 2018년08월30일
- (62) 원출원 특허 10-2017-0023538
 원출원일자 2017년02월22일
 심사청구일자 2017년02월22일
- (56) 선행기술조사문헌
 JP5638182 B2*
 KR100196633 B1
 KR1020120036459 A*
 KR1020140032294 A*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
윤세원
 경기도 수원시 영통구 센트럴파크로 60, 6303동 1502호(이의동, 래미안 광고아파트)
- (72) 발명자
윤세원
 경기도 수원시 영통구 센트럴파크로 60, 6303동 1502호(이의동, 래미안 광고아파트)
- (74) 대리인
이영수

전체 청구항 수 : 총 7 항

심사관 : 이재일

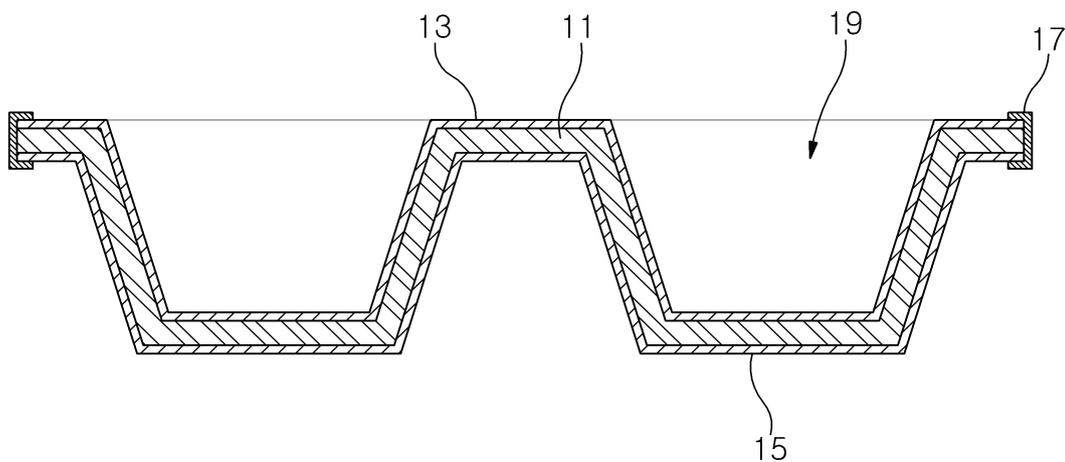
(54) 발명의 명칭 **전자부품 용기**

(57) 요약

본 발명은 전자부품 용기에 관한 것으로서 베이스층과, 상기 베이스층 상부 및 하부 표면에 각각 형성된 제 1 및 제 2 제전층과, 상기 베이스층과 제 1 및 제 2 제전층이 매트릭스 형상으로 M × N(M 및 N은 자연수)개가 배열되게 형성되어 형성된 수용홈과, 상기 베이스층의 측면에 상기 제 1 및 제 2 제전층과 전기적으로 연결되게 형성된

(뒷면에 계속)

대표도 - 도2



도전층을 포함한다. 따라서, 도전층이 제 1 및 제 2 제전층을 전기적으로 연결하므로 다수 개의 전자부품 용기가 적층된 상태에서도 발생된 정전기를 용이하게 제거할 수 있어 수용홈 내에 있는 전자부품들이 정전기에 의해 파괴되는 것을 방지할 수 있으며, 또한, 도전층이 형성될 때 용제성 수지로 이루어진 버(burr)와 미세 입자들이 유기 용제에 의해 저온에서도 용해되어 제거되므로 전자부품 용기가 열에 의해 형태가 변형되는 것이 방지될 뿐만 아니라, 버와 미세 입자들이 내용제성 수지로 형성되어 유기용제에 용해되지 않아도 도전층 형성시 내부로 매몰되어 노출되지 않으므로 제거 시간이 감소되어 생산성이 향상된다.

(52) CPC특허분류

H01L 21/67356 (2013.01)

H01L 21/67383 (2013.01)

명세서

청구범위

청구항 1

베이스층과,

상기 베이스층 상부 및 하부 표면에 각각 형성된 제 1 및 제 2 제전층과,

상기 베이스층과 제 1 및 제 2 제전층이 매트릭스 형상으로 $M \times N$ (M 및 N 은 자연수)개가 배열되게 성형되어 형성된 수용층과,

상기 베이스층의 측면에 상기 제 1 및 제 2 제전층을 전기적으로 연결하면서 상기 베이스층의 절단시 상기 측면에 발생되어 있는 버(burr)와 미세 입자들이 용해되어 제거되거나 또는 매몰되어 외부에 노출되지 않게 전도성 고분자가 혼합된 유기용제가 자동 또는 수동에 의한 침지법, 롤러 코팅법 또는 스프레이법이나, 또는, 천, 스펀지(sponge) 또는 붓(brush)으로 도포되어 형성된 도전층을 포함하는 전자부품 용기.

청구항 2

청구항 1에 있어서 상기 베이스층이 용제성 수지 또는 내용제성 수지로 형성된 전자부품 용기.

청구항 3

청구항 1에 있어서 상기 베이스층이 0.5 ~ 3mm의 두께로 형성된 전자부품 용기.

청구항 4

청구항 1에 있어서 상기 제 1 및 제 2 제전층과 상기 도전층이 전도성 물질 또는 도전성 금속이 포함된 용제성 수지 또는 내용제성 수지로 형성된 전자부품 용기.

청구항 5

청구항 4에 있어서 상기 전도성 물질이 탄소 나노 튜브 또는 전도성 탄소를 포함하는 전자부품 용기.

청구항 6

청구항 1에 있어서 상기 제 1 및 제 2 제전층과 도전층이 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrole) 및 폴리아닐린(Poly Aniline)의 전도성 고분자 중 어느 하나로 형성된 전자부품 용기.

청구항 7

청구항 1에 있어서 상기 제 1 및 제 2 제전층이 0.05 ~ 0.3mm 정도의 두께로 형성된 전자부품 용기.

발명의 설명

기술 분야

[0001] 본 발명은 전자부품 용기에 관한 것으로서, 특히, 반도체 소자 등의 전자부품을 포장하기 위한 트레이(tray) 또는 캐리어 테이프 등을 포함하는 전자부품 용기에 관한 것이다.

배경 기술

[0002] 반도체 소자 등 각각의 개별 전자 부품이나 또는 각각의 서로 다른 개별 전자 부품을 모듈로 조립한 전자 부품을 $M \times N$ (M 및 N 은 자연수)개를 포장하기 위해 트레이 또는 캐리어 테이프 등이 사용되고 있다. 이들 포장 용기는 포장된 반도체 소자 등 각각의 개별 전자 부품이나 또는 각각의 서로 다른 개별 전자 부품을 모듈로 조립한 전자 부품 등이 정전기에 의해 파괴되는 것을 방지하기 위해 몸체를 구성하는 비전도성의 합성 수지로 이루어진 베이스층의 상부 및 하부 표면에 도전성 재료를 포함하여 제전특성을 갖는 제 1 및 제 2 제전층이 각각 형성된다. 상기에서 제 1 및 제 2 제전층에 의해 트레이 또는 캐리어 테이프 등을 포함하는 용기에 정전기가 발생되어도 수용홈 내에 수용된 전자부품에 전달되지 않고 외부로 방전하여 이 전자부품이 파괴되는 것을 방지한다.

[0003] 상기에서 트레이 또는 캐리어 테이프는 비전도성의 합성 수지의 시트 원단으로 이루어진 베이스층의 상부 및 하부 표면에 전도성을 갖는 제 1 및 제 2 제전층을 각각 형성한 후 시트를 가열한 다음 트레이 금형에 이르러 상하 금형이 맞닿으면서 공기로 가압 성형하여 전자 부품이 수용되는 수용홈을 형성하고, 이 수용홈이 $M \times N$ (M 및 N 은 자연수)개를 갖는 단위로 절단하는 것에 의해 형성된다.

[0004] 상기에서 성형 후 단위 트레이 또는 캐리어 테이프로 절단될 때 베이스층, 제 1 및 제 2 제전층이 모두 제거되지 않고 절단면에서 어느 하나 층의 일부 또는 복수 층의 일부가 잔류하는 미세한 버(burr)가 생성될 뿐만 아니라 절단면이 매끈하지 않고 거칠게 되어 약하게 붙어 있는 미세 입자들이 발생된다. 이러한 버(burr)와 미세 입자들은 사용시 수용홈에 수용된 전자부품에 부착되어 이 전자부품을 단락시켜 파괴시킨다.

[0005] 그러므로, 단위 트레이 또는 캐리어 테이프를 포함하는 전자부품 용기는 절단면에 형성된 버(burr)와 미세 입자들을 제거하여야 한다.

[0006] 종래 기술에 따른 버(burr)와 미세 입자들을 제거하는 장치는 대한민국 공개특허 제 2002-0075684 호(발명의 명칭 : 전자칩 부품용 캐리어 테이프의 버 제거장치)에 개시되어 있다.

[0007] 종래 기술에 따른 전자칩 부품용 캐리어 테이프의 버 제거장치는 몸체; 상기 몸체 상에 설치되어 펀칭장치로부터 안내되는 전자부품 용기용 캐리어 테이프를 홀딩함과 함께 리와인딩장치로 가이드하여 주는 안내수단; 상기 안내수단에 의해 가이드 되는 캐리어 테이프의 칩 삽입홀에 발생된 버를 태우는 버닝수단으로 구성된다.

[0008] 상기에서 전자칩 부품용 캐리어 테이프는 합성수지로 이루어져 형상유지가 가능한 정도의 강도를 갖는 베이스층의 상부 표면 및 하부 표면에 적어도 제 1 및 제 2 제전층을 포함한다.

[0009] 상기에서 버를 제거할 때 절단면에 약하게 붙어 있는 미세 입자들도 함께 제거하는데, 이 버와 미세 입자들을 제거하기 위한 버닝수단은 적어도 하나 이상의 히터로 구성되며, 이 히터의 발열온도는 100~1000℃ 이다,

[0010] 또한, 상기 히터의 대향 측에는 히터로부터 발생하는 열풍에 의해 캐리어 테이프가 밀려나는 것을 방지하도록 전자부품 용기용 캐리어 테이프의 히팅면 반대쪽을 지지하는 지지수단을 더 포함한다.

[0011] 그러나, 종래 기술에 따른 장치는 전자부품 용기에 형성된 버(burr)와 절단면에 약하게 붙어 있는 미세 입자들을 태워 제거할 때 100℃ 정도의 저온에서 제거하는 경우 제거 시간이 증가되어 생산성이 저하되며, 또한, 1000℃ 정도의 고온으로 제거하는 경우 전자부품 용기가 열에 의해 변형되는 문제점이 있었다. 그리고, 버와 미세 입자들이 제거된 전자부품 용기는 베이스층의 상부 표면 및 하부 표면에 형성된 제 1 및 제 2 제전층이 전기적으로 분리되므로 적층된 상태에서 발생된 정전기를 제거하기 어려운 문제점이 있었다.

발명의 내용

해결하려는 과제

[0012] 따라서, 본 발명의 목적은 버와 미세 입자들을 저온에서도 제거하여 열에 의한 변형을 방지하면서 제거 시간을 감소시켜 생산성을 향상시킬 수 있는 전자부품 용기를 제공함에 있다.

[0013] 본 발명의 다른 목적은 베이스층의 상부 표면 및 하부 표면에 형성된 제 1 및 제 2 제전층이 전기적으로 연결되어 적층된 상태에서도 발생된 정전기를 용이하게 제거할 수 있는 전자부품 용기를 제공함에 있다.

과제의 해결 수단

[0014] 상기 목적들을 달성하기 위한 본 발명에 따른 전자부품 용기는 베이스층과, 상기 베이스층 상부 및 하부 표면에 각각 형성된 제 1 및 제 2 제전층과, 상기 베이스층과 제 1 및 제 2 제전층이 매트릭스 형상으로 $M \times N$ (M 및 N 은 자연수)개가 배열되게 성형되어 형성된 수용홈과, 상기 베이스층의 측면에 상기 제 1 및 제 2 제전층과 전기적으로 연결되게 형성된 도전층을 포함한다.

[0015] 상기에서 베이스층이 용제성 수지 또는 내용제성 수지로 형성된다.

[0016] 상기에서 베이스층이 0.5 ~ 3mm의 두께로 형성된다.

[0017] 상기에서 제 1 및 제 2 제전층과 상기 도전층이 전도성 물질 또는 도전성 금속이 포함된 용제성 수지 또는 내용제성 수지로 형성된다.

[0018] 상기에서 전도성 물질이 탄소 나노 튜브 또는 전도성 탄소가 포함된다.

[0019] 상기에서 제 1 및 제 2 제전층과 도전층이 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrrole) 및 폴리아닐린(Poly Aniline)의 전도성 고분자 중 어느 하나로 형성된다.

[0020] 상기에서 제 1 및 제 2 제전층이 0.05 ~ 0.3mm 정도의 두께로 형성된다.

[0021] 상기 목적들을 달성하기 위한 본 발명에 따른 전자부품 용기의 제조방법은 시트 원단으로 이루어진 베이스층의 상부 및 하부 표면에 제 1 및 제 2 제전층을 형성하는 공정과, 상기 베이스층과 제 1 및 제 2 제전층을 공기로 가압 성형하여 다수 개의 수용홈을 매트릭스 형상으로 형성하는 공정과, 상기 다수 개의 수용홈이 형성된 원단 상태를 각각 $M \times N$ (M 및 N 은 자연수)개의 수용홈을 갖는 단위 전자부품 용기로 절단하는 공정과, 상기 단위 전자부품 용기의 절단면에 제 1 및 제 2 제전층과 전기적으로 연결되는 도전층을 형성하는 공정을 포함한다.

[0022] 상기에서 베이스층을 용제성 수지 또는 내용제성 수지로 형성한다.

[0023] 상기에서 베이스층을 0.5 ~ 3mm의 두께로 형성한다.

[0024] 상기에서 제 1 및 제 2 제전층과 도전층을 전도성 물질 또는 도전성 금속이 포함된 용제성 수지 또는 내용제성 수지로 형성한다.

[0025] 상기에서 제 1 및 제 2 제전층을 상기 베이스층 상부 및 하부 표면에 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrrole) 및 폴리아닐린(Poly Aniline)의 전도성 고분자 중 어느 하나를 코팅하여 형성한다.

[0026] 상기에서 도전층을 전도성 고분자를 유기용제에 혼합한 상태에서 자동 또는 수동에 의한 침지법, 롤러 코팅법 또는 스프레이법에 의해 형성한다.

[0027] 상기에서 도전층을 전도성 고분자를 유기용제에 혼합한 상태에서 자동 또는 수동에 의한 천, 스펀지(sponge) 또는 붓(brush)으로 도포하여 형성한다.

[0028] 상기에서 도전층을 25 ~ 90℃의 온도에서 0.05 ~ 0.3mm 정도의 두께로 형성한다.

[0029] 상기에서 도전층을 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrrole) 및 폴리아닐린(Poly Aniline)의 전도성 고분자 중 어느 하나로 형성한다.

[0030] 상기에서 유기용제로 톨루엔, MEK(메칠 에칠 케톤), 아세톤, 초산에칠, TCE(Tri chloro Ethylene), DMSO(Di Methyl Sulfoxide), DCM(Di Chloro Methane), HFP(Hexa Fluoro -2- Propanol) 또는 알코올류 중 어느 하나를 사용한다.

[0031] 상기에서 도전층 형성시 상기 $M \times N$ (M 및 N 은 자연수)개의 수용홈을 갖는 단위 전자부품 용기로 절단할 때 절단면에 형성되는 버와 미세 입자들을 용해하여 제거하거나 또는 외부에 노출되지 않도록 매몰한다.

발명의 효과

[0032] 따라서, 본 발명은 도전층이 제 1 및 제 2 제전층을 전기적으로 연결하므로 다수 개의 전자부품 용기가 적층된 상태에서도 발생된 정전기를 용이하게 제거할 수 있어 수용홈 내에 있는 전자부품들이 정전기에 의해 파괴되는 것을 방지할 수 있는 이점이 있다. 또한, 도전층이 형성될 때 용제성 수지로 이루어진 버(burr)와 미세 입자들이 유기용제에 의해 저온에서도 용해되어 제거되므로 전자부품 용기가 열에 의해 형태가 변형되는 것이 방지될 뿐만 아니라, 버와 미세 입자들이 내용제성 수지로 형성되어 유기용제에 용해되지 않아도 도전층 형성시 내부로 매몰되어 노출되지 않으므로 제거 시간이 감소되어 생산성이 향상되는 이점이 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명에 따른 전자부품 용기의 평면도.
 도 2는 도 1을 A-A 선으로 절단한 단면도.
 도 3 및 도 4는 전자부품 용기의 절단면을 현미경으로 촬영한 사진.
 도 5a 내지 도 5d는 본 발명에 따른 전자부품 용기의 제조 공정도.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

[0035] 도 1은 본 발명에 따른 전자부품 용기의 평면도이고, 도 2는 도 1을 A-A 선으로 절단한 단면도이다.

[0036] 본 발명에 따른 전자부품 용기는 베이스층(11), 제 1 및 제 2 제전층(13)(15), 수용홈(19) 및 도전층(17)을 포함한다.

[0037] 베이스층(11)은 전자부품 용기가 형상을 유지가 가능할 정도의 강도를 갖도록 0.5 ~ 3mm 정도의 두께를 갖는 합성수지로 형성된다. 상기에서 베이스층(11)은 폴리에틸렌(PE), 폴리프로필렌(PP), 폴리에스터(Polyethylene Terephthalate) 및 폴리카보네이트(PC) 등의 유기용제에 용해되지 않는 내용제성 수지 중 어느 하나로 형성되거나, 또는, 폴리스틸렌(PS), 폴리염화비닐(PVC) 및 ABS(Acrylonitrile Butadiene Styrene) 등의 유기용제에 용해되는 용제성 수지 중 어느 하나로 형성될 수 있다.

[0038] 제 1 및 제 2 제전층(13)(15)은 베이스층(11)의 상부 표면 및 하부 표면에 각각 압출되어 0.05 ~ 0.3mm 정도의 두께로 형성된다. 상기에서 제 1 및 제 2 제전층(13)(15)은 베이스층(11)과 접촉력이 양호하도록 동일한 물질, 즉, 폴리에틸렌(PE), 폴리프로필렌(PP), PET(Polyethylene Terephthalate) 및 폴리카보네이트(PC) 등의 내용제성 수지 중 어느 하나로 형성되거나, 또는, 폴리스틸렌(PS), 폴리염화비닐(PVC) 및 ABS(Acrylonitrile Butadiene Styrene) 등의 용제성 수지 중 어느 하나의 합성수지에 탄소 나노 튜브 또는 전도성 탄소 등의 전도성 물질이나, 또는, 금, 은, 구리 또는 알루미늄 등의 도전성 금속이 포함되어 표면 저항이 $10^{-6} \sim 10^{-9} \Omega\text{m}$ 정도가 되도록 형성된다.

[0039] 또한, 제 1 및 제 2 제전층(13)(15)은 베이스층(11)의 상부 및 하부 표면에 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrrole) 및 폴리아닐린(Poly Aniline) 등의 전도성 고분자 중 어느 하나로 코팅되어 형성될 수도 있다.

[0040] 상기에서 제 1 및 제 2 제전층(13)(15)은 전도성 물질 또는 도전성 금속이 포함된 용제성 수지 또는 내용제성 수지로 형성되면 포함된 전도성 물질 또는 도전성 금속에 의해 불투명하게 형성되며, 또한, 전도성 고분자로 코팅되어 형성되면 투명하게 형성된다. 따라서, 제 1 및 제 2 제전층(13)(15)은 필요에 따라 선택적으로 형성될 수 있다. 즉, 베이스층(11)이 폴리에틸렌(PE), 폴리프로필렌(PP), PET(Polyethylene Terephthalate), 폴리카보네이트(PC) 또는 폴리염화비닐(PVC) 등의 투명한 합성수지로 형성되면 투명한 전자부품 용기를 얻기 위해 제 1 및 제 2 제전층(13)(15)이 전도성 고분자로 형성될 수 있다.

[0041] 수용홈(19)은 베이스층(11)과 제 1 및 제 2 제전층(13)(15)이 매트릭스 형상으로 배열되게 성형되어 형성된다. 수용홈(19)은 도 1에 2×2 개가 형성된 것으로 도시되어 있으나 $M \times N$ (M 및 N은 자연수)개가 형성될 수 있다.

[0042] 도전층(17)은 베이스층(11)의 측면에 제 1 및 제 2 제전층(13)(15)과 전기적으로 연결되게 25 ~ 90℃ 정도의

저온에서 0.05 ~ 0.3mm 정도의 두께로 형성된다. 그러므로, 도전층(17)은 베이스층(11)의 노출된 측면을 덮으면서 제 1 및 제 2 제전층(13)(15) 사이를 전기적으로 연결한다.

[0043] 상기에서 도전층(17)은 탄소 나노 튜브 또는 전도성 탄소 등의 전도성 물질 중 어느 하나, 또는, 금, 은, 구리 또는 알루미늄 등의 도전성 금속 중 어느 하나가 함유된 폴리우레탄 수지, 폴리에스테르 수지, 아크릴계 수지, 비닐계 수지 및 부치랄 수지 등의 합성수지 중 어느 하나로 형성된다. 즉, 도전층(17)은 상술한 도전성 물질을 포함한 상술한 합성수지가 토루엔, MEK(메칠 에칠 케톤), 아세톤, 초산에칠, TCE(Tri chloro Ethylene), DMSO(Di Methyl Sulfoxide), DCM(Di Chloro Methane), HFP(Hexa Fluoro -2- Propanol) 및 알코올류 등의 유기용제 중 어느 하나와 혼합된 상태에서 전자부품 용기의 측면에 자동 또는 수동에 의한 침지법, 롤러 코팅법 또는 스프레이법으로 형성될 수 있다. 또한 도전층(17)은 상술한 전도성 고분자를 유기용제에 혼합한 상태에서 자동 또는 수동에 의한 천, 스펀지(sponge) 또는 붓(brush)으로 도포되어 형성될 수도 있다

[0044] 또한, 도전층(17)은 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrole) 및 폴리아닐린(Poly Aniline) 등의 전도성 고분자 중 어느 하나가 토루엔, MEK(메칠 에칠 케톤), 아세톤, 초산에칠, TCE(Tri chloro Ethylene), DMSO(Di Methyl Sulfoxide), DCM(Di Chloro Methane), HFP(Hexa Fluoro -2- Propanol) 및 알코올류 등의 유기용제 중 어느 하나와 혼합되어 형성될 수 있다.

[0045] 상기에서 도전층(17)은 제 1 및 제 2 제전층(13)(15)을 전기적으로 연결하므로 다수 개의 전자부품 용기가 적층된 상태에서도 발생된 정전기를 용이하게 제거할 수 있어 수용홈(19) 내에 있는 전자부품들이 정전기에 의해 파괴되는 것을 방지할 수 있다. 또한, 도전층(17)이 도전성 물질을 포함한 유기용제로 형성되므로 측면에 형성되어 있을 수도 있는 버(21 : burr)는 용해되어 제거하거나 또는 매몰되어 덮어 노출되지 않게된다.

[0046] 즉, 베이스층(11)과 제 1 및 제 2 제전층(13)(15)이 폴리스틸렌(PS), 폴리염화비닐(PVC) 및 ABS(Acrylonitrile Butadiene Styrene) 등의 용제성 수지 중 어느 하나로 형성되면 도전층(17)이 형성될 때 버(21 : burr)는 도전성 물질을 포함하는 유기용제에 의해 용해되어 제거된다. 또한, 베이스층(11)과 제 1 및 제 2 제전층(13)(15)이 폴리에틸렌(PE), 폴리프로필렌(PP), PET(Polyethylene Terephthalate) 및 폴리카보네이트(PC) 등의 내용제성 수지 중 어느 하나로 형성되면 도전층(17)이 형성될 때 버(21 : burr)와 미세 입자들은 도전성 물질을 포함하는 유기용제에 의해 용해되지 않으나 내부로 매몰되어 노출되지 않는다.

[0047] 또한, 도전층(17)이 형성될 때 버(21 : burr)와 미세 입자들이 유기용제에 의해 저온에서도 용해되어 제거되므로 전자부품 용기가 열에 의해 형태가 변형되는 것이 방지된다. 또한, 베이스층(11)과 제 1 및 제 2 제전층(13)(15)이 내용제성 수지로 형성되어 도전층(17)이 형성될 때 버(21 : burr)와 미세 입자들이 용해되어 제거되지 않아도 이 도전층(17) 내부로 매몰되어 노출되지 않으므로 제거 시간이 감소되어 생산성이 향상된다.

[0048] 도 3 및 도 4는 전자부품 용기의 절단면을 현미경으로 촬영한 사진으로, 도 3은 M × N(M 및 N은 자연수)개의 수용홈(19)을 갖도록 전자부품 용기를 절단한 절단면을 촬영한 현미경 사진이고, 도 4는 절단된 전자부품 용기의 버(21 : burr)와 미세 입자들을 제거한 후 절단면을 촬영한 현미경 사진이다. 도 3에서 나타난 바와 같이 전자부품 용기를 절단할 때 절단면에 원 내와 같이 버(burr)가 생성될 뿐만 아니라 절단면이 매끈하지 않고 거칠게 되어 미세 입자들이 발생된다. 그러나, 도 4에서 나타난 바와 같이 본 발명과 같이 절단면을 처리하는 것에 의해 버(burr)와 미세 입자들이 제거되고 절단면이 매끈하게 된다.

[0049] 상기에서 본 발명에 따른 전자부품 용기를 트레이로 설명하였으나 롤(Roll) 상의 캐리어 테이프도 형성될 수도 있다.

[0050] 도 5a 내지 도 5d는 본 발명에 따른 전자부품 용기의 제조 공정도이다.

[0051] 도 5a를 참조하면, 시트 원단으로 이루어진 베이스층(11)의 상부 및 하부 표면에 제 1 및 제 2 제전층(13)(15)을 형성한다. 상기에서 베이스층(11)을 폴리에틸렌(PE), 폴리프로필렌(PP), PET(Polyethylene Terephthalate) 및 폴리카보네이트(PC) 등의 내용제성 수지 중 어느 하나로 형성하거나, 또는, 폴리스틸렌(PS), 폴리염화비닐(PVC) 및 ABS(Acrylonitrile Butadiene Styrene) 등의 용제성 수지 중 어느 하나로 0.5 ~ 3mm 정도의 두께를 갖도록 형성할 수 있다.

[0052] 그리고, 제 1 및 제 2 제전층(13)(15)을 베이스층(11)과 동일한 물질, 즉, 폴리에틸렌(PE), 폴리프로필렌(PP), PET(Polyethylene Terephthalate) 및 폴리카보네이트(PC) 등의 내용제성 수지 중 어느 하나, 또는, 폴리스틸렌(PS), 폴리염화비닐(PVC) 및 ABS(Acrylonitrile Butadiene Styrene) 등의 용제성 수지 중 어느 하나를 베이스층(11)의 상부 및 하부 표면에 시트 상태로 압출하여 형성할 수 있다.

- [0053] 이때, 제 1 및 제 2 제전층(13)(15)을 형성하기 위한 합성수지에 탄소 나노 튜브 또는 전도성 탄소 등의 전도성 물질, 또는, 금, 은, 구리 또는 알루미늄 등의 도전성 금속을 포함시켜 0.05 ~ 0.3mm 정도의 두께로 압출하여 형성한다. 이에, 제 1 및 제 2 제전층(13)(15)은 표면 저항이 $10^{-6} \sim 10^{-9} \Omega\text{m}$ 정도가 된다.
- [0054] 또한, 제 1 및 제 2 제전층(13)(15)을 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrole) 및 폴리아닐린(Poly Aniline) 등의 전도성 고분자 중 어느 하나를 코팅하여 형성할 수도 있다.
- [0055] 도 5b를 참조하면, 베이스층(11)과 제 1 및 제 2 제전층(13)(15)을 상하 금형 사이에서 공기로 가압 성형하여 수용홈(19)을 매트릭스 형상으로 형성한다.
- [0056] 상기에서 $M \times N$ (M 및 N은 자연수)개의 수용홈(19)을 형성하는 것은 트레이를 형성하는 것으로 수용홈(19)이 1개의 행에 1 ~ 5개 정도가 다수 개의 열로 연속되게 형성되어 롤(Roll) 상으로 감을 수 있는 캐리어 테이프로 형성할 수도 있다.
- [0057] 도 5c를 참조하면, 다수 개의 수용홈(19)이 형성된 원단 상태를 $M \times N$ (M 및 N은 자연수)개의 수용홈(19)을 갖는 단위 전자부품 용기로 절단한다. 상기에서 단위 전자부품 용기의 절단면에는 다수 개의 버(21 : burr)가 생성될 뿐만 아니라 절단면이 매끈하지 않고 거칠게 되어 약하게 붙어 있는 미세 입자들이 발생된다. 상기에서 버(21 : burr)는 베이스층(11)이나 제 1 및 제 2 제전층(13)(15)이 완전히 제거되지 않고 잔류하여 형성될 수 있다.
- [0058] 도 5d를 참조하면, 단위 전자부품 용기의 절단면의 표면에 도전층(17)을 제 1 및 제 2 제전층(13)(15)과 전기적으로 연결되게 25 ~ 90℃ 정도의 저온에서 0.05 ~ 0.3mm 정도의 두께로 형성한다. 상기에서 도전층(17)을 탄소 나노 튜브 또는 전도성 탄소 등의 전도성 물질 중 어느 하나, 또는, 금, 은, 구리 또는 알루미늄 등의 도전성 금속 중 어느 하나가 함유된 폴리우레탄 수지, 폴리에스테르 수지, 아크릴계 수지, 비닐계 수지 및 부치탈 수지 등의 합성수지 중 어느 하나를 유기용제와 혼합하여 전자부품 용기의 측면에 자동 또는 수동에 의한 침지법, 롤러 코팅법 또는 스프레이법으로 형성할 수 있다. 또한 도전층(17)을 상술한 전도성 고분자를 유기용제에 혼합한 상태에서 자동 또는 수동에 의한 천, 스펀지(sponge) 또는 붓(brush)으로 도포하여 형성할 수도 있다.
- [0059] 상기에서 유기용제로 토루엔, MEK(메칠 에칠 케톤), 아세톤, 초산에칠, TCE(Tri chloro Ethylene), DMSO(Di Methyl Sulfoxide), DCM(Di Chloro Methane), HFP(Hexa Fluoro -2- Propanol) 또는 알코올류 등 중 어느 하나를 사용할 수 있다.
- [0060] 또한, 도전층(17)을 피닷(PEDOT : 3,4-Ethylene Di Oxy Thiophene), PSS(Poly Styrene Sulfonate), 피롤(Pyrrole) 및 폴리아닐린(Poly Aniline) 등의 전도성 고분자 중 어느 하나를 상술한 유기용제와 혼합하여 형성할 수도 있다.
- [0061] 상기에서 도전층(17)을 베이스층(11)의 측면에 제 1 및 제 2 제전층(13)(15)과 전기적으로 연결되게 형성한다. 그러므로, 도전층(17)은 베이스층(11)의 노출된 측면을 덮으면서 제 1 및 제 2 제전층(13)(15) 사이를 전기적으로 연결한다.
- [0062] 또한, 도전층(17)을 상술한 도전성 물질을 포함한 합성수지를 유기용제에 혼합한 상태에서 형성하므로 베이스층(11)의 측면에 형성된 버(21 : burr)와 미세 입자들을 용해되어 제거하거나 또는 매몰되어 외부에 노출되지 않도록 형성한다.
- [0063] 즉, 베이스층(11)과 제 1 및 제 2 제전층(13)(15)을 폴리스티렌(PS), 폴리염화비닐(PVC) 및 ABS(Acrylonitrile Butadiene Styrene) 등의 용제성 수지 중 어느 하나로 형성하면 도전층(17)이 형성할 때 버(21 : burr)와 미세 입자들은 유기용제에 의해 용해되어 제거된다. 또한, 베이스층(11)과 제 1 및 제 2 제전층(13)(15)을 폴리에틸렌(PE), 폴리프로필렌(PP), PET(Polyethylene Terephthalate) 및 폴리카보네이트(PC) 등의 내용제성 수지 중 어느 하나로 형성하면 도전층(17)이 형성할 때 버(21 : burr)와 미세 입자들은 유기용제에 의해 용해되지 않으나 내부로 매몰되어 외부로 노출되지 않게 된다.
- [0064] 상기에서 도전층(17)이 제 1 및 제 2 제전층(13)(15)을 전기적으로 연결하므로 다수 개의 전자부품 용기가 적층된 상태에서도 발생된 정전기를 용이하게 제거할 수 있어 수용홈(19) 내에 있는 전자부품들이 정전기에 의해 파괴되는 것을 방지할 수 있다.
- [0065] 그리고, 도전층(17)이 형성될 때 버(21 : burr)와 미세 입자들이 유기용제에 의해 저온에서도 용해되어 제거되

므로 전자부품 용기가 열에 의해 형태가 변형되는 것이 방지된다. 또한, 베이스층(11)과 제 1 및 제 2 제전층(13)(15)이 내용제성 수지로 형성되어 도전층(17)이 형성될 때 버(21 : burr)와 미세 입자들이 용해되지 않아도 이 도전층(17) 내부로 매몰되어 노출되지 않으므로 제거 시간이 감소되어 생산성이 향상된다.

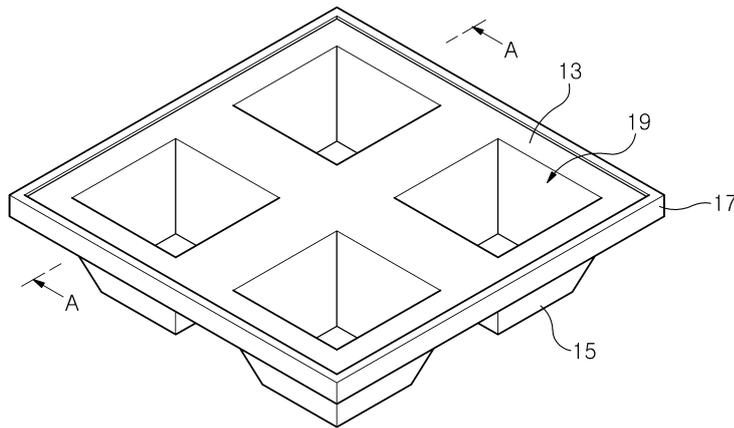
[0066] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

부호의 설명

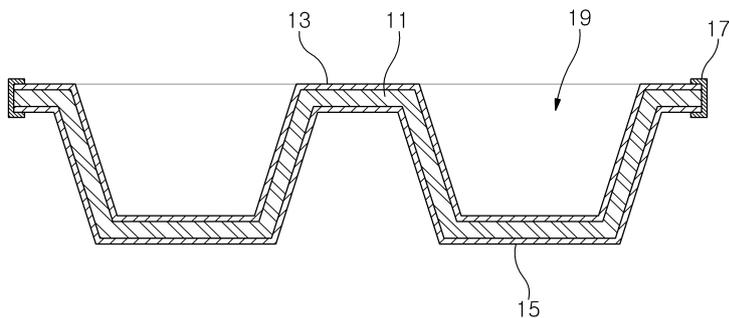
- | | | |
|--------|--------------|--------------|
| [0067] | 11 : 베이스층필름 | 13 : 제 1 제전층 |
| | 15 : 제 2 제전층 | 17 : 도전층 |
| | 19 : 수용홈 | 21 : 버(burr) |

도면

도면1



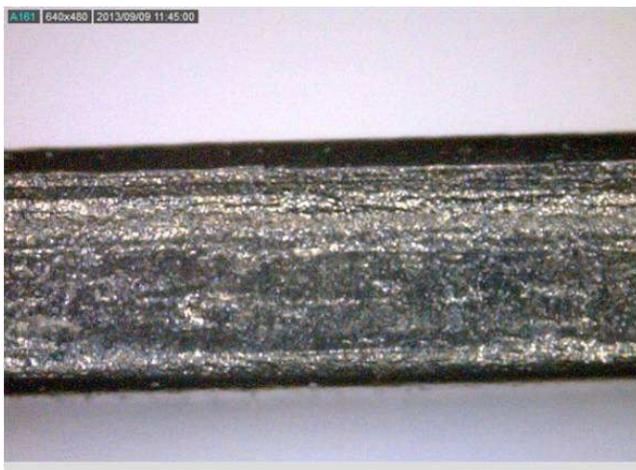
도면2



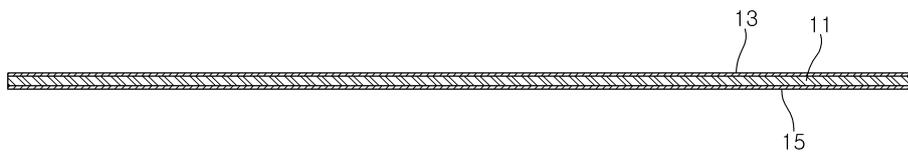
도면3



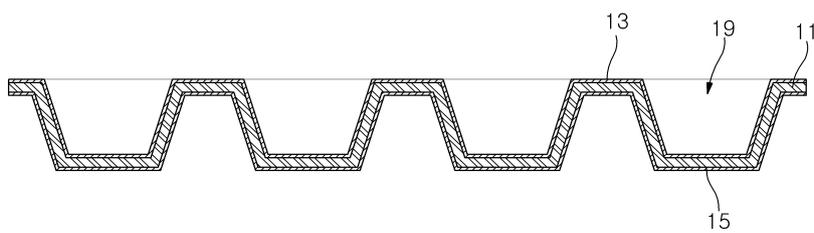
도면4



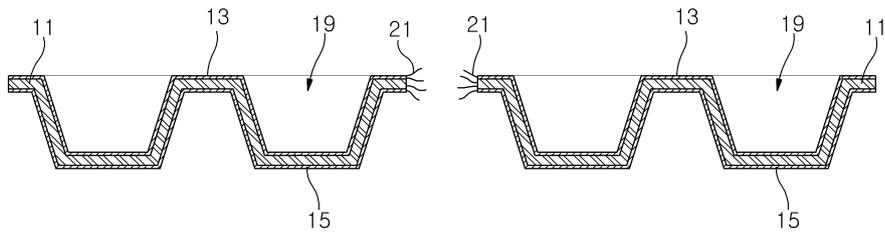
도면5a



도면5b



도면5c



도면5d

