

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3707360号**  
**(P3707360)**

(45) 発行日 平成17年10月19日(2005.10.19)

(24) 登録日 平成17年8月12日(2005.8.12)

(51) Int. Cl.<sup>7</sup>

F I

**H03K 19/177**

H03K 19/177

**H01L 21/82**

H01L 21/82

A

H01L 21/82

W

請求項の数 4 (全 15 頁)

(21) 出願番号 特願2000-192540 (P2000-192540)  
 (22) 出願日 平成12年6月27日(2000.6.27)  
 (65) 公開番号 特開2002-9613 (P2002-9613A)  
 (43) 公開日 平成14年1月11日(2002.1.11)  
 審査請求日 平成16年2月16日(2004.2.16)

(73) 特許権者 000005496  
 富士ゼロックス株式会社  
 東京都港区赤坂二丁目17番22号  
 (74) 代理人 100079049  
 弁理士 中島 淳  
 (74) 代理人 100084995  
 弁理士 加藤 和詳  
 (74) 代理人 100085279  
 弁理士 西元 勝一  
 (74) 代理人 100099025  
 弁理士 福田 浩志  
 (72) 発明者 三宅 弘之  
 神奈川県足柄上郡中井町境430グリーン  
 テクなかい 富士ゼロックス株式会社内

最終頁に続く

(54) 【発明の名称】 回路機能の再構成方法、及びプログラマブル論理回路装置

(57) 【特許請求の範囲】

【請求項1】

部分的に回路機能を再構成可能なプログラマブル論理回路装置における回路機能の再構成方法であって、

再構成される回路機能が配置された領域のクロックラインを、他の領域のクロックラインと分離し、

再構成時に、当該再構成される回路機能が配置された領域のクロックラインのみ、クロック信号の供給を停止して、回路機能を再構成する、

ことを特徴とする回路機能の再構成方法。

【請求項2】

多数の論理セルを備え、回路機能を再構成可能な複数の領域に分割されたプログラマブル論理回路と、

前記複数の領域の各々に独立してクロック信号を供給可能に接続されたクロックラインと、

前記クロックライン毎にクロック信号の供給及び停止を行うクロック信号供給停止手段と、

再構成時に、当該再構成される回路機能が配置された領域のクロックラインのみ、前記クロック信号供給停止手段によるクロック信号の供給を停止して、回路機能を再構成する制御を行う制御手段と、

を有するプログラマブル論理回路装置。

**【請求項 3】**

多数の論理セルを備えたプログラマブル論理回路と、  
前記論理セルの各々に対してクロック信号を供給可能に設けられたクロックラインと、  
前記クロックラインに設けられ、前記論理セルの各々に対して、クロック信号の供給及び停止の何れか一方の状態に切替えて、クロックラインを複数に分割可能にする切替手段と、  
前記切替手段によって分割されたクロックライン毎にクロック信号の供給及び停止を行うクロック信号供給停止手段と、  
を有するプログラマブル論理回路装置。

**【請求項 4】**

前記クロック信号供給停止手段によるクロック信号供給時の駆動能力を、前記切替手段によって分割されたクロックライン毎に、当該クロックラインにより前記クロック信号を供給する論理セルの数に応じて設定する設定手段を更に有する、  
ことを特徴とする請求項 3 に記載のプログラマブル論理回路装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、回路機能の再構成方法、及びプログラマブル論理回路装置に係わり、特に、部分的に回路機能を再構成可能なプログラマブル論理回路装置における回路機能の再構成方法、及びプログラマブル論理回路装置に関する。

**【0002】****【従来の技術】**

近年、デジタル論理回路製品、特に特定用途向け集積回路(ASIC)の分野において、製品の開発期間を短縮するために、フィールドプログラマブルゲートアレイ(FPGA)やプログラマブルロジックデバイス(PLD)などのプログラマブル論理回路装置が広く使われている。

**【0003】**

これらの装置は、論理回路を記述する回路情報を読み込ませることで、内部の論理回路と論理回路間の結線を自由に構成することができる。これにより、プログラマブル論理回路の使用以前に必要なとされていた、回路設計終了後に数週間から数か月にも及ぶ集積回路の作製時間が不要となった。特に、米国特許第4,700,187号に開示されている発明のように、電氣的に再構成可能なプログラマブル論理装置は、一度作製した回路を必要に応じて自由に何度でも変更できるという利点があり、ますます広く使われるようになってきた。

**【0004】**

ところで、最近の論理回路は複雑さが増し、一つのプログラマブル論理回路装置では実現できない規模にまで回路規模が大きくなってきている。

**【0005】**

この問題を解決するための一つの方法は、複数個のプログラマブル論理回路装置を接続して使用することである。しかしながら、プログラマブル論理回路装置の入出力接続の数が制限されているので、この方法ですべての回路を実現することは困難である。また、たとえ実現できたとしても、使用するプログラマブル論理回路装置数の増加に伴い、消費電力が増加するという新たな欠点を引き起こす。

**【0006】**

別の解決方法は、プログラマブル論理回路装置を処理の途中で再度構成し直し、同一のプログラマブル論理回路装置に異なる論理回路を実現させることである。この場合は、再構成する時に、回路情報を内部の記憶装置(SRAM)に再度読み込む必要があり、このために余分な時間がかかるという欠点がある。さらに、処理の途中で再構成することは、処理を一時中断して、その時のデータをプログラマブル論理回路装置の外部の記憶装置に記憶させてから、新たな回路情報を読み込んで再構成しなければならない。すなわち、再構成の前後に、外部の記憶装置との間でデータを入出力させるという余分な処理が必要になる。

**【0007】**

10

20

30

40

50

この問題を解決するために、例えば、米国アトメル社製の型番 A T 4 0 K や型番 A T 6 0 0 0 で示されるプログラマブル論理回路装置では、再構成を行う時のデータを記憶するためのデータ記憶装置を有し、回路の動作中でも外部の記憶装置から回路情報の一部を読み込んで部分的に再構成を行うことで、再構成に要する時間を最小に留めている（米国アトメル社のデータブック「CONFIGURABLE LOGIC」参照）。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、上記の部分的再構成を行う場合、チップ内のごく一部の回路を再構成する場合でも、チップ全体のクロックを止めて、再構成用の回路情報をSRAMにロードしなければならない。また、再構成後の回路に入力するデータはレジスタに保持しておく必要があり、このレジスタのクロックも止めておかなければならない。このときチップ内の他の部分において処理を進めておこうとしてもクロックが停止しているので不可能で、回路データのロード時間分のオーバーヘッドが生じる。

10

【 0 0 0 9 】

本発明は上記問題点を解消するためになされたもので、動作中に回路機能を部分的に再構成する際に、再構成領域以外では処理を継続することができる回路機能の再構成方法、及びプログラマブル論理回路装置を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

上記目的を達成するために、請求項 1 に記載の回路機能の再構成方法は、部分的に回路機能を再構成可能なプログラマブル論理回路装置における回路機能の再構成方法であって、再構成される回路機能が配置された領域のクロックラインを、他の領域のクロックラインと分離し、再構成時に、当該再構成される回路機能が配置された領域のクロックラインのみ、クロック信号の供給を停止して、回路機能を再構成する、ことを特徴としている。

20

【 0 0 1 1 】

請求項 1 に記載の回路機能の再構成方法では、再構成される回路機能が配置された領域（以下、「再構成領域」という）のクロックラインが、他の領域クロックラインから分離されており、再構成を行う際には、当該再構成領域のクロックラインのみクロック信号の供給が停止されて、回路機能が再構成される。すなわち、再構成領域以外の領域に対するクロック信号の供給は停止されずに済み、部分的に回路機能を再構成しているときに、再構成領域以外の領域に構成されている回路機能では処理を継続して行うことができる。

30

【 0 0 1 2 】

請求項 2 に記載のプログラマブル論理回路装置は、多数の論理セルを備え、回路機能を再構成可能な複数の領域に分割されたプログラマブル論理回路と、前記複数の領域の各々に独立してクロック信号を供給可能に接続されたクロックラインと、前記クロックライン毎にクロック信号の供給及び停止を行うクロック信号供給停止手段と、再構成時に、当該再構成される回路機能が配置された領域のクロックラインのみ、前記クロック信号供給停止手段によるクロック信号の供給を停止して、回路機能を再構成する制御を行う制御手段と、を有している。

【 0 0 1 3 】

請求項 2 に記載のプログラマブル論理回路装置では、多数の論理セルを備えたプログラマブル論理回路が、回路機能を再構成可能な複数の領域に分割されている。この分割された各領域には、それぞれ独立してクロック信号を供給できるようにクロックラインが接続されている。クロック信号供給停止手段では、このクロックライン毎にクロック信号の供給や停止を行うので、分割された領域毎に、クロック信号の供給を制御することができる。

40

【 0 0 1 4 】

制御手段は、回路機能を再構成する際に、再構成する回路機能が配置された領域に対するクロック信号の供給のみを停止制御して、回路機能を再構成する制御を行うので、再構成領域以外の領域に構成されている回路機能では処理を継続して行うことができる。

【 0 0 1 5 】

50

請求項 3 に記載のプログラマブル論理回路装置は、多数の論理セルを備えたプログラマブル論理回路と、前記論理セルの各々に対してクロック信号を供給可能に設けられたクロックラインと、前記クロックラインに設けられ、前記論理セルの各々に対して、クロック信号の供給及び停止の何れか一方の状態に切替えて、クロックラインを複数に分割可能にする切替手段と、前記切替手段によって分割されたクロックライン毎にクロック信号の供給及び停止を行うクロック信号供給停止手段と、を有している。

【 0 0 1 6 】

請求項 3 に記載のプログラマブル論理回路装置では、プログラマブル論理回路に備えられている多数の論理セルの各々に対して、クロック信号が供給できるようにクロックラインが設けられている。このクロックラインは、切替手段によって、各論理セルに対してクロック信号を供給状態又は停止状態に切替えることで複数に分割され、この分割されたクロックライン毎に、クロック信号供給停止手段によってクロック信号の供給や停止が行われる。

10

【 0 0 1 7 】

なお、全ての論理セルと接続されたクロックラインを切替手段によって任意のポイントで切断することで、クロックラインを複数に分割してもよいし、クロックラインを断片化しておいて、切替手段によって任意のポイントで接続することで、クロックラインを複数に分割するようにしてもよい。

【 0 0 1 8 】

これにより、切替手段によって、再構成する回路機能が配置された領域毎にクロックラインを分割すれば、再構成する回路機能が配置された領域に対するクロック信号の供給のみを停止制御して再構成を行うことができ、再構成領域以外の領域に構成されている回路機能では処理を継続して行うことができる。また、回路設計に応じて、プログラマブル論理回路上に再構成領域を任意に設定することができる。

20

【 0 0 1 9 】

ただし、回路設計によって、分割されたクロックラインがクロック信号を供給する論理セルの個数が変わるので、請求項 4 に記載されているように、前記クロック信号供給停止手段によるクロック信号供給時の駆動能力を、前記切替手段によって分割されたクロックライン毎に、当該クロックラインにより前記クロック信号を供給する論理セルの数に応じて設定する設定手段を更に有するようになるとよい。

30

【 0 0 2 0 】

【 発明の実施の形態 】

次に、図面を参照して本発明に係る実施形態の 1 例を詳細に説明する。

【 0 0 2 1 】

( 第 1 の実施の形態 )

図 1 には、本発明が適用されたプログラマブル論理回路装置の概略構成が示されている。図 1 に示すように、プログラマブル論理回路装置 10 は、二次元に配列された複数の論理セル 12 と、配線領域 14 と、入出力端子 16 とを備えている。これら論理セル 12、配線領域 14、入出力端子 16 により、本発明のプログラマブル論理回路を構成している ( 請求項 2、3 参照 )。

40

【 0 0 2 2 】

論理セル 12 では、内部の回路構成を変化させて、任意の論理関数を生成可能となっている。配線領域 14 では、各論理セル 12 間や、各論理セル 12 と入出力端子 16 の間を任意に結線可能となっている。

【 0 0 2 3 】

また、論理セル 12 や配線領域 14 内には、SRAM、DRAM等の書き換え可能なメモリ素子が備えられており、プログラマブル論理回路装置 10 は、これらのメモリ素子で構成されたコンフィギュレーションメモリ ( 図示省略 ) を備えている。

【 0 0 2 4 】

このコンフィギュレーションメモリ ( 図示省略 ) にアドレスを与えて、新しい回路情報の

50

データが格納されると、この回路情報に従って論理セル 1 2 内の回路構成と、各論理セル 1 2 間や各論理セル 1 2 と入出力端子 1 6 間を相互に接続する配線領域 1 4 の接続状態とが、すなわちプログラマブル論理回路装置 1 0 の回路機能（以下、単に「回路」という）が再構成される。この一連の動作をコンフィギュレーションと呼ぶ。

【 0 0 2 5 】

プログラマブル論理回路装置 1 0 では、コンフィギュレーションメモリ（図示省略）の一部を書き換えることで、プログラマブル論理回路装置 1 0 が動作中であっても、回路を部分的に再構成することができるようになっている。

【 0 0 2 6 】

なお、このコンフィギュレーション動作は、外部から入力されるコンフィギュレーションイネーブル信号（Config\_enable）がイネーブル状態のときのみ実施可能となっている。

10

【 0 0 2 7 】

次に、プログラマブル論理回路装置 1 0 内のクロック信号の供給に係わる構成について詳しく説明する。図 2 には、このプログラマブル論理回路装置 1 0 内のクロック信号供給機構の詳細構成が示されている。

【 0 0 2 8 】

図 2 に示されるように、プログラマブル論理回路装置 1 0 には、各論理セル 1 2 にクロック信号を供給するために、クロックライン 1 8 がツリー状に巡らされている。このツリー状のクロックライン 1 8 は、プログラマブル論理回路装置 1 0 上の回路形成領域 3 0 を 2 分割した一方の領域 3 0 A 内の各論理セル 1 2 と接続しているクロックライン 1 8 A と、他方の領域 3 0 B 内の各論理セル 1 2 と接続しているクロックライン 1 8 B とで構成されている。

20

【 0 0 2 9 】

本実施の形態では、この領域 3 0 A、3 0 B 毎に、回路機能を再構成できるようになっている。すなわち、領域 3 0 A、3 0 B が、本発明の「回路機能を再構成可能な複数の領域」に対応し、クロックライン 1 8 A、1 8 B が「複数のクロックライン」に対応する（請求項 2 参照）。

【 0 0 3 0 】

また、本実施の形態では、外部から当該プログラマブル論理回路装置 1 0 に対するクロック信号の供給は 1 系統となっており（複数系統にしても可）、クロックパッド 2 0 に外部からのクロック信号が入力される。このクロックパッド 2 0 の出力は P L L（Phase Lock Loop）回路 2 2 に接続され、P L L 回路 2 2 の出力は 2 つに分岐されている。

30

【 0 0 3 1 】

分岐された一方はクロック制御回路 2 4 A を介して、クロックバッファ 2 6 A に接続され、他方はクロック制御回路 2 4 B を介して、クロックバッファ 2 6 B に接続されている。これにより、外部からのクロック信号がクロックバッファ 2 6 A、2 6 B に供給されるようになっている。

【 0 0 3 2 】

クロックライン 1 8 A は、クロックバッファ 2 6 A と接続されており、当該クロックバッファ 2 6 A から出力されたクロック信号を領域 3 0 A 内の各論理セル 1 2 に供給するようになっている。クロックライン 1 8 B は、クロックバッファ 2 6 B と接続されており、当該クロックバッファ 2 6 B から出力されたクロック信号を領域 3 0 B 内の各論理セル 1 2 に供給するようになっている。

40

【 0 0 3 3 】

また、P L L 回路 2 2 の出力をクロックバッファ 2 6 A、2 6 B に中継するクロック制御回路 2 4 A、2 4 B は、それぞれイネーブル信号入力端子 2 8 A、2 8 B と接続されている。

【 0 0 3 4 】

クロック制御回路 2 4 A には、イネーブル信号入力端子 2 8 A を介して、外部からのクロック制御用信号（Clk\_Ctrl\_A）が入力される。クロック制御回路 2 4 は、このクロック制

50

御用信号 (Clk\_Ctrl\_A) に基づいて、クロックライン 18 A による論理セル 12 へのクロック信号 (Clk\_A) の供給をイネーブル状態 / 停止状態に切替える。

【0035】

同様に、クロック制御回路 24 B には、イネーブル信号入力端子 28 B を介して、外部からのクロック制御用信号 (Clk\_Ctrl\_B) が入力され、このクロック制御用信号 (Clk\_Ctrl\_B) に基づいて、クロックライン 18 B による論理セル 12 へのクロック信号 (Clk\_B) の供給をイネーブル状態 / 停止状態に切替える。

【0036】

すなわち、プログラマブル論理回路装置 10 では、領域 30 A 内の各論理セル 12 へのクロック信号の供給と、領域 30 B 内の各論理セル 12 へのクロック信号の供給とを、独立して制御することが可能となっている。

10

【0037】

このように、本実施の形態では、クロックパッド 20、PLL 回路 22、クロック制御回路 24 A、24 B、クロックバッファ 26 A、26 B、イネーブル信号入力端子 28 A、28 B によって、本発明のクロック信号供給停止手段が構成されている (請求項 2 参照)。

【0038】

(システム構成例)

上記構成のプログラマブル論理回路装置 10 は、例えば、図 3 に示すような情報処理システムに組み込まれて使用される。図 3 に示す情報処理システム 50 では、CPU 52 のホストバス 54 に、チップセット 56 に含まれるメインコントローラ (図示省略) を介して、例えば DRAM で構成される主記憶メモリ 58 が接続されている。

20

【0039】

また、ホストバス 54 は、チップセット 56 に含まれるホスト - PCI ブリッジ (図示省略) を介して、PCI バス 60 にも接続されている。この PCI バス 60 には、インタフェース 62 を介して、プログラマブル論理回路装置 10 が接続されている。また、PCI バス 60 には、インタフェース 64 を介して、ハードディスクドライブ 66 が接続されており、このハードディスクドライブ 66 には、アプリケーションプログラムや回路情報が記憶されている。

【0040】

CPU 52 は、ハードディスクドライブ 66 から主記憶メモリ 58 にアプリケーションプログラムをロードして実行する。また、アプリケーションプログラム実行中に、必要に応じて、ハードディスクドライブ 66 から回路情報を読み出して、プログラマブル論理回路装置 10 のコンフィギュレーションメモリ (図示省略) にロードし、プログラマブル論理回路装置 10 上に所望の回路を構成し、当該回路においてデータ処理を行うようになっている (以下、プログラマブル論理回路装置 10 におけるデータ処理のことを「ハードウェア処理」という)。

30

【0041】

すなわち、CPU 52 によって、プログラマブル論理回路装置 10 におけるコンフィギュレーションや、当該プログラマブル論理回路装置 10 上に構成された回路への入力データや出力データの入出力を制御するようになっている。

40

【0042】

(作用)

次に、第 1 の実施の形態の作用について説明する。図 4 には、プログラマブル論理回路装置 10 を動作させてハードウェア処理を行う場合の制御ルーチンが示されている。この制御ルーチンは、例えば CPU 52 により実行される。

【0043】

なお、以下では、図 5 に示すように、プログラマブル論理回路装置 10 上に構成する回路を「回路 a プラス回路 b」の回路 70 と「回路 a プラス回路 c」の回路 72 とで切替えて使用する場合で、且つ図 6 に示すように、領域 30 A 内の領域 74 に回路 a、領域 30 B

50

内の領域 7 6 に回路 b 又は回路 c が配置されるように設計されている場合を例に説明する。

【 0 0 4 4 】

このときのデータ処理の流れは、プログラマブル論理回路装置 1 0 上に回路 7 0 を構成しているときは、入力データを回路 a に入力し、回路 a 回路 b 回路 a の順で処理して回路 a から出力データを得るようになっており、回路 7 2 を構成しているときは、入力データを回路 a に入力し、回路 a 回路 c 回路 a の順で処理して回路 a から出力データを得るようになっている。

【 0 0 4 5 】

図 4 に示すように、プログラマブル論理回路装置 1 0 を動作させる際には、まず、ステップ 1 0 0 において、初期回路の情報をコンフィギュレーションメモリ ( 図示省略 ) にロードし、初期回路のコンフィギュレーションを行って、プログラマブル論理回路装置 1 0 上に初期回路を構成する。

【 0 0 4 6 】

具体的には、コンフィギュレーションイネーブル信号 ( Config\_enable ) をイネーブル状態、クロック制御回路 2 4 A、2 4 B に入力するクロック信号制御信号 ( Clk\_Ctrl\_A、Clk\_Ctrl\_B ) を停止状態として、「回路 a プラス回路 b」の回路情報をコンフィギュレーションメモリ ( 図示省略 ) にロードする。これにより、プログラマブル論理回路装置 1 0 では、「回路 a プラス回路 b」の回路 7 0 の機能を実行できるようになる。

【 0 0 4 7 】

次いで、ステップ 1 0 2 において、ハードウェア処理の途中で、プログラマブル論理回路装置 1 0 上の回路を、再構成する必要があるか否かを判断する。

【 0 0 4 8 】

途中で再構成する必要がある場合は、ステップ 1 0 4 に進む。本例も、回路 7 0 から回路 7 2 に切替えるときに、再構成する必要があるので、ステップ 1 0 4 に進む。

【 0 0 4 9 】

ステップ 1 0 4 では、プログラマブル論理回路装置 1 0 への入力データの入力を開始する ( ハードウェア処理開始 )。詳しくは、コンフィギュレーションイネーブル信号 ( Config\_enable ) をディセーブル状態、クロック制御回路 2 4 A、2 4 B へのクロック信号制御信号 ( Clk\_Ctrl\_A、Clk\_Ctrl\_B ) をイネーブル状態とし、プログラマブル論理回路装置 1 0 に入力データを入力する。

【 0 0 5 0 】

その後、プログラマブル論理回路装置 1 0 上に構成されている回路のうち、再構成する回路での処理が完了したら ( ステップ 1 0 6 で肯定判定 )、ステップ 1 0 8 に移行する。ステップ 1 0 8 では、当該再構成する領域 ( 部分回路 ) のみ、回路情報をロードし直すことによって、部分的にコンフィギュレーションを行って、プログラマブル論理回路装置 1 0 上の回路構成を部分的に再構成する。

【 0 0 5 1 】

具体的には、「回路 a プラス回路 b」の回路 7 0 において処理される最後のデータに対する回路 b での処理が終了したら、ステップ 1 0 8 に移行し、コンフィギュレーションイネーブル信号 ( Config\_enable ) をイネーブル状態とし、クロック制御回路 2 4 B へのクロック信号制御信号 ( Clk\_Ctrl\_B ) を停止状態とする。これにより、クロックライン 1 8 B による論理セル 1 2 へのクロック信号 ( Clk\_B ) の供給が停止される。

【 0 0 5 2 】

コンフィギュレーションイネーブル信号がイネーブル状態になると、外部からの再構成用の回路情報の送信が可能となり、領域 3 0 B に対応するコンフィギュレーションメモリ ( 図示省略 ) のアドレスに、回路 c の回路情報がロードされる。これにより、領域 3 0 B 内に回路 c が構成され、プログラマブル論理回路装置 1 0 では「回路 a プラス回路 c」、すなわち回路 7 2 の機能を実行できるようになる。

【 0 0 5 3 】

10

20

30

40

50

この再構成の処理の間、クロック制御回路 2 4 A へのクロック信号制御信号 (Clk\_Ctrl\_A) は、イネーブル状態のままである。したがって、クロックライン 1 8 A による領域 3 0 A 内の各論理セル 1 2 へのクロック信号 (Clk\_A) の供給は継続されており、回路の再構成中も回路 a は動作可能となっている。

【 0 0 5 4 】

回路の再構成が完了するとコンフィギュレーションイネーブル信号 (Config\_enable) をディセーブル状態とし、クロック制御回路 2 4 B へのクロック制御用信号 (Clk\_Ctrl\_B) をイネーブル状態に戻す。

【 0 0 5 5 】

次いで、ステップ 1 1 0 では、再構成する回路が残っているか否かを判断し、再構成する回路が残っている場合は、次の再構成のためにステップ 1 0 6 に戻る。なお、本例では、再構成は 1 回のみなので、必要な再構成が全て終了したと判断される (ステップ 1 1 0 で否定判定)。

【 0 0 5 6 】

必要な再構成が全て終了した (ステップ 1 1 0 で否定判定) 後、プログラマブル論理回路装置 1 0 への入力データの入力が全て終了し (ステップ 1 1 2)、その結果 (出力データ) の出力が終了したら (ステップ 1 1 4)、処理が終了される。

【 0 0 5 7 】

一方、途中で再構成する必要がない場合は、ステップ 1 1 6 に進み、プログラマブル論理回路装置への入力データの入力を開始する (ハードウェア処理開始)。その後、入力データの入力が全て終了し (ステップ 1 1 2)、その結果 (出力データ) の出力が終了したら (ステップ 1 1 4)、処理が終了される。

【 0 0 5 8 】

次に、図 7 のタイミングチャートを用いて上記の動作の一例を具体的に説明する。

【 0 0 5 9 】

プログラマブル論理回路装置 1 0 が「回路 a プラス回路 b」の回路が構成されると、まず、回路 a に入力データ D 10 が入力され (t1)、4 サイクル後に (t5)、回路 b の入力レジスタに処理結果 D 11 が現れる。これを受けて、次の回路 b において D 11 の処理が行われる。

【 0 0 6 0 】

回路 b がこの D 11 の処理をしている間に、回路 a には、次の入力データ D 20 が入力される (t6)。回路 b での処理は、2 サイクルで終わり、回路 b の出力レジスタに D 12 が現れる (t7)。

【 0 0 6 1 】

これと同時に (t7)、コンフィギュレーションイネーブル信号 (Config\_enable) がイネーブル状態に変化し、クロック制御回路 2 4 B へのクロック制御用信号 (Clk\_Ctrl\_B) が停止状態に変化する。

【 0 0 6 2 】

回路 c のコンフィギュレーションは 2 サイクルで終了し、コンフィギュレーションイネーブル信号 (Config\_enable) と、クロック制御回路 2 4 B へのクロック制御用信号 (Clk\_Ctrl\_B) はもとに戻る (t9)。

【 0 0 6 3 】

この間 (t7 ~ t9)、領域 3 0 B 内の各論理セル 1 2 へのクロック信号 (Clk\_B) は停止しているが、領域 3 0 A 内の各論理セル 1 2 へのクロック信号 (Clk\_A) は動作している。

【 0 0 6 4 】

これにより、回路 a では、入力されていた D 20 の処理を継続して行うことができ、回路 c の入力レジスタにその出力結果の D 21 が現れる (t10)。また、回路 b の出力レジスタの値 D 12 の処理も行って、4 サイクル後に回路 a の出力レジスタに D 13 が出力される (t11)。

【 0 0 6 5 】

また、新たにプログラマブル論理回路装置 1 0 上に構成された回路 c では、回路 c の入力レジスタの値 D 21 に対して処理を施し (t10)、2 サイクル後に、回路 c の出力レジスタに

結果 D 22 が出力される (t12)。なお、D 22 が出力されるまでの期間 (t10 ~ t12) は、回路 c の出力レジスタは不定状態になっている。

【 0 0 6 6 】

回路 c の出力レジスタに D 22 が出力されると、前述の D 12 と同様に、回路 a でこの D 22 に対する処理が開始され、4 サイクル後に、回路 a の出力レジスタに D 23 が出力される (t16)。

【 0 0 6 7 】

このように、第 1 の実施の形態では、プログラマブル論理回路装置 10 上に巡らされたツリー状のクロックライン 18 が、領域 30 A の各論理セル 12 にクロック信号を供給するクロックライン 18 A と、領域 30 B の各論理セル 12 にクロック信号を供給するクロックライン 18 B との 2 系統に分割されており、クロック信号の供給を領域 30 A と領域 30 B とで独立して制御することができるようになっている。

10

【 0 0 6 8 】

これにより、領域 30 A 又は領域 30 B の何れか一方の領域に構成されている回路を再構成するとき、当該再構成領域に対してのみクロック信号の供給を停止することができ、他方の領域へのクロック信号の供給を継続して、当該他方の領域に構成されている回路での処理を継続させることができる。

【 0 0 6 9 】

なお、上記では、クロックライン 18 を 2 系統に分割した場合について説明したが、3 系統以上の場合についても、同様に本発明を適用することができる。

20

【 0 0 7 0 】

(第 2 の実施の形態)

次に、本発明の第 2 の実施の形態について説明する。なお、第 2 の実施の形態に係わるプログラマブル論理回路装置の概略構成は、第 1 の実施の形態と同一であり (図 1 参照)、ここでは概略構成の説明を省略し、クロック信号供給機構についてのみ説明する。

【 0 0 7 1 】

図 8 には、第 2 の実施の形態に係わるプログラマブル論理回路装置 80 内のクロック信号供給機構の詳細構成が示されている。なお、図 8 では、第 1 の実施の形態で説明したプログラマブル論理回路装置 10 (図 2 参照) と同一の部材については、同一の符号を付与しており、ここでは詳細な説明を省略する。

30

【 0 0 7 2 】

図 8 に示すプログラマブル論理回路装置 80 では、外部から当該プログラマブル論理回路装置 80 に対するクロック信号の供給は 1 系統となっており (複数系統にしても可)、クロックパッド 20 に外部からのクロック信号が入力される。このクロックパッド 20 の出力は P L L 回路 22 に接続され、P L L 回路 22 の出力は 3 つに分岐されて、それぞれクロック制御回路 24 A、24 B、24 C を介して、クロックバッファ 26 A、26 B、26 C に接続されている。

【 0 0 7 3 】

このクロックバッファ 26 A、26 B、26 C には、プログラマブル論理回路装置 80 上の全ての論理セル 12 と接続し、各論理セル 12 にクロック信号を供給するためのツリー状のクロックライン 18 が接続されている。

40

【 0 0 7 4 】

このクロックライン 18 上には、複数の切断可能ポイント 82 が設けられており、任意の個所でクロックライン 18 を切断可能となっている。この切断可能ポイント 82 が、本発明の切替手段に対応する (請求項 3 参照)。

【 0 0 7 5 】

各切断可能ポイント 82 での切断の可否によって、各クロックバッファ 26 A、26 B、26 C がクロック信号を供給する論理セル 12 が決まる。クロックバッファ 26 A、26 B、26 C は、各々が駆動するクロックライン 18 の規模 (クロック信号を供給する論理セル 12 の個数) に基づいて、その駆動能力がプログラム可能 (可変) となっている。す

50

なわち、各クロックバッファ26A、26B、26Cが、本発明の設定手段に対応する（請求項4参照）。

【0076】

また、PLL回路22の出力をクロックバッファ26A、26B、26Cに中継するクロック制御回路24A、24B、24Cは、それぞれイネーブル信号入力端子28A、28B、28Cと接続されている。クロック制御回路24A、24B、24Cは、イネーブル信号入力端子28A、28B、28Cを介して外部から各々に入力されたクロック制御信号に基づいて、クロック信号の供給をイネーブル状態/停止状態に切替えるようになっている。

【0077】

このように、本実施の形態では、クロックパッド20、PLL回路22、クロック制御回路24A、24B、24C、クロックバッファ26A、26B、26C、イネーブル信号入力端子28A、28B、28Cによって、本発明のクロック信号供給停止手段が構成されている（請求項3参照）。

【0078】

なお、クロックバッファとクロック制御回路を3つずつにしたのは、ライン状のクロックライン18を3つまで分割可能な例を示すためである。クロックバッファとクロック制御回路の個数は、複数個であればいくつでも構わない。

【0079】

次に、第2の実施の形態の作用を説明する。なお、以下では、第1の実施の形態と同じ例（図5、図6参照）を用いて、プログラマブル論理回路装置80を動作させる場合について説明する。

【0080】

設計者は、レイアウト設計時に、部分的な再構成によって、回路bと回路cの機能を入れ替えることができるように、プログラマブル論理回路装置80上の回路a、回路b、回路cのレイアウトを決定する。例えば、領域90に回路a、領域92に回路bと回路cが入れ替えるように、レイアウトを決定する（図9参照）。

【0081】

このレイアウト結果により、構成用回路データ、ツリー状のクロックライン18を分割する領域、各領域のクロックライン18を駆動するクロックバッファ26とその駆動能力が

【0082】

プログラマブル論理回路装置80を使う前に、クロックライン18の分割データに基づいて、切断可能ポイント82を切断する。この切断方法はPROMの書き込みやアンチフューズタイプのプログラマブル論理回路装置（FPGA）の回路構成時などに用いられる公知の手法と同一であり、場所を示すアドレスと、切断/接続を示すビットデータに応じて、ポリシリコンなどで作られた配線を溶断するものである。

【0083】

図9には、切断可能ポイント82の切断結果が示されている。なお、図9では、切断可能ポイント82を示す黒点にXを付加して、切断した切断可能ポイント82を示している。

【0084】

図9に示されているように、クロックバッファ26Cと論理セル12とをつなぐクロックライン18が切断可能ポイント82で切断され、PLL回路22とクロック制御回路24Cとの間も切断される。また、クロックバッファ26Bと領域90の論理セル12とをつなぐクロックライン18も、切断可能ポイント82で切断される。

【0085】

これにより、クロックライン18が2系統に分割され、領域90内の論理セル12にはクロックバッファ26Aからのクロック信号、領域92内の論理セル12にはクロックバッファ26Bからのクロック信号が供給される。

【0086】

10

20

30

40

50

また、各領域 90、92 内においても、使用する論理セル 12 にだけクロック信号が供給されるように、クロックライン 18 が切断され、クロックバッファ 26 A では 8 つの論理セル 12、クロックバッファ 26 B では 6 つの論理セル 12 にクロック信号を供給するようになる。この供給先の論理セル 12 の個数に応じて、各クロックバッファの駆動能力がプログラムされる。

【0087】

これにより、領域 90 と領域 92 とでクロックライン 18 を分割することができ、その後は、第 1 の実施の形態と同様に、プログラマブル論理回路装置 80 の動作させれば、プログラマブル論理回路装置 80 を「回路 a + 回路 b」の回路 70 と、「回路 a + 回路 c」の回路 72 とで切替えて機能させることができる。

10

【0088】

このように、第 2 の実施の形態では、クロックライン 18 が最初は 1 つであり、回路設計時に再構成する回路の領域に応じて、クロックライン 18 を分割することができる。すなわち、再構成する領域（領域 92）と再構成が不要な領域（領域 90）とで、クロックライン 18 の系統を分けることができる。これにより、再構成時に当該再構成領域のクロック信号のみを停止させることができ、第 1 の実施の形態と同様の効果を得るとともに、プログラマブル論理回路装置 80 上の任意の領域を再構成領域とすることもできる（自由度が高い）。

【0089】

なお、この場合、設計者により設計された回路によって、各クロックバッファ 26 A、26 B、26 C が駆動するクロックライン 18 の規模（クロック信号を供給する論理セル 12 の数）が変わるので、各々が駆動するクロックライン 18 の規模に応じて、その駆動能力を設定することが好ましい。

20

【0090】

なお、ツリー状のクロックライン 18 を予めダイオードなどで断片化しておき、このダイオードをクロックライン 18 の分割データに基づいて、短絡させることによっても、第 2 の実施の形態と同様の効果を得ることができる。

【0091】

【発明の効果】

上記に示したように、本発明は、動作中に回路を部分的に再構成する際に、再構成領域以外では処理を継続することができるという優れた効果を有する。

30

【図面の簡単な説明】

【図 1】 第 1 の実施の形態に係わるプログラマブル論理回路装置の概略構成図である。

【図 2】 第 1 の実施の形態に係わるプログラマブル論理回路装置のクロック信号の供給機構の詳細構成図である。

【図 3】 プログラマブル論理回路装置が組み込まれる情報処理システムの一例を示す図である。

【図 4】 プログラマブル論理回路装置を動作させる際の制御ルーチンを示すフローチャートである。

【図 5】 プログラマブル論理回路装置に機能させる回路構成の一例を示す図である。

40

【図 6】 第 1 の実施の形態に係わるプログラマブル論理回路装置に図 5 で示した回路構成を適用した例である。

【図 7】 プログラマブル論理回路装置の動作の一例を示すタイミングチャートである。

【図 8】 第 2 の実施の形態に係わるプログラマブル論理回路装置のクロック信号の供給機構の詳細構成図である。

【図 9】 第 2 の実施の形態に係わるプログラマブル論理回路装置に図 5 で示した回路構成を適用した例である。

【符号の説明】

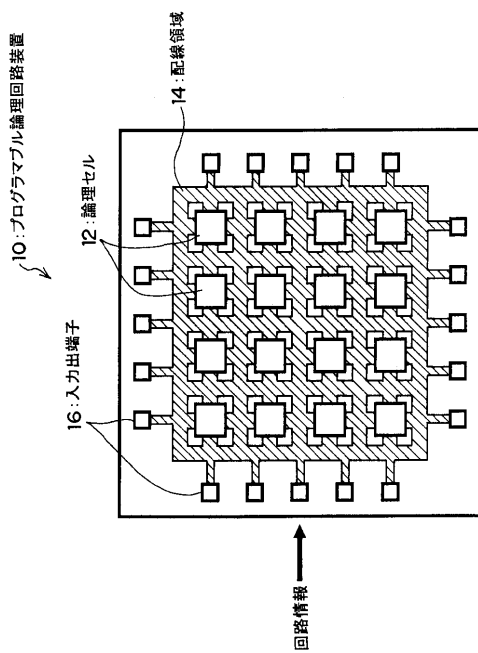
10、80 プログラマブル論理回路装置

12 論理セル

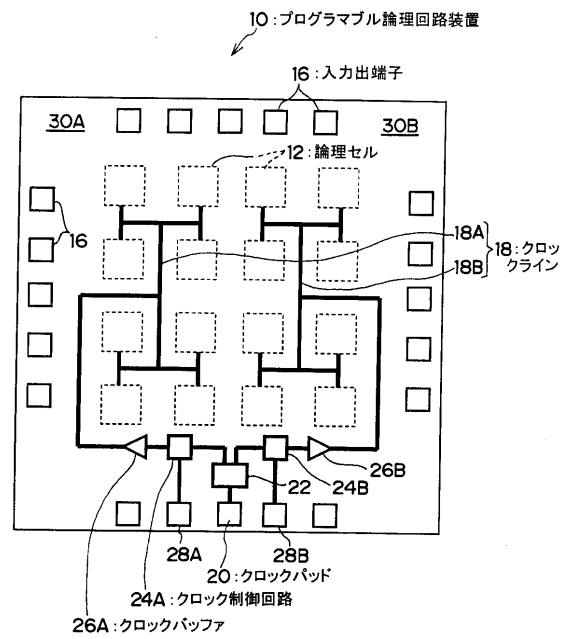
50

- 18、18A、18B      クロックライン
- 24A、24B、24C    クロック制御回路
- 26A、26B、26C    クロックバッファ
- 28A、28B、28C    イネーブル信号入力端子
- 30A、30B          領域
- 70、72          回路
- 74、76          領域
- 82          切断可能ポイント
- 90、92          領域

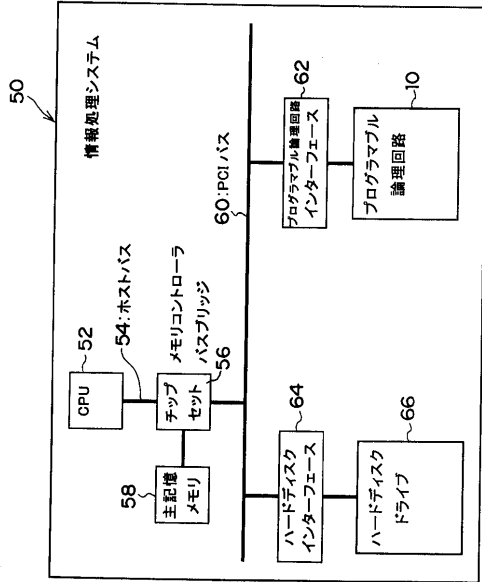
【 図 1 】



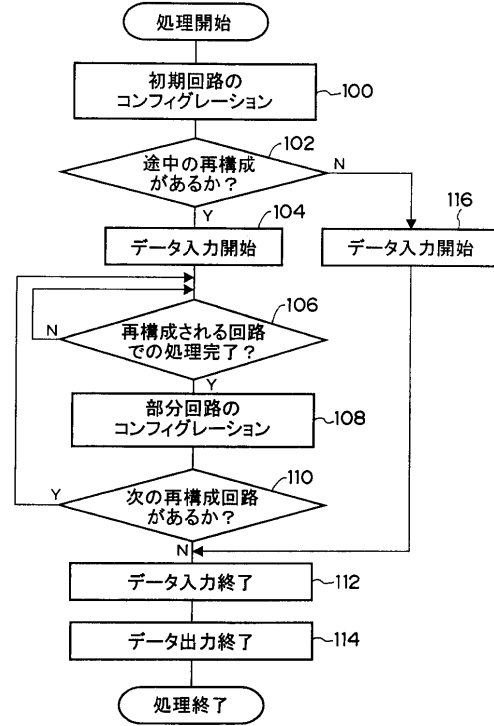
【 図 2 】



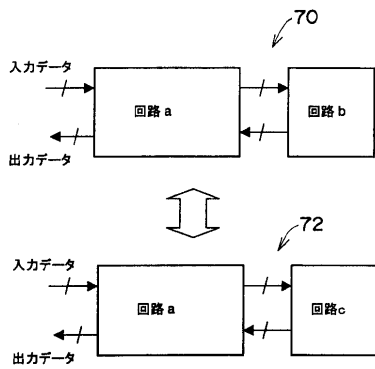
【図3】



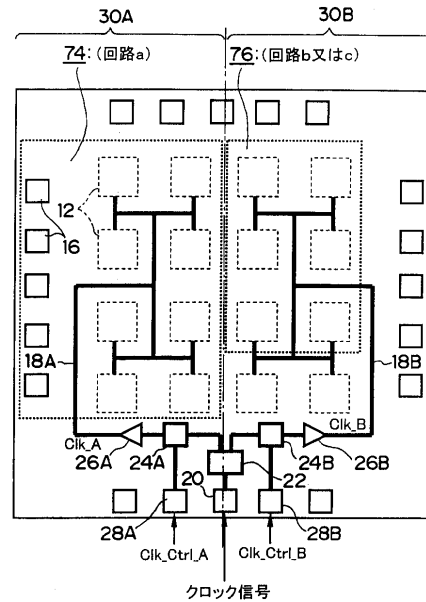
【図4】



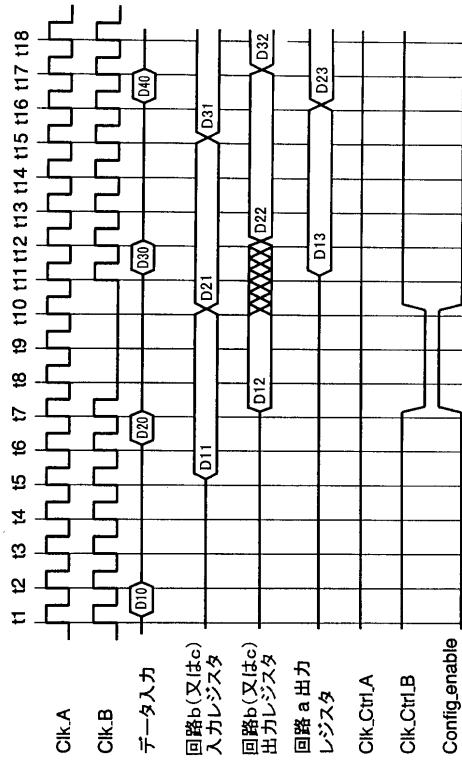
【図5】



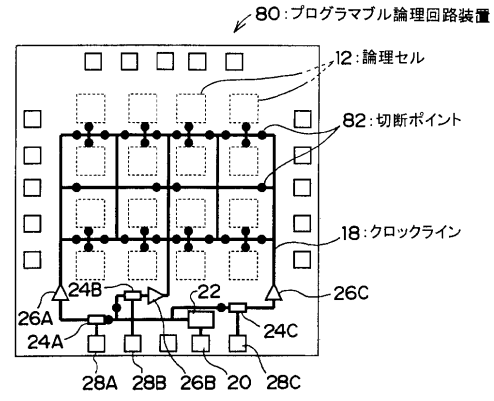
【図6】



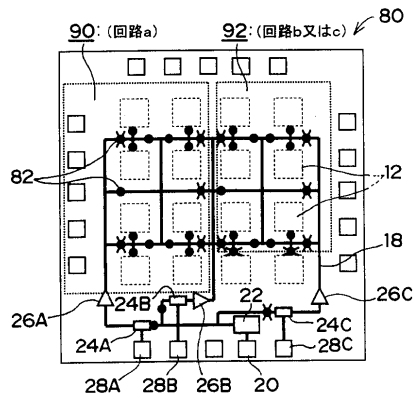
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

審査官 清水 稔

- (56)参考文献 特開平09 - 200026 (JP, A)  
特開平06 - 112810 (JP, A)  
特開平11 - 225063 (JP, A)  
特開平10 - 084275 (JP, A)  
特開平6 - 120811 (JP, A)  
特開平6 - 216354 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H03K 19/177

H01L 21/82

H01L 21/82