

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷
G11C 11/15
H01L 29/78



[12] 发明专利申请公开说明书

[21] 申请号 02151849.1

[43] 公开日 2003 年 7 月 23 日

[11] 公开号 CN 1431663A

[22] 申请日 2002.11.29 [21] 申请号 02151849.1

[30] 优先权

[32] 2001.11.30 [33] JP [31] 367754/2001

[32] 2001.11.30 [33] JP [31] 367755/2001

[32] 2001.11.30 [33] JP [31] 367941/2001

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 梶山健

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

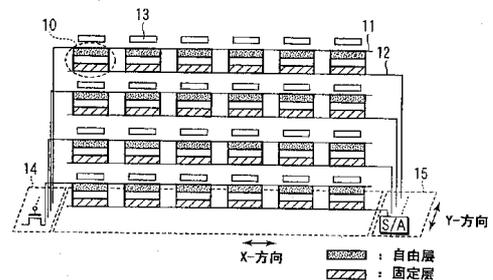
代理人 付建军

权利要求书 7 页 说明书 30 页 附图 14 页

[54] 发明名称 磁随机存取存储器

[57] 摘要

提供一种磁随机存取存储器。将 MTJ 元件在半导体衬底上边叠置成多层。MTJ 元件的固定层上，连接有起读出线功能沿 X 方向延伸的第 1 导电线。MTJ 元件的自由层上，连接有起写入线和读出线功能沿 X 方向延伸的第 2 导电线。写入线沿 Y 方向延伸，并为在其上下存在的两个 MTJ 元件所共用。在写入线上下存在的两个 MTJ 元件，相对于其写入线对称地进行配置。



ISSN 1008-4274

1. 一种磁随机存取存储器, 包括:
由固定自旋方向的第1磁性层、存储数据的第2磁性层、和夹入该第1与第
5 2磁性层之间的绝缘层构成的第1和第2 MTJ元件;以及
配置于该第1和第2 MTJ元件之间, 产生作用于该第1和第2 MTJ元件的磁
场的第1写入线,
其特征在于:
构成该第1 MTJ元件的第1磁性层、绝缘层和第2磁性层, 与构成该第2 MTJ
10 元件的第1磁性层、绝缘层和第2磁性层的位置关系为, 相对于该第1写入线对
称。
 2. 根据权利要求1所述的磁随机存取存储器, 其特征在于:
第1和第2 MTJ元件是在半导体衬底上叠置起来的。
 3. 根据权利要求1所述的磁随机存取存储器, 其特征在于:
15 从第1写入线到第1 MTJ元件的距离与从第1写入线到第2 MTJ元件的距离
实质上是相等的。
 4. 根据权利要求1所述的磁随机存取存储器, 其特征在于:
第2磁性层配置在比第1磁性层更靠近第1写入线的位置。
 5. 根据权利要求4所述的磁随机存取存储器, 还包括:
20 与第1写入线交叉, 与第1 MTJ元件的第1磁性层接触, 且产生作用于第1 MTJ
元件的磁场的第2写入线, 且第1写入线与第1和第2 MTJ元件是分离的。
 6. 根据权利要求5所述的磁随机存取存储器, 还包括:
与第1 MTJ元件的第2磁性层连接, 用于从第1 MTJ元件读出数据的第1读
出线, 且
25 第2写入线还具有用于从该第1 MTJ元件读出该数据的第2读出线功能。
 7. 根据权利要求4所述的磁随机存取存储器, 还包括:
与第1写入线交叉, 与第2 MTJ元件的第1磁性层接触, 且产生作用于第2 MTJ
元件的磁场的第2写入线, 且第1写入线与第1和第2 MTJ元件是分离的。
 8. 根据权利要求7所述的磁随机存取存储器, 还包括:
30 与第2 MTJ元件的第2磁性层连接, 用于从第2 MTJ元件读出数据的第1读

出线, 且

第 2 写入线还具有用于从第 2 MTJ 元件读出数据的第 2 读出线功能。

9. 根据权利要求 4 所述的磁随机存取存储器, 还包括:

5 与第 1 写入线交叉, 与第 1 MTJ 元件的与第 1 磁性层接触, 且产生作用于第 1 MTJ 元件的磁场的第 2 写入线, 且第 1 写入线与第 1 和第 2 MTJ 元件的第 2 磁性层接触。

10. 根据权利要求 9 所述的磁随机存取存储器, 其特征在于:

第 1 写入线还具有用于从该第 1 MTJ 元件读出数据的第 1 读出线功能, 第 2 写入线还具有用于从第 1 MTJ 元件读出数据的第 2 读出线功能。

10 11. 根据权利要求 4 所述的磁随机存取存储器, 还包括:

与第 1 写入线交叉, 与第 2 MTJ 元件的第 1 磁性层接触, 且产生作用于第 2 MTJ 元件的磁场的第 2 写入线, 且第 1 写入线接触第 1 和第 2 MTJ 元件的第 2 磁性层。

12. 根据权利要求 11 所述的磁随机存取存储器, 其特征在于:

15 第 1 写入线还具有用于从第 2 MTJ 元件读出数据的第 1 读出线功能, 第 2 写入线还具有用于从第 2 MTJ 元件读出数据的第 2 读出线功能。

13. 根据权利要求 1 所述的磁随机存取存储器, 其特征在于:

第 1 磁性层配置在比第 2 磁性层更靠近第 1 写入线的位置。

14. 根据权利要求 13 所述的磁随机存取存储器, 还包括:

20 与第 1 写入线交叉, 与第 1 MTJ 元件的第 2 磁性层接触, 且产生作用于第 1 MTJ 元件的磁场的第 2 写入线, 且第 1 写入线与第 1 和第 2 MTJ 元件是分离的。

15. 根据权利要求 14 所述的磁随机存取存储器, 还包括:

与第 1 和第 2 MTJ 元件的第 1 磁性层连接, 用于从第 1 MTJ 元件读出数据的第 1 读出线, 且

25 第 2 写入线还具有用于从第 1 MTJ 元件读出数据的第 2 读出线功能。

16. 根据权利要求 13 所述的磁随机存取存储器, 还包括:

与第 1 写入线交叉, 与第 2 MTJ 元件的第 2 磁性层接触, 且产生作用于第 1 MTJ 元件的磁场的第 2 写入线, 且

第 1 写入线与第 1 和第 2 MTJ 元件是分离的。

30 17. 根据权利要求 16 所述的磁随机存取存储器, 还包括:

与第2 MTJ元件的第1磁性层接触, 用于从第2 MTJ元件读出数据的第1读出线, 且

第2写入线还具有用于从第2 MTJ元件读出数据的第2读出线功能。

18. 根据权利要求13所述的磁随机存取存储器, 还包括:

- 5 与第1写入线交叉, 与第1 MTJ元件的第2磁性层接触, 且产生作用于第1 MTJ元件的磁场的第2写入线, 且第1写入线与第1和第2 MTJ元件的第1磁性层接触。

19. 根据权利要求18所述的磁随机存取存储器, 其特征在于:

- 10 第1写入线还具有用于从第1 MTJ元件读出数据的第1读出线功能, 第2写入线还具有用于从第1 MTJ元件读出该数据的第2读出线功能。

20. 根据权利要求13所述的磁随机存取存储器, 还包括:

与第1写入线交叉, 与第2 MTJ元件的第2磁性层接触, 且产生作用于第2 MTJ元件的磁场的第2写入线, 且第1写入线与第1和第2 MTJ元件的第1磁性层接触。

- 15 21. 根据权利要求20所述的磁随机存取存储器, 其特征在于:

第1写入线还具有用于从第2 MTJ元件读出数据的第1读出线功能, 第2写入线还具有用于从第2 MTJ元件读出该数据的第2读出线功能。

22. 一种磁随机存取存储器, 包括:

- 20 由固定自旋方向的第1磁性层、存储数据的第2磁性层、和夹入该第1与第2磁性层之间的绝缘层构成的第1和第2 MTJ元件;

配置于该第1和第2 MTJ元件之间, 产生作用于该第1和第2 MTJ元件的磁场的第1写入线; 以及

配置于该第2和第3 MTJ元件之间, 产生作用于该第2和第3 MTJ元件的磁场的第2写入线;

- 25 其特征在于:

构成该第1 MTJ元件的第1磁性层、绝缘层和第2磁性层, 与构成该第2 MTJ元件的第1磁性层、绝缘层和第2磁性层的位置关系为相对于第1写入线对称, 而且

- 30 构成该第2 MTJ元件的第1磁性层、绝缘层和第2磁性层, 与构成该第3 MTJ元件的第1磁性层、绝缘层和第2磁性层的位置关系为相对于第2写入线对称。

23. 根据权利要求 22 所述的磁随机存取存储器, 其特征在于:
第 1、第 2 和第 3MTJ 元件是在半导体衬底上叠置起来的。
24. 根据权利要求 22 所述的磁随机存取存储器, 其特征在于:
第 1 写入线与第 1 和第 2 MTJ 元件的第 1 磁性层接触, 第 2 写入线与第 2 和
5 第 3MTJ 元件的第 2 磁性层接触, 第 1 和第 2 写入线互相交叉。
25. 根据权利要求 22 所述的磁随机存取存储器, 其特征在于:
第 1 写入线与第 1 和第 2 MTJ 元件的第 2 磁性层接触, 第 2 写入线与第 2 和
第 3MTJ 元件的第 1 磁性层接触, 第 1 和第 2 写入线互相交叉。
26. 一种磁随机存取存储器, 包括:
10 具有叠置成多层的多个 MTJ 元件的阵列;
配置于该阵列内的第 1 导电线; 以及
配置在该阵列内, 具有与该第 1 导电线同样功能, 且配置于该第 1 导电线上
边的第 2 导电线,
其特征在于: 该第 1 和第 2 导电线是串联连接的。
- 15 27. 根据权利要求 26 所述的磁随机存取存储器, 其特征在于:
第 1 和第 2 导电线是在阵列的端部互相连接的。
28. 根据权利要求 26 所述的磁随机存取存储器, 其特征在于:
第 1 和第 2 导电线整体上蛇形配置在阵列内。
29. 根据权利要求 26 所述的磁随机存取存储器, 其特征在于:
20 第 1 和第 2 导电线用于写入动作或读出动作。
30. 根据权利要求 26 所述的磁随机存取存储器, 其特征在于:
第 1 和第 2 导电线沿同一方向延伸。
31. 根据权利要求 26 所述的磁随机存取存储器, 还包括:
配置在阵列端部, 连接到第 1 和第 2 导电线的接触塞; 以及
25 连接到接触塞的晶体管。
32. 根据权利要求 31 所述的磁随机存取存储器, 其特征在于:
晶体管配置在阵列的正下方。
33. 根据权利要求 26 所述的磁随机存取存储器, 其特征在于:
由第 1 和第 2 导电线构成的线的一端和另一端, 一起位于阵列的一端部。
- 30 34. 根据权利要求 26 所述的磁随机存取存储器, 其特征在于:

由第1和第2导电线构成的线的一端位于阵列的一端部, 由该第1和第2导电线构成的线的另一端位于阵列的另一端部。

35. 根据权利要求26所述的磁随机存取存储器, 其特征在于:

多个MTJ元件中, 相同层内配置的MTJ元件固定层的磁化方向是相同的。

5 36. 根据权利要求26所述的磁随机存取存储器, 其特征在于:

多个MTJ元件中, 不同层内配置的MTJ元件固定层的磁化方向是相同的。

37. 根据权利要求26所述的磁随机存取存储器, 其特征在于:

多个MTJ元件之中, 不同层内配置的MTJ元件固定层的磁化方向是不同的。

38. 根据权利要求37所述的磁随机存取存储器, 其特征在于:

10 多个MTJ元件固定层的磁化方向, 每1层都是不同的。

39. 根据权利要求26所述的磁随机存取存储器, 其特征在于:

阵列具有叠置的第1、第2、第3和第4MTJ元件, 第1导电线配置在该第1与第2 MTJ元件之间, 第2导电线配置在该第3与第4 MTJ元件之间。

40. 一种磁随机存取存储器, 包括:

15 具有叠置成多层的多个MTJ元件的阵列;

配置在阵列内的第1导电线; 以及

配置在阵列内, 具有与该第1导电线同样功能, 且配置于第1导电线上边的第2导电线,

其特征在于: 该第1和第2导电线是并联连接的。

20 41. 根据权利要求40所述的磁随机存取存储器, 其特征在于:

第1和第2导电线是在阵列的端部互相连接的。

42. 根据权利要求40所述的磁随机存取存储器, 其特征在于:

第1和第2导电线整体上具有梯子形状。

43. 根据权利要求40所述的磁随机存取存储器, 其特征在于:

25 第1和第2导电线用于写入动作或读出动作。

44. 根据权利要求40所述的磁随机存取存储器, 其特征在于:

第1和第2导电线沿同一方向延伸。

45. 根据权利要求40所述的磁随机存取存储器, 还包括:

配置在阵列端部, 连接到第1和第2导电线的接触塞; 以及

30 连接到接触塞的晶体管。

46. 根据权利要求45所述的磁随机存取存储器, 其特征在于:
晶体管配置在阵列的正下方。
47. 根据权利要求40所述的磁随机存取存储器, 其特征在于:
由第1和第2导电线构成的线的一端和另一端, 一起位于阵列的一端部。
- 5 48. 根据权利要求40所述的磁随机存取存储器, 其特征在于:
由第1和第2导电线构成的线的一端位于阵列的一端部, 由第1和第2导电线构成的线的另一端位于阵列的另一端部。
49. 根据权利要求40所述的磁随机存取存储器, 其特征在于:
多个MTJ元件固定层的磁化方向全部是相同的。
- 10 50. 根据权利要求40所述的磁随机存取存储器, 其特征在于:
阵列具有叠置的第1、第2、第3和第4 MTJ元件, 第1导电线配置在第1与第2 MTJ元件之间, 第2导电线配置在第3与第4 MTJ元件之间。
51. 根据权利要求40所述的磁随机存取存储器, 还包括:
具有叠置成多层的多个MTJ元件的阵列; 以及
- 15 沿上述多个MTJ元件叠置的方向延伸, 在写入时产生磁场的第1写入线。
52. 根据权利要求51所述的磁随机存取存储器, 其特征在于:
第1写入线与多个MTJ元件是分离的。
53. 根据权利要求51所述的磁随机存取存储器, 其特征在于:
第1写入线是由多个MTJ元件共用的。
- 20 54. 根据权利要求51所述的磁随机存取存储器, 还包括:
与第1写入线交叉, 在写入时产生磁场的第2写入线。
55. 根据权利要求54所述的磁随机存取存储器, 还包括:
与第1和第2写入线交叉的导电线。
56. 根据权利要求51所述的磁随机存取存储器, 其特征在于:
第1写入线连接到配置于该阵列正下方的开关元件上。
- 25 57. 根据权利要求56所述的磁随机存取存储器, 其特征在于:
开关元件是MOS晶体管。
58. 根据权利要求51所述的磁随机存取存储器, 其特征在于:
第1写入线是由叠置的多个接触塞构成的。
- 30 59. 一种磁随机存取存储器, 包括:

具有叠置成多层的多个MTJ元件的阵列;以及
沿上述多个MTJ元件叠置的方向延伸,且在读出时产生读出电流的第1写入
线。

- 5 60. 根据权利要求59所述的磁随机存取存储器,其特征在于:
第1写入线与多个MTJ元件相连接。
61. 根据权利要求59所述的磁随机存取存储器,其特征在于:
第1写入线是由多个MTJ元件共用的。
62. 根据权利要求59所述的磁随机存取存储器,还包括:
与第1写入线交叉,在读出时用来流动读出电流的第2写入线。
- 10 63. 根据权利要求62所述的磁随机存取存储器,还包括:
与第1和第2写入线交叉的导电线。
64. 根据权利要求59所述的磁随机存取存储器,其特征在于:
第1读出线连接到配置于该阵列正下方的开关元件上。
65. 根据权利要求64所述的磁随机存取存储器,其特征在于:
15 开关元件是MOS晶体管。
66. 根据权利要求59所述的磁随机存取存储器,其特征在于:
第1读出线是由叠置的多个接触塞构成。
67. 根据权利要求59所述的磁随机存取存储器,其特征在于:
第1读出线还具有写入线功能。

磁随机存取存储器

5 （相关申请的交叉引用）

本申请是基于2001年11月30日提出的在先日本专利申请号2001-367755，和2001年11月30日提出的申请号2001-367941，并主张其优先权，在这里作为参考引用其全部内容。）

10 技术领域

本发明涉及利用因隧道磁致电阻效应存储“1”、“0”-信息的MTJ(磁隧道结)元件，构成存储单元的磁随机存取存储器(MRAM)。

背景技术

15 近年来，提出很多用新的原理存储信息的存储器，而其中之一，就有利用由Roy Scheuerlein et. al 提出的隧道磁致电阻(以下用TMR表示)效应的存储器(例如，可参考ISSCC2000 Technical Digest p. 28「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」)。

20 磁随机存取存储器，利用MTJ元件，存储“1”、“0”-信息。MTJ元件具有由两层磁性层(强磁性层)夹着绝缘层(隧道势垒)的构造。存入MTJ元件的信息，由两层磁性层的自旋方向为平行或反平行来判断。

这里，所谓平行，是指两层磁性层的自旋方向为相同，所谓反平行(anti-parallel)，是指两层磁性层的自旋方向为相反。

25 一般，构成MTJ元件的两层磁性层中的一层成为固定自旋方向的固定层。把“1”、“0”-信息存入MTJ元件的场合，随写入信息，改变这两层磁性层中另一层(自由层)的自旋方向。

发明内容

30 本发明第1方面的磁随机存取存储器具备：由固定自旋方向的第1磁性层、

- 存储数据的第2磁性层和夹入第1与第2磁性层之间的绝缘层构成的第1和第2 MTJ元件;配置于该第1和第2 MTJ元件之间,产生作用于该第1和第2 MTJ元件的磁场的第1写入线。构成该第1 MTJ元件的第1磁性层、绝缘层和第2磁性层与构成该第2 MTJ元件的该第1磁性层、绝缘层和第2磁性层的位置关系为相对于第1写入线对称。

5 本发明第二方面的磁随机存取存储器具备:具有多层叠置的多个 MTJ 元件的阵列;配置于该阵列内的第1导电线;以及配置于该阵列内,具有与该第1导电线同样功能,配置在该第1导电线上边的第2导电线,该第1和第2导电线为串联或并联连接。

- 10 本发明第三方面的磁随机存取存储器具备:具有多层叠置的多个 MTJ 元件的阵列;以及沿上述多个 MTJ 元件叠置的方向延伸,在写入时产生磁场的第1写入线。

附图说明

- 15 图1是表示关于布线共用的发明参考例的剖面图。
图2是表示关于布线共用的发明参考例的剖面图。
图3是表示关于布线共用的发明第1例的剖面图。
图4是表示关于布线共用的发明第2例的剖面图。
图5是表示关于布线共用的发明第3例的剖面图。
- 20 图6是表示关于串联/并联连接布线的发明参考例的平面图。
图7是表示关于串联/并联连接布线的发明第1例的平面图。
图8是图7的X方向的剖面图。
图9是图7的Y方向的剖面图。
图10表示关于串联/并联连接布线的发明第2例的剖面图。
- 25 图11是图10的Y方向的剖面图。
图12表示关于串联/并联连接布线的发明第3例的剖面图。
图13表示关于串联/并联连接布线的发明第4例的剖面图。
图14表示关于串联/并联连接布线的发明第5例的剖面图。
图15是图14的构造Y方向的剖面图。
- 30 图16是表示关于串联/并联连接布线的发明第6例的剖面图。

- 图 17 是表示关于三维布线的发明参考例的立体图。
图 18 是表示关于三维布线的发明参考例的剖面图。
图 19 是表示关于三维布线的发明参考例的立体图
图 20 是表示关于三维布线的发明参考例的剖面图。
5 图 21 是表示关于三维布线的发明第 1 例的立体图
图 22 是表示关于三维布线的发明第 2 例的立体图。
图 23 是表示关于三维布线的发明第 3 例的立体图。
图 24 是表示关于三维布线的发明第 4 例的立体图。
图 25 是表示关于三维布线的发明第 5 例的立体图。
10 图 26 是表示写入线与 MTJ 元件的位置关系的平面图。
图 27 是表示关于三维布线的发明第 6 例的立体图。
图 28 是表示关于三维布线的发明第 7 例的立体图。
图 29 是表示关于三维布线的发明第 8 例的立体图。

15 具体实施方式

以下，参照附图，详细说明根据本发明实施例的磁随机存取存储器。

1. 布线的共用化

(1) 背景技术

近年来，提出了各种器件构造或电路构造的 MRAM，其中之一，具有将多个
20 MTJ 元件连接到 1 个开关元件(选择晶体管)的器件构造。该构造，有利于达到单
元高密度或读出容限的提高。

例如，梯形单元构造中，在上部线与下部线之间并联连接多个 MTJ 元件。如
图 1 所示，该单元构造中，在衬底上边多层(本例中，为 4 层)叠置多个 MTJ 元
件 10。并且，在各层中，将多个 MTJ 元件 10 并联连接到上部线 11 与下部线 12
25 之间。

上部线 11 沿 X 方向延伸，其一端连到选择晶体管 14。下部线 12 也沿 X 方向
延伸，其一端连到读出放大器(S/A) 15 等外围电路。本例中，读出电流沿着上部
线 11、MTJ 元件 10、下部线 12 的路径，即，沿 X 方向流动。写入线 13 与 MTJ
元件 10 邻接进行配置，并沿 Y 方向延伸。

30 图 2 的单元构造是将图 1 下部线与写入线一体化的例子。即，下部线 12 沿 Y

方向延伸, 其一端连到读出放大器(S/A)。写入时下部线 12 起写入线功能, 读出时, 下部线 12 起读出(read)线功能。即, 读出电流首先流入上部线(X方向)11, 而后, 经由MTJ元件 10 流到下部线(Y方向)12。

磁随机存取存储器的基本构造是, 每 1 个 MTJ 元件对应 1 个开关元件(选择晶体管)的 1 单元-1 晶体管构造。但是, 多层叠置 MTJ 元件的器件构造中, 如果每 1 个 MTJ 元件对应 1 个开关元件的话, 开关元件数就不断增加, 将不利于单元高密度化。

因此, 采用多层叠置 MTJ 元件 10 的器件构造场合, 即使每 1 个 MTJ 元件不对应 1 个开关元件, 也采用能进行读出动作或写入动作这样的器件构造。

例如, 图 1 和图 2 中表示的器件构造中, 对于 MTJ 元件 10 的阵列各层, 把多个 MTJ 元件 10 连接到上部线 11 与下部线 12 之间。而且, 例如, 将选择晶体管 14 连接到上部线 11 的一端, 将读出放大器(S/A) 15 连接到下部线 12 的一端。

可是, 这时, 图 1 的例子中, 在 MTJ 元件 10 的阵列各层上, 需要配置上部线(读出/写入线)11、下部线(读出线)12 和写入线 13 总计 3 条线, 并且, 图 2 的例子中, MTJ 元件 10 的各层上, 需要配置上部线(读出/写入线)11 和下部线(读出/写入线)12 总计 2 条线。

而且, 在衬底上边多层叠置的 MTJ 元件阵列内, 配置这种写入线或读出线(电流总线)时, 随着 MTJ 元件的叠置数继续增多, 器件构造将复杂化, 而且, 因制造步骤数的增大而引起工艺成本增加就成了问题。

并且, MTJ 元件的特性, 受其配置的表面(底膜)的平整度影响很大。该平整度因 MTJ 元件的叠置数越多越恶化, 所以随 MTJ 元件的叠置数增加, MTJ 元件特性的恶化变成问题。

(2) 概要

本发明例(共用布线)应用于具有多层叠置 MTJ 元件阵列构造的磁随机存取存储器。本发明例的磁随机存取存储器的特征是, 在由上下方向邻接的 2 个 MTJ 元件共用 1 个 MTJ 元件上需要的 2 条写入线中的 1 条。并且, 2 个 MTJ 元件相对于共用的 1 条写入线为对称配置。

因此, 可以减少 MTJ 元件阵列内配置的导线数, 能够达到因制造步骤数削减而降低工艺成本。并且, 也能抑制伴随 MTJ 元件叠置数增加带来的平整度恶化, 能够提高 MTJ 元件的特性。

(3) 实施例

① 第1实施例

图3表示本发明第1实施例的磁随机存取存储器的单元阵列部分。

5 半导体衬底上边,把多个MTJ元件叠置成多层(本例中,为4层)。并且,各层中,MTJ元件10在X-Y平面内构成阵列。图3中,省去了有关沿Y方向的MTJ元件列。

10 写入线13配置在上下方向邻接的2个MTJ元件10之间,并沿Y方向延伸着。而且,本例中,因为由上下方向邻接的2个MTJ元件共用写入线13,所以采用以下这样的单元构造。即,写入线13不是在全部的层之间配置,而是例如,从半导体衬底一侧数起,配置在奇数层的MTJ元件10正上方,但在偶数层的MTJ元件10正下方。

本例中,从半导体衬底一侧数起,在第1层MTJ元件与第2层MTJ元件之间和第3层MTJ元件与第4层MTJ元件之间,分别配置写入线13。即,从半导体衬底一侧数起,第2层MTJ元件与第3层MTJ元件之间没有配置写入线13。

15 并且,本例中,相对于写入线13,对称配置其上下存在的2个MTJ元件。

20 即,MTJ元件10是由两层磁性层(强磁性层)和夹于其间的绝缘层(隧道势垒)构成,两层磁性层中固定自旋方向的固定层(或称钉扎层),被配置在远离写入线13的位置。并且,两层磁性层中能自由改变自旋方向的自由层被配置在靠近写入线13的位置。写入线13位于距该上下存在的2个MTJ元件10等距离的位置离开这2个MTJ元件。

各层中,MTJ元件10的固定层上,连接有起读出线功能的第1导电线11A。第1导电线11A为沿X方向延伸,而且,共同连接到X方向配置的多个MTJ元件10的固定层。读出放大器(S/A)15连接到第1导电线11A的一端。

25 并且,各层中,起写入线和读出线功能的第2导电线12A连接到MTJ元件10的自由层。第2导电线12A沿X方向延伸,而且,共同连接到X方向配置的多个MTJ元件10的自由层。起选择晶体管功能的选择晶体管14连接到第2导电线12A的一端。

30 按照这种第1实施例的单元构造,为了给1个MTJ元件写入数据,由上下方向邻接的2个MTJ元件,使需要2条写入线之中的1条共有化。因此,可以减少MTJ元件阵列内所配置的导线数,能够达到因制造步骤次数的削减而降低工艺

成本。并且，也能抑制伴随MTJ元件的叠置数增加带来的平整度恶化，可以提高MTJ元件特性。

并且，按照第1实施例的单元构造，把配置于写入线上线下的2个MTJ元件配置成使其对于该写入线互相对称。因此，关于由写入线中流动的电流发生的磁场，
5 作用于其上下配置的2个MTJ元件自由层的磁场强度实质上变成相同，能够控制作用于各MTJ元件的磁场离散。

②第2实施例

图4表示本发明第2实施例的磁随机存取存储器的单元阵列部分。

本实施例的磁随机存取存储器的特征是，与图3的磁随机存取存储器比较时，
10 省略图3的读出线12A，使图3的写入线13具有读出线的功能。

在半导体衬底上，把多个MTJ元件10叠置成多层(本例中，为4层)。并且，各层中，MTJ元件10在X-Y平面内构成阵列。图4中，省去了有关沿Y方向的MTJ元件列。

各层中，MTJ元件10的自由层上连接有起写入线和读出线功能的第1导电线
15 11A。第1导电线11A沿X方向延伸，而且，共同连接到X方向配置的多个MTJ元件10的自由层。第1导电线11A的一端，连接有作为选择晶体管的选择晶体管14。

并且，各层中，MTJ元件10的固定层上连接有起写入线和读出线功能的第2导电线12A。第2导电线12A沿Y方向延伸，而且，共同连接到Y方向配置的多个MTJ元件10的固定层。读出放大器(S/A)15连接到第2导电线12A的一端。
20

第2导电线12A被配置在上下方向邻接的2个MTJ元件10之间。即，第2导电线12A被其上下方向邻接的2个MTJ元件所共用。为此，第2导电线12A不是配置于全部的层之间，而是配置于例如，从半导体衬底一侧数起，第奇数个MTJ元件10正上方，而且，在第偶数个MTJ元件10正下方。

本例中，从半导体衬底一侧数起，在第1层MTJ元件与第2层MTJ元件之间
25 和第3层MTJ元件与第4层MTJ元件之间，分别配置第2导电线12A。即，从半导体衬底一侧数起，第2层MTJ元件与第3层MTJ元件之间没有配置第2导电线12A。

并且，本例中，相对于第2导电线12A，对称配置其上下存在的2个MTJ元
30 件。即，MTJ元件10是由两层磁性层(强磁性层)和夹于其间的绝缘层(隧道势垒)

构成。2个磁性层中固定自旋方向的固定层，被配置在靠近第2导电线12A的位置。并且，两层磁性层中能自由改变自旋方向的自由层，被配置在远离第2导电线12A的位置。

按照这种第2实施例的单元构造，为了给1个MTJ元件写入数据，由上下方向邻接的2个MTJ元件，使需要2条写入线之中的1条共有化。因此，不用写入专用的导线或读出专用的导线，把1条导线使用于写入和读出，所以能够大幅度减少导线数。本例中，对1个MTJ元件的导线数实质上为1.5条。因此，能够达到因制造步骤次数的削减而降低工艺成本。并且，也能抑制伴随MTJ元件的叠置数增加带来的平整度恶化，可以提高MTJ元件特性。

并且，按照第2实施例，把配置于写入线上线下的2个MTJ元件配置成使其对于该写入线互相对称。因此，关于由写入线中流动的电流发生的磁场，作用于其上下配置的2个MTJ元件自由层的磁场强度，基本上变成相同，能够控制作用于各MTJ元件的磁场离散。

③第3实施例

图5表示本发明第3实施例磁的随机存取存储器的单元阵列部分。

本实施例的磁随机存取存储器的特征是，与图4的磁随机存取存储器比较时，图4的第1导电线(写入线和读出线)11A被其上下方向邻接的2个MTJ元件所共用。

半导体衬底上边，把多个MTJ元件叠置成多层(本例中，为8层)。并且，各层中，MTJ元件10在X-Y平面内构成阵列。图5中，省去了有关沿Y方向的MTJ元件列。

各层中，MTJ元件10的自由层上，连接有起写入线和读出线功能的第1导电线11A。第1导电线11A沿X方向延伸，而且，共同连接到X方向配置的多个MTJ元件10的自由层。第1导电线11A的一端，连接有作为选择晶体管的选择晶体管14。

第1导电线11A被配置在上下方向邻接的2个MTJ元件10之间。即，第1导电线11A被其上下方向邻接的2个MTJ元件所共用。为此，第1导电线11A，不是配置于全部的层之间，而是配置于例如，从半导体衬底一侧数起，第奇数个MTJ元件10的正下方，而且，在第偶数个MTJ元件10的正上方。

本例中，从半导体衬底一侧数起，在第1层MTJ元件的正下方与第2层MTJ

元件和第3层MTJ元件之间、第4层MTJ元件与第5层MTJ元件之间、第6层MTJ元件与第7层MTJ元件之间。第8层MTJ元件的正上方，分别配置第1导电线11A。

并且，本例中，相对于第1导电线11A，对称配置其上下存在的2个MTJ元件。即，MTJ元件10是由两层磁性层(强磁性层)和夹于其间的绝缘层(隧道势垒)构成，两层磁性层中固定自旋方向的固定层，被配置在远离第1导电线11A的位置。并且，两层磁性层中能自由改变自旋方向的自由层，被配置在离第1导电线11A很近的位置。

并且，各层中，MTJ元件10的固定层上，连接有起写入线和读出线功能的第2导电线12A。第2导电线12A沿Y方向延伸，而且，共同连接到沿Y方向配置的多个MTJ元件10的固定层。读出放大器(S/A)15连接到第2导电线12A的一端。

第2导电线12A被配置在上下方向邻接的2个MTJ元件10之间。即，第2导电线12A被其上下方向邻接的2个MTJ元件所共用。为此，第2导电线12A不是配置于全部的层之间，而是配置于例如，从半导体衬底一侧数起，第奇数个MTJ元件10的正上方，而且，在第偶数个MTJ元件10的正下方。

本例中，从半导体衬底一侧数起，在第1层MTJ元件与第2层MTJ元件之间、第3层MTJ元件与第4层MTJ元件之间、第5层MTJ元件与第6层MTJ元件之间、以及第7层MTJ元件与第8层MTJ元件之间，分别配置第2导电线12A。

并且，本例中，相对于第2导电线12A，对称配置其上下存在的2个MTJ元件。即，MTJ元件10是由两层磁性层(强磁性层)和夹于其间的绝缘层(隧道势垒)构成，两层磁性层中固定自旋方向的固定层，被配置在靠近第2导电线12A的位置。并且，两层磁性层中能自由改变自旋方向的自由层，被配置在远离第2导电线12A的位置。

按照这种第3实施例的单元构造，把连接MTJ元件自由层的导线和连接固定层的导线，规定可用作写入线和读出线，而且，由上下方向邻接的2个MTJ元件共用。

因此，可以大幅度减少MTJ元件阵列内配置的导线数，能够达到因制造步骤次数的削减而降低工艺成本。并且，也能抑制伴随MTJ元件的叠置数增加带来的平整度恶化，可以提高MTJ元件特性。

并且,按照第3实施例的单元构造,把配置于写入线上线下的2个MTJ元件配置成使其对于该写入线互相对称。因此,关于由写入线中流动的电流发生的磁场,作用于其上下配置的2个MTJ元件自由层的磁场强度,实质上变成相同,能够控制作用于各MTJ元件的磁场离散。

5 (4) 其它

上述第1到第3实施例中,对多层叠置MTJ元件的阵列构造的各层,都将X方向或Y方向的MTJ元件上共同连接写入线(或读出线)的器件作为前提进行说明,但是本发明的应用不限于这样的器件。

10 本发明只要是具有多层叠置MTJ元件阵列构造的磁随机存取存储器,也都能应用于这样构造的器件。

并且,上述的第1到第3实施例中,与MTJ元件阵列内导线连接的晶体管一般的是MOS晶体管,但也可以是双极晶体管或二极管。

(5) 结束语

15 以上,如说明的那样,按照本发明例的磁随机存取存储器,采用在其上下存在的MTJ元件之间共用写入线的至少1条的办法,可以减少MTJ元件阵列内配置的导线数,能够达到因制造步骤次数的削减而降低工艺成本。并且,因为减少MTJ元件阵列内配置的导线数,所以能够抑制伴随MTJ元件的叠置数增加带来的平整度恶化,可以提高MTJ元件特性。

2. 串联(蛇形)/并联连接布线

20 (1) 背景技术

磁随机存取存储器的基本构造是,1个MTJ元件对应1个开关元件(选择晶体管)的1单元-1晶体管构造。但是,多层叠置MTJ元件的器件构造中,如果1个MTJ元件对应1个开关元件的话,开关元件数就不断增加,将不利于单元高密度化。

25 因此,在多层叠置MTJ元件10的器件构造场合,即使1个MTJ元件不对应1个开关元件,也采用能进行读出动作或写入动作这样的器件构造。

例如,图1和图2中表示的器件构造中,对于MTJ元件10的阵列各层,把多个MTJ元件10连接到上部线11与下部线12之间。而且,例如,将选择晶体管14连接到上部线11的一端,将读出放大器(S/A)15连接到下部线12的一端。

30 可是,这时,图1的例子中,对于各个MTJ元件10的阵列各层上配置的上

部线11就需要选择晶体管。并且,如图6所示,上部线11在MTJ元件10的阵列16上边,沿X方向延伸。即,规定集中于阵列16的端部区域17,配置连接到上部线11的选择晶体管。

同样,对于各个在MTJ元件10的阵列各层上配置的下部线(读出线)12就需要读出放大器(晶体管)。即,如图6所示,下部线12在MTJ元件10的阵列16上边沿X方向延伸,所以规定集中于阵列16的端部区域18,配置连接到下部线12的选择晶体管。

同样,对于各个在MTJ元件10的阵列各层上配置的写入线13,也需要选择晶体管。即,如图6所示,写入线13在MTJ元件10的阵列16上边沿Y方向延伸,所以规定集中于阵列16的端部区域19A、19B,配置连接到写入线13的选择晶体管。

尽管,大家都知道,在对MTJ元件的数据写入/读出动作的方面,起因于MTJ元件的特性,需要大电流。因此,可以预料,连接到下部线12和写入线13的晶体管尺寸必然需要增大。

因而,配置用于在阵列16外围配置电流驱动晶体管的区域17、18、19A、19B的面积也将增大,无法实现芯片尺寸的缩小、每芯片制造成本的降低等。并且,因为MTJ元件与叠置数成比例,选择晶体管的个数也增加,MTJ元件叠置个数变成非常多的话,在选择晶体管的布局方面需要很多时间,开发时间就拉长了。

(2) 概要

本发明例(串联/并联连接布线)将应用于具有多层叠置MTJ元件阵列构造的磁随机存取存储器。

本发明例的磁随机存取存储器的特征是,在MTJ元件阵列的1行或1列内,串联或并联连接1层中每1个配置有相同功能的多条导线(例如,写入线、读出线等)。这时,对串联/并联连接的导线而言,其一端只要配置1个,或,其两端各配置1个晶体管就行,因而可以减少MTJ元件阵列端部配置的晶体管数。

并且,按照本发明例的器件构造,不管MTJ元件的叠置数,只要把晶体管连接到MTJ元件阵列内的1行或1列内串联或并联连接的导线上就行,所以即使增加MTJ元件的叠置数,增大存储器容量,既没有增加晶体管数,也不会使其布局复杂化。

进而,在MTJ元件布局的1行或1列内,不管MTJ元件的叠置数,晶体管数

常常固定，所以把 MTJ 元件阵列制成 1 个小块，集合多个块成为大的存储单元阵列也行。这时，MTJ 元件阵列的正下方，可以配置晶体管或读出放大器等的核心电路。

(3) 实施例

5 ①第 1 实施例

图 7 表示本发明第 1 实施例磁随机存取存储器的单元阵列部分布局。图 8 表示沿图 7 的单元阵列部分的 X 方向剖面图，即，沿图 7 的VIII-VIII线的剖面图。

在半导体衬底上边，把多个 MTJ 元件 10 叠置成多层(本例中，为 3 层)。并且，各层中，MTJ 元件 10 在 X-Y 平面内构成阵列。

10 上部线 11 和下部线 12 一起沿 X 方向延伸，并在两线 11、12 之间，配置沿 X 方向配置的多个 MTJ 元件 10。上部线 11 的一端，连接有选择晶体管 14。并且，下部线 12 的一端，连接有读出放大器(S/A) 15 等的外围电路。

本实施例中，上部线 11 和下部线 12 起读出线功能。即，读出数据时，读出电流沿着上部线 11、MTJ 元件 10、下部线 12 这样的路径，即，沿 X 方向流动。

15 就具体的读出方法来说，首先，在上部线 11 和下部线 12 中流动读出电流，例如，用读出放大器，检测这时的下部线 12 电位。其次，给选定的 MTJ 元件(存储单元)写入规定数据(“0”或“1”)，而后，再次在上部线 11 和下部线 12 中流动读出电流，用读出放大器，检测这时的下部线 12 的电位。在第 1 次和第 2 次的读出中，如果用读出放大器检出的电位相同，那么就将选定的 MTJ 元件数据判断为与规定数据相同，如果不同，则选定的 MTJ 元件数据判断为与规定数据不同。最后，给选定的 MTJ 元件重新写入正确的数据。

20 在 MTJ 元件 10 阵列的各层，写入线 13 被配置在 MTJ 元件 10 上边，并沿 Y 方向延伸。并且，写入线 13 接近 MTJ 元件 10 的自由层进行配置。进而，把沿 X 方向配置的多个 MTJ 元件构成的组规定为 1 列，把沿 Y 方向偏置的多个 MTJ 元件构成的组规定为 1 行的场合，本例中，MTJ 元件 10 阵列的 1 行内，串联连接各层配置的写入线 13。

即，如图 9 所示，在 MTJ 元件 10 阵列的端部，通过接触塞，把上层的写入线 13 与下层的写入线 13 互相电连接起来。图 9 中，为了简化，省去了上部线和下部线。

30 就具体的写入方法来说，例如，在作为写入线功能的选定 1 列内的下部线 12

里, 根据写入数据值, 流动向着一方向或另一方向的写入电流。同时, 在选定 1 行内的写入线 13 里流动向着一方向的写入电流。因此, 给配置于下部线 12 与写入线 13 之间的 MTJ 元件(存储单元) 10 写入规定数据。

5 这样, 本实施例中, MTJ 元件 10 阵列的 1 行内, 采用各层配置具有同样功能的线, 即, 串联地连接的写入线的办法, 对该写入线, 只要其两端每端配置 1 个晶体管就行。因此, 能够大幅度减少 MTJ 元件 10 的阵列 16 的端部区域 19A、19B 上配置的晶体管数。

10 并且, 按照这种器件构造, 不管 MTJ 元件 10 的叠置数, MTJ 元件 10 的阵列 16 的 1 行内, 只要把晶体管连接到串联连接的导线上就行, 即使增加 MTJ 元件 10 的叠置数, 谋求存储容量的增大, 也没有增加晶体管, 也不会使其布局复杂化。

15 进而, 连接到 MTJ 元件 10 的阵列 16 的行内各层中配置的写入线 13 的晶体管数常常为固定, 所以把 MTJ 元件 10 的阵列 16 制成 1 个小块, 集合多个块构成大的存储单元阵列也行。这时, 如图 9 所示, 各块内 MTJ 元件 10 的正下方, 可以配置晶体管或读出放大器等的核心电路。

另外, 图 7 中, 记载着叠置的 MTJ 元件、沿 X 方向延伸和沿 Y 方向洋使的线, 各自在各层内使其互相偏移, 这是为了分开容易说明的缘故, 实际上不管互相偏移, 或完全重叠, 哪种也都可以。

②第 2 实施例

20 图 10 表示本发明第 2 实施例的磁随机存取存储器的单元阵列部分。

本实施例的磁随机存取存储器的特征是, 若与图 8 的磁随机存取存储器比较, 把图 8 的 MTJ 元件 10 叠置数分成 4 层。至于其它方面, 成为与图 8 的磁随机存取存储器同样。

25 在半导体衬底上边, 把多个 MTJ 元件叠置成多层(本例中, 为 4 层)。并且, 各层中, MTJ 元件 10 在 X-Y 平面内构成阵列。

上部线 11 和下部线 12 一起沿 X 方向延伸, 并在两线 11、12 之间, 配置沿 X 方向配置的多个 MTJ 元件 10。上部线 11 的一端, 连接有选择晶体管 14。并且, 下部线 12 的一端, 连接有读出放大器(S/A) 15 等的外围电路。

30 上部线 11 和下部线 12 起读出线功能。即, 读出数据时, 读出电流沿着上部线 11、MTJ 元件 10、下部线 12 这样的路径, 即, 沿 X 方向流动。

在 MTJ 元件 10 的阵列各层，写入线 13 被配置在 MTJ 元件 10 上边，并沿 Y 方向延伸。并且，写入线 13 接近 MTJ 元件 10 的自由层进行配置。进而，把沿 X 方向配置的多个 MTJ 元件构成的组规定为 1 列，把沿 Y 方向偏置的多个 MTJ 元件构成的组规定为 1 行的场合，本例中，MTJ 元件 10 的阵列 1 行内，串联连接
5 各层配置的写入线 13。

即，如图 11 所示，在 MTJ 元件 10 的阵列端部，通过接触塞，把上层的写入线 13 与下层的写入线 13 互相电连接起来。图 11 中，为了简化，省去了上部线和下部线。

本实施例中，MTJ 元件 10 的叠置数为 4 层。即，MTJ 元件 10 的叠置数为偶
10 数层(2、4、6、…层)的场合，如图 1 所示，将用于连接写入线 13 和晶体管的 2 个接触部分，一起配置在 MTJ 元件 10 阵列部的一个端部。

这时，如图 11 所示，例如，在邻接块 BK0 的块 BK1 阵列的正下方，配置与块 BK0 内写入线 13 的一端连接的晶体管，并在块 BK0 阵列的正下方，配置与块 BK0 内写入线 13 的另一端连接的晶体管。

另外，正如上述第 1 实施例一样，MTJ 元件 10 的叠置数为奇数层(3、5、7、…
15 层)的场合，如图 9 所示，在 MTJ 元件 10 阵列部分的一个端部配置用于连接写入线 13 的一端和晶体管的接触部，在与 MTJ 元件 10 阵列部分的一端部对向的另一端部配置用于连接写入线 13 另一端和晶体管的接触部。

于是，这时，如图 9 所示，例如，在块 BK0 的阵列的正下方，各自配置连接
20 块 BK0 内的写入线 13 一端和另一端的晶体管。

这样，本实施例中，MTJ 元件 10 阵列的 1 行内，采用各层配置具有同样功能的线，即，串联地连接的写入线的办法，对该写入线，只要其两端每端配置 1 个晶体管就行。因此，能够大幅度减少 MTJ 元件 10 的阵列 16 的端部配置的晶体管数。

并且，按照这种器件构造，不管 MTJ 元件 10 的叠置数，MTJ 元件 10 的阵列
25 1 行内，只要把晶体管连接到串联连接的导线上就行，所以即使增加 MTJ 元件 10 的叠置数，谋求存储容量的增大，也没有增加晶体管，也不会使其布局复杂化。

进而，连接到 MTJ 元件 10 的阵列行内的各层中配置的写入线 13 的晶体管数
30 常常为固定，所以把 MTJ 元件 10 的阵列制成 1 个小块，集合多个块构成大的存

储单元阵列也行。这时，如图 11 所示，各块内 MTJ 元件 10 的正下方，可以配置晶体管或读出放大器等的核心电路。

③ 第 3 实施例

图 12 表示本发明第 3 实施例的磁随机存取存储器的单元阵列部分。

- 5 本实施例的磁随机存取存储器的特征是，若与图 10 的磁随机存取存储器比较，对每 1 层改变图 10 的 MTJ 元件 10 的固定层磁化方向，至于其它方面，都与图 10 的磁随机存取存储器同样。

在半导体衬底上边，把多个 MTJ 元件叠置成多层(本例中，为 4 层)。并且，各层中，MTJ 元件 10 在 X-Y 平面内构成阵列。

- 10 上部线 11 和下部线 12 一起沿 X 方向延伸，并在两线 11、12 之间，配置沿 X 方向配置的多个 MTJ 元件 10。上部线 11 的一端，连接有选择晶体管 14。并且，下部线 12 的一端，连接有读出放大器(S/A) 15 等的外围电路。

上部线 11 和下部线 12 起读出线功能。即，读出数据时，读出电流沿着上部线 11、MTJ 元件 10、下部线 12 这样的路径，即，沿 X 方向流动。

- 15 在 MTJ 元件 10 的阵列各层，写入线 13 被配置在 MTJ 元件 10 上，并沿 Y 方向延伸。并且，写入线 13 接近 MTJ 元件 10 的自由层进行配置。进而，把沿 X 方向配置的多个 MTJ 元件构成的组规定为 1 列，把沿 Y 方向偏置的多个 MTJ 元件构成的组规定为 1 行的场合，本例中，MTJ 元件 10 的阵列 1 行内，串联连接各层配置的写入线 13。

- 20 即，如图 11 所示，在 MTJ 元件 10 的阵列端部，通过接触塞，把上层的写入线 13 与下层的写入线 13 互相电连接起来。

尽管，上述第 2 实施例中，由图 11 很清楚，在 Y-Z 平面内蛇形配置写入线 13。这时，如图 12 所示，写入线 13 里流动一个方向电流时，在各层中，写入线 13 里流动的电流方向，每 1 层变成互相相反方向。

- 25 图 12 的场合，对第奇数层的写入线 13，即，最靠近半导体衬底的第 1 层的写入线 13 和第 3 层的写入线 13 来说，从纸面表面向内流动写入电流，对第偶数层的写入线 13，即，第 2 层和第 4 层的写入线 13 来说，从纸面内向外表面流动写入电流。

- 30 在这种状况下，例如，假设全部 MTJ 元件 10 的固定层磁化方向都是相同的，例如，给第奇数层的 MTJ 元件和第偶数层的 MTJ 元件写入相同数据的场合，写

入线 13 里应该流动不同方向的写入电流。

即，全部 MTJ 元件 10 的固定层磁化方向为相同，下部线 12 的写入电流方向为一定的场合，如要是写入线 13 里只流动一个方向的写入电流的话，那么各层 MTJ 元件 10 的自由层磁化方向，对每层变成相反方向。即，各层 MTJ 元件 10 的磁化状态，对每 1 层，变成平行、反平行，也不管同样动作，对于各层的 MTJ 元件 10，写入不同的数据。

这样，第 2 实施例中，写入线 13 里流动一方向电流的场合，各层中，流过写入线 13 的电流变成互相相反方向，所以有可能使写入动作的控制方法复杂化。

因此，本实施例中，为了解决这种事情，如图 12 所示，提出每 1 层改变 MTJ 元件 10 的固定层磁化方向的方案。这时，如果写入线 13 里只流动一方向写入电流，各层 MTJ 元件 10 的自由层磁化方向，对每 1 层都变成相反方向，而各层 MTJ 元件 10 的磁化状态对于各层变成相同(平行或反平行)。即，给各层的 MTJ 元件 10，写入同样数据。

关于 MTJ 元件 10 的固定层磁化方向，按照现有的工艺，能够很容易对每 1 层改变磁化方向。即，为了使每 1 层变更 MTJ 元件 10 的固定层磁化方向，淀积构成固定层的材料时，就可以调整磁场的方向。

另外，本实施例中，通过对每 1 层变更 MTJ 元件 10 的固定层磁化方向，解决写入线 13 蛇形变动的问题，但除此以外，也有几个解决方法。

例如，虽然写入控制变为复杂，但是如上述那样，也可以一面给写入线 13 流动不同方向的电流，并且，一面变更流入下部线 12 的写入电流的方向。并且，可以认为，各层以不同的磁化状态保存同一数据，对各层变更数据判定的条件也行。

这样，本实施例中，变更每 1 层中 MTJ 元件的固定层磁化方向。这时，写入线里只流动一方向写入电流的话，各层 MTJ 元件的自由层磁化方向在每 1 层就变为相反方向，然而各层的 MTJ 元件磁化状态，对各层却成了相同(平行或反平行)。

因而，按照本实施例，获得与上述第 2 实施例磁的随机存取存储器同样的效果，同时也没有使写入动作的控制方法复杂化。

④第 4 实施例

图 13 表示本发明第 4 实施例的磁随机存取存储器单元阵列部分概要图。图

13 中, 为了简化, 省去了连接 MTJ 元件的上部线和下部线。

本实施例的磁随机存取存储器的特征是, 若与图 11 的磁随机存取存储器比较, 不是串联连接, 而是并联累进图 11 的 MTJ 元件 10 的各层中配置的写入线 13, 至于其它方面, 都与图 11 的磁随机存取存储器同样。

- 5 在半导体衬底上边, 把多个 MTJ 元件叠置成多层(本例中, 为 4 层)。并且, 各层中, MTJ 元件 10 在 X-Y 平面内构成阵列。

关于本实施例, 也如图 10 所示, 上部线 11 和下部线 12 一起沿 X 方向延伸, 并在两线 11、12 之间, 配置沿 X 方向配置的多个 MTJ 元件 10。上部线 11 的一端, 连接有选择晶体管 14。并且, 下部线 12 的一端, 连接有读出放大器(S/A) 15 10 等的外围电路。

如图 13 所示, 在 MTJ 元件 10 的阵列各层, 写入线 13 被配置在 MTJ 元件 10 上边, 并沿 Y 方向延伸。并且, 写入线 13 接近 MTJ 元件 10 的自由层进行配置。进而, 把沿 X 方向配置的多个 MTJ 元件构成的组规定为 1 列, 把沿 Y 方向偏置的多个 MTJ 元件构成的组规定为 1 行的场合, 本例中, MTJ 元件 10 的阵列 1 行 15 内, 并联连接各层配置的写入线 13。

即, 在 MTJ 元件 10 的阵列端部, 通过接触塞, 把上层的写入线 13 与下层的写入线 13 互相电连接起来。

尽管, 上述的第 2 实施例中, 因为各层的写入线 13 互相串联连接, 从图 11 很清楚, 写入线 13 在 Y-Z 平面内为蛇形配置。对此, 本实施例中, 因为各层的 20 写入线 13 互相并联连接, 从图 13 很清楚, 写入线 13 在 Y-Z 平面内呈梯子状。

本实施例中, 写入线 13 里流动一方向电流的场合, 与第 2 实施例不同, 各层中。写入线 13 里流动的电流方向, 成为互相相同方向。

所以, 按照本实施例, 获得与上述第 2 实施例的磁随机存取存储器同样的效果, 同时如上述第 2 实施例那样, 即使不采取对每 1 层变更 MTJ 元件的固定层 25 磁化方向的对策, 也容易控制写入动作。

并且, 本实施例中, 因为各层的写入线并联连接, 在与 MTJ 元件阵列互相对向的 2 个端部各设置一个写入线与晶体管的接触部。因此, 把 MTJ 元件阵列制成 1 个小块, 集合多个块构成存储单元阵列也行。这时, 各块内的 MTJ 元件阵列的正下方, 很容易配置晶体管或读出放大器等的核心电路。

30 ⑤第 5 实施例

图 14 表示本发明第 5 实施例的磁随机存取存储器的单元阵列部分。图 15 表示沿图 14 的单元阵列部分的 Y 方向剖面图。

第 5 实施例是组合上述第 1 实施例与「共用布线」的例子。

5 在半导体衬底上边，把多个 MTJ 元件叠置成多层(本例中，为 4 层)。并且，各层中，MTJ 元件 10 在 X-Y 平面内构成阵列。

写入线 13 配置在上下方向邻接的 2 个 MTJ 元件 10 之间，并沿 Y 方向延伸。而且，本例中，由上下方向邻接的 2 个 MTJ 元件共用写入线 13。即，写入线 13 不是配置在全部层之间，而是例如，从半导体衬底一侧数起，配置于第奇数层的 MTJ 元件 10 的正上方和第偶数层的 MTJ 元件 10 的正下方。

10 并且，把沿 X 方向配置的多个 MTJ 元件构成的组规定为 1 列，把沿 Y 方向偏置的多个 MTJ 元件构成的组规定为 1 行的场合，本例中，MTJ 元件 10 的阵列 1 行内，把各层配置的写入线 13 串联连接起来。

15 并且，相对于写入线 13，对称配置其上下存在的 MTJ 元件。即，MTJ 元件 10 的两层磁性层中固定自旋方向的固定层配置于远离写入线 13 的位置，并且，能自由改变 MTJ 元件 10 的两层磁性层中自旋方向的自由层被配置在靠近写入线 13 的位置。写入线 13 位于距该上下存在的 2 个 MTJ 元件 10 等距离的位置，而且，离开这 2 个 MTJ 元件 10。

20 各层中，MTJ 元件 10 的固定层上，连接有起读出线功能的第 1 导电线 11A。第 1 导电线 11A 沿 X 方向延伸，而且，共同连接到 X 方向配置的多个 MTJ 元件 10 的固定层。读出放大器(S/A) 15 连接到第 1 导电线 11A 的一端。

并且，各层中，起写入线和读出线功能的第 2 导电线 12A 连接到 MTJ 元件 10 的自由层。第 2 导电线 12A 沿 X 方向延伸，而且，共同连接到 X 方向配置的多个 MTJ 元件 10 的自由层。起选择晶体管功能的选择晶体管 14 连接到第 2 导电线 12A 的一端。

25 按照这样的第 5 实施例的单元构造，除获得与第 1 实施例同样的效果外，进而，也能获得有关上述「共用布线」的效果。

⑥ 第 6 实施例

图 16 表示本发明第 6 实施例的磁随机存取存储器的单元阵列部分。

30 第 6 实施例是把 1 列内存在的多层叠置的多个 MTJ 元件，集中连接到 1 个读出放大器上的例子。

在半导体衬底上边，把多个MTJ元件叠置成多层(本例中，为4层)。并且，各层中，MTJ元件10在X-Y平面内构成阵列。

写入线13配置在上下方向邻接的2个MTJ元件10之间，并沿Y方向延伸。而且，本例中，由上下方向邻接的2个MTJ元件共用写入线13。即，写入线13不是配置在全部层之间，而是例如，从半导体衬底一侧数起，配置于第奇数层的MTJ元件10的正上方和第偶数层的MTJ元件10的正下方。

并且，相对于写入线13，对称配置其上下存在的MTJ元件。即，MTJ元件10的两层磁性层中固定自旋方向的固定层(pin layer)配置于远离写入线13的位置，并且，能自由改变MTJ元件10的两层磁性层中自旋方向的自由层(free layer)被配置在靠近写入线13的位置。写入线13位于距该上下存在的2个MTJ元件10等距离的位置，而且，离开这2个MTJ元件10。

各层中，MTJ元件10的固定层上，连接有起读出线功能的第1导电线11A。第1导电线11A沿X方向延伸，而且，共同连接到X方向配置的多个MTJ元件10的固定层。

本例中，把由X方向配置的多个MTJ元件组成的组规定为1列的场合，MTJ元件10的阵列1列内，将在各层配置的第1导电线11A的一端共同连接起来。共同连接的第1导电线11A连接到读出放大器(S/A)15。

并且，各层中，起写入线和读出线功能的第2导电线12A连接到MTJ元件10的自由层。第2导电线12A沿X方向延伸，而且，共同连接到X方向配置的多个MTJ元件10的自由层。

本例中，MTJ元件10的阵列11列内，对于各层中配置的第2导电线12A，也将其一端共同连接起来。第2导电线12A连接到起选择晶体管功能的选择晶体管14。

这样，第6实施例的单元构造中，共同连接第1导电线11A的一端，而且，将其连接点连到1个读出放大器(S/A)。并且，对第2导电线12A的一端也将其共同连接起来，并将该连接点连到选择晶体管14。

按照这种构成，也能获得与第1实施例同样的效果，例如，减少配置于存储单元阵列外围的晶体管数这样的效果。进而，本例中，也能获得有关上述「共用布线」的效果。

(4) 其它

上述第1到第5实施例中,对多层叠置MTJ元件的阵列构造中,有关串联或并联连接配置于1行内各层的写入线(写入专用线)的场合进行说明,但是本发明的应用于除该写入线以外的MTJ元件阵列内配置的线。

例如,与第6实施例同样,也可以分别把本发明应用于图1的上部线11和下部线12,并且图2的上部线11和下部线12。

并且,第1到第4实施例中,虽然以配置于多层叠置的MTJ元件各层的线为例进行说明,但是例如,对于由上下MTJ元件共用线场合等,具有同样功能的线,不是配置于各层,而是每隔1层进行配置。

即使这样的场合,如第5实施例所示,也可以串联或并联连接每隔1层配置的线,构成本发明。

进而,在第1到第4实施例中,与MTJ元件阵列内的线连接的晶体管,一般是MOS晶体管,但也可以是双极晶体管或二极管。

只要是具有多层叠置MTJ元件的单元阵列构造的磁随机存取存储器,不管构造如何,本发明都可以应用。

15 (5) 结束语

如以上说明的那样,按照本发明例的磁随机存取存储器,在多层叠置MTJ元件的阵列构造中,由于串联或并联连接各层中配置的具有同样功能的导线,该导线上,只要在其一端配置1个,或在其两端每端配置晶体管就行,可以减少配置于MTJ元件阵列端部的晶体管数。

20 并且,不管MTJ元件的叠置数,只要在MTJ元件阵列1行或1列内串联或并联连接的导线上连接晶体管就行。因此,即使增加MTJ元件的叠置数,谋求增大存储容量,既没有增大晶体管数,并且,也不会使其布局复杂化。

进而,因为连接到MTJ元件阵列1列内配置的导线的晶体管数是固定的,因此把MTJ元件阵列制成1个小块,集合多个块构成大的存储单元阵列也行。这
25 时,可在MTJ元件阵列的正下方,配置晶体管或读出放大器等的核心电路。

3. 三维布线

(1) 背景技术

图17和图18表示本发明例的磁随机存取存储器的背景技术。

30 在半导体衬底上边,多层(本例中,为3层)叠置多个MTJ元件10。并且,各层中,在上部线11与下部线12之间并联连接多个MTJ元件10。

上部线 11X 方向延伸, 其一端连接到选择晶体管 14。下部线 12 也沿 X 方向延伸, 其一端连接到读出放大器(S/A) 15 等外围电路。本例中, 读出电流沿着上部线 11、MTJ 元件 10、下部线 12 这样的路径, 即沿 X 方向流动。写入线 13 邻接 MTJ 元件 10 配置, 并沿 Y 方向延伸。

5 图 19 和图 20 表示对于图 17 和图 18 的单元构造, 将下部线和写入线一体化的例子。

下部线 12 沿 Y 方向延伸, 其一端连到读出放大器(S/A)。写入时, 下部线 12 起到写入线的功能。读出时, 下部线 12 起读出线功能。首先, 读出电流流入上部线(X 方向) 11, 而后, 经由 MTJ 元件 10 流到下部线(Y 方向) 12。

10 磁随机存取存储器的单元基本构造是 1 个 MTJ 元件对应 1 个开关元件(选择晶体管)的 1 单元-1 晶体管构造。但是, 多层叠置 MTJ 元件的器件构造中, 如果每 1 个 MTJ 元件对应 1 个开关元件的话, 开关元件数将增加, 不利于单元高密度化。

因而, 多层叠置 MTJ 元件 10 的器件构造的场合, 采用每 1 个 MTJ 元件不对
15 应 1 个开关元件, 也能进行读出动作或写入动作的这种器件构造。

例如, 按图 17 到图 20 中所示的器件构造, 在 MTJ 元件 10 的阵列各层中, 把多个 MTJ 元件 10 连接到上部线 11 与下部线 12 之间。而且, 例如, 将选择晶体管 14 连到上部线 11 的一端, 将读出放大器(S/A) 15 连到下部线 12 的一端。

但是, 这时, 图 17 和图 18 的例子中, 在 MTJ 元件 10 的阵列各层, 需要配
20 置上部线(读出/写入线) 11、下部线(读出线) 12 和写入线 13 的合计 3 条线。并且, 图 19 和图 20 的例子中, MTJ 元件 10 的阵列各层中, 需要配置上部线(读出/写入线) 11 和下部线(读出/写入线) 12 的合计 2 条线。

而且, 衬底上多层叠置的 MTJ 元件阵列内, 配置这种写入线或读出线(电流
25 总线)的场合, 随着 MTJ 元件的叠置数增加, 器件构造将复杂起来, 发生以下这样的问题。

a. MTJ 元件的特性受到其所配置的面(底膜)的平整度很大影响。该平整度因 MTJ 元件叠置数越多变得越恶化, 所以随 MTJ 元件的叠置数增加, 产生 MTJ 元件特性的恶化。

b. 使用 3 条或其以上的线对 MTJ 元件进行数据写入/读出的场合(例如, 图
30 17 和图 18), 1 条读出线与 1 条写入线必须互相绝缘, 而且, 该条读出线必须接

触MTJ元件。即，使1条写入线仅多离开MTJ元件1条读出线的厚度部分。

尽管，众所周知的事实是由读出线里流动电流发生的磁场强度与距离的二次方成反比。所以，正如上述那样，使用3条或其以上条线的场合，1条写入线与MTJ元件间的距离增大，其离散也将增加。即，由该条写入线里流动电流而施加于MTJ元件的磁场离散增加，对写入需要的磁场，必须确保充分的余量。

c. 在MTJ元件阵列各层配置的导线各个端部，连接有晶体管。并且，这些导线在MTJ元件阵列上，沿X方向或Y方向延伸。因此，与这些导线连接的晶体管就应集中配置阵列端部区域(或阵列外围部分)(参照图6)

另一方面，至于对MTJ元件的数据写入/读出动作，大家都知道，起因于MTJ元件的特性，需要大电流。为此，连到这些导线的晶体管尺寸(或间距)必然要加大。

因此，MTJ元件的叠置数增加的话，与其成正比，1行或1列内需要设置的晶体管数增加，不可能在阵列的外围部分配置全部的晶体管，MTJ元件的间距又受晶体管的间距影响，不能提高MTJ元件的集成度。

15 (2) 概要

本发明例(三维布线)是应用于具有多层叠置MTJ元件阵列构造的磁随机存取存储器。

本发明例的磁随机存取存储器的特征是，在MTJ元件阵列内三维配置用于数据写入/读出的多条线。

20 即，现有，全部使用于数据写入/读出的线都沿X方向或Y方向延伸。对此，本发明例的磁随机存取存储器中，设定多层叠置MTJ元件的方向为Z轴方向，在各层中MTJ元件都在X-Y轴方向构成阵列的场合，使用于数据写入/读出的多条导线中，至少1条沿Z方向延伸。

25 这样，通过三维配置使用于数据写入/读出的导线，可以减少X-Y轴方向延伸的导线数。Z方向延伸的导线，例如，可用接触工艺很容易形成。由以上，即使增加MTJ元件的叠置数，也能实现提高底膜平整度，提高MTJ元件特性。

并且，要是三维配置使用于数据写入/读出的导线，就会增加阵列内导线布局的自由度，例如，可在MTJ元件近旁配置2条写入线，能够抑制MTJ元件上所加磁场的离散。

30 进而，关于Z方向延伸的导线，其一端应该在MTJ元件阵列的正下方。因此，

很容易在阵列的正下方形成连到该导线的晶体管,不必在阵列外围部分集中晶体管。

(3) 实施例

① 第1实施例

5 图21表示本发明第1实施例的磁随机存取存储器的单元阵列部分的布局。

在半导体衬底上边,把多个MTJ元件10叠置成多层(本例中,为3层)。并且,各层中,MTJ元件10在X-Y平面内构成阵列。

上部线11起读出线功能,沿X方向延伸。上部线11,例如,接触MTJ元件10的自由层。下部线12起读出线和写入线功能,沿Y方向延伸。下部线12, 10 例如,接触MTJ元件10的固定层。并且,例如,上部线11的一端,连接有选择晶体管,下部线12的一端,连接有读出放大器(S/A)。

写入线13沿Z轴方向延伸,并配置在Z轴方向叠置的多个MTJ元件10的近旁。向MTJ元件10写入的数据(自由层的磁化方向),通过由流入下部线12的沿Y轴方向流动的电流发生的磁场和由流入写入线13的沿Z轴方向流动的电流 15 发生的磁场的合成磁场来决定。

写入线13的衬底侧一端,连接有选择晶体管(例如,MOS晶体管)14。该选择晶体管14配置在MTJ元件10的阵列正下方。

按照这种器件构造,在Z轴方向,延伸使用于数据写入/读出的多条导线之中的至少1条(本例中,为写入线13)。

20 例如,如果打算使用3条导线实行写入/读出的场合,以往,因为该3条导线全都是沿X轴方向或Y轴方向延伸,所以MTJ元件阵列的每1层,需要至少3此多层布线工艺。对此,本发明例中,关于Z轴方向延伸的导线,可用接触工艺形成,因而可以减少MTJ元件阵列每1层的多层布线工艺次数。

因此,即使增加MTJ元件的叠置数,也能实现提高底膜的平整度和提高MTJ 25 元件的特性。

并且,要是三维配置数据写入/读出中所用的导线的话,阵列内线的布局自由度就增加。

例如,如果打算使用3条线实行写入/读出的场合,以往,就形成在写入专用的导线与MTJ元件之间配置读出线的构造,写入专用导线与MTJ元件的距离 30 加大了。对此,本发明例中,例如,采用在Z轴方向延伸写入专用导线的办法,

可在MTJ元件近旁配置该写入专用导线，能够抑制加到MTJ元件上的磁场离散。

进而，关于沿Z轴方向延伸的写入线，其一端应该存在于MTJ元件阵列的下方。所以，很容易在阵列正下方形成连到该导线的晶体管，能够缓和在阵列外围部分密集晶体管。

- 5 另外，本实施例中，MTJ元件阵列内配置三种类型的导线，各导线互相垂直，而且，制成互相沿不同的方向延伸这样的器件构造。这样，就可以在衬底上边分散配置与各导线连接的晶体管。

但是，本发明中，Z方向延伸的导线至少有1条就足够，此外的导线多条存在的场合，至于这些导线，无论沿同一方向延伸，或，无论沿不同的方向延伸，
10 也都无妨。

②第2实施例

上述第1实施例中，表示MTJ元件阵列内配置了三种类型导线的场合，然而本发明也可以应用于MTJ元件阵列内，只配置具有起读出/写入线功能的两种导线的场合。

- 15 图22表示本发明第2实施例的磁随机存取存储器的单元阵列部分的布局。

在半导体衬底上边，把多个MTJ元件10叠置成多层(本例中，为3层)。并且，各层中，MTJ元件10在X-Y平面内构成阵列。

MTJ元件10上边，形成导电图形11C。用作写入线和读出线(电流总线)功能的导线13沿Z轴方向延伸，并配置在Z轴方向叠置的多个MTJ元件10近旁。

- 20 并且，写入线13，连接到Z轴方向叠置的多个MTJ元件10的导电图形11C。

导线13的衬底侧一端，连接选择晶体管(例如，MOS晶体管)14。该选择晶体管14配置在MTJ元件10的阵列正下方。

- 下部线12用作写入线和读出线(电流总线)功能，沿Y方向延伸。下部线12，例如，与MTJ元件10的固定层接触。并且，例如，下部线12的一端，连接读
25 出放大器(S/A)。

由MTJ元件10写入的数据(自由层的磁化方向)通过由随流入下部线12沿Y轴方向流动的电流发生的磁场和随流入写入线13里沿Z轴方向流动的电流发生的磁场的合成磁场来决定。

- 按照这种器件构造，沿Z轴方向延伸使用于数据写入/读出的多条导线之中
30 至少1条(本例中，导线13)。关于Z轴方向延伸的导线，可用接触工艺形成，

因而可以减少MTJ元件阵列每1层的多层布线工艺次数。

本实施例中，MTJ元件阵列的各层中，沿X方向或Y方向延伸的导线只有1条，所以与上述第1实施例比较，进而可以实现提高底膜的平整度，提高MTJ元件的特性。

- 5 并且，采用三维配置数据写入/读出中所用导线的办法，增加阵列内导线布局的自由度，并且，能够抑制给与MTJ元件的磁场的离散。

进而，关于Z轴方向延伸的写入线，其一端配置在MTJ元件阵列的正下方。即，通过将与该导线连接的晶体管配置在MTJ元件阵列的正下方，可以缓和阵列外围部分的晶体管密集。

10 ③第3实施例

本实施例是上述第1实施例的磁随机存取存储器的变形例。

- 上述第1实施例中，MTJ元件阵列的1个层内，虽然对1个MTJ元件对应1条写入线，但是本实施例中，在MTJ元件阵列的1个层内，对X方向邻接的2个MTJ元件对应1条写入线。即，在MTJ元件阵列的层内，1条写入线夹入2个
- 15 MTJ元件中间。

由于形成这样的构成，可将Z轴方向延伸的写入线条数减少到上述第1实施例中需要条数的一半，正因此，能够实现MTJ元件的高密度。

图23表示本发明第3实施例的磁随机存取存储器的单元阵列部分的布局。

- 在半导体衬底上边，把多个MTJ10元件叠置成多层(本例中，为3层)。并且，
- 20 各层中，MTJ元件10在X-Y平面内构成阵列。

上部线11起读出线功能，沿X方向延伸。上部线11，例如与MTJ元件10的自由层接触。下部线12起读出线和写入线功能，沿Y方向延伸。下部线12，例如接触MTJ元件10的固定层。并且，例如，上部线11的一端，连接选择晶体管，下部线12的一端连接读出放大器(S/A)。

- 25 写入线13沿Z轴方向延伸，配置在Z轴方向叠置的多个MTJ元件10近旁。

进而，本实施例中，在MTJ元件10的阵列1层内，对X方向邻接的2个MTJ元件对应1条写入线13。即，在MTJ元件阵列的层内，将1条写入线13夹入2个MTJ元件中间。

- 30 通过形成这样的构成，可减少Z轴方向延伸的写入线13的条数，正因此，能够实现MTJ元件的高密度。

导线 13 的衬底侧一端，连接选择晶体管(例如，MOS 晶体管)14。该选择晶体管 14 配置在 MTJ 元件 10 的阵列正下方。

向 MTJ 元件 10 写入的数据(自由层的磁化方向)通过由流入下部线 12 沿 Y 轴方向流动的电流发生的磁场和由流入写入线 13 里沿 Z 轴方向流动的电流发生的磁场的合成磁场来决定。

这里，本实施例中，在写入线 13 向着一方向流动电流的场合，如图 26 所示，MTJ 元件 10 的阵列 1 层内，给予存在于写入线 13 左侧 MTJ 元件的磁场方向 a1 与给与存在于写入线 13 右侧 MTJ 元件的磁场方向 a2 成为互相相反。

于是，对同一写入的动作，存在于写入线 13 左右的 2 个 MTJ 元件磁化状态变成互相不同。

即，这时，假如存入 2 个 MTJ 元件的数据是相同的，就需要使读出存入写入线 13 左侧 MTJ 元件的数据时的判定“1”/“0”的条件和读出存入写入线 13 右侧 MTJ 元件的数据时的判定“1”/“0”的条件互相相反。

按照这种器件构造，沿 Z 轴方向延伸使用于数据写入/读出的多条导线之中的至少 1 条(本例中，写入线 13)。即，关于沿 Z 轴方向延伸的导线，因为可用接触工艺形成，所以能够减少 MTJ 元件阵列每 1 层的的多层布线工艺次数。

因此，即使增加 MTJ 元件的叠置数，也能实现提高底膜的平整度和提高 MTJ 元件的特性。

并且，采用三维配置数据写入/读出中所用导线的办法，增加阵列内导线布局的自由度。并且，例如，采用沿 Z 轴方向延伸写入专用导线的办法，可在 MTJ 元件近旁配置该写入专用的导线，能够抑制给与 MTJ 元件的磁场的离散。

进而，关于 Z 轴方向延伸的写入线，其一端配置在 MTJ 元件阵列的正下方。于是，很容易在阵列的正下方配置与该导线连接的晶体管，可以缓和阵列外围部分晶体管密集。

并且，本实施例中，MTJ 元件阵列的 1 个层内，对 X 方向邻接的 2 个 MTJ 元件对应 1 条写入线。即，在 MTJ 元件阵列的 1 个层内，将 1 条写入线夹入 2 个 MTJ 元件中间。通过形成这样的构成，可以减少沿 Z 轴方向延伸的写入线条数，正因此，才能够实现高密度 MTJ 元件。

另外，本实施例中，MTJ 元件阵列内配置三种类型的导线，各导线互相垂直，而且，形成互相沿不同的方向延伸这样的器件构造。这就是在衬底上分散配置与

各导线连接的晶体管的原因。

但是，本发明中，Z方向延伸的导线至少有1条就足够，此外的导线存在多条的场合，至于这些导线，无论沿相同方向延伸，或，无论沿不同的方向延伸也都无妨。

5 ④第4实施例

上述第3实施例中，表示MTJ元件阵列内配置了三种类型导线的场合。本实施例中，说明有关MTJ元件的阵列内只配置具有起读出/写入线功能的两种类型导线的磁随机存取存储器。

图24表示本发明第4实施例的磁随机存取存储器的单元阵列部分的布局。

10 在半导体衬底上边，把多个MTJ元件10叠置成多层(本例中，为了简单，只示出1层)。并且，各层中，MTJ元件10在X-Y平面内构成阵列。

MTJ元件10上，形成导电图形11C。用作写入线和读出线(电流总线)功能的导线13沿Z轴方向延伸，并配置在Z轴方向叠置的多个MTJ元件10近旁。并且，写入线13连到Z轴方向叠置的多个MTJ元件10的导电图形11C。

15 进而，本实施例中，MTJ元件10的阵列1个层内，对X方向邻接的2个MTJ元件对应1条写入线13。即，在MTJ元件阵列的1个层内，将条写入线13夹入2个MTJ元件中间。

通过形成这样的构成，可以减少沿Z轴方向延伸的写入线13条数，正因此，才能实现高密度MTJ元件。

20 导线13的衬底侧一端，连接选择晶体管(例如，MOS晶体管)14。该选择晶体管14配置在MTJ元件10的阵列正下方。

下部线12起写入线和读出线(电流总线)功能，沿Y方向延伸。下部线12，例如接触MTJ元件10的固定层。并且，例如，下部线12的一端连接读出放大器(S/A)。

25 向MTJ元件10写入的数据(自由层的磁化方向)通过由流入下部线12沿Y轴方向流动的电流发生的磁场和由流入写入线13里沿Z轴方向流动的电流发生的磁场的合成磁场来决定。

按照这种器件构造，沿Z轴方向延伸使用于数据写入/读出的多条导线之中至少1条(本例中，导线13)。关于Z轴方向延伸的导线，可用接触工艺形成，

30 因而可以减少MTJ元件阵列每1层的多层布线工艺次数。

本实施例中，MTJ 元件阵列的各层中，沿 X 方向或 Y 方向延伸的导线只有 1 条，所以与上述第 3 实施例比较，进而，可以实现提高底膜的平整度，提高 MTJ 元件的特性。

并且，采用三维配置数据写入/读出中所用导线的办法，增加阵列内导线布局的自由度，并且，能够抑制给与 MTJ 元件的磁场的离散。

进而，关于 Z 轴方向延伸的写入线，其一端配置在 MTJ 元件阵列的正下方。即，应该将与该导线连接的晶体管配置在 MTJ 元件阵列的正下方，可以缓和在阵列外围部分晶体管密集。

并且，本实施例中，MTJ 元件阵列的 1 个层内，对 X 方向邻接的 2 个 MTJ 元件对应 1 条写入线。即，在 MTJ 元件阵列的 1 个层内，将 1 条写入线夹入 2 个 MTJ 元件中间。通过形成这样的构成，可以减少沿 Z 轴方向延伸的写入线条数，正因此，才能够实现高密度 MTJ 元件。

⑤第 5 实施例

上述第 1 到第 4 实施例中，说明有关沿 Z 轴方向延伸写入专用导线，或作为读出/写入线功能导线的场合。但是，本发明的特征是，在沿 Z 轴方向延伸配置于 MTJ 元件阵列内的多种导线至少 1 条。

因而，本实施例中，说明有关沿 Z 轴方向延伸读出专用导线场合的例子。

图 25 表示本发明第 5 实施例的磁随机存取存储器的单元阵列部分的布局。

在半导体衬底上边，将多个 MTJ 元件 10 叠置成多层(本例中，为了简单，只示出 1 层)。并且，各层中，MTJ 元件 10 在 X-Y 平面内构成阵列。

MTJ 元件 10 上边，形成导电图形 11C。读出专用线(电流总线)11 沿 Z 轴方向延伸，并配置在 Z 轴方向叠置的多个 MTJ 元件 10 近旁。并且，读出专用线 1 共同连到 Z 轴方向叠置的多个 MTJ 元件 10 的导电图形 11C。

进而，本实施例中，MTJ 元件 10 的阵列 1 个层内，对 X 方向邻接的 2 个 MTJ 元件对应 1 条读出专用线 11。即，在 MTJ 元件阵列的 1 个层内，将读出专用线 1 夹入 2 个 MTJ 元件中间。

通过形成这样的构成，可以减少沿 Z 轴方向延伸的读出专用线条数，正因此，才能实现高密度 MTJ 元件。

读出专用线 1 的衬底侧一端，连接有选择晶体管(例如，MOS 晶体管)14。该选择晶体管 14 被配置在 MTJ 元件 10 的阵列的正下方。

MTJ 元件 10 的上方，配置着与 MTJ 元件 10 接近、而不与之接触的写入专用线 13。写入专用线 13 沿 X 方向延伸。写入专用线 13 的一端或两端上，连接选择晶体管。

下部线 12 起读出线和写入线功能，沿 Y 方向延伸。下部线 12，例如接触 MTJ 元件 10 的固定层。并且，下部线 12 的一端，连接读出放大器(S/A)。

向 MTJ 元件 10 写入的数据(自由层的磁化方向)通过由流入下部线 12 里沿 Y 轴方向流动的电流发生的磁场和由流入写入线 13 里沿 Z 轴方向流动的电流发生的磁场的合成磁场来决定。

按照这种器件构造，沿 Z 轴方向延伸使用于数据写入/读出的多条导线之中至少 1 条(本例中，读出专用线 11)。即，关于 Z 轴方向延伸的线，可用接触工艺形成，因而可以减少 MTJ 元件阵列每 1 层的多层布线工艺次数。

因此，即使增加 MTJ 元件的叠置数，也能实现提高底膜的平整度，提高 MTJ 元件的特性。

并且，采用三维配置数据写入/读出中所用导线的办法，能够增加阵列内导线布局的自由度。并且，例如，采用沿 Z 轴方向延伸读出专用导线的办法，可以在 MTJ 元件的正上方或近旁配置沿 X 方向延伸的专用导线，能够抑制给与 MTJ 元件的磁场的离散。

进而，关于 Z 轴方向延伸的专用线，其一端就存在 MTJ 元件阵列的正下方。于是，很容易在阵列的正下方，形成与该导线连接的晶体管，可以缓和在阵列外围部分晶体管密集。

并且，本实施例中，MTJ 元件阵列的 1 个层内，对 X 方向邻接的 2 个 MTJ 元件对应 1 条写入线。即，在 MTJ 元件阵列的 1 个层内，将 1 条专用线夹入 2 个 MTJ 元件中间。通过形成这样的构成，可以减少沿 Z 轴方向延伸的专用线条数，正因此，才能够实现高密度 MTJ 元件。

25 ⑥第 6 实施例

图 27 表示本发明第 6 实施例的磁随机存取存储器的单元阵列部分的布局。

在半导体衬底上边，将多个 MTJ 元件 10 叠置成多层(本例中，为 3 层)。并且，各层中，MTJ 元件 10 在 X-Y 平面内构成阵列。

上部线 11 起读出线功能，沿 X 方向延伸。上部线 11，例如，与 MTJ 元件 10 的自由层接触。下部线 12 起读出线和写入线功能，沿 Y 方向延伸。下部线 12，

例如, 接触 MTJ 元件 10 的固定层。并且, 例如, 上部线 11 的一端, 连接选择晶体管, 下部线 12 的一端连接读出放大器(S/A)。

写入线 13 沿 Z 轴方向延伸, 配置在 Z 轴方向叠置的多个 MTJ 元件 10 近旁。向 MTJ 元件 10 写入的数据(自由层的磁化方向)通过由流入下部线 12 里沿 Y 轴方向流动的电流发生的磁场和由流入写入线 13 里沿 Z 轴方向流动的电流发生的磁场的合成磁场来决定。

至少 2 条写入线 13 互相串联连接起来。串联连接的写入线 13 一端或另一端上, 分别连接选择晶体管 14(例如, MOS 晶体管)。该选择晶体管 14 被配置在 MTJ 元件 10 的阵列的正下方。

10 即使这种器件构造, 数据的写入/读出中所用的多条导线中, 至少 1 条(本例中, 写入线 13)沿 Z 轴方向延伸。因此, 也能获得与第 1 实施例同样的效果, 例如, 即使增加 MTJ 元件的叠置数, 也能实现提高底膜的平整度, 提高 MTJ 元件特性的这种效果。

⑦ 第 7 实施例

15 上述第 1 到第 6 实施例中, 沿 Z 轴方向延伸的导线, 可用接触工艺来形成。但是, 如果 MTJ 元件的叠置数非常多的话, 就难以用 1 次蚀刻工序形成接触孔。

因而, 本实施例中, 提出一种不仅一次形成沿 Z 轴方向延伸的导线, 而且分成多次形成导线的技术。

20 图 28 中, 关于多层叠置 MTJ 元件的阵列构造, 提出在每 1 层形成 MTJ 元件和沿 X 方向和 Y 方向延伸的导线, 同时也形成沿 Z 轴方向延伸的导线。这时, 沿 Z 轴方向延伸的导线, 由多个部分 1-1、1-2、1-3、1-4 的集合构成。

图 29 的例子是改进图 28 的例子。

25 图 28 的例子中, 沿 Z 轴方向延伸的导线各部分 1-1、1-2、1-3、1-4 中发生对准偏移的场合, 发生断线、线电阻增大等问题。因而, 在图 29 例子中, 关于多层叠置的 MTJ 元件的阵列构造, 在每 1 层形成沿 Z 轴方向延伸的导线, 同时考虑其上对准的偏移, 形成中间层 2-1、2-2、2-3。因此, 即使在沿 Z 轴方向延伸的导线各部分 1-1、1-2、1-3、1-4 中发生对准偏移, 也不会发生断线、线电阻增大等问题。

(4) 其它

30 上述第 1 到第 6 实施例中, 与 MTJ 元件阵列内的线连接的晶体管, 一般的是

MOS 晶体管，但也可以是双极晶体管、二极管等。

本发明只要是具有多层叠置 MTJ 元件的单元阵列构造的磁随机存取存储器，不管构造也能应用。

(5) 结束语

5 以上，如说明的那样，按照本发明例的磁随机存取存储器，在纵向(MTJ 元件叠置的方向)，使 MTJ 元件阵列内配置的多种线之中的至少 1 条线延伸。

其结果，可以减少横向延伸的线数，就能防止底膜平整度的恶化，抑制 MTJ 元件特性恶化。并且，提高阵列内的布局自由度，缩小给与 MTJ 元件的磁场的离散。进而，因为现在已经可以在阵列下方配置晶体管，所以能够缓和阵列外围

10 分晶体管密集。

其它的优点和改进对本领域普通技术人员是显而易见的。因此，本发明概括起来说，并不限于这里表示和描述的具体细节和表现的各实施例。所以，在不脱离由附属权利要求书及其等同物所限定的本发明总构思的精神或范围的前提下，

15 可以作各种各样的修改。

图 3

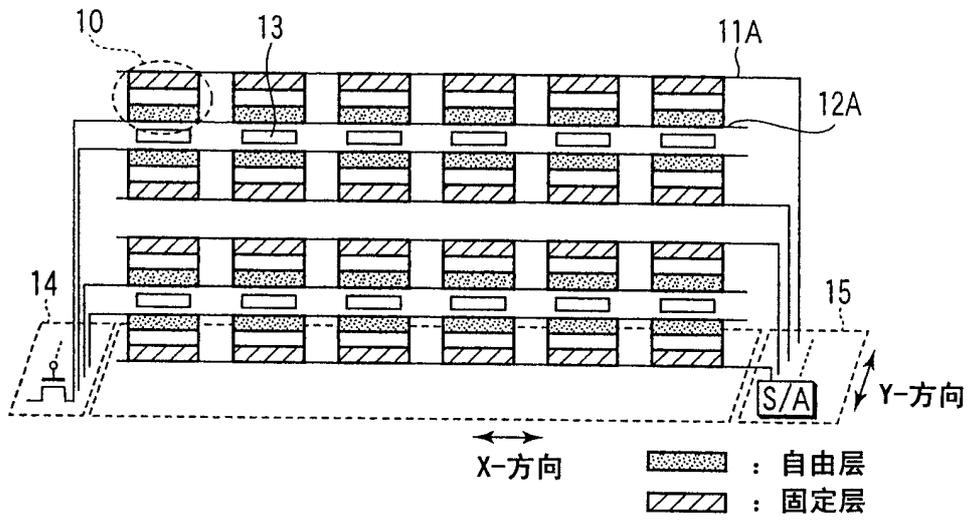


图 4

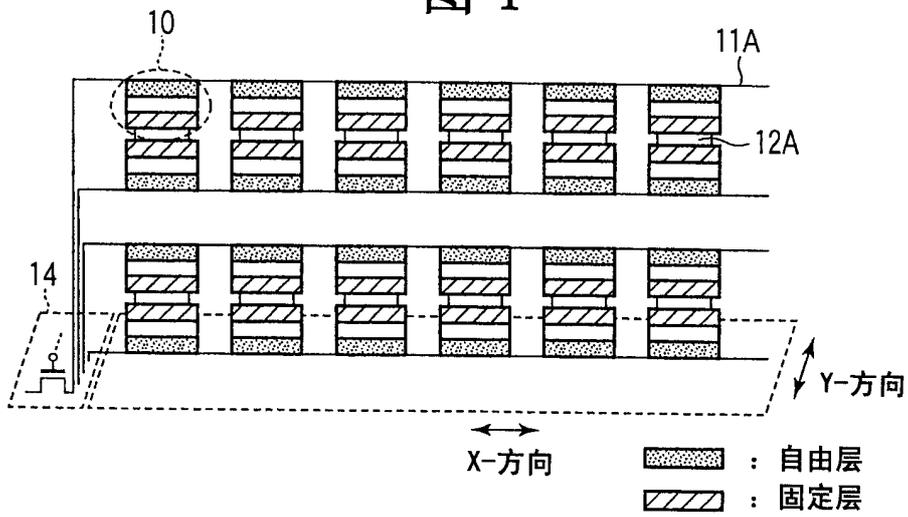


图 5

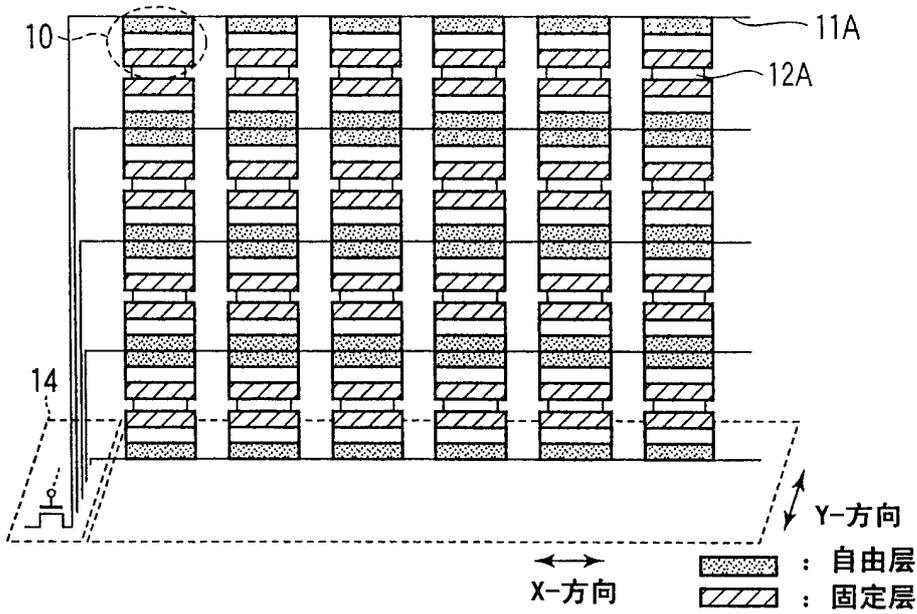


图 6

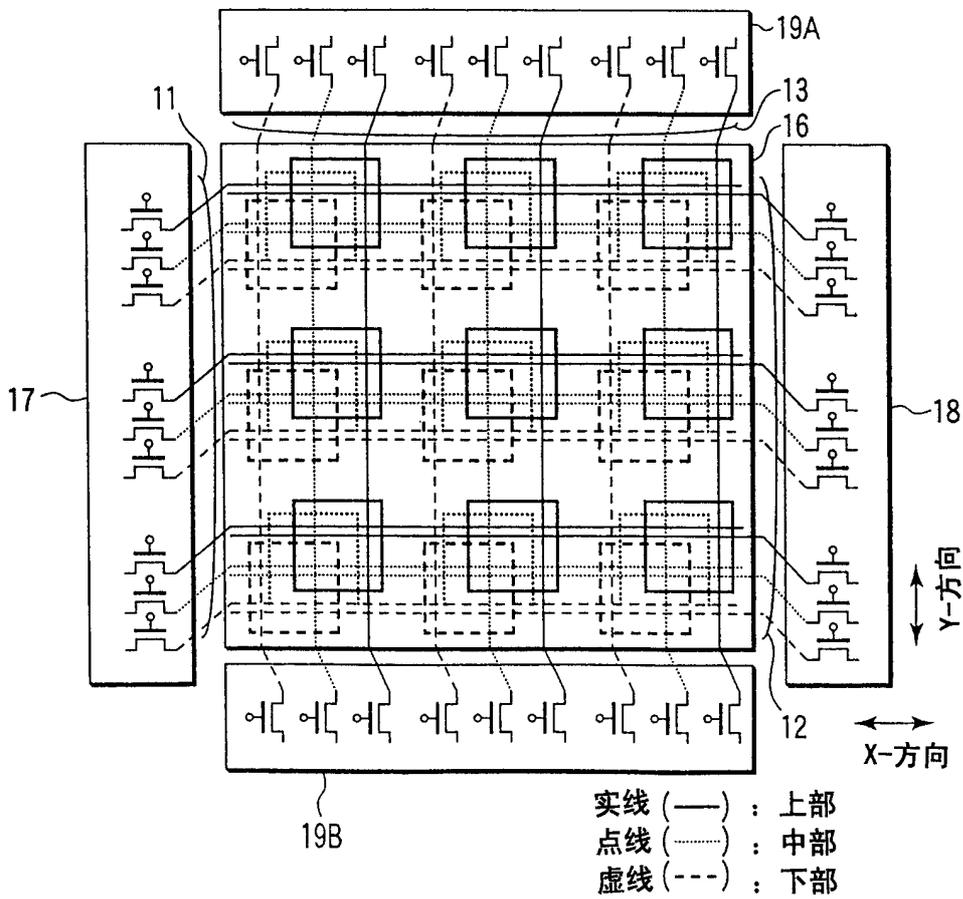


图 7

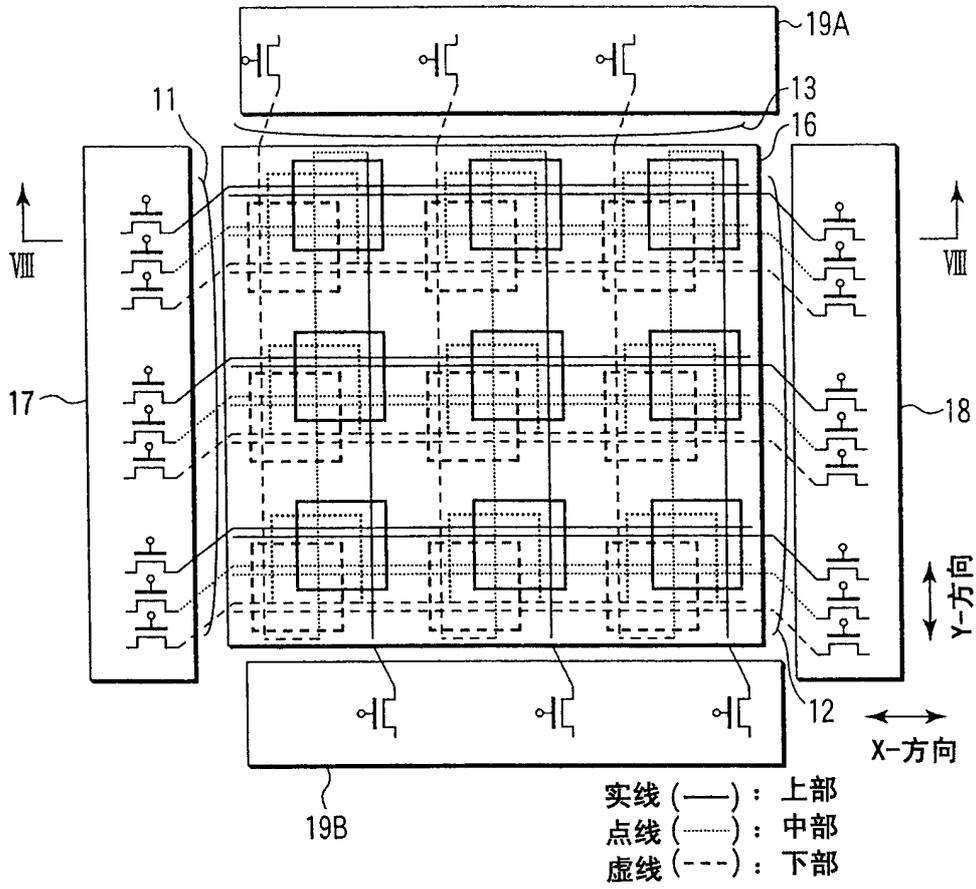


图 8

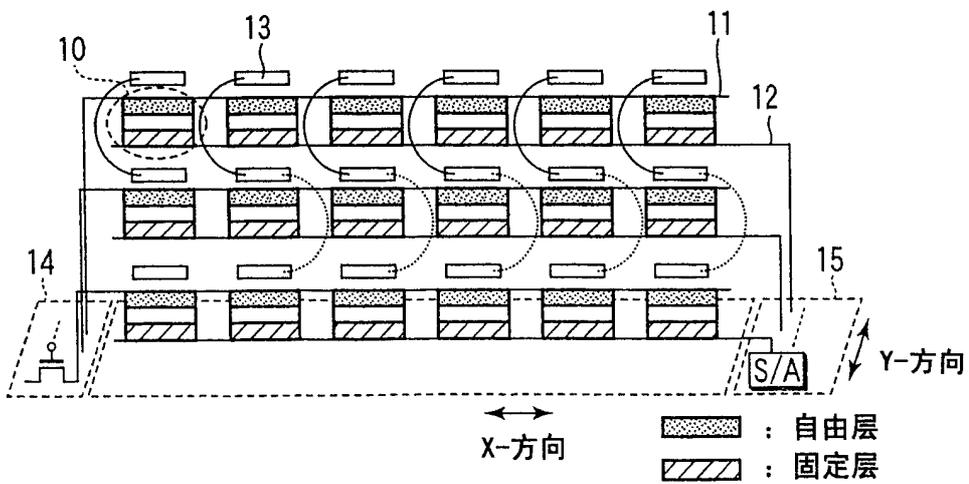


图 9

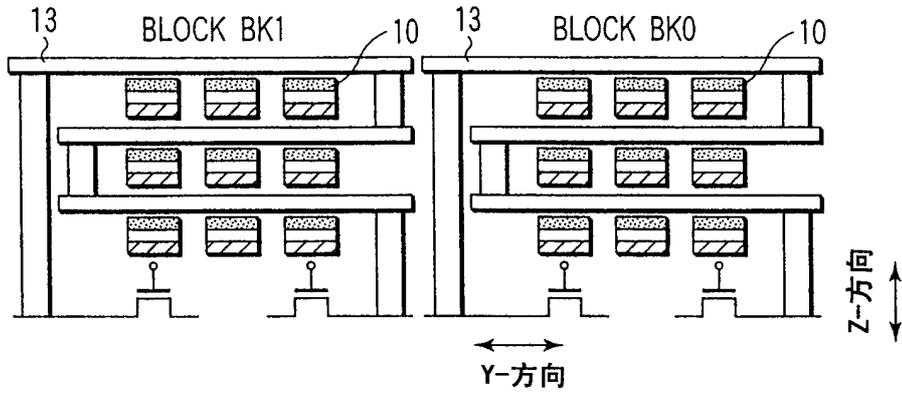


图 10

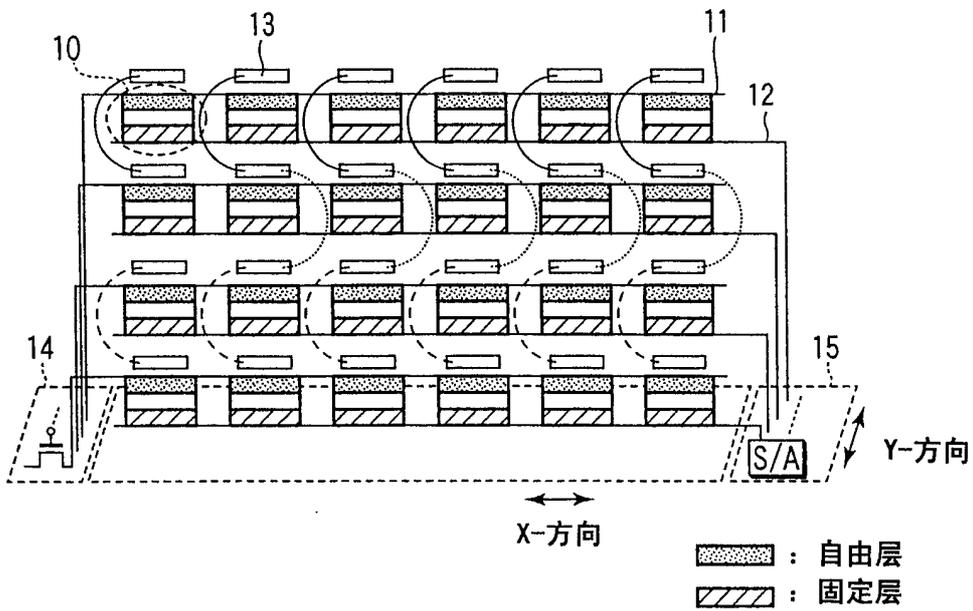


图 11

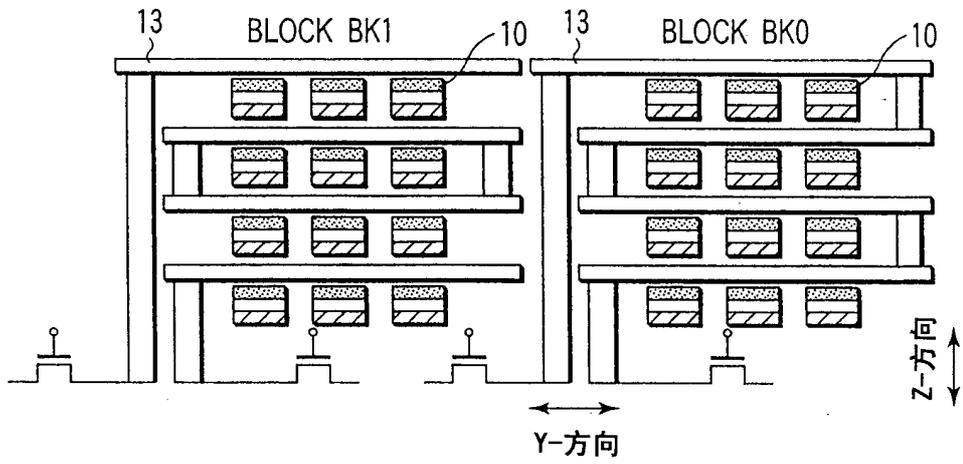


图 12

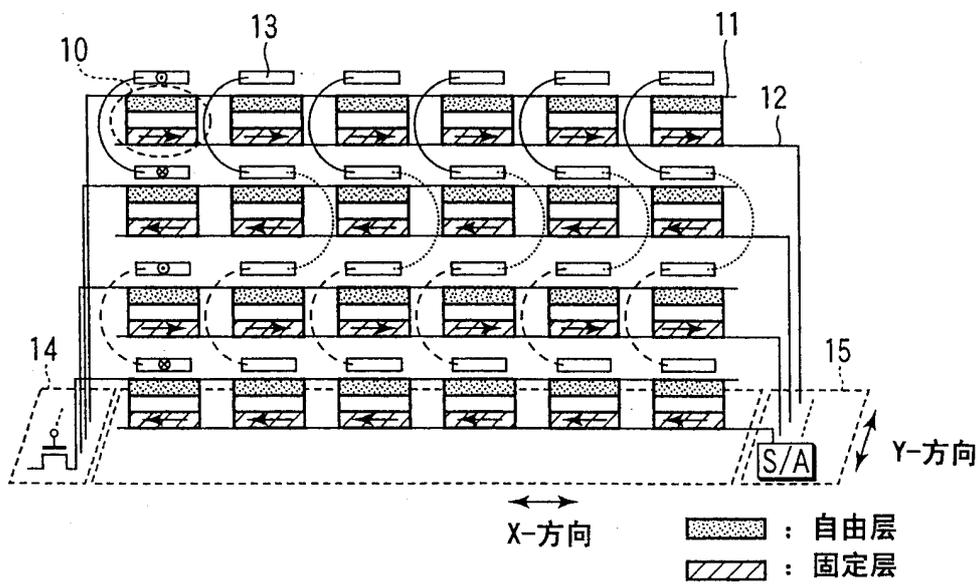


图 13

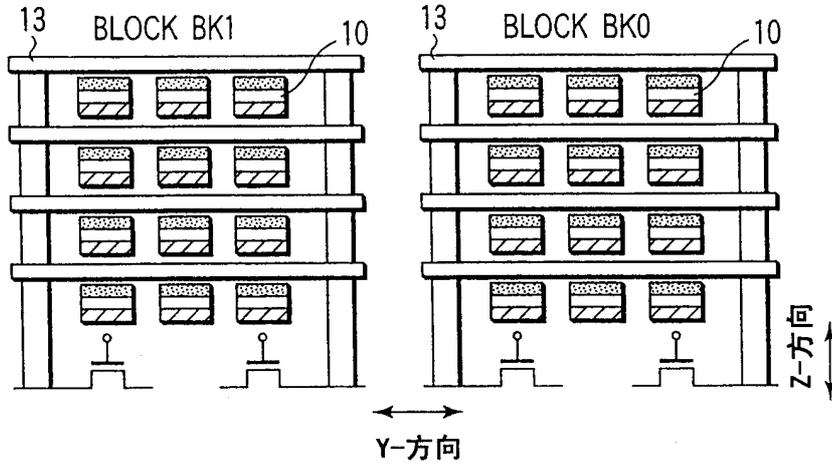


图 14

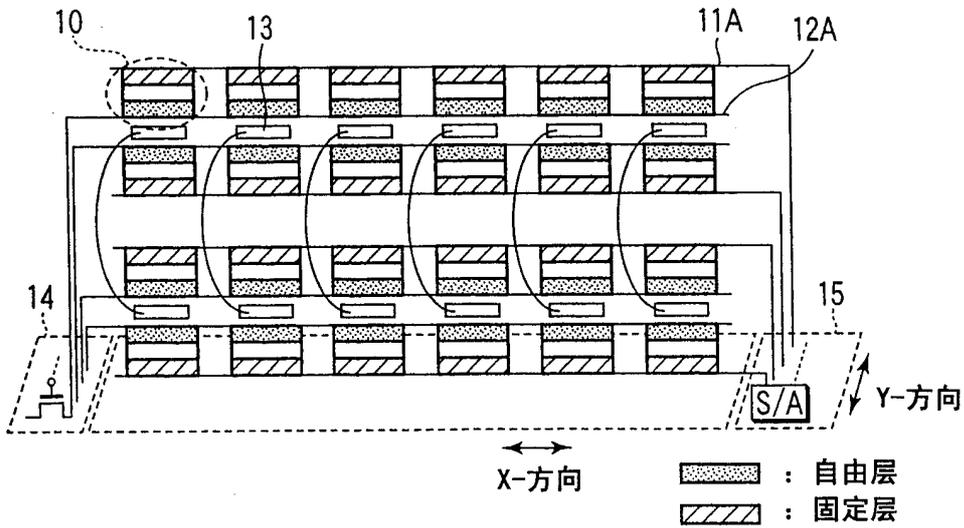


图 15

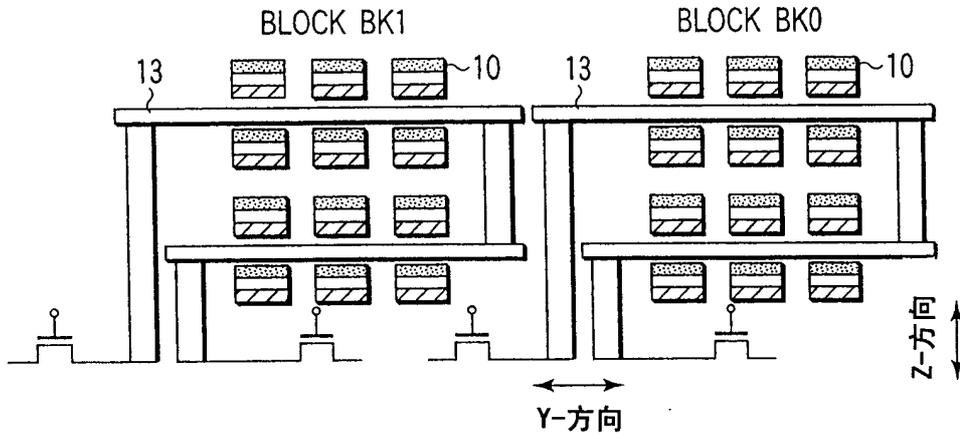


图 16

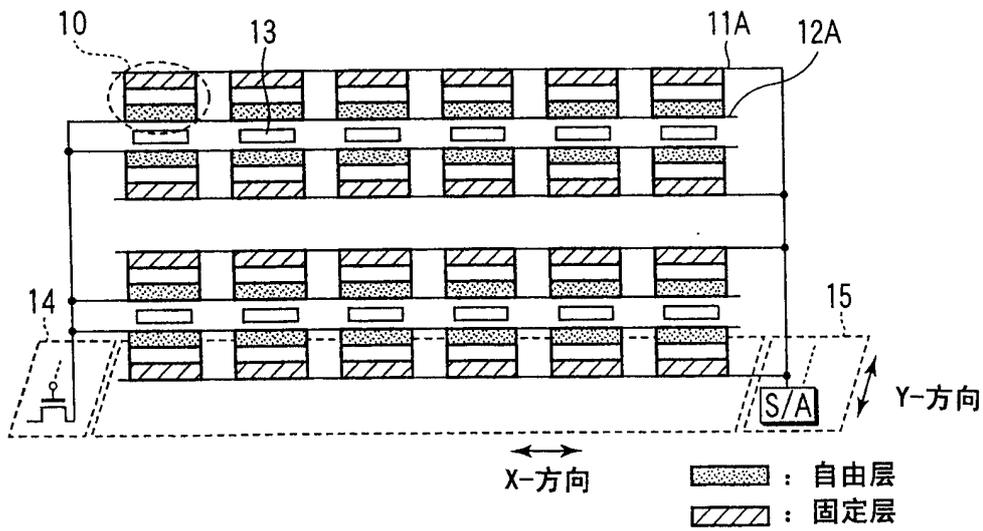


图 17

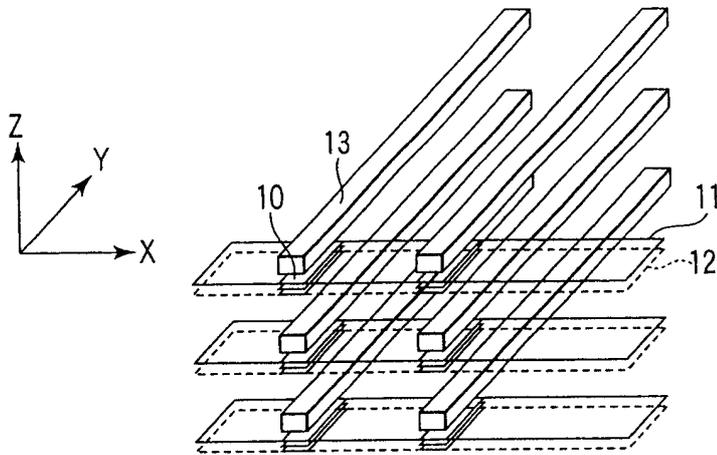


图 18

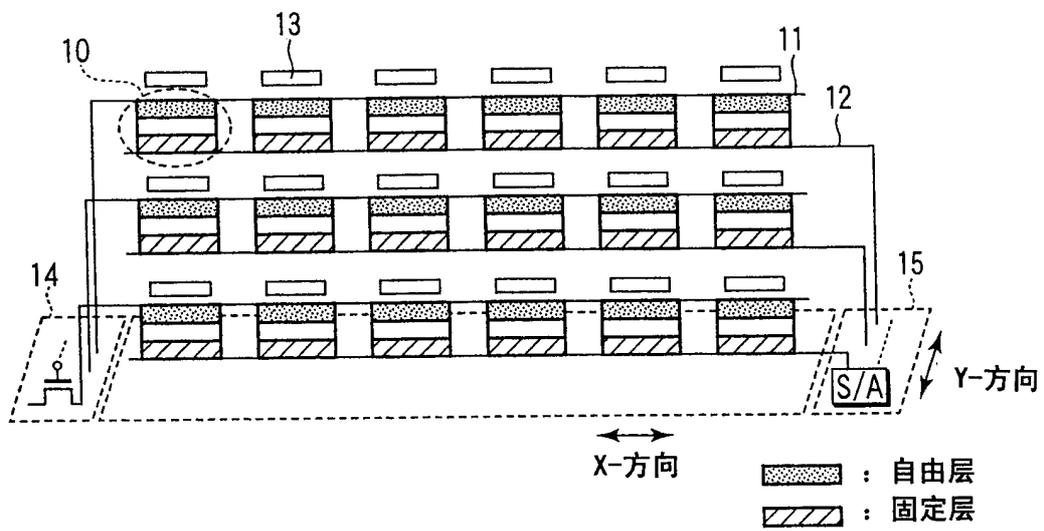


图 19

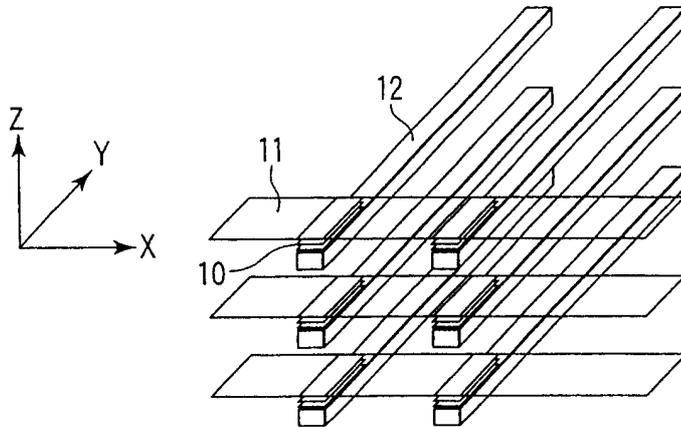


图 20

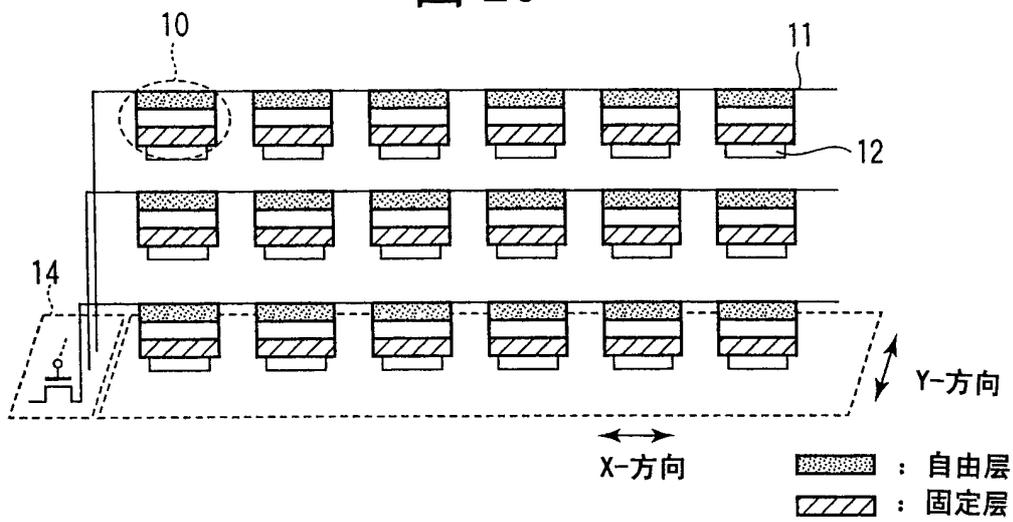


图 21

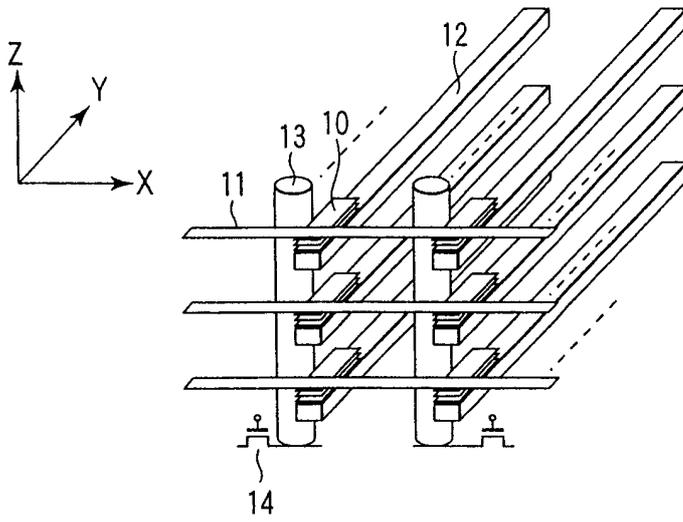


图 22

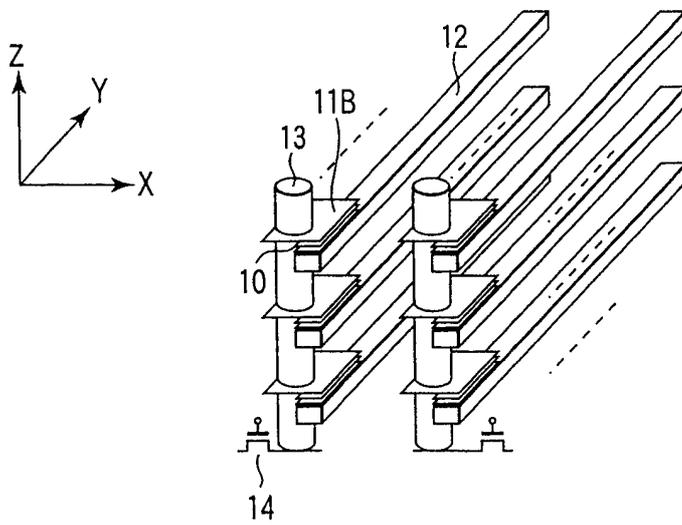


图 23

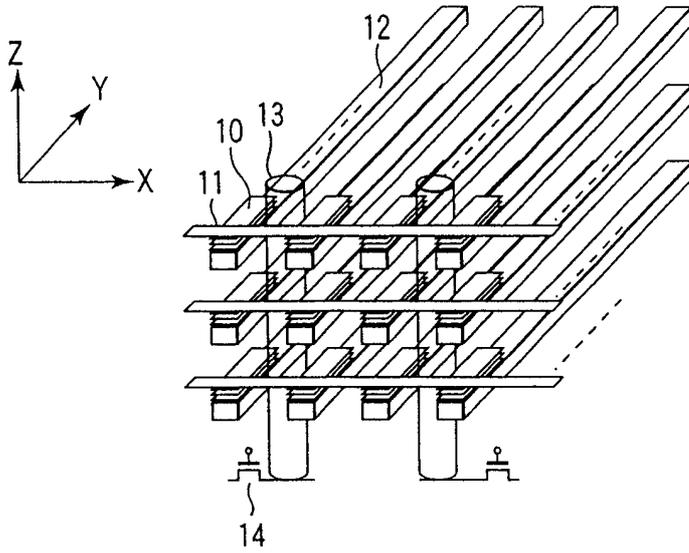


图 24

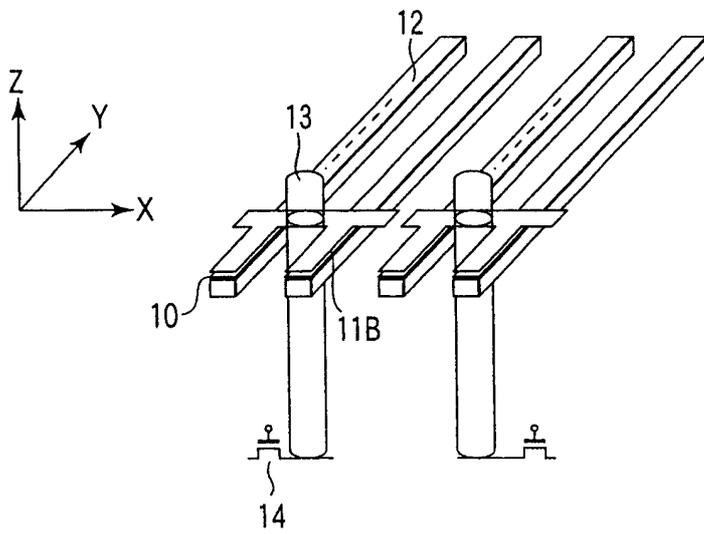


图 25

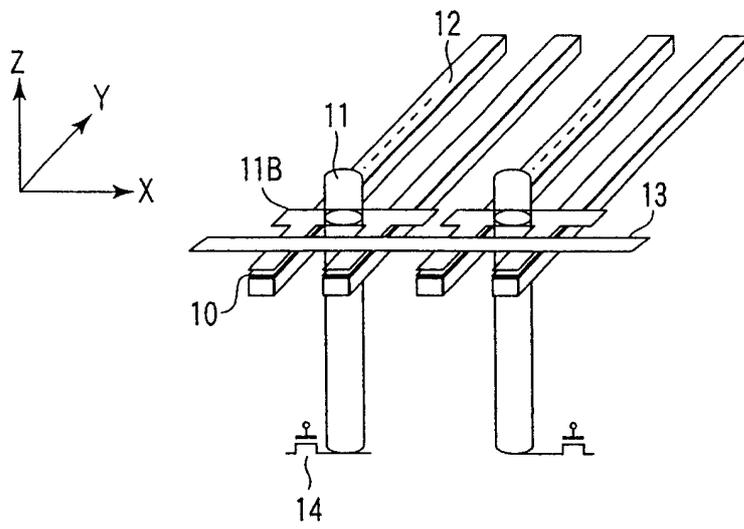


图 26

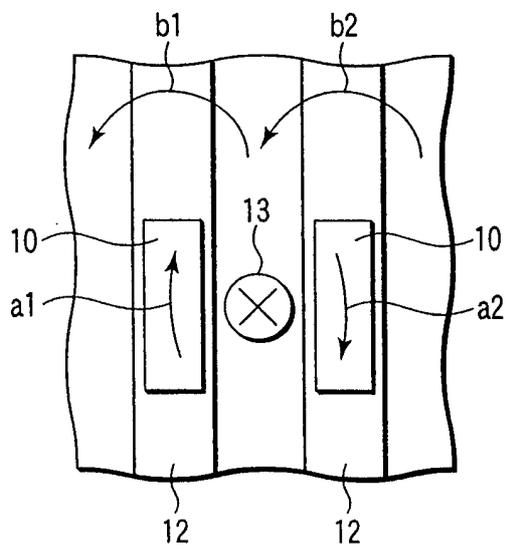


图 27

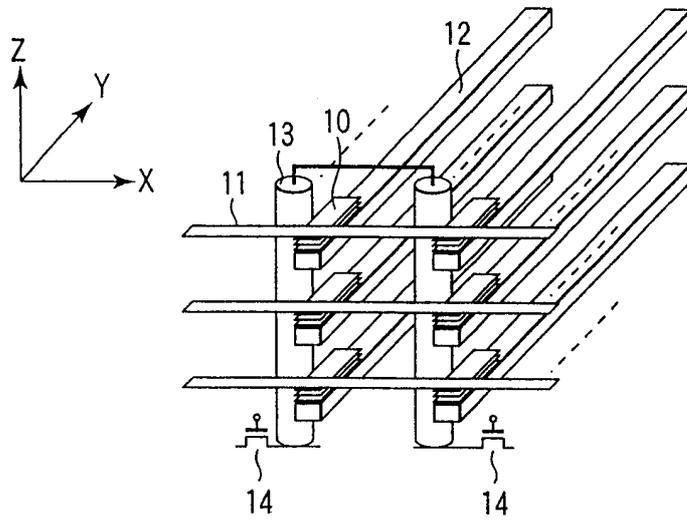


图 28

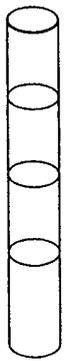


图 29

