

(21)申請案號：111141076

(22)申請日：中華民國 111 (2022) 年 10 月 28 日

(51)Int. Cl. : H01L21/027 (2006.01)

G03F7/20 (2006.01)

G03F7/22 (2006.01)

H04N5/335 (2011.01)

(30)優先權：2021/11/22 日本

2021-189281

(71)申請人：日商濱松赫德尼古斯股份有限公司 (日本) HAMAMATSU PHOTONICS K.K. (JP)
日本

(72)發明人：吉村英敏 YOSHIMURA, HIDETOSHI (JP)；淨法寺佑 JOBOJI, TASUKU (JP)；杉山行信 SUGIYAMA, YUKINOBU (JP)；米川陸 YONEKAWA, RIKU (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：15 項 圖式數：14 共 50 頁

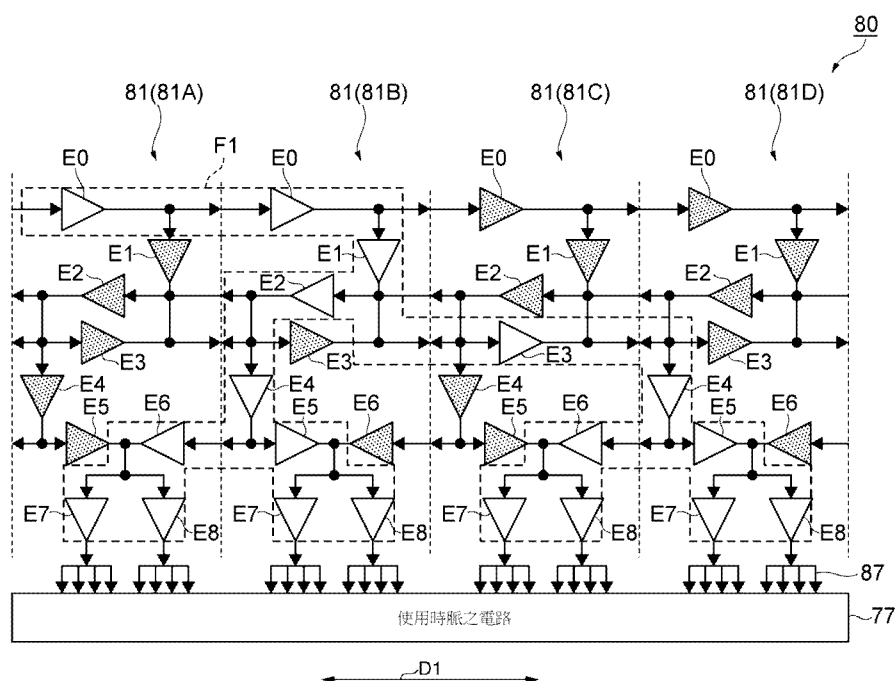
(54)名稱

時脈傳達電路、攝像元件及時脈傳達電路之製造方法

(57)摘要

本發明之時脈傳達電路具備具有相互共通之電路圖案且沿一方向排列之複數個電路區域。複數個電路區域各者之電路圖案具有：至少二個電路構件，其等可在高阻抗狀態與通過狀態之間切換；及配線，其連接於複數個電路區域中與該電路區域鄰接之電路區域之電路圖案。藉由將複數個電路區域之至少二個電路構件之狀態控制成就每一電路區域而決定之特定狀態，而構成橫貫複數個電路區域之時脈樹之至少一部分。

指定代表圖：



符號簡單說明：

77:使用時脈之電路

80:時脈傳達電路

81,81A~81D:電路區域

87:配線

D1:方向

E0~E8:電路構件

F1:時脈傳遞路

【圖6】

【發明摘要】

【中文發明名稱】

時脈傳達電路、攝像元件及時脈傳達電路之製造方法

【中文】

本發明之時脈傳達電路具備具有相互共通之電路圖案且沿一方向排列之複數個電路區域。複數個電路區域各者之電路圖案具有：至少二個電路構件，其等可在高阻抗狀態與通過狀態之間切換；及配線，其連接於複數個電路區域中與該電路區域鄰接之電路區域之電路圖案。藉由將複數個電路區域之至少二個電路構件之狀態控制成就每一電路區域而決定之特定狀態，而構成橫貫複數個電路區域之時脈樹之至少一部分。

【指定代表圖】

圖6

【代表圖之符號簡單說明】

77:使用時脈之電路

80:時脈傳達電路

81,81A~81D:電路區域

87:配線

D1:方向

E0~E8:電路構件

F1:時脈傳遞路

【發明說明書】

【中文發明名稱】

時脈傳達電路、攝像元件及時脈傳達電路之製造方法

【技術領域】

【0001】

本揭示係關於一種時脈傳達電路、攝像元件及時脈傳達電路之製造方法。

【先前技術】

【0002】

在專利文獻1中，揭示一種使用構造化延遲差之緩衝技術。在該專利文獻1中，記載有樹形構造路由方式。在專利文獻2中，揭示一種與如下之曝光裝置相關之技術，該曝光裝置一面將形成於光罩之圖案之投影像之一部分反覆連續曝光一面將所期望之圖案形成於基板。於專利文獻3中，記載在製造大型顯示器裝置之顯示器件時進行連續曝光。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2007-060036號公報

[專利文獻2]日本專利特開2001-110708號公報

[專利文獻3]日本專利特開2001-154371號公報

【發明內容】

[發明所欲解決之問題]

【0004】

於在半導體元件之內部傳遞時脈信號時，相應於時脈配線之長度及負載而在時脈信號中產生延遲。因此，在企圖在同一時序向多數個電路輸入時脈信號時，使用時脈樹。在時脈樹中，理想的是在時脈供給對象即電路群之中心位置上左右對稱地重複時脈信號之分支。

【0005】

另一方面，在製造大面積之半導體元件時之光微影術步驟中，有將具有共通之曝光圖案之複數個鏡頭連結而設為1個元件之情形。將該技術稱為連續曝光。在藉由連續曝光而製造半導體元件時，因具有同一電路圖案之電路區域排列複數個，故在各電路區域內容易形成時脈樹，但難以形成橫貫複數個電路區域之時脈樹。因此，有在複數個電路區域間在時脈信號中產生延遲之問題。

【0006】

本揭示之目的在於提供一種可形成橫貫具有同一電路圖案之複數個電路區域之時脈樹之時脈傳達電路、及時脈傳達電路之製造方法。本揭示之目的在於提供一種時脈信號之延遲少之攝像元件。

[解決課題之技術手段]

【0007】

本揭示之時脈傳達電路係包含設置於單一基板上之時脈樹之時脈傳達電路。該時脈傳達電路具備具有相互共通之電路圖案且沿一方向排列之複數個電路區域。複數個電路區域各者之電路圖案具有：至少二個電路構件，其等可在高阻抗狀態與通過狀態之間切換；及配線，其連接於複數個電路區域中之鄰接在該電路區域之電路區域之電路圖案。藉由將複數個電路區域之至少二個電路構件之狀態控制成就每一電路區域而決定之特定之

狀態，而構成橫貫複數個電路區域之時脈樹之至少一部分。

【0008】

本揭示之時脈傳達電路之製造方法係製造包含設置於單一基板上之時脈樹之時脈傳達電路之方法。該製造方法包含如下步驟：藉由使用共通之曝光圖案進行連續曝光，而形成具有相互共通之電路圖案且沿一方向排列之複數個電路區域。複數個電路區域各者之電路圖案具有：至少二個電路構件，其等可在高阻抗狀態與通過狀態之間切換；及配線，其連接於複數個電路區域中之鄰接在該電路區域之電路區域之電路圖案。藉由將複數個電路區域之至少二個電路構件之狀態控制成就每一電路區域而決定之特定之狀態，而構成橫貫複數個電路區域之時脈樹之至少一部分。

【0009】

根據該等時脈傳達電路及時脈傳達電路之製造方法，可形成橫貫具有同一電路圖案之複數個電路區域之時脈樹。因此，可減少複數個電路區域間之時脈信號之延遲。

【0010】

在上述之時脈傳達電路及時脈傳達電路之製造方法中，電路圖案可包含以分別擔當時脈樹之複數段分支之方式構成之複數段電路部分。該情形下，藉由各段電路部分可較佳地實現時脈樹之各段之分支。

【0011】

在上述之時脈傳達電路及時脈傳達電路之製造方法中，複數段電路部分中之一個電路部分可包含第1及第2電路構件，其等包含於上述至少二個電路構件，且輸出端彼此連接。而且，上述配線可包含：第1配線部分，其用於將第1電路構件之輸入端連接於複數個電路區域中之鄰接在該

電路區域之一側之電路區域之第2電路構件之輸入端；及第2配線部分，其用於將第2電路構件之輸入端連接於複數個電路區域中之鄰接在該電路區域之另一側之電路區域之第1電路構件之輸入端。於在該電路部分傳遞時脈信號時，該電路部分可自第1配線部分或第2配線部分輸入時脈信號，且自第1電路構件之輸出端與第2電路構件之輸出端之間之第1節點輸出時脈信號。因此，可簡易地實現電路部分。

【0012】

在上述之時脈傳達電路及時脈傳達電路之製造方法中，複數段電路部分中之至少一個電路部分可包含上述至少二個電路構件所含之第3、第4及第5電路構件。而且，可行的是，第3電路構件之輸出端、第4電路構件之輸入端、及第5電路構件之輸入端連接於第2節點，第3電路構件之輸入端與第4電路構件之輸出端連接於第3節點。而且，上述配線可包含：第3配線部分，其用於將第2節點連接於複數個電路區域中之鄰接在該電路區域之一側之電路區域之第3節點；及第4配線部分，其用於將第3節點連接於複數個電路區域中之鄰接在該電路區域之另一側之電路區域之第2節點。於在該電路部分中傳遞時脈信號時，該電路部分可在第3節點接收時脈信號，根據需要自第5電路構件之輸出端輸出時脈信號。藉由控制第3及第4電路構件之狀態而可控制時脈信號之傳遞方向。因此，可簡單地實現特別是首段或中段之電路部分。

【0013】

在上述之時脈傳達電路及時脈傳達電路之製造方法中，上述至少二個電路構件可為**TRI-STATE**(註冊商標)型。該情形下，可藉由單一之功能部分簡單地構成上述至少二個電路構件各者。因可將電路構件之通過狀態

下之輸出電阻值抑制為較低，故可減輕由電路構件之電阻值引起之時脈信號之延遲。

【0014】

在上述之時脈傳達電路及時脈傳達電路之製造方法中，可行的是，至少二個電路構件中之構成至少最終段之電路部分之電路構件為 TRI-STATE 型，該電路構件之輸出端連接於上拉電阻及下拉電阻中之一者或兩者。或者，在上述之時脈傳達電路及時脈傳達電路之製造方法中，可行的是，至少二個電路構件中之構成至少最終段之電路部分之電路構件構成為包含邏輯電路。藉由該等中之任一構成，可抑制向時脈供給對象之信號位準變得不穩定，而可防止時脈供給對象之誤動作。

【0015】

本揭示之攝像元件包含：像素陣列，其包含一維或二維地排列之複數個像素；類比/數位轉換器陣列，其包含將自複數個像素各者輸出之複數個類比信號分別轉換成數位信號之複數個類比/數位轉換器；記憶體陣列，其具有儲存自類比/數位轉換器陣列輸出之複數個數位信號各者之複數個儲存區域；及水平掃描電路，其使儲存於記憶體陣列之複數個數位信號作為串列信號而依次輸出。類比/數位轉換器陣列及水平掃描電路中之至少一者經由上述任一時脈傳達電路接收時脈信號之供給。根據該攝像元件，可減輕複數個數位信號間之時脈信號之延遲。因此，可降低讀出串列信號時之錯誤之頻度。

[發明之效果]

【0016】

根據本揭示，可提供一種可形成橫貫具有同一電路圖案之複數個電

路區域之時脈樹之時脈傳達電路、及時脈傳達電路之製造方法。根據本揭示，可提供一種時脈信號之延遲少之攝像元件。

【圖式簡單說明】

【0017】

圖1係示意性地顯示一實施形態之為了製造攝像元件而使用之曝光裝置之構成之側視圖。

圖2係示意性地顯示光罩之光罩圖案之平面圖。

圖3之(a)部係顯示曝光及顯影之後之晶圓之電路形成面之平面圖。圖3之(b)部係將(a)部之一部分放大而顯示之圖。圖3之(c)部係顯示沿著(b)部之IIIc-IIIc線之剖面之圖。

圖4係顯示複數個攝像元件各者之具體之構成例之圖。

圖5係示意性地顯示時脈樹之構成之圖。

圖6係顯示時脈傳達電路之構成之電路圖。

圖7係顯示各電路區域之電路圖案之電路圖。

圖8係顯示各電路區域之電路圖案之又一例之電路圖。

圖9係顯示控制各電路區域之電路構件的電路之例之電路圖。

圖10係顯示時脈傳達電路之又一控制例之圖。

圖11係顯示一實施形態之時脈傳達電路之製造方法之流程圖。

圖12係示意性地顯示作為參考例之時脈傳達電路之圖。

圖13係說明時脈信號之延遲之影響之圖。圖13之(a)部顯示輸入至串聯電路之一端之時脈信號。圖13之(b)部顯示自藉由自靠近串聯電路之一端之電路區域輸出之時脈信號而驅動之電路輸出之串列信號之例。圖13之(c)部顯示自藉由自遠離串聯電路之一端之電路區域輸出之時脈信號而驅

動之電路輸出之串列信號之例。

圖14之(a)部、(b)部及(c)部係顯示電路構件之構成例之電路圖。

【實施方式】

【0018】

以下，一面參照附圖一面對於本揭示之時脈傳達電路、攝像元件及時脈傳達電路之製造方法之實施形態詳細地進行說明。在圖式之說明中對於同一構件賦予同一符號，且省略重複之說明。

【0019】

圖1係示意性地顯示本揭示之一實施形態之為了製造攝像元件而使用之曝光裝置1之構成之側視圖。如圖1所示般，曝光裝置1係對塗佈於晶圓W上之抗蝕劑R進行曝光之裝置，包含：光源10、光罩20、及透鏡30。光源10輸出抗蝕劑R具有感度之波長之光L。光罩20具有用於形成後述之攝像元件40(參照圖3)之光罩圖案(曝光圖案)。光罩20與光源10對向地配置。光罩20具有一個或複數個光罩圖案21。透鏡30配置於光罩20與晶圓W之間。自光源10輸出之L在通過光罩20之後被透鏡30集光，且到達晶圓W上之抗蝕劑R。R可為正型及負型之任一者。

【0020】

圖2係示意性地顯示光罩20之光罩圖案21中之一者之平面圖。光罩圖案21至少包含第1部分211、第2部分212、及第3部分213。第1部分211藉由符號「A」表示。第2部分212藉由符號「B」表示。第3部分213藉由符號「C」表示。第1部分211係用於形成攝像元件40之受光部分之部分。第1部分211包含將攝像元件40之受光部分分割成複數個電路區域時之與對於該複數個電路區域各者共通之電路圖案對應之曝光圖案。第2部分212

係用於形成攝像元件40中之與受光部分之一端排列之電路區域42(參照圖3)之部分。第3部分213係用於形成攝像元件40中之與受光部分之另一端排列之電路區域43(參照圖3)之部分。第2部分212及第3部分213包含與用於向受光部分供給偏壓電源之電路等對應之曝光圖案。

【0021】

圖3之(a)部係顯示曝光及顯影之後之晶圓W之電路形成面之平面圖。圖3之(b)部係將圖3之(a)部之一部分放大而顯示之圖。如圖3之(a)部所示般，在晶圓W，藉由曝光裝置1之曝光及其後之顯影而形成複數個攝像元件40。複數個攝像元件40以方向D1為長度方向，沿著與方向D1交叉之方向D2排列。如圖3之(b)部所示般，複數個攝像元件40各者具有：電路區域群44，其包含沿著方向D1排列之複數個電路區域41；電路區域42，其在方向D1配置於電路區域群44之一端；及電路區域43，其在方向D1配置於電路區域群44之另一端。電路區域群44包含受光部分。

【0022】

複數個電路區域41各者係藉由使用圖2所示之第1部分211之連續曝光而形成之區域。即，複數個電路區域41係藉由一面使第1部分211沿著方向D1移動一面進行抗蝕劑R之曝光而形成之區域。此時，藉由第1部分211分別曝光之鄰接之區域彼此可在該等之一部分相互重疊。複數個電路區域41具有彼此相同之電路圖案。電路區域42係藉由使用圖2所示之第2部分212之曝光而形成之區域。電路區域43係藉由使用圖2所示之第3部分213之曝光而形成之區域。電路區域42具有與電路區域41不同之電路圖案。電路區域43具有與電路區域41、42不同之電路圖案。

【0023】

圖3之(c)部係顯示沿著圖3之(b)部之IIIc-IIIc線之剖面之圖。如圖3之(c)部所示般，電路區域群44、電路區域42、及電路區域43設置於自晶圓W切出之單一之基板62上。方向D1上之基板62之長度，例如為20 mm以上300 mm以下。

【0024】

圖4係顯示複數個攝像元件40各者之具體之構成例之圖。如圖4所示般，電路區域群44具有：像素陣列45、放大器陣列46、類比/數位(A/D)轉換器陣列47、記憶體陣列48、水平掃描電路群49、輸出電路群50、A/D轉換器用之時脈傳達電路80A、及水平掃描電路用及輸出電路用之時脈傳達電路80B。像素陣列45之分別包含於複數個電路區域41之複數個區域451沿著方向D1排列而配置。放大器陣列46之分別包含於複數個電路區域41之複數個區域461沿著方向D1排列而配置。A/D轉換器陣列47之分別包含於複數個電路區域41之複數個區域471沿著方向D1排列而配置。記憶體陣列48之分別包含於複數個電路區域41之複數個區域481沿著方向D1排列而配置。水平掃描電路群49之分別包含於複數個電路區域41之複數個區域491沿著方向D1排列而配置。輸出電路群50之分別包含於複數個電路區域41之複數個區域501沿著方向D1排列而配置。在圖4中，僅圖示複數個電路區域41中之位於方向D1上之電路區域群44之兩端附近之一部分電路區域41，且省略其他電路區域41之圖示。

【0025】

像素陣列45包含一維或二維地排列之複數個像素。複數個像素至少沿著方向D1排列。複數個區域451各自包含二個以上之像素。因此，例如在P個區域451各自包含Q個像素之情形下，像素陣列45整體之像素數為

($P \times Q$)個。 P 、 Q 為2以上之整數。 Q 個像素採用 n 行 \times m 列之配置($n \times m = Q$ 、 n 、 m 為自然數)。各像素產生與入射至各像素之光之強度相應之量之電荷。各像素可包含用於在像素內進行電流電壓轉換之像素內放大器。各像素例如可藉由對於晶圓 W 之表面進行離子注入而形成。連接於各像素之配線例如可在晶圓 W 之表面上藉由蝕刻等而形成。複數個區域451具有彼此相同之電路圖案。離子注入及蝕刻時之曝光圖案在複數個區域451中為共通。

【0026】

放大器陣列46可包含複數個放大器。複數個放大器各者將自像素陣列45之複數個像素各者輸出之複數個類比信號分別進行電流電壓轉換。或者，當各像素將類比信號進行電流電壓轉換時，複數個放大器各者將經電流電壓轉換之複數個類比信號分別進行倍增。複數個放大器與像素陣列45之複數個像素行分別對應。複數個區域461各者包含二個以上之放大器。例如在 P 個區域451各者包含 n 行像素行之情形下， P 個區域461各者包含 n 個放大器。因此，放大器陣列46整體之放大器之數目為至少($P \times n$)個。複數個放大器各者例如可藉由包含電晶體之放大電路而構成。電晶體之汲極區域及源極區域，例如可藉由對於晶圓 W 之表面進行離子注入而形成。連接於電晶體之閘極、汲極區域及源極區域各者之配線，例如可在晶圓 W 之表面上藉由剝離法等而形成。複數個區域461具有彼此相同之電路圖案。離子注入及剝離時之曝光圖案在複數個區域461為共通。

【0027】

A/D轉換器陣列47包含複數個A/D轉換器。複數個A/D轉換器各者將自像素陣列45之複數個像素各者輸出之複數個類比信號分別轉換成數位信

號。複數個A/D轉換器與放大器陣列46之複數個放大器分別對應。複數個區域471各者包含二個以上之A/D轉換器。例如在P個區域461各者包含n個放大器時，P個區域471各者包含n個A/D轉換器。因此，A/D轉換器陣列47整體之A/D轉換器之數目為至少 $(P \times n)$ 個。複數個區域471具有彼此相同之電路圖案。形成A/D轉換器時之曝光圖案在複數個區域471中為共通。

【0028】

記憶體陣列48具有複數個記憶體單元(儲存區域)。複數個記憶體單元各者分別儲存自A/D轉換器陣列47輸出之複數個數位信號。複數個記憶體單元與複數個A/D轉換器分別對應。複數個區域481各者包含二個以上之記憶體單元。例如在P個區域471各者包含n個A/D轉換器時，P個區域481各者包含n個記憶體單元。因此，記憶體陣列48整體之記憶體單元之數目為 $(P \times n)$ 個。複數個區域481具有彼此相同之電路圖案。形成記憶體單元時之曝光圖案在複數個區域481中為共通。

【0029】

水平掃描電路群49使儲存於記憶體陣列48之複數個數位信號作為串列信號而依次輸出。水平掃描電路群49具有複數個區域491。複數個區域491各者包含二個以上之水平掃描電路。在一例中，複數個區域491各者所含之水平掃描電路之個數為2。該情形下，例如若P個區域481各者包含n個記憶體單元，則一個水平掃描電路對應有 $(n/2)$ 個記憶體單元。複數個區域491具有彼此相同之電路圖案。形成水平掃描電路時之曝光圖案在複數個區域491為共通。

【0030】

輸出電路群50具有複數個區域501。複數個區域501各者連接於水平

掃描電路群49之複數個區域491各者。各水平掃描電路使來自 $(n/2)$ 個記憶體單元之數位信號向與各水平掃描電路對應之區域501作為串列信號而依次輸出。各區域501包含與水平掃描電路群49之各區域491所含之水平掃描電路對應之輸出電路。各輸出電路接收自對應之水平掃描電路作為串列信號而依次輸出之數位信號。各區域501之輸出電路根據數位信號產生輸出資料Dout，且將輸出資料Dout向攝像元件40之外部輸出。

【0031】

電路區域42例如包含時序控制電路421。時序控制電路421對像素陣列45、放大器陣列46、A/D轉換器用之時脈傳達電路80A、及水平掃描電路用之時脈傳達電路80B發送共通之時脈信號。

【0032】

電路區域43例如包含偏壓電壓產生電路431。偏壓電壓產生電路431經由未圖示之配線連接於像素陣列45之複數個像素各者、放大器陣列46之複數個放大器各者、及A/D轉換器陣列47之複數個A/D轉換器各者。偏壓電壓產生電路431向像素陣列45之複數個像素、放大器陣列46之複數個放大器、及A/D轉換器陣列47之複數個A/D轉換器供給偏壓電壓。

【0033】

繼而，對於時脈傳達電路80A、80B之構成詳細地進行說明。時脈傳達電路80A、80B包含設置於單一基板62(參照圖3之(c)部)上之時脈樹。圖5係作為一例而示意性地顯示時脈樹70之構成之圖。時脈樹70在輸入時脈信號之配線76與使用時脈之電路77之間具有複數段分支。各分支將一條時脈配線分支成至少二條。圖5中作為一例而顯示首段C1、第2段C2、及第3段(最終段)C3之共計3段之分支。在首段C1與第2段C2之間之配線、

第2段C2與第3段C3之間之配線、及第3段C3與電路77之間之配線各者，設置一個或複數個中繼緩衝器78。

【0034】

圖6係顯示時脈傳達電路80之構成之電路圖。圖4所示之時脈傳達電路80A、80B具有與時脈傳達電路80相同之構成。在圖6之電路77為A/D轉換器陣列47之情形下，電路77包含複數個區域471所含之所有A/D轉換器。在電路77為水平掃描電路群49時，電路77包含複數個區域491所含之所有水平掃描電路。在電路77為輸出電路群50時，電路77包含複數個區域501所含之所有輸出電路。

【0035】

時脈傳達電路80具備複數個電路區域81。複數個電路區域81各者分別包含於複數個電路區域41(參照圖3、圖4)。複數個電路區域81具有相互共通之電路圖案，沿著方向D1排列。各電路區域81與相鄰之電路區域81相接且連續。

【0036】

圖7係顯示各電路區域81之電路圖案之電路圖。如圖7所示般，各電路區域81之電路圖案具有至少2個(在本實施形態為9個)電路構件E0～E8、及配線W1～W6。電路構件E0～E8中之至少電路構件E0～E6(在本實施形態中為所有電路構件E0～E8)係可在高阻抗狀態與通過狀態之間切換之電路構件，例如係TRI-STATE(註冊商標)型之電路構件。亦將TRI-STATE型稱為三態型。高阻抗狀態係指絕緣狀態或具有接近絕緣狀態之電阻值之狀態。通過狀態係指輸出追隨輸入信號之邏輯之信號之狀態。在一例中，電路構件E0～E8係TRI-STATE緩衝器或TRI-STATE反相器。電

路構件E0～E8在時脈樹中作為中繼緩衝器發揮功能。配線W1～W6係連接於鄰接之電路區域81之電路圖案之配線。各電路區域81之電路圖案包含複數段電路部分。即，各電路區域81之電路圖案包含：時脈供給部分82、第1段(首段)之電路部分83、第2段之電路部分84、及第3段(最終段)之電路部分85。

【0037】

時脈供給部分82係用於將自時脈傳達電路80之外部輸入之時脈信號供給至時脈樹之部分。時脈供給部分82包含電路構件E0及E1、以及配線W5及W6。配線W5之一端與鄰接在該電路區域81之一側(圖之左側)之電路區域81之配線W6連接。配線W5之另一端連接於電路構件E0之輸入端。電路構件E0之輸入端接收自時脈傳達電路80之外部經由鄰接之電路區域81輸入之時脈信號。配線W6之一端連接於電路構件E0之輸出端。配線W6之另一端與鄰接在該電路區域81之另一側(圖之右側)之電路區域81之配線W5連接。電路構件E1之輸入端與配線W6連接。

【0038】

在電路構件E0為通過狀態時，時脈信號自配線W5向配線W6傳遞。在電路構件E0為高阻抗狀態時，時脈信號自不配線W5向配線W6傳遞。在電路構件E0、E1之兩者為通過狀態時，時脈信號自配線W5向第1段之電路部分83傳遞。在電路構件E0為通過狀態且電路構件E1為高阻抗狀態時，時脈信號在配線W5、W6中傳遞，但不向第1段之電路部分83傳遞。

【0039】

第1段之電路部分83係用於將自時脈供給部分82供給之時脈信號進行分支之部分。電路部分83包含電路構件E2(第3電路構件)、電路構件E3(第

4 電路構件)、及電路構件 E4(第 5 電路構件)。此外，電路部分 83 包含配線 W3(第 3 配線部分)及配線 W4(第 4 配線部分)。

【0040】

電路構件 E2 之輸出端、電路構件 E3 之輸入端、及電路構件 E4 之輸入端連接於節點 N2(第 2 節點)。電路構件 E2 之輸入端及電路構件 E3 之輸出端連接於節點 N3(第 3 節點)。換言之，電路構件 E2 及 E3 在節點 N2 與節點 N3 之間，相互反向且相互並聯地連接。電路構件 E4 之輸入端連接於該並聯電路之一端。配線 W3 係用於將節點 N2 連接於鄰接在該電路區域 81 之一側(圖之左側)之電路區域 81 之節點 N3 之配線部分。配線 W4 係用於將節點 N3 連接於鄰接在該電路區域 81 之另一側(圖之右側)之電路區域 81 之節點 N2 之配線部分。節點 N3 連接於來自時脈傳達電路 80 之外部之時脈供給配線、即時脈供給部分 82 之電路構件 E1 之輸出端。

【0041】

在電路構件 E2 為通過狀態且電路構件 E3 為高阻抗狀態時，時脈信號自節點 N3 向節點 N2 傳遞。相反地，在電路構件 E2 為高阻抗狀態且電路構件 E3 為通過狀態時，時脈信號自節點 N2 向節點 N3 傳遞。電路構件 E2、E3 不會同時成為通過狀態。在電路構件 E2、E3 之兩者為高阻抗狀態時，時脈信號不在節點 N2 與節點 N3 之間傳遞。在電路構件 E4 為通過狀態時，時脈信號自節點 N2 向第 2 段之電路部分 84 傳遞。在電路構件 E4 為高阻抗狀態時，時脈信號不自節點 N2 向第 2 段之電路部分 84 傳遞。

【0042】

在時脈信號在電路部分 83 中傳遞時，電路部分 83 可在節點 N3 處接收時脈信號，且根據需要自電路構件 E4 之輸出端輸出時脈信號。藉由控制

電路構件E2、E3之狀態而可控制時脈信號之傳遞方向。在時脈樹，存在跨於複數個電路區域81之分支與在各電路區域81內進行之分支，該電路部分83擔當跨於複數個電路區域81之分支中之首段之分支。

【0043】

第2段之電路部分84係用於將自第1段之電路部分83供給之時脈信號進一步分支之部分。電路部分84包含電路構件E5(第1電路構件)及電路構件E6(第2電路構件)。此外，電路部分84包含配線W1(第1配線部分)及配線W2(第2配線部分)。

【0044】

電路構件E5、E6之輸出端相互連接。換言之，電路構件E5、E6之輸出端連接於節點N1。配線W1係用於將電路構件E5之輸入端連接於鄰接在該電路區域81之一側(圖之左側)之電路區域81之電路構件E6之輸入端之配線部分。配線W1連接於鄰接在該電路區域81之一側之電路區域81之配線W2。進而，配線W1連接於電路構件E4之輸出端。配線W2係用於將電路構件E6之輸入端連接於鄰接在該電路區域81之另一側(圖之右側)之電路區域81之電路構件E5之輸入端之配線部分。配線W2連接於鄰接在該電路區域81之另一側之電路區域81之配線W1。

【0045】

在電路構件E5為通過狀態且電路構件E6為高阻抗狀態時，時脈信號自配線W1向節點N1傳遞。在電路構件E5為高阻抗狀態且電路構件E6為通過狀態時，時脈信號自配線W2向節點N1傳遞。電路構件E5、E6不會同時成為通過狀態。在電路構件E5、E6之兩者為高阻抗狀態時，時脈信號不向節點N1傳遞。

【0046】

在時脈信號在電路部分84中傳遞時，電路部分84可在配線W1或配線W2中接收時脈信號，且可自節點N1輸出時脈信號。如前述般在時脈樹存在跨於複數個電路區域81之分支與在各電路區域81內進行之分支，該電路部分84擔當跨於複數個電路區域81之分支中之末段之分支。

【0047】

第3段之電路部分85係擔當在各電路區域81內進行之分支之部分。電路部分85包含電路構件E7及電路構件E8。電路構件E7及電路構件E8之輸入端連接於節點N1且相互連接。電路構件E7及電路構件E8之輸出端如圖6所示般，在分支成複數條配線87後，連接於使用時脈之電路77所含之複數個時脈供給對象各者。使用時脈之電路77所含之複數個時脈供給對象，例如係A/D轉換器陣列47之複數個A/D轉換器、水平掃描電路群49之複數個水平掃描電路、或輸出電路群50之複數個輸出電路。電路構件E7及電路構件E8之輸出端可連接於遍及複數個電路區域81共通地設置之配線，經由該配線連接於電路77之複數個時脈供給對象。

【0048】

將上述之構成換言之，在時脈供給部分82中，如圖6所示般，複數個電路區域81之電路構件E0以將朝向一致之狀態相互串聯地連接。而且，各電路區域81之電路構件E1之輸入端連接於相鄰之電路構件E0間之節點。在第1段之電路部分83中，複數個電路區域81之電路構件E2以將朝向一致之狀態相互串聯地連接，複數個電路區域81之電路構件E3與電路構件E2反向地，以將朝向一致之狀態相互串聯地連接。相鄰之電路構件E2間之節點，與相鄰之電路構件E3間之節點為共通。電路構件E2間之節點

交替地連接於電路構件E1之輸出端、與電路構件E4之輸入端。在第2段之電路部分84中，將電路構件E6相對於電路構件E5設為反向，且交替地串聯連接有電路構件E5、E6。電路構件E4之輸出端連接於電路構件E5之輸入端與電路構件E6之輸入端之間之節點。

【0049】

圖6所示之時脈傳遞路徑F1，顯示可藉由具有上述之構成之複數個電路區域81而實現之時脈樹之一例。位於時脈傳遞路徑F1之路徑上之電路構件(圖中以白色示出)設為通過狀態，位於時脈傳遞路徑F1之路徑之外之電路構件(圖中以濃淡點圖示出)設為高阻抗狀態。以下，具體地進行說明。

【0050】

首先，在時脈供給部分82中，圖6所示之4個電路區域81中之單側2個電路區域81A、81B之電路構件E0設為通過狀態，相反側之2個電路區域81C、81D之電路構件E0設為高阻抗狀態。電路區域81B之電路構件E1設為通過狀態，其他電路區域81A、81C、81D之電路構件E1設為高阻抗狀態。藉此，自時脈傳達電路80之外部供給之時脈信號通過電路區域81A、81B之電路構件E0及電路區域81B之電路構件E1，到達位於電路區域81B之時脈樹之頂點(時脈輸入端)。

【0051】

接著，在第1段之電路部分83中，電路區域81B之電路構件E2設為通過狀態，其他電路區域81A、81C、81D之電路構件E2設為高阻抗狀態。電路區域81C之電路構件E3設為通過狀態，其他電路區域81A、81B、81D之電路構件E3設為高阻抗狀態。進而，電路區域81B、81D之電路構

件E4設為通過狀態，其他電路區域81A、81C之電路構件E4設為高阻抗狀態。藉此，時脈信號分支成通過電路區域81B之電路構件E2及E4之時脈信號、及通過電路區域81C之電路構件E3及電路區域81D之電路構件E4之時脈信號。

【0052】

繼而，在第2段之電路部分84中，電路區域81B、81D之電路構件E5設為通過狀態，其他電路區域81A、81C之電路構件E5設為高阻抗狀態。電路區域81A、81C之電路構件E6設為導通狀態，其他電路區域81B、81D之電路構件E6設為高阻抗狀態。通過電路區域81B之電路構件E4時脈信號藉此分支成通過電路區域81A之電路構件E6之時脈信號、及通過電路區域81B之電路構件E5之時脈信號。通過電路區域81D之電路構件E4之時脈信號藉此被分支成通過電路區域81C之電路構件E6之時脈信號、及通過電路區域81D之電路構件E5之時脈信號。

【0053】

繼而，在各電路區域81A～81D之第3段之電路部分85中，通過電路構件E5或E6之時脈信號被分支成通過電路構件E7之時脈信號、及通過電路構件E8之時脈信號。如此般分支成共計8個之時脈信號經由配線87被供給至使用時脈之電路77。

【0054】

在本實施形態中對於電路部分83僅為一段之情形進行了說明，但如圖8所示般，電路部分83亦可遍及複數段地設置。換言之，電路部分83除了跨於複數個電路區域81之分支中之首段之分支以外，可進一步擔當中段之分支。該情形下，第2段以後之各電路部分83之節點N3連接於該電路部

分83之前段之電路部分83之電路構件E4之輸出端。藉此，可將跨於時脈樹之複數個電路區域81之分支中之中段分支增加為任意之數目。

【0055】

在上述之例中，A/D轉換器陣列47、水平掃描電路群49、及輸出電路群50全數經由時脈傳達電路80接收時脈信號之供給。亦可為A/D轉換器陣列47、水平掃描電路群49、及輸出電路群50中之僅一者或僅二者經由時脈傳達電路80接收時脈信號之供給。

【0056】

此處，對於控制各電路區域81之電路構件E0~E8之電路進行說明。圖9係顯示控制各電路區域81之電路構件E0、E1之電路之例之電路圖。因其他電路構件E2~E8之控制電路具有與其相同之構成，故省略圖示。

【0057】

各電路區域81進一步各自具有與電路構件E0~E8各者對應之複數個正反器88。與電路構件E0對應之正反器88遍及複數個電路區域81地串級連接。又，與電路構件E1對應之正反器88亦遍及複數個電路區域81地串級連接。與電路構件E2~E8各者對應之正反器88亦同樣地，遍及複數個電路區域81地串級連接。

【0058】

在與電路構件E0對應之上述串級連接電路之一端輸入有二值信號 S_{E0} 。二值信號 S_{E0} 係與供給至串級連接電路之時脈CLK同步地採用導通值或關斷值之信號。在如圖所示之例中，顯示在時脈CLK中4週期之時脈。依照最先之週期之二值信號 S_{E0} 之值，控制位於串級連接電路之最後端之電路區域81D之正反器88之輸出值，而控制電路區域81D之電路構件E0。

依照第2個週期之二值信號 S_{E0} 之值，控制電路區域81C之正反器88之輸出值，而控制電路區域81C之電路構件E0。依照第3個週期之二值信號 S_{E0} 之值，控制電路區域81B之正反器88之輸出值，而控制電路區域81B之電路構件E0。而且，依照第4個週期之二值信號 S_{E0} 之值，控制電路區域81A之正反器88之輸出值，而控制電路區域81A之電路構件E0。如此般，藉由將二值信號 S_{E0} 之值就時脈CLK之每一週期設為任意之值，而可個別地控制複數個電路區域81之電路構件E0。又，複數個電路區域81之電路構件E1亦可藉由將二值信號 S_{E1} 之值就時脈CLK之每一週期設為任意之值而個別地控制。關於其他電路構件E2~E8亦相同。

【0059】

圖10係顯示時脈傳達電路80之又一控制例之圖。在該例中，時脈供給部分82(參照圖7)之電路構件E0、E1之控制狀態與圖6所示之例相同。而且，在電路區域81A、81C、81D中，第1段之電路部分83、第2段之電路部分84、及第3段之電路部分85所含之所有電路構件E2~E8，設為高阻抗狀態。而且，僅在電路區域81B中，電路構件E2~E8與圖6所示之控制狀態同樣地被控制。如此般，可僅藉由複數個電路區域81中之一部分之電路區域81構成時脈樹。在使用使用時脈之電路77所含之複數個時脈供給對象中之一部分時脈供給對象、且不使用其他時脈供給對象時，可如此般限定於一部分之電路區域81而構成時脈樹。藉此，可節約電力消耗。

【0060】

圖11係顯示本實施形態之時脈傳達電路80之製造方法之流程圖。在製造時脈傳達電路80時，首先，例如在圖2所示之光罩圖案21之第1部分211形成用於電路區域81之共通之曝光圖案，對抗蝕劑R(參照圖1)使用該

曝光圖案進行連續曝光(步驟S1)。接著，使抗蝕劑R顯影且硬化，而形成遮罩(步驟S2)。然後，經由遮罩進行離子注入、半導體之蝕刻或金屬之剝離，製作電路構件E0~E8或配線W1~W6之構成構件(步驟S3)。將以上之步驟S1~S3重複時脈傳達電路80之製作所需之次數(步驟S4)。其後，切斷晶圓而進行單片化(步驟S5)。藉由以上之步驟，可在單一之基板上製作具備具有相互共通之電路圖案且沿著方向D1排列之複數個電路區域81之時脈傳達電路80。

【0061】

對於藉由以上所說明之本實施形態之時脈傳達電路80、攝像元件40、及時脈傳達電路80之製造方法而獲得之效果進行說明。圖12係示意性地顯示作為參考例之時脈傳達電路100之圖。在該時脈傳達電路100中，沿著方向D1排列之複數個電路區域110各者具有中繼緩衝器101~104。中繼緩衝器101及102跨於複數個電路區域110且交替地串聯連接。中繼緩衝器103及104之輸入端連接於中繼緩衝器101與中繼緩衝器102之間之節點。時脈信號自包含中繼緩衝器101及102之串聯電路之一端輸入，在該串聯電路中傳遞，且在各電路區域110中分支成中繼緩衝器103及104。

【0062】

在如此之時脈傳達電路100中，在包含中繼緩衝器101及102之串聯電路中時脈信號傳遞之距離愈長，則愈在時脈信號中產生延遲。因此，愈遠離輸入有時脈信號之串聯電路之一端之電路區域110，時脈信號愈延遲。圖13係說明時脈信號之延遲之影響之圖。圖13之(a)部顯示輸入至串聯電路之一端之時脈信號。圖13之(b)部顯示自藉由自靠近串聯電路之一端之

電路區域110輸出之時脈信號而驅動之電路輸出之串列信號之例。圖13之(c)部顯示自藉由自遠離串聯電路之一端之電路區域110輸出之時脈信號而驅動之電路輸出之串列信號之例。若在一部分電路區域110產生延遲，則在串列信號間產生延遲T。因此，有讀入串列信號之電路中之信號辨識精度下降之虞。

【0063】

因此，為了在同一時序向多數個電路輸入時脈信號而使用時脈樹。然而，於在製造大面積之半導體元件時之光微影術步驟中進行連續曝光時，具有同一電路圖案之電路區域排列複數個。雖然在各電路區域內容易形成時脈樹，但難以形成橫貫複數個電路區域之時脈樹。可藉由就每一電路區域使電路圖案不同而形成時脈樹。然而，該情形下，因需要準備多種類之曝光圖案，故製造成本增大且製造步驟複雜化。

【0064】

在本實施形態中，複數個電路區域81各者之電路圖案具有：電路構件E0～E6，其等可在高阻抗狀態與通過狀態之間切換；及配線W1～W6，其等連接於鄰接在該電路圖案之電路區域81之電路圖案。而且，藉由複數個電路區域81之電路構件E0～E6之狀態控制成例如圖6所示之就每一電路區域81而決定之特定之狀態，而構成橫貫複數個電路區域81之時脈樹。藉此，可形成橫貫具有同一電路圖案之複數個電路區域81之時脈樹。因此，可減輕複數個電路區域81間之時脈信號之延遲。此外，因無需就每一電路區域使電路圖案不同，故無需準備多種類之曝光圖案。因此，可降低製造成本且將製造步驟簡易化。

【0065】

如本實施形態般，各電路區域81之電路圖案可包含以分別擔當時脈樹之複數段分支之方式構成之複數段電路部分83、84。該情形下，可藉由各段之電路部分83、84較佳地實現時脈樹之各段之分支。

【0066】

如本實施形態般，電路部分84可包含輸出端彼此連接之電路構件E5、E6。而且，配線W1~W6可包含：配線W1，其用於將電路構件E5之輸入端連接於鄰接在該電路區域81之一側之電路區域81之電路構件E6之輸入端；及配線W2，其用於將電路構件E6之輸入端連接於鄰接在該電路區域81之另一側之電路區域81之電路構件E5之輸入端。傳遞時脈信號之電路部分84可自配線W1(或亦可為配線W2)輸入時脈信號，自電路構件E5之輸出端與電路構件E6之輸出端之間之節點N1輸出時脈信號。因此，可簡易地實現擔當一段之分支之電路部分84。

【0067】

如本實施形態般，電路部分83可包含電路構件E2、E3、E4。而且，可行的是，電路構件E2之輸出端、電路構件E3之輸入端、及電路構件E4之輸入端連接於節點N2，電路構件E2之輸入端與電路構件E3之輸出端連接於節點N3。而且，配線W1~W6可包含：配線W3，其用於將節點N2連接於鄰接在該電路區域81之一側之電路區域81之節點N3；及配線W4，其用於將節點N3連接於鄰接在該電路區域81之另一側之電路區域81之節點N2。傳遞時脈信號之電路部分83可在節點N3(或亦可為節點N2)接收時脈信號，且根據需要自電路構件E4之輸出端輸出時脈信號。此外，可藉由控制電路構件E2、E3之狀態而控制時脈信號之傳遞方向。因此，可簡易地實現特別是擔當首段或中段之分支之電路部分83。

【0068】

如本實施形態般，電路構件E0～E6可為TRI-STATE型。該情形下，可藉由單一之功能部分簡單地構成電路構件E0～E6各者。因可將電路構件E0～E6之通過狀態下之輸出電阻值抑制為較低，故可減輕由電路構件E0～E6之電阻值引起之時脈信號之延遲。

【0069】

在本實施形態之攝像元件40中，A/D轉換器陣列47、水平掃描電路群49、及輸出電路群50中之至少一者經由具有與時脈傳達電路80相同之構成之時脈傳達電路接收時脈信號之供給。根據該攝像元件40，可減輕複數個數位信號間之時脈信號之延遲。因此，可降低讀出串列信號時之錯誤之頻度。

【0070】

本揭示之時脈傳達電路、攝像元件及時脈傳達電路之製造方法並不限於上述實施形態，可進行其他各種變化。例如，在上述實施形態中，對於各電路區域81具有9個電路構件E0～E8之例進行了說明，但若各電路區域81具有至少電路部分84，則可實現跨於2個電路區域81之時脈樹。換言之，各電路區域81只要具有至少2個電路構件E5、E6即可。

【0071】

在上述實施形態中，對於電路構件E0～E6為TRI-STATE型之情形進行了例示，但若可在高阻抗狀態與通過狀態之間切換，則電路構件E0～E6不限於TRI-STATE型。例如，電路構件E0～E6可構成為包含相互串聯地連接之中繼緩衝器及開關。該情形下亦然，可藉由控制開關而切換電路構件E0～E6之高阻抗狀態及通過狀態。

【0072】

理想的是，構成最終段之電路部分85之電路構件E7、E8具有用於避免向電路77供給之時脈信號之電位成為不穩定之構成。圖14之(a)部、(b)部及(c)部係顯示如此之電路構件之構成例之電路圖。

【0073】

圖14之(a)部及(b)部所示之電路構件構成為包含邏輯電路。具體而言，圖14之(a)部所示之電路構件構成為包含邏輯積(AND)元件91。在一例中，電路構件僅包含AND元件91。在AND元件91之2個輸入端中之一個輸入端，輸入有來自前段之電路部分84之時脈信號Sclk。在AND元件91之2個輸入端中之另一輸入端，輸入有來自串級連接之正反器88(參照圖9)之控制信號Sctrl。AND元件91將時脈信號Sclk與控制信號Sctrl之邏輯積向電路77輸出。圖14之(b)部所示之電路構件構成為包含邏輯和(OR)元件92及否定(NOT)元件93。在一例中，電路構件僅包含OR元件92及NOT元件93。在OR元件92之2個輸入端中之一個輸入端，輸入有來自前段之電路部分84之時脈信號Sclk。OR元件92之2個輸入端中之另一輸入端連接於NOT元件93之輸出端。在該另一輸入端，經由NOT元件93輸入有來自串級連接之正反器88(參照圖9)之控制信號Sctrl。OR元件92將時脈信號Sclk、與控制信號Sctrl之邏輯反轉後之信號之邏輯和向電路77輸出。

【0074】

圖14之(c)部所示之電路構件構成為包含TRI-STATE型之電路構件94、及上拉電阻95。在一例中，電路構件僅包含TRI-STATE型之電路構件94及上拉電阻95。上拉電阻95連接於電路構件94之輸出端與電源電壓Vdd之間。該電路構件可取代上拉電阻95、或除了上拉電阻95外亦具有連

接於電路構件94之輸出端與基準電位(接地電位)之間之下拉電阻。藉由圖14之(a)部、(b)部及(c)部所示之任一構成，抑制向電路77之時脈信號之位準變得不穩定，而可防止電路77之誤動作。

【0075】

在上述實施形態中顯示將時脈傳達電路80適用於攝像元件之例，但時脈傳達電路80並不限於攝像元件而可適用於各種半導體元件。

【0076】

在上述實施形態中，藉由具有共通之電路圖案之複數個電路區域81而完成時脈樹。可不一定僅藉由具有共通之電路圖案之複數個電路區域81而完成時脈樹。例如，可由與複數個電路區域81排列且電路圖案與複數個電路區域81不同之其他電路區域構成時脈樹之一部分。

【0077】

在較佳之實施形態中圖示本發明之原理且進行了說明，但本領域技術人員認知到本發明可在不脫離如此之原理下在配置及細節上進行變更。本發明並不限定於本實施形態所揭示之特定之構成。因此，對於申請專利範圍及根據其精神之範圍而來之所有修正及變更而申請權利。

【符號說明】

【0078】

1:曝光裝置

10:光源

20:光罩

21:光罩圖案

30:透鏡

- 40:攝像元件
- 41~43:電路區域
- 44:電路區域群
- 45:像素陣列
- 46:放大器陣列
- 47:A/D轉換器陣列
- 48:記憶體陣列
- 49:水平掃描電路群
- 50:輸出電路群
- 62:基板
- 70:時脈樹
- 76:配線
- 77:使用時脈之電路
- 78:中繼緩衝器
- 80, 80A, 80B:時脈傳達電路
- 81,81A~81D:電路區域
- 82:時脈供給部分
- 83~85:電路部分
- 87:配線
- 88:正反器
- 91:AND元件
- 92:OR元件
- 93:NOT元件

94: 電路構件
95: 上拉電阻
100: 時脈傳達電路
101~104: 中繼緩衝器
110: 電路區域
211: 第1部分
212: 第2部分
213: 第3部分
421: 時序控制電路
431: 偏壓電壓產生電路
451, 461, 471, 481, 491, 501: 區域
A, B, C: 符號
C1: 首段
C2: 第2段
C3: 第3段(最終段)
CLK: 時脈
D1, D2: 方向
Dout: 輸出資料
E0~E8: 電路構件
F1: 時脈傳遞路
IIIc-IIIc: 線
L: 光
N1~N3: 節點

R:抗蝕劑

S1~S5:步驟

Sclk:時脈信號

Sctrl:控制信號

S_{E0}, S_{E1}:二值信號

T:延遲

Vdd:電源電壓

W:晶圓

W1~W6:配線

【發明申請專利範圍】

【請求項1】

一種時脈傳達電路，其係包含設置於單一基板上之時脈樹者，且具備具有相互共通之電路圖案且沿一方向排列之複數個電路區域，前述複數個電路區域各者之前述電路圖案具有：

至少二個電路構件，其等可在高阻抗狀態與通過狀態之間切換；及配線，其連接於前述複數個電路區域中與該電路區域鄰接之前述電路區域之前述電路圖案；且

藉由將前述複數個電路區域之前述至少二個電路構件之狀態控制成就每一前述電路區域而決定之特定狀態，而構成橫貫前述複數個電路區域之前述時脈樹之至少一部分。

【請求項2】

如請求項1之時脈傳達電路，其中前述電路圖案包含構成為分別擔當前述時脈樹之複數段分支之複數段電路部分。

【請求項3】

如請求項2之時脈傳達電路，其中前述複數段電路部分中之一個前述電路部分包含：

第1及第2電路構件，其等包含於前述至少二個電路構件，且輸出端彼此連接；並且

前述配線包含：

第1配線部分，其等用於將前述第1電路構件之輸入端連接於前述複數個電路區域中與該電路區域之一側鄰接之前述電路區域之前述第2電路構件之輸入端；及

第2配線部分，其等用於將前述第2電路構件之輸入端連接於前述複數個電路區域中與該電路區域之另一側鄰接之前述電路區域之前述第1電路構件之輸入端。

【請求項4】

如請求項2或3之時脈傳達電路，其中前述複數段電路部分中之至少一個前述電路部分包含：

第3、第4及第5電路構件，其等包含於前述至少二個電路構件中；且前述第3電路構件之輸出端、前述第4電路構件之輸入端、及前述第5電路構件之輸入端連接於第2節點，

前述第3電路構件之輸入端與前述第4電路構件之輸出端連接於第3節點，

前述配線包含：

第3配線部分，其用於將前述第2節點連接於前述複數個電路區域中與該電路區域之一側鄰接之前述電路區域之前述第3節點；及

第4配線部分，其用於將前述第3節點連接於前述複數個電路區域中與該電路區域之另一側鄰接之前述電路區域之前述第2節點。

【請求項5】

如請求項1至4中任一項之時脈傳達電路，其中前述至少二個電路構件為TRI-STATE(三態)型。

【請求項6】

如請求項2至4中任一項之時脈傳達電路，其中前述至少二個電路構件中之構成至少最終段之前述電路部分的前述電路構件為TRI-STATE型，該電路構件之輸出端連接於上拉電阻及下拉電阻中之一者或兩者。

【請求項7】

如請求項2至4中任一項之時脈傳達電路，其中前述至少二個電路構件中之構成至少最終段之前述電路部分之前述電路構件包含邏輯電路而構成。

【請求項8】

一種攝像元件，其包含：像素陣列，其包含一維或二維地排列之複數個像素；

類比/數位轉換器陣列，其包含將自前述複數個像素各者輸出之複數個類比信號分別轉換成數位信號之複數個類比/數位轉換器；

記憶體陣列，其具有儲存自前述類比/數位轉換器陣列輸出之複數個數位信號各者的複數個儲存區域；及

水平掃描電路，其使儲存於前述記憶體陣列之前述複數個數位信號作為串列信號而依次輸出；且

前述類比/數位轉換器陣列及前述水平掃描電路中之至少一者經由請求項1至7中任一項之時脈傳達電路接收時脈信號之供給。

【請求項9】

一種時脈傳達電路之製造方法，其係製造包含設置於單一基板上之時脈樹之時脈傳達電路者，且包含如下步驟：

藉由使用共通之曝光圖案進行連續曝光，而形成具有相互共通之電路圖案且沿一方向排列之複數個電路區域；且

前述複數個電路區域各者之前述電路圖案具有：

至少二個電路構件，其等可在高阻抗狀態與通過狀態之間切換；及

配線，其連接於前述複數個電路區域中與該電路區域鄰接之前述電

路區域之前述電路圖案；且

藉由將前述複數個電路區域之前述至少二個電路構件之狀態控制成就每一前述電路區域而決定之特定之狀態，而構成橫貫前述複數個電路區域之前述時脈樹之至少一部分。

【請求項10】

如請求項9之時脈傳達電路之製造方法，其中前述電路圖案包含構成為分別擔當前述時脈樹之複數段分支之複數段電路部分。

【請求項11】

如請求項10之時脈傳達電路之製造方法，其中前述複數段電路部分中之一個前述電路部分包含：

第1及第2電路構件，其等包含於前述至少二個電路構件中，且輸出端彼此連接；並且

前述配線包含：

第1配線部分，其用於將前述第1電路構件之輸入端連接於前述複數個電路區域中與該電路區域之一側鄰接之前述電路區域之前述第2電路構件之輸入端；及

第2配線部分，其用於將前述第2電路構件之輸入端連接於前述複數個電路區域中與該電路區域之另一側鄰接之前述電路區域之前述第1電路構件之輸入端。

【請求項12】

如請求項10或11之時脈傳達電路之製造方法，其中前述複數段電路部分中之至少一個前述電路部分包含：

第3、第4及第5電路構件，其等包含於前述至少二個電路構件中；且

前述第3電路構件之輸出端、前述第4電路構件之輸入端、及前述第5電路構件之輸入端連接於第2節點，

前述第3電路構件之輸入端與前述第4電路構件之輸出端連接於第3節點，

前述配線包含：

第3配線部分，其用於將前述第2節點連接於前述複數個電路區域中與該電路區域之一側鄰接之前述電路區域之前述第3節點；及

第4配線部分，其用於將前述第3節點連接於前述複數個電路區域中與該電路區域之另一側鄰接之前述電路區域之前述第2節點。

【請求項13】

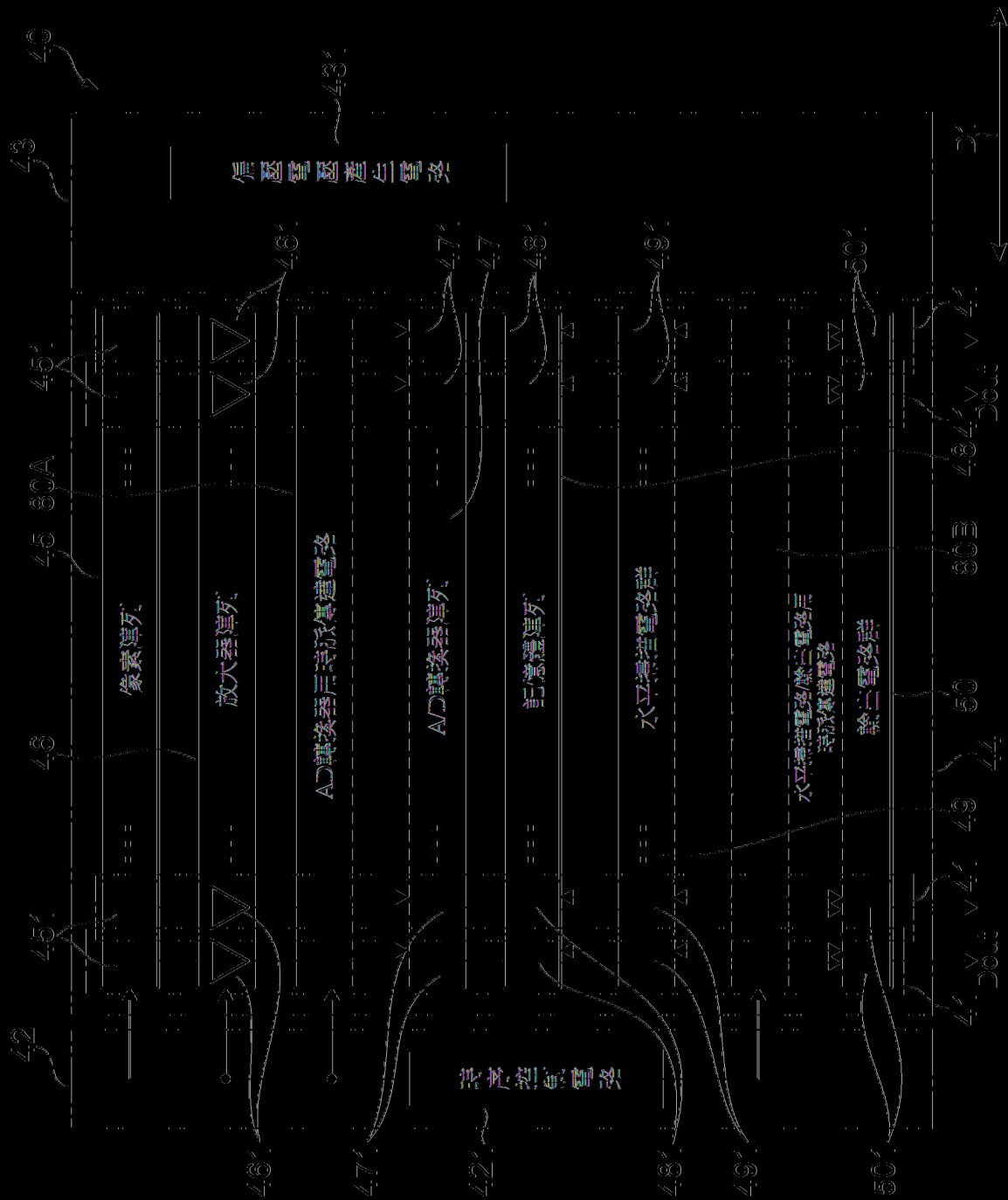
如請求項9至12中任一項之時脈傳達電路之製造方法，其中前述至少二個電路構件為TRI-STATE型。

【請求項14】

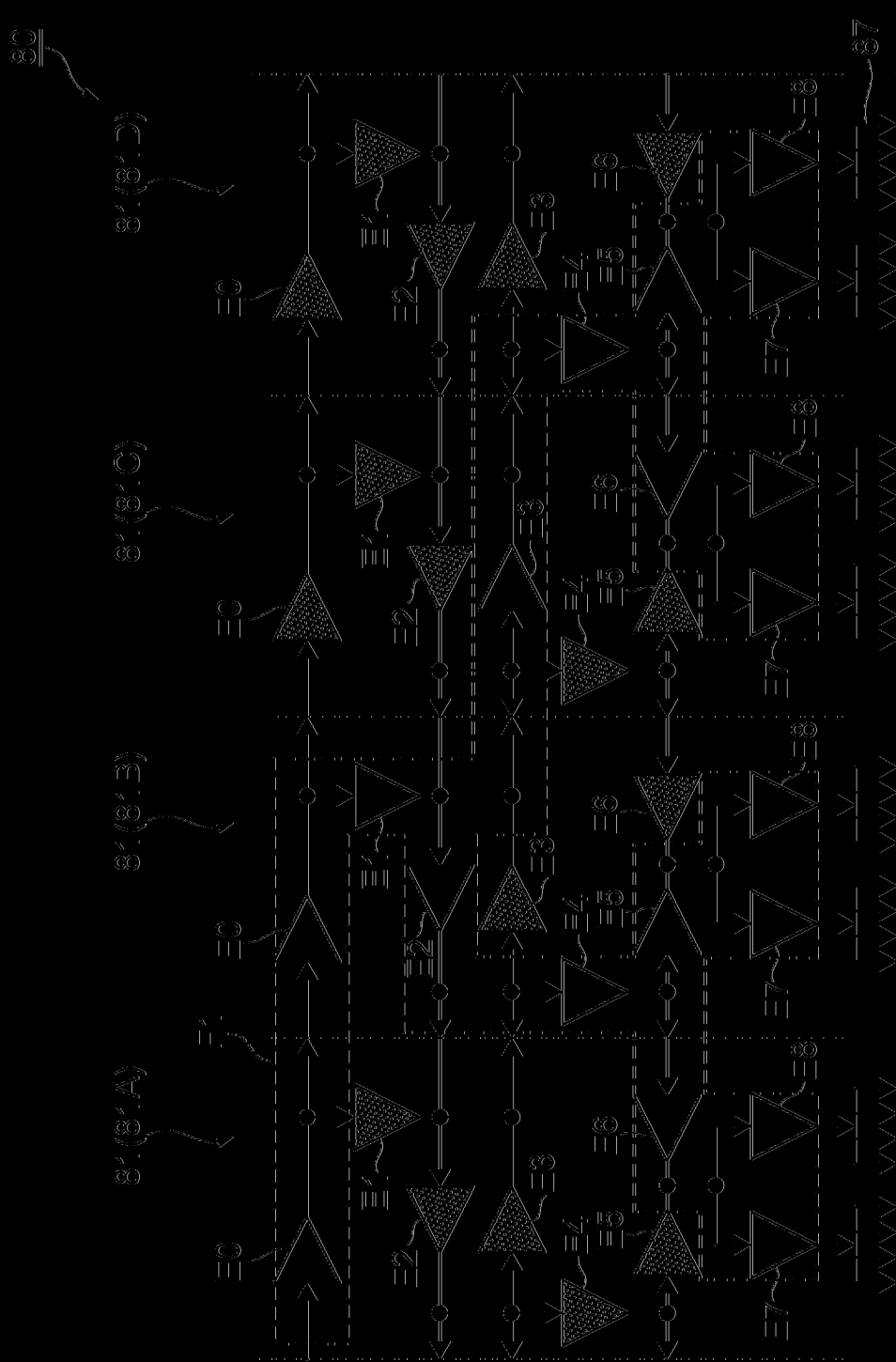
如請求項10至12中任一項之時脈傳達電路之製造方法，其中前述至少二個電路構件中之構成至少最終段之前述電路部分之前述電路構件為TRI-STATE型，該電路構件之輸出端連接於上拉電阻及下拉電阻中之一者或兩者。

【請求項15】

如請求項10至12中任一項之時脈傳達電路之製造方法，其中前述至少二個電路構件種之構成至少最終段之前述電路部分之前述電路構件包含邏輯電路而構成。



【圖4】



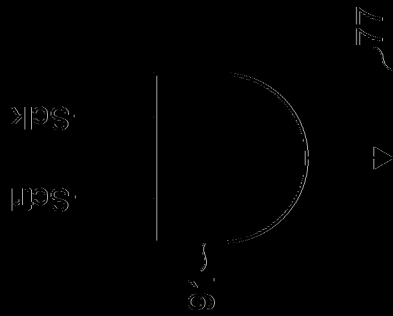
77

使用時之電路



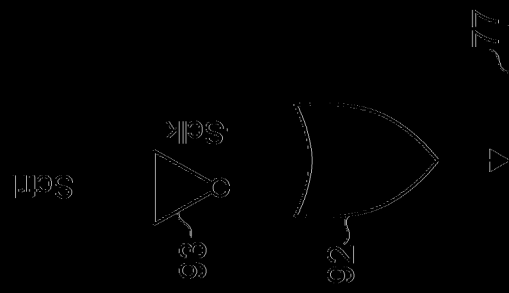
[圖6]

(b)



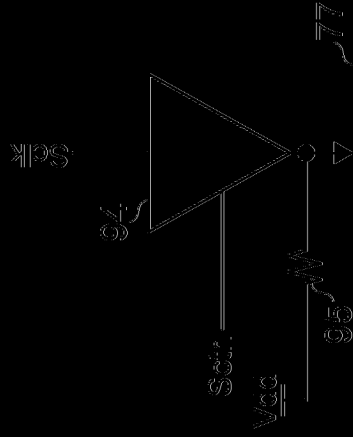
使用時派之電路

(c)



使用時派之電路

(d)



使用時派之電路

[圖4]