

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6154940号  
(P6154940)

(45) 発行日 平成29年6月28日(2017.6.28)

(24) 登録日 平成29年6月9日(2017.6.9)

(51) Int.Cl.

F 1

<b>H01L 21/8242 (2006.01)</b>	<b>H01L 27/108 (2006.01)</b>	<b>H01L 27/1156 (2017.01)</b>	<b>H01L 29/786 (2006.01)</b>	<b>H01L 21/8234 (2006.01)</b>	<b>H01L 27/108 (2006.01)</b>	<b>H01L 29/786 (2006.01)</b>	<b>H01L 27/088 (2006.01)</b>	<b>H01L 27/1156 (2017.01)</b>	<b>H01L 29/78 (2006.01)</b>	<b>H01L 27/088 (2006.01)</b>	<b>H01L 29/78 (2006.01)</b>	<b>H01L 27/1156 (2017.01)</b>	<b>H01L 29/78 (2006.01)</b>	<b>H01L 27/088 (2006.01)</b>
-------------------------------	------------------------------	-------------------------------	------------------------------	-------------------------------	------------------------------	------------------------------	------------------------------	-------------------------------	-----------------------------	------------------------------	-----------------------------	-------------------------------	-----------------------------	------------------------------

27/108

3 2 1

27/1156

6 1 8 B

6 1 3 Z

B

請求項の数 4 (全 57 頁) 最終頁に続く

(21) 出願番号 特願2016-118457 (P2016-118457)  
 (22) 出願日 平成28年6月15日 (2016.6.15)  
 (62) 分割の表示 特願2014-245479 (P2014-245479)  
 の分割  
 原出願日 平成22年11月1日 (2010.11.1)  
 (65) 公開番号 特開2016-195262 (P2016-195262A)  
 (43) 公開日 平成28年11月17日 (2016.11.17)  
 審査請求日 平成28年6月16日 (2016.6.16)  
 (31) 優先権主張番号 特願2009-255536 (P2009-255536)  
 (32) 優先日 平成21年11月6日 (2009.11.6)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2009-264572 (P2009-264572)  
 (32) 優先日 平成21年11月20日 (2009.11.20)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 小山 潤  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 加藤 清  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 安田 雅彦

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

第1のトランジスタと、第2のトランジスタと、を有し、  
 前記第1のトランジスタのゲートは、前記第2のトランジスタのソース又はドレインの  
 一方と電気的に接続される半導体装置であって、

前記第2のトランジスタは、

ゲート電極と、

前記ゲート電極上方のゲート絶縁層と、

前記ゲート絶縁層上方の酸化物半導体層と、

前記酸化物半導体層上方のソース電極と、

前記酸化物半導体層上方のドレイン電極と、を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方には、絶縁層  
 が設けられ、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記酸化物半導体層は、脱水化又は脱水素化のための第1の工程と、前記第1の工程の  
 後の、酸素を供給するための第2の工程と、を経て形成されたものであり、

前記酸化物半導体層は、第1の領域と、前記第1の領域上方の第2の領域と、を有し、

前記第1の領域は、非晶質、又は非晶質と結晶とが混在しており、

前記第2の領域は、結晶部を有することを特徴とする半導体装置の作製方法。

## 【請求項 2】

10

20

第 1 のトランジスタと、第 2 のトランジスタと、を有し、  
前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのソース又はドレインの  
一方と電気的に接続される半導体装置であって、

前記第 2 のトランジスタは、

ゲート電極と、

前記ゲート電極上方のゲート絶縁層と、

前記ゲート絶縁層上方の酸化物半導体層と、

前記酸化物半導体層上方のソース電極と、

前記酸化物半導体層上方のドレイン電極と、を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方には、絶縁層  
が設けられ、

前記酸化物半導体層は、In と、Ga と、Zn と、を有し、

前記酸化物半導体層は、脱水化又は脱水素化のための第 1 の工程と、前記第 1 の工程の  
後の、酸素を供給するための第 2 の工程と、を経て形成されたものであり、

前記酸化物半導体層は、第 1 の領域と、前記第 1 の領域上方の第 2 の領域と、を有し、

前記第 1 の領域は、非晶質、又は非晶質と結晶とが混在しており、

前記第 2 の領域は、c 軸が配向した結晶を有することを特徴とする半導体装置の作製方  
法。

### 【請求項 3】

第 1 のトランジスタと、第 2 のトランジスタと、を有し、

20

前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのソース又はドレインの  
一方と電気的に接続される半導体装置であって、

前記第 2 のトランジスタは、

ゲート電極と、

前記ゲート電極上方のゲート絶縁層と、

前記ゲート絶縁層上方の酸化物半導体層と、

前記酸化物半導体層上方のソース電極と、

前記酸化物半導体層上方のドレイン電極と、を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方には、絶縁層  
が設けられ、

30

前記酸化物半導体層は、In と、Ga と、Zn と、を有し、

前記酸化物半導体層は、脱水化又は脱水素化のための第 1 の工程と、前記第 1 の工程の  
後の、酸素を供給するための第 2 の工程と、を経て形成されたものであることを特徴とす  
る半導体装置の作製方法。

### 【請求項 4】

第 1 のトランジスタと、第 2 のトランジスタと、を有し、

前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのソース又はドレインの  
一方と電気的に接続される半導体装置であって、

前記第 2 のトランジスタは、

ゲート電極と、

40

前記ゲート電極上方のゲート絶縁層と、

前記ゲート絶縁層上方の酸化物半導体層と、

前記酸化物半導体層上方のソース電極と、

前記酸化物半導体層上方のドレイン電極と、を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方には、絶縁層  
が設けられ、

前記酸化物半導体層は、In と、Ga と、Zn と、を有し、

前記酸化物半導体層は、脱水化又は脱水素化のための第 1 の工程と、前記第 1 の工程の  
後の、酸素を供給するための第 2 の工程と、を経て形成されたものであることを特徴とす  
る半導体装置の作製方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性記憶装置と、電力の供給がなくなっても記憶内容は保持される不揮発性記憶装置とに大別される。

10

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われることになるため、データの読み込みの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

20

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わることろはない。

30

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、書き込みを何度も繰り返すことによって記憶素子が機能しなくなるという問題が生じる。この問題を回避するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

40

【0008】

また、フローティングゲートに電荷を注入し、または、その電荷を除去するためには、高い電圧が必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

50

**【発明の概要】****【発明が解決しようとする課題】****【0010】**

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。または、保持できるデータの多値化が容易な構成の半導体装置を提供することを目的の一とする。

**【課題を解決するための手段】****【0011】**

本発明の一態様は、酸化物半導体を用いて形成されるトランジスタと、それ以外の材料を用いて形成されるトランジスタとの積層構造に係る半導体装置である。例えば、次のような構成を採用することができる。

10

**【0012】**

本発明の一態様は、ソース線と、ビット線と、第1信号線と、複数の第2信号線と、複数のワード線と、ソース線と、ビット線との間に、直列に接続された複数のメモリセルと、アドレス信号が入力され、複数のメモリセルのうちアドレス信号によって指定されたメモリセルを選択するように、複数の第2信号線および複数のワード線を駆動する、第2信号線およびワード線の駆動回路と、複数の書き込み電位のいずれかを選択して第1信号線に出力する、第1信号線の駆動回路と、ビット線の電位と複数の参照電位とが入力され、ビット線の電位と、複数の参照電位とを比較してデータを読み出す読み出し回路と、複数の書き込み電位および複数の参照電位を生成して第1信号線の駆動回路および読み出し回路に供給する、電位生成回路と、を有し、複数のメモリセルの一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、第3のゲート電極、第3のソース電極、および第3のドレイン電極を有する第3のトランジスタと、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方とは、電気的に接続され、ソース線と、第1のソース電極と、第3のソース電極とは、電気的に接続され、ビット線と、第1のドレイン電極と、第3のドレイン電極とは、電気的に接続され、第1信号線と、第2のソース電極または第2のドレイン電極の他方とは、電気的に接続され、複数の第2信号線の一と、第2のゲート電極とは、電気的に接続され、複数のワード線の一と、第3のゲート電極とは電気的に接続された半導体装置である。

20

**【0013】**

なお、上記において、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、に電気的に接続された容量素子を有するのが好適である。

30

**【0014】**

また、本発明の他の一態様は、ソース線と、ビット線と、第1信号線と、複数の第2信号線と、複数のワード線と、ソース線と、ビット線との間に、直列に接続された複数のメモリセルと、アドレス信号と複数の参照電位とが入力され、複数のメモリセルのうちアドレス信号によって指定されたメモリセルを選択するように、複数の第2信号線および複数のワード線を駆動し、選択された一のワード線に複数の参照電位のいずれかを選択して出力する、第2信号線およびワード線の駆動回路と、複数の書き込み電位のいずれかを選択して第1信号線に出力する、第1信号線の駆動回路と、ビット線と接続された、指定されたメモリセルのコンダクタンスを読み出すことによりデータを読み出す読み出し回路と、複数の書き込み電位および複数の参照電位を生成して第1信号線の駆動回路および読み出し回路に供給する、電位生成回路と、を有し、複数のメモリセルの一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第

40

50

2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、容量素子の電極の一方は、電気的に接続され、ソース線と第1のソース電極とは、電気的に接続され、ビット線と第1のドレイン電極とは、電気的に接続され、第1信号線と、第2のソース電極または第2のドレイン電極の他方とは、電気的に接続され、複数の第2信号線の一と、第2のゲート電極とは、電気的に接続され、複数のワード線の一と、容量素子の電極の他方とは電気的に接続された半導体装置である。

#### 【0015】

上記において、半導体装置は、第1の選択線と、第2の選択線と、第1の選択線とゲート電極において電気的に接続された第4のトランジスタと、第2の選択線とゲート電極において電気的に接続された第5のトランジスタと、を有し、第2の配線は、第4のトランジスタを介して、第1のドレイン電極と、電気的に接続され、第1の配線は、第5のトランジスタを介して、第1のソース電極と、電気的に接続されるのが好適である。10

#### 【0016】

また、電位生成回路へは、昇圧回路で昇圧した電位が供給されることが好適である。

#### 【0017】

また、上記において、第1のトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、不純物領域と電気的に接続する第1のソース電極および第1のドレイン電極と、を有する。20

#### 【0018】

また、上記において、第2のトランジスタは、半導体材料を含む基板上の第2のゲート電極と、第2のゲート電極上の第2のゲート絶縁層と、第2のゲート絶縁層上の酸化物半導体層と、酸化物半導体層と電気的に接続する第2のソース電極および第2のドレイン電極と、を有する。

#### 【0019】

また、上記において、半導体材料を含む基板としては、単結晶半導体基板またはSOI基板を採用するのが好適である。特に、半導体材料はシリコンとするのが好適である。

#### 【0020】

また、上記において、酸化物半導体層は、In-Ga-Zn-O系の酸化物半導体材料を含むことが好適である。特に、酸化物半導体層は、 $In_2Ga_2ZnO_7$ の結晶を含むことが好適である。さらに、酸化物半導体層の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることが好適である。また、第2のトランジスタのオフ電流は $1 \times 10^{-13} \text{ A}$ 以下とすることが好適である。30

#### 【0021】

また、上記において、第2のトランジスタは、第1のトランジスタと重畠する領域に設けられた構成とすることができます。

#### 【0022】

なお、本明細書において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上の第1のゲート電極」の表現であれば、ゲート絶縁層と第1のゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」という用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。40

#### 【0023】

また、本明細書において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合などをも含む。

#### 【0024】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や50

、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

#### 【0025】

なお、本明細書において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」とは、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

#### 【0026】

例えば、「何らかの電気的作用を有するもの」には、電極や配線はもちろんのこと、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。10

#### 【0027】

また、一般に「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、「SOI基板」における基板は、シリコンウェハなどの半導体基板に限らず、ガラス基板や石英基板、サファイア基板、金属基板などの非半導体基板をも含む。つまり、絶縁表面を有する導体基板や絶縁体基板上に半導体材料からなる層を有するものも、広く「SOI基板」に含まれる。さらに、本明細書において、「半導体基板」は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く「半導体基板」に含まれる。20

#### 【0028】

また、本明細書において、酸化物半導体以外の材料とは、酸化物半導体以外の材料であればどのような材料であっても良い。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、等がある。他に、有機半導体材料などを用いることもできる。なお、半導体装置などを構成する材料について特に言及しない場合は、酸化物半導体材料または酸化物半導体以外の材料のどちらを用いてもよい。

#### 【発明の効果】

#### 【0029】

本発明の一態様では、下部に酸化物半導体以外の材料を用いたトランジスタを有し、上部に酸化物半導体を用いたトランジスタを有する半導体装置が提供される。30

#### 【0030】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

#### 【0031】

また、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば従来の不揮発性メモリのようにフローティング(浮遊)ゲートへの電荷の注入と引き抜きを行なう必要がないため、ゲート絶縁層の劣化が全く生じることがない。すなわち、本発明に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態の切り替えによって、情報の書き込みが行われるため、高速動作も容易に実現しうる。また、フラッシュメモリなどにおいて必要とされる情報を消去するための動作が不要であるというメリットもある。

#### 【0032】

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能なため、これを用いることにより、記憶内容の40

読み出しを高速に行うことが可能である。

**【0033】**

さらに、昇圧回路を設けることで保持できるデータの多値化が容易となるため、記憶容量を向上させることが可能である。

**【0034】**

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

**【図面の簡単な説明】**

**【0035】**

10

【図1】半導体装置を説明するための回路図。

【図2】半導体装置を説明するための断面図および平面図。

【図3】半導体装置の作製工程を説明するための断面図。

【図4】半導体装置の作製工程を説明するための断面図。

【図5】半導体装置の作製工程を説明するための断面図。

【図6】酸化物半導体を用いたトランジスタの断面図。

【図7】図6のA-A'断面におけるエネルギー・バンド図(模式図)。

【図8】(A)ゲート(GE1)に正の電圧( $V_G > 0$ )が与えられた状態を示し、(B)ゲート(GE1)に負の電圧( $V_G < 0$ )が与えられた状態を示す図。

【図9】真空準位と金属の仕事関数( $\phi_M$ )、酸化物半導体の電子親和力( $\chi$ )の関係を示す図。 20

【図10】C-V特性を示す図。

【図11】 $V_g$ と $(1/C)^2$ との関係を示す図。

【図12】半導体装置を説明するための断面図。

【図13】半導体装置を説明するための断面図。

【図14】半導体装置を説明するための断面図。

【図15】半導体装置を説明するための断面図。

【図16】半導体装置を説明するための回路図。

【図17】半導体装置を説明するためのブロック回路図。

【図18】半導体装置を説明するための回路図。

30

【図19】半導体装置を説明するための回路図。

【図20】半導体装置を説明するための回路図。

【図21】半導体装置を説明するための回路図。

【図22】半導体装置を説明するための回路図。

【図23】半導体装置を説明するための回路図。

【図24】半導体装置を説明するための回路図。

【図25】半導体装置を説明するための書き込み動作及び読み出し動作のタイミングチャート図。

【図26】半導体装置を説明するための回路図。

【図27】半導体装置を説明するためのブロック回路図。

40

【図28】半導体装置を説明するための回路図。

【図29】半導体装置を説明するための回路図。

【図30】ワード線WLとノードAの電位の関係を示すグラフ。

【図31】半導体装置を説明するための読み出し動作のタイミングチャート図。

【図32】半導体装置を用いた電子機器を説明するための図。

**【発明を実施するための形態】**

**【0036】**

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下

50

に示す実施の形態の記載内容に限定して解釈されるものではない。

**【0037】**

なお、図面において示す各構成の、位置、大きさ、範囲などは、理解を容易にするため、実際の位置、大きさ、範囲などを表していない場合がある。よって、必ずしも、図面に開示された位置、大きさ、範囲などに限定されない。

**【0038】**

なお、本明細書における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

**【0039】**

(実施の形態1)

10

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図1乃至図15を参照して説明する。

**【0040】**

<半導体装置の回路構成>

図1には、半導体装置の回路構成の一例を示す。当該半導体装置は、酸化物半導体以外の材料を用いたトランジスタ160と酸化物半導体を用いたトランジスタ162によって構成される。なお、図1において、トランジスタ162は、酸化物半導体(Oxide Semiconductor)を用いたことを明示するために、OSの符号を合わせて付している。以下の実施の形態についても同様である。

**【0041】**

20

ここで、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線(1st Line:ソース線SLとも呼ぶ)とトランジスタ160のソース電極とは、電気的に接続され、第2の配線(2nd Line:ビット線BLとも呼ぶ)とトランジスタ160のドレイン電極とは、電気的に接続されている。そして、第3の配線(3rd Line:第1信号線S1とも呼ぶ)とトランジスタ162のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線(4th Line:第2信号線S2とも呼ぶ)と、トランジスタ162のゲート電極とは、電気的に接続されている。

**【0042】**

酸化物半導体以外の材料を用いたトランジスタ160は、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能なため、これを用いることにより、記憶内容の読み出しなどを高速に行うことが可能である。また、酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。また、酸化物半導体を用いたトランジスタ162では、短チャネル効果が現れにくいというメリットもある。

30

**【0043】**

ゲート電極の電位を長時間にわたって保持することができるという特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

**【0044】**

40

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極に与えられる(書き込み)。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極の電位が保持される(保持)。

**【0045】**

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電位は長時間にわたって保持される。例えば、トランジスタ160のゲート電極の電位がトランジスタ160をオン状態とする電位であれば、トランジスタ160のオン状態が長

50

時間にわたって保持されることになる。また、トランジスタ 160 のゲート電極の電位がトランジスタ 160 をオフ状態とする電位であれば、トランジスタ 160 のオフ状態が長時間にわたって保持される。

#### 【0046】

次に、情報の読み出しについて説明する。上述のように、トランジスタ 160 のオン状態またはオフ状態が保持された状態において、第 1 の配線に所定の電位（低電位）が与えられると、トランジスタ 160 のオン状態またはオフ状態に応じて、第 2 の配線の電位は異なる値をとる。例えば、トランジスタ 160 がオン状態の場合には、第 1 の配線の電位の影響を受けて、第 2 の配線の電位が低下することになる。逆に、トランジスタ 160 がオフ状態の場合には、第 2 の配線の電位は変化しない。

10

#### 【0047】

このように、情報が保持された状態において、第 2 の配線の電位を所定の電位と比較することで、情報を読み出すことができる。

#### 【0048】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第 4 の配線の電位を、トランジスタ 162 がオン状態となる電位として、トランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位（新たな情報に係る電位）が、トランジスタ 160 のゲート電極に与えられる。その後、第 4 の配線の電位を、トランジスタ 162 がオフ状態となる電位として、トランジスタ 162 をオフ状態とすることにより、新たな情報が保持された状態となる。

20

#### 【0049】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

#### 【0050】

なお、上記説明は、電子をキャリアとする n 型トランジスタ（n チャネル型トランジスタ）を用いる場合についてのものであるが、n 型トランジスタに代えて、正孔をキャリアとする p 型トランジスタを用いることができるのいうまでもない。

#### 【0051】

30

また、トランジスタ 160 のゲート電極の電位の保持を容易にするために、トランジスタ 160 のゲート電極に、容量素子などを付加しても良いことはいうまでもない。

#### 【0052】

##### <半導体装置の平面構成および断面構成>

図 2 は、上記半導体装置の構成の一例である。図 2 (A) には、半導体装置の断面を、図 2 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 2 (A) は、図 2 (B) の線 A1 - A2 および線 B1 - B2 における断面に相当する。図 2 (A) および図 2 (B) に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ 160 を有し、上部に酸化物半導体を用いたトランジスタ 162 を有するものである。なお、トランジスタ 160 およびトランジスタ 162 は、いずれも n 型トランジスタとして説明するが、p 型トランジスタを採用しても良い。特に、トランジスタ 160 は、p 型とするこ

40

#### 【0053】

トランジスタ 160 は、半導体材料を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 114 および高濃度不純物領域 120（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、不純物領域 114 と電気的に接続するソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を有する。

#### 【0054】

50

ここで、ゲート電極 110 の側面にはサイドウォール絶縁層 118 が設けられている。また、基板 100 の、断面図に示すように、サイドウォール絶縁層 118 と重ならない領域には、高濃度不純物領域 120 を有し、高濃度不純物領域 120 上には金属化合物領域 124 が存在する。また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、金属化合物領域 124 と電気的に接続されている。つまり、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b は、金属化合物領域 124 を介して高濃度不純物領域 120 および不純物領域 114 と電気的に接続されている。また、ゲート電極 110 には、ソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b と同様に設けられた電極 130c が電気的に接続されている。

#### 【0055】

トランジスタ 162 は、層間絶縁層 128 上に設けられたゲート電極 136d と、ゲート電極 136d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 上に設けられ、酸化物半導体層 140 と電気的に接続されているソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、を有する。

#### 【0056】

ここで、ゲート電極 136d は、層間絶縁層 128 上に形成された絶縁層 132 に、埋め込まれるように設けられている。また、ゲート電極 136d と同様に、ソース電極またはドレイン電極 130a に接して電極 136a が、ソース電極またはドレイン電極 130b に接して電極 136b が、電極 130c に接して電極 136c が、それぞれ形成されている。

#### 【0057】

また、トランジスタ 162 の上には、酸化物半導体層 140 の一部と接するように、保護絶縁層 144 が設けられており、保護絶縁層 144 上には層間絶縁層 146 が設けられている。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b にまで達する開口が設けられており、当該開口を通じて、電極 150d、電極 150e が、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b に接して形成されている。また、電極 150d、電極 150e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極 136a、電極 136b、電極 136c に接する電極 150a、電極 150b、電極 150c が形成されている。

#### 【0058】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、高純度化されているものであることが望ましい。具体的には、酸化物半導体層 140 の水素濃度は  $5 \times 10^{-9}$  atoms/cm<sup>3</sup> 以下、望ましくは  $5 \times 10^{-8}$  atoms/cm<sup>3</sup> 以下、より望ましくは  $5 \times 10^{-7}$  atoms/cm<sup>3</sup> 以下とする。また、水素濃度が十分に低減されて高純度化された酸化物半導体層 140 では、一般的なシリコンウェハ（リンやボロンなどの不純物元素が微量に添加されたシリコンウェハ）におけるキャリア濃度 ( $1 \times 10^{14} / cm^3$  程度) と比較して、十分に小さいキャリア濃度の値をとる。つまり、酸化物半導体層 140 のキャリア濃度は  $1 \times 10^{12} / cm^3$  以下、望ましくは、 $1 \times 10^{11} / cm^3$  以下となる。このように、水素濃度が十分に低減されて高純度化され、i型化（真性化）または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。例えば、ドレイン電圧 Vd が +1V または +10V の場合であって、ゲート電圧 Vg が -5V から -20V の範囲では、オフ電流は  $1 \times 10^{-13} A$  以下である。このように、水素濃度が十分に低減され、真性化または実質的に真性化された酸化物半導体層 140 を適用し、トランジスタ 162 のオフ電流を

10

20

30

40

50

低減することにより、新たな構成の半導体装置を実現することができる。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法 (S I M S : Secondary Ion Mass Spectroscopy) で測定したものである。

#### 【0059】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、当該絶縁層 152 に埋め込まれるように、電極 154a、電極 154b、電極 154c、電極 154d が設けられている。ここで、電極 154a は電極 150a と接しており、電極 154b は電極 150b と接しており、電極 154c は電極 150c および電極 150d と接しており、電極 154d は電極 150e と接している。

#### 【0060】

つまり、図 2 に示される半導体装置では、トランジスタ 160 のゲート電極 110 と、トランジスタ 162 のソース電極またはドレイン電極 142a とが、電極 130c、電極 136c、電極 150c、電極 154c および電極 150d を介して電気的に接続されている。

#### 【0061】

##### <半導体装置の作製方法>

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 160 の作製方法について図 3 を参照して説明し、その後、上部のトランジスタ 162 の作製方法について図 4 および図 5 を参照して説明する。

#### 【0062】

##### <下部のトランジスタの作製方法>

まず、半導体材料を含む基板 100 を用意する (図 3 (A) 参照)。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。

#### 【0063】

基板 100 上には、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成する (図 3 (A) 参照)。保護層 102 としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や p 型の導電性を付与する不純物元素を基板 100 に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

#### 【0064】

次に、上記の保護層 102 をマスクとしてエッティングを行い、保護層 102 に覆われていない領域 (露出している領域) の基板 100 の一部を除去する。これにより分離された半導体領域 104 が形成される (図 3 (B) 参照)。当該エッティングには、ドライエッティングを用いるのが好適であるが、ウェットエッティングを用いても良い。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。

#### 【0065】

次に、半導体領域 104 を覆うように絶縁層を形成し、半導体領域 104 に重畠する領域の絶縁層を選択的に除去することで、素子分離絶縁層 106 を形成する (図 3 (B) 参照)。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、C M P などの研磨処理やエッティング処理などがあるが、そのいずれを用いても良い。なお、半導体領域 104 の形成後、または、素子分離絶縁層 106 の形成後には、上記保護層 102 を除去する。

#### 【0066】

次に、半導体領域 104 上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成す

10

20

30

40

50

る。

#### 【0067】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化させることにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

10

#### 【0068】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タンゲステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピノコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

#### 【0069】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する（図3（C）参照）。

20

#### 【0070】

次に、ゲート電極110を覆う絶縁層112を形成する（図3（C）参照）。そして、半導体領域104にリン（P）やヒ素（As）などを添加して、基板100との浅い接合深度の不純物領域114を形成する（図3（C）参照）。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。なお、不純物領域114の形成により、半導体領域104のゲート絶縁層108下部には、チャネル形成領域116が形成される（図3（C）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁層112を形成する工程としても良い。

30

#### 【0071】

次に、サイドウォール絶縁層118を形成する（図3（D）参照）。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110の上面と、不純物領域114の上面を露出させると良い。

#### 【0072】

次に、ゲート電極110、不純物領域114、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、当該絶縁層が不純物領域114と接する領域に、リン（P）やヒ素（As）などを添加して、高濃度不純物領域120を形成する（図3（E）参照）。その後、上記絶縁層を除去し、ゲート電極110、サイドウォール絶縁層118、高濃度不純物領域120等を覆うように金属層122を形成する（図3（E）参照）。当該金属層122は、真空蒸着法やスパッタリング法、スピノコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タンゲステン、ニッケル、コバルト、白金等がある。

40

#### 【0073】

50

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、高濃度不純物領域120に接する金属化合物領域124が形成される(図3(F)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

#### 【0074】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後には、金属層122は除去する。10

#### 【0075】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層126、層間絶縁層128を形成する(図3(G)参照)。層間絶縁層126や層間絶縁層128は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層126と層間絶縁層128の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層128の形成後には、その表面を、CMPやエッチング処理などによって平坦化しておくことが望ましい。20

#### 【0076】

その後、上記層間絶縁層に、金属化合物領域124にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bを形成する(図3(H)参照)。ソース電極またはドレイン電極130aやソース電極またはドレイン電極130bは、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

#### 【0077】

なお、上記導電層の一部を除去してソース電極またはドレイン電極130aやソース電極またはドレイン電極130bを形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する場合には、その後のCMPによって、不要なタンゲステン膜、チタン膜、窒化チタン膜などを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bを含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。30

#### 【0078】

なお、ここでは、金属化合物領域124と接触するソース電極またはドレイン電極130aやソース電極またはドレイン電極130bのみを示しているが、この工程において、ゲート電極110と接触する電極(例えば、図2における電極130c)などをあわせて形成することができる。ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bとして用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。40

#### 【0079】

以上により、半導体材料を含む基板100を用いたトランジスタ160が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。50

### 【0080】

<上部のトランジスタの作製方法>

次に、図4および図5を用いて、層間絶縁層128上にトランジスタ162を作製する工程について説明する。なお、図4および図5は、層間絶縁層128上の各種電極や、トランジスタ162などの作製工程を示すものであるから、トランジスタ162の下部に存在するトランジスタ160等については省略している。

### 【0081】

まず、層間絶縁層128、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130c上に絶縁層132を形成する(図4(A)参照)。絶縁層132はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。10

### 【0082】

次に、絶縁層132に対し、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、および、電極130cにまで達する開口を形成する。この際、後にゲート電極136dが形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層134を形成する(図4(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することができる。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層134の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層134の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。20

### 【0083】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、下部電極(ここではソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130cなど)の表面の酸化膜を還元し、下部電極との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや、窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。30

### 【0084】

導電層134を形成した後には、エッチング処理やCMPといった方法を用いて導電層134の一部を除去し、絶縁層132を露出させて、電極136a、電極136b、電極136c、ゲート電極136dを形成する(図4(C)参照)。なお、上記導電層134の一部を除去して電極136a、電極136b、電極136c、ゲート電極136dを形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。40

### 【0085】

次に、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dを覆うように、ゲート絶縁層138を形成する(図4(D)参照)。ゲート絶縁層138は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層138は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層138は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして50

、シラン(  $\text{SiH}_4$  )、酸素、窒素を用いたプラズマ CVD 法により、酸化窒化珪素でなるゲート絶縁層 138 を形成することができる。ゲート絶縁層 138 の厚さは特に限定されないが、例えば、10 nm 以上 500 nm 以下とすることができます。積層構造の場合は、例えば、膜厚 50 nm 以上 200 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上の膜厚 5 nm 以上 300 nm 以下の第 2 のゲート絶縁層の積層とすると好適である。

#### 【0086】

なお、不純物を除去することにより i 型化または実質的に i 型化された酸化物半導体(高純度化された酸化物半導体)は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層 138 には、高品質化が要求されることになる。

10

#### 【0087】

例えば、μ波(2.45 GHz)を用いた高密度プラズマ CVD 法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層 138 を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

#### 【0088】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマ CVD 法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や酸化物半導体層との界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層 138 としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものを形成すれば良い。

20

#### 【0089】

不純物が酸化物半導体に含まれている場合、強い電界や高い温度などのストレスにより、不純物と酸化物半導体の主成分との結合が切断され、生成された未結合手がしきい値電圧(  $V_{th}$  )のシフトを誘発する。

#### 【0090】

これに対して、酸化物半導体の不純物、特に水素や水などの不純物を極力除去し、上記のようにゲート絶縁層との界面特性を良好にすることにより、強電界や高温などのストレスに対しても安定なトランジスタを得ることが可能である。

30

#### 【0091】

次いで、ゲート絶縁層 138 上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって当該酸化物半導体層を加工して、島状の酸化物半導体層 140 を形成する(図 4(E) 参照)。

#### 【0092】

酸化物半導体層としては、四元系金属酸化物である In - Sn - Ga - Zn - O 系や、三元系金属酸化物である In - Ga - Zn - O 系、In - Sn - Zn - O 系、In - Al - Zn - O 系、Sn - Ga - Zn - O 系、Al - Ga - Zn - O 系、Sn - Al - Zn - O 系や、二元系金属酸化物である In - Zn - O 系、Sn - Zn - O 系、Al - Zn - O 系、Zn - Mg - O 系、Sn - Mg - O 系、In - Mg - O 系や、In - O 系、Sn - O 系、Zn - O 系などの酸化物半導体層を適用することができる。また、上記酸化物半導体材料に  $\text{SiO}_2$  を含ませても良い。

40

#### 【0093】

また、酸化物半導体層は、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn 及び Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される酸化物半導体膜のうち、M として Ga を含む組成の酸化物半導体を、In - Ga - Zn - O 系酸化物半導体と呼び、その薄膜を In - Ga - Zn - O 系酸化物半導体膜( In - Ga - Zn - O 系非晶質膜

50

)などと呼ぶこととする。

#### 【0094】

本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いて、非晶質の酸化物半導体層をスパッタリング法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、SiO<sub>2</sub>を2重量%以上10重量%以下含むターゲットを用いて酸化物半導体層を形成しても良い。

#### 【0095】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛を主成分とする酸化物半導体成膜用ターゲットを用いることができる。また、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットとして、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol比]の組成比を有するターゲットなどを用いることもできる。また、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットとして、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2[mol比]、またはIn<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:4[mol比]の組成比を有するターゲットなどを用いても良い。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上(例えば99.9%)である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

#### 【0096】

酸化物半導体層の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基を有する化合物または水素化物などの不純物の濃度が数ppm程度(望ましくは数ppb程度)にまで除去された高純度ガスを用いるのが好適である。

#### 【0097】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる酸化物半導体層の損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H<sub>2</sub>O)など水素原子を含む化合物等、炭素原子を含む化合物等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

#### 【0098】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素流量比率100%)雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も小さくなるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

#### 【0099】

なお、酸化物半導体層をスパッタリング法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタリングとは、通常のスパッタリング法においては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面に

10

20

30

40

50

イオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素雰囲気、ヘリウム雰囲気、酸素雰囲気などを用いても良い。

#### 【0100】

上記酸化物半導体層のエッティングには、ドライエッティング、ウェットエッティングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッティングできるよう、材料に合わせてエッティング条件（エッティングガスやエッティング液、エッティング時間、温度等）を適宜設定する。

#### 【0101】

ドライエッティングに用いるエッティングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（Cl<sub>2</sub>）、塩化硼素（BCl<sub>3</sub>）、四塩化珪素（SiCl<sub>4</sub>）、四塩化炭素（CCl<sub>4</sub>）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF<sub>4</sub>）、六弗化硫黄（SF<sub>6</sub>）、三弗化窒素（NF<sub>3</sub>）、トリフルオロメタン（CHF<sub>3</sub>）など）、臭化水素（HBr）、酸素（O<sub>2</sub>）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いても良い。

10

#### 【0102】

ドライエッティング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッティング法を用いることができる。所望の形状にエッティングできるよう、エッティング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）は適宜設定する。

20

#### 【0103】

ウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITOON（関東化学社製）などを用いてもよい。

#### 【0104】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300以上750以下、好ましくは400以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れないようにし、水や水素の再混入が行われないようにする。

30

#### 【0105】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

40

#### 【0106】

例えば、第1の熱処理として、650～700の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行つてもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

#### 【0107】

なお、第1の熱処理は、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分

50

とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N ( 99.9999 % ) 以上、好ましくは 7 N ( 99.99999 % ) 以上（すなわち、不純物濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下）とする。

#### 【 0108 】

第 1 の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が 90 % 以上、または 80 % 以上の微結晶の酸化物半導体層となる場合もある。また、第 1 の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

10

#### 【 0109 】

また、非晶質の酸化物半導体（例えば、酸化物半導体層の表面）に結晶（粒径 1 nm 以上 20 nm 以下（代表的には 2 nm 以上 4 nm 以下））が混在する酸化物半導体層となる場合もある。

#### 【 0110 】

また、非晶質領域の表面に結晶層を設けることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In - Ga - Zn - O 系の酸化物半導体成膜用ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する  $In_2Ga_2ZnO_7$  の結晶粒が配向した結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

20

#### 【 0111 】

より具体的には、例えば、 $In_2Ga_2ZnO_7$  の c 軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

#### 【 0112 】

なお、上述の結晶部を有する酸化物半導体層は、GRTA 处理による酸化物半導体層の加熱によって形成することができる。また、Zn の含有量が In または Ga の含有量より小さいスパッタターゲットを用いることで、より好適に形成することができる。

30

#### 【 0113 】

酸化物半導体層 140 に対する第 1 の熱処理は、島状の酸化物半導体層 140 に加工する前の酸化物半導体層に行うこともできる。その場合には、第 1 の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

#### 【 0114 】

なお、上記第 1 の熱処理は、酸化物半導体層に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層 140 上にソース電極またはドレイン電極を積層させた後、ソース電極またはドレイン電極上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

40

#### 【 0115 】

次に、酸化物半導体層 140 に接するように、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b を形成する（図 4 (F) 参照）。ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b は、酸化物半導体層 140 を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

#### 【 0116 】

導電層は、スパッタリング法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム

50

、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムから選択されたいずれか一または複数の材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。

#### 【0117】

また、導電層は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム ( $In_2O_3$ )、酸化スズ ( $SnO_2$ )、酸化亜鉛 ( $ZnO$ )、酸化インジウム酸化スズ合金 ( $In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金 ( $In_2O_3-ZnO$ ) または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。10

#### 【0118】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

#### 【0119】

ここで、エッティングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

#### 【0120】

トランジスタのチャネル長 ( $L$ ) は、ソース電極またはドレイン電極 142a の下端部と、ソース電極またはドレイン電極 142b の下端部との間隔によって決定される。なお、チャネル長 ( $L$ ) が 25 nm 未満において露光を行う場合には、数 nm ~ 数 10 nm と極めて波長が短い超紫外線 (Extreme Ultraviolet) を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長 ( $L$ ) を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化できる。さらにオフ電流値が極めて小さいため、消費電力が大きくならずに済む。20

#### 【0121】

なお、導電層のエッティングの際には、酸化物半導体層 140 が除去されないように、それぞれの材料およびエッティング条件を適宜調節する。なお、材料およびエッティング条件によつては、当該工程において、酸化物半導体層 140 の一部がエッティングされ、溝部(凹部)を有する酸化物半導体層となることもある。30

#### 【0122】

また、酸化物半導体層 140 とソース電極またはドレイン電極 142a の間や、酸化物半導体層 140 とソース電極またはドレイン電極 142b の間には、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極またはドレイン電極 142a やソース電極またはドレイン電極 142b を形成するための導電層は、連続して形成すること(連続成膜)が可能である。酸化物導電層はソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるために、トランジスタの高速動作が実現される。40

#### 【0123】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッティング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状(階段状)となり、アッティングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッティング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

#### 【0124】

10

20

30

40

50

なお、上述の工程の後には、N<sub>2</sub>O、N<sub>2</sub>、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスなど、酸素を含有するガスを用いたプラズマ処理を行ってもよい。これによって酸化物半導体層に酸素を供給し、酸素欠乏に起因する欠陥を低減することが可能である。

#### 【0125】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する(図4(G)参照)。

#### 【0126】

保護絶縁層144は、スパッタリング法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、1nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300以下とするのが好ましく、雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または希ガス(代表的にはアルゴン)と酸素の混合雰囲気とするのが好適である。

10

#### 【0127】

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜き、などが生じ、酸化物半導体層のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層144はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

20

#### 【0128】

また、処理室内の残留水分を除去しつつ保護絶縁層144を形成することが好ましい。酸化物半導体層140および保護絶縁層144に水素、水酸基または水が含まれないようにするためである。

#### 【0129】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであつてもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H<sub>2</sub>O)など水素原子を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層144に含まれる不純物の濃度を低減できる。

30

#### 【0130】

保護絶縁層144を形成する際に用いるスパッタガスとしては、水素、水、水酸基を含む化合物または水素化物などの不純物の濃度が数ppm程度(望ましくは数ppb程度)にまで除去された高純度ガスを用いることが好ましい。

#### 【0131】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の熱処理(好ましくは200以上400以下、例えば250以上350以下)を行うのが望ましい。例えば、窒素雰囲気下で250、1時間の第2の熱処理を行う。第2の熱処理を行うと、トランジスタの電気的特性のばらつきを低減することができる。また、第2の熱処理によって、酸化物半導体層に酸素を供給することができる。また、第2の熱処理中に、上記のガスを切り替えてても良い。第2の熱処理に続けて、酸素雰囲気、または水素や水を十分に除去した雰囲気における降温過程を経ることで、酸化物半導体中に酸素を供給することも可能である。

40

#### 【0132】

また、大気中、100以上200以下、1時間以上30時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえし

50

て行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第2の熱処理に代えて行っても良いし、第2の熱処理の前後などに行っても良い。

#### 【0133】

次に、保護絶縁層144上に、層間絶縁層146を形成する(図5(A)参照)。層間絶縁層146はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層146の形成後には、その表面を、CMPやエッチングなどの方法によって平坦化しておくことが望ましい。

10

#### 【0134】

次に、層間絶縁層146、保護絶縁層144、およびゲート絶縁層138に対し、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bにまで達する開口を形成し、当該開口に埋め込むように導電層148を形成する(図5(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することができる。当該マスクは、ウェットエッチング、ドライエッティングのいずれを用いても良いが、微細加工の観点からは、ドライエッティングを用いることが好適である。導電層148の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層148の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

20

#### 【0135】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、下部電極(ここでは、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bなど)の表面の酸化膜を還元し、下部電極との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや、窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

30

#### 【0136】

導電層148を形成した後には、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極150a、電極150b、電極150c、電極150d、電極150eを形成する(図5(C)参照)。なお、上記導電層148の一部を除去して電極150a、電極150b、電極150c、電極150d、電極150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極150a、電極150b、電極150c、電極150d、電極150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層などを形成することが可能となる。

40

#### 【0137】

さらに、絶縁層152を形成し、絶縁層152に、電極150a、電極150b、電極150c、電極150d、電極150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極154a、電極154b、電極154c、電極154dを形成する(図5(D)参照)。当該工程は、電極150a等を形成する場合と同様であるから、詳細は省略する。

#### 【0138】

上述のような方法でトランジスタ162を作製した場合、酸化物半導体層140の水素濃度は $5 \times 10^{19}$ atoms/cm<sup>3</sup>以下となり、また、トランジスタ162のオフ電流

50

は検出限界である  $1 \times 10^{-13} A$  以下となる。さらに、トランジスタ 162 のオフ電流（ここでは、単位チャネル幅 ( $1 \mu m$ )あたりの値) は  $100 zA / \mu m$  以下となる。このような、水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層 140 を適用することで、優れた特性のトランジスタ 162 を得ることができる。また、下部に酸化物半導体以外の材料を用いたトランジスタ 160 を有し、上部に酸化物半導体を用いたトランジスタ 162 を有する優れた特性の半導体装置を作製することができる。

#### 【0139】

なお、酸化物半導体において、物性研究は多くなされているが、エネルギーギャップ中の局在準位そのものを十分に減らすという思想を含まない。開示する発明の一態様では、局在準位の原因たり得る水や水素を酸化物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、エネルギーギャップ中の局在準位そのものを十分に減らすという思想に立脚するものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

#### 【0140】

なお、水素や水などを除去する際には、同時に酸素が除去されてしまうことがある。このため、酸素欠乏により発生する金属の未結合手に対して酸素を供給し、酸素欠陥による局在準位を減少させることにより、酸化物半導体をさらに高純度化 (i型化) するのは好適である。たとえば、チャネル形成領域に接して酸素過剰の酸化膜を形成し、 $200 \sim 400$ 、代表的には  $250$  程度の温度条件での熱処理を行うことで、当該酸化膜から酸化物半導体中へ酸素を供給して、酸素欠陥による局在準位を減少させることが可能である。

#### 【0141】

酸化物半導体の特性を悪化させる要因は、過剰な水素による伝導帯下  $0.1 \sim 0.2 eV$  の浅い準位や、酸素欠損による深い準位、などであると考えられる。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給する。

#### 【0142】

開示する発明では酸化物半導体を高純度化しているため、酸化物半導体中のキャリア密度は十分小さい。

#### 【0143】

さらに、常温でのフェルミ・ディラック分布則を用いると、エネルギーギャップが  $3.05 \sim 3.15 eV$  である酸化物半導体の真性キャリア密度は  $1 \times 10^{17} / cm^3$  となり、真性キャリア密度が  $1.45 \times 10^{10} / cm^3$  であるシリコンと比べてはるかに小さい。

#### 【0144】

そのため、少数キャリアであるホールも極めて少なく、IGFET (Insulated Gate Field Effect Transistor) におけるオフ状態でのリーコ電流は常温において  $100 aA / \mu m$  以下、好ましくは  $10 aA / \mu m$  以下、さらに好ましくは  $1 aA / \mu m$  以下を期待することができる。なお、ここで  $1 aA / \mu m$  という表記は、トランジスタのチャネル幅  $1 \mu m$  当たり  $1 aA (1 \times 10^{-18} A)$  の電流が流れることを示す。

#### 【0145】

もっとも、エネルギーギャップが  $3 eV$  以上のワイドギャップ半導体として  $4H-SiC$  ( $3.26 eV$ )、GaN ( $3.42 eV$ ) などが知られており、同様なトランジスタ特性が得られることが期待される。しかし、これらの半導体材料は  $1500$  以上のプロセス温度を経由するため、薄膜化は実質的に不可能である。また、シリコン集積回路の上に三次元の積層化をしようとしても、プロセス温度が高すぎるため不可能である。他方、酸化物半導体は、室温～ $400$  の加熱スパッタリングによる薄膜形成が可能であり、脱水化・脱水素化（水素や水を除去すること）及び加酸化（酸素を供給すること）を  $450 \sim 700$  で実現することができるため、シリコン集積回路の上に三次元的な積層構造を

10

20

30

40

50

形成することができる。

**【0146】**

なお、酸化物半導体は一般にn型とされているが、開示する発明の一態様では、水や水素などの不純物を除去すると共に、酸化物半導体の構成元素である酸素を供給することでi型化を実現する。この点、シリコンなどのように不純物を添加してのi型化ではなく、従来にない技術思想を含むものといえる。

**【0147】**

<酸化物半導体を用いたトランジスタの電導機構>

ここで、酸化物半導体を用いたトランジスタの電導機構につき、図6乃至図9を用いて説明する。なお、以下の説明は一考察に過ぎず、これに基づいて発明の有効性が否定されるものではないことを付記する。10

**【0148】**

図6は、酸化物半導体を用いたトランジスタ（薄膜トランジスタ）の断面図である。ゲート電極（GE1）上にゲート絶縁層（GI）を介して酸化物半導体層（OS）が設けられ、その上にソース電極（S）およびドレイン電極（D）が設けられ、ソース電極（S）およびドレイン電極（D）を覆うように絶縁層が設けられている。

**【0149】**

図7には、図6のA-A'断面におけるエネルギー・バンド図（模式図）を示す。また、図7中の黒丸（●）は電子を示し、白丸（○）は正孔を示し、それぞれは電荷（-q, +q）を有している。ドレイン電極に正の電圧（ $V_D > 0$ ）を印加した上で、破線はゲート電極に電圧を印加しない場合（ $V_G = 0$ ）、実線はゲート電極に正の電圧（ $V_G > 0$ ）を印加する場合を示す。ゲート電極に電圧を印加しない場合は高いポテンシャル障壁のために電極から酸化物半導体側へキャリア（電子）が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加するとポテンシャル障壁が低下し、電流を流すオン状態を示す。20

**【0150】**

図8には、図6におけるB-B'の断面におけるエネルギー・バンド図（模式図）を示す。図8（A）は、ゲート電極（GE1）に正の電圧（ $V_G > 0$ ）が与えられた状態であり、ソース電極とドレイン電極との間にキャリア（電子）が流れるオン状態を示している。また、図8（B）は、ゲート電極（GE1）に負の電圧（ $V_G < 0$ ）が印加された状態であり、オフ状態（少数キャリアは流れない状態）である場合を示す。30

**【0151】**

図9は、真空準位と金属の仕事関数（ $\phi_M$ ）、酸化物半導体の電子親和力（ $\chi$ ）の関係を示す。

**【0152】**

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体はn型であり、そのフェルミ準位（ $E_F$ ）は、バンドギャップ中央に位置する真性フェルミ準位（ $E_i$ ）から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなりn型化する要因の一つであることが知られている。40

**【0153】**

これに対して開示する発明の一態様に係る酸化物半導体は、n型化の要因である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより真性（i型）とし、または実質的に真性としたものである。すなわち、不純物元素を添加してi型化するのではなく、水素や水等の不純物を極力除去することにより、高純度化されたi型（真性半導体）またはそれに近づけることを特徴としている。これにより、フェルミ準位（ $E_F$ ）は真性フェルミ準位（ $E_i$ ）と同程度とすることができる。

**【0154】**

酸化物半導体のバンドギャップ（ $E_g$ ）は3.15eVで、電子親和力（ $\chi$ ）は4.3V50

と言われている。ソース電極およびドレイン電極を構成するチタン(Ti)の仕事関数は、酸化物半導体の電子親和力(ΔE)とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

#### 【0155】

このとき電子は、図8(A)で示すように、ゲート絶縁層と高純度化された酸化物半導体との界面付近(酸化物半導体のエネルギー的に安定な最低部)を移動する。

#### 【0156】

また、図8(B)に示すように、ゲート電極(GE1)に負の電位が与えられると、少數キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

#### 【0157】

このように酸化物半導体の主成分以外の元素(不純物元素)が極力含まれないように高純度化することにより、真性(i型)とし、または実質的に真性となるため、ゲート絶縁層との界面特性が顕在化する。そのため、ゲート絶縁層には、酸化物半導体と良好な界面を形成できるものが要求される。具体的には、例えば、VHF帯~マイクロ波帯の電源周波数で生成される高密度プラズマを用いたCVD法で作製される絶縁層や、スパッタリング法で作製される絶縁層などを用いることが好ましい。

#### 【0158】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁層との界面を良好なものとするることにより、例えば、トランジスタのチャネル幅(W)が $1 \times 10^4 \mu\text{m}$ 、チャネル長(L)が $3 \mu\text{m}$ の場合には、 $10^{-13} \text{ A}$ 以下のオフ電流、 $0.1 \text{ V}/\text{dec}$ のサブスレッショルドスイング値(S値)(ゲート絶縁層の厚さ: 100 nm)が実現され得る。

#### 【0159】

このように、酸化物半導体の主成分以外の元素(不純物元素)が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができます。

#### 【0160】

##### <キャリア濃度>

開示する発明に係る技術思想は、酸化物半導体層におけるキャリア濃度を十分に小さくし、できるだけ真性(i型)に近づけようとするものである。以下、キャリア濃度の求め方、および、実際に測定したキャリア濃度に関し、図10および図11を参照して説明する。

#### 【0161】

まず、キャリア濃度の求め方について簡単に説明する。キャリア濃度は、MOSキャパシタを作製し、MOSキャパシタのC-V測定の結果(C-V特性)を評価することで求めることが可能である。

#### 【0162】

より具体的には、MOSキャパシタのゲート電圧Vgと容量Cとの関係をプロットしたC-V特性を表すグラフを作成し、当該C-V特性からゲート電圧Vgと $(1/C)^2$ との関係を表すグラフを作成し、当該グラフにおいて弱反転領域での $(1/C)^2$ の微分値を求め、当該微分値を式(1)に代入することによりキャリア濃度N<sub>d</sub>の大きさが求められる。なお、式(1)において、eは電気素量、ε<sub>0</sub>は真空の誘電率、ε<sub>r</sub>は酸化物半導体の比誘電率である。

#### 【0163】

##### 【数1】

$$N_d = - \left( \frac{2}{e \epsilon_0 \epsilon_r} \right) \left/ \frac{d(1/C)^2}{dV} \right. \quad (1)$$

#### 【0164】

次に、上記の方法を用いて実際に測定したキャリア濃度について説明する。測定には、ガラス基板上にチタン膜を300 nmの厚さで形成し、チタン膜上に窒化チタン膜を100

10

20

30

40

50

$n\text{m}$ の厚さで形成し、窒化チタン膜上に、In-Ga-Zn-O系の酸化物半導体を用いた酸化物半導体層を $2\mu\text{m}$ の厚さで形成し、酸化物半導体層上に銀膜を $300\text{nm}$ の厚さで形成した試料(MOSキャパシタ)を用いた。なお、酸化物半導体層は、In-Ga-Zn-O系の酸化物半導体成膜用ターゲット(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol比])を用いたスパッタリング法により形成した。また、酸化物半導体層の形成雰囲気は、アルゴンと酸素の混合雰囲気(流量比は、Ar:O<sub>2</sub>=30(sccm):15(sccm))とした。

#### 【0165】

図10にはC-V特性を、図11にはVgと(1/C)<sup>2</sup>との関係を、それぞれ示す。図11のグラフで示す弱反転領域における(1/C)<sup>2</sup>の微分値から式(1)を用いて得られたキャリア濃度は、 $6.0 \times 10^{10}/\text{cm}^3$ であった。  
10

#### 【0166】

このように、i型化または実質的にi型化された酸化物半導体(例えば、キャリア濃度が $1 \times 10^{12}/\text{cm}^3$ 以下、望ましくは、 $1 \times 10^{11}/\text{cm}^3$ 以下)を用いることで、極めて優れたオフ電流特性のトランジスタを得ることが可能である。

#### 【0167】

##### <変形例>

図12乃至図15には、半導体装置の構成の変形例を示す。なお、以下では、変形例として、トランジスタ162の構成が上記とは異なるものについて説明する。つまり、トランジスタ160の構成は上記と同様である。  
20

#### 【0168】

図12には、酸化物半導体層140の下にゲート電極136dを有し、ソース電極またはドレイン電極142a及び、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面において酸化物半導体層140と接する構成のトランジスタ162を有する例を示す。なお、平面の構造は、断面に対応して適宜変更すればよいから、ここでは、断面についてのみ示すこととする。

#### 【0169】

図12に示す構成と図2に示す構成の大きな相違点として、ソース電極またはドレイン電極142a及びソース電極またはドレイン電極142bと、酸化物半導体層140との接続の位置がある。つまり、図2に示す構成では、酸化物半導体層140の上側表面において、ソース電極またはドレイン電極142a及び、ソース電極またはドレイン電極142bと接するのに対して、図12に示す構成では、酸化物半導体層140の下側表面において、ソース電極またはドレイン電極142a及び、ソース電極またはドレイン電極142bと接する。そして、この接触の相違に起因して、他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2と同様である。  
30

#### 【0170】

具体的には、図12に示す構成のトランジスタ162は、層間絶縁層128上に設けられたゲート電極136dと、ゲート電極136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上に設けられた、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上側表面に接する酸化物半導体層140と、を有する。  
40

#### 【0171】

ここで、ゲート電極136dは、層間絶縁層128上に形成された絶縁層132に、埋め込まれるように設けられている。また、ゲート電極136dと同様に、ソース電極またはドレイン電極130aに接して電極136aが、ソース電極またはドレイン電極130bに接して電極136bが、電極130cに接して電極136cが、それぞれ形成されている。

#### 【0172】

また、トランジスタ162の上には、酸化物半導体層140の一部と接するように、保護絶縁層144が設けられており、保護絶縁層144上には層間絶縁層146が設けられて  
50

いる。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b にまで達する開口が設けられており、当該開口を通じて、電極 150d、電極 150e が、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b に接して形成されている。また、電極 150d、電極 150e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極 136a、電極 136b、電極 136c に接する電極 150a、電極 150b、電極 150c が形成されている。

#### 【0173】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、当該絶縁層 152 に埋め込まれるように、電極 154a、電極 154b、電極 154c、電極 154d が設けられている。ここで、電極 154a は電極 150a と接しており、電極 154b は電極 150b と接しており、電極 154c は電極 150c および電極 150d と接しており、電極 154d は電極 150e と接している。

#### 【0174】

図 13 は、酸化物半導体層 140 の上にゲート電極 136d を有する構成の例である。ここで、図 13 (A) は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b が、酸化物半導体層 140 の下側表面において酸化物半導体層 140 と接する構成の例であり、図 13 (B) は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b が、酸化物半導体層 140 の上側表面において酸化物半導体層 140 と接する構成の例である。

#### 【0175】

図 2 や図 12 に示す構成と図 13 に示す構成の大きな相違点は、酸化物半導体層 140 の上にゲート電極 136d を有する点である。また、図 13 (A) に示す構成と図 13 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b が、酸化物半導体層 140 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 などと同様である。

#### 【0176】

具体的には、図 13 (A) では、層間絶縁層 128 上に設けられたソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の上側表面に接する酸化物半導体層 140 と、酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畠する領域のゲート電極 136d と、を有する。

#### 【0177】

また、図 13 (B) では、層間絶縁層 128 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、酸化物半導体層 140、ソース電極またはドレイン電極 142a、および、ソース電極またはドレイン電極 142b 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畠する領域のゲート電極 136d と、を有する。

#### 【0178】

なお、図 13 に示す構成では、図 2 に示す構成などと比較して、構成要素が省略できる場合がある（例えば、電極 150a や、電極 154a など）。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図 2 などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

#### 【0179】

図 14 は、素子のサイズが比較的大きい場合であって、酸化物半導体層 140 の下にゲート電極 136d を有する構成の例である。この場合、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成

10

20

30

40

50

する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極 136 dなどを形成することが可能である。なお、ここでは図示しないが、トランジスタ 160についても、同様に作製することが可能である。

#### 【0180】

図 14 (A) に示す構成と図 14 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 142 a や、ソース電極またはドレイン電極 142 b が、酸化物半導体層 140 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 などと同様である。

#### 【0181】

具体的には、図 14 (A) では、層間絶縁層 128 上に設けられたゲート電極 136 d と、ゲート電極 136 d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b と、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b の上側表面に接する酸化物半導体層 140 と、を有する。

10

#### 【0182】

また、図 14 (B) では、層間絶縁層 128 上に設けられたゲート電極 136 d と、ゲート電極 136 d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上のゲート電極 136 d と重畠する領域に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b と、を有する。

20

#### 【0183】

なお、図 14 に示す構成においても、図 2 に示す構成などと比較して、構成要素が省略できる場合がある。この場合も、作製工程の簡略化という効果が得られる。

#### 【0184】

図 15 は、素子のサイズが比較的大きい場合であって、酸化物半導体層 140 の上にゲート電極 136 d を有する構成の例である。この場合にも、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極 136 dなどを形成することが可能である。なお、ここでは図示しないが、トランジスタ 160 についても、同様に作製することが可能である。

30

#### 【0185】

図 15 (A) に示す構成と図 15 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 142 a や、ソース電極またはドレイン電極 142 b が、酸化物半導体層 140 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 などと同様である。

#### 【0186】

具体的には、図 15 (A) では、層間絶縁層 128 上に設けられたソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b と、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b の上側表面に接する酸化物半導体層 140 と、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b、酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畠する領域に設けられたゲート電極 136 d と、を有する。

40

#### 【0187】

また、図 15 (B) では、層間絶縁層 128 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b と、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b、酸化物半導体層 140 上に設けられた

50

ゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畠する領域に設けられたゲート電極 136d と、を有する。

#### 【0188】

なお、図 15 に示す構成においても、図 2 に示す構成などと比較して、構成要素が省略できる場合がある。この場合も、作製工程の簡略化という効果が得られる。

#### 【0189】

以上に示したように、開示する発明の一態様によって、新たな構成の半導体装置が実現される。本実施の形態では、トランジスタ 160 とトランジスタ 162 を積層して形成する例について説明したが、半導体装置の構成はこれに限られるものではない。また、本実施の形態では、トランジスタ 160 とトランジスタ 162 のチャネル長方向が互いに垂直となる例を説明したが、トランジスタ 160 とトランジスタ 162 の位置関係などはこれに限られるものではない。さらに、トランジスタ 160 とトランジスタ 162 とを重畠して設けても良い。

10

#### 【0190】

また、本実施の形態では理解の簡単のため、最小記憶単位（1ビット）の半導体装置について説明したが、半導体装置の構成はこれに限られるものではない。複数の半導体装置を適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記半導体装置を複数用いて、NAND型やNOR型の半導体装置を構成することが可能である。配線の構成も図 1 に限定されず、適宜変更することができる。

#### 【0191】

20

本実施の形態に係る半導体装置は、トランジスタ 162 の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性記憶装置として用いることが可能である。

#### 【0192】

また、トランジスタ 162 のスイッチング動作によって情報の書き込みなどをを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。このため、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

30

#### 【0193】

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能なため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

#### 【0194】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0195】

（実施の形態 2）

40

本実施の形態では、本発明の一態様に係る半導体装置の回路構成および動作方法について説明する。

#### 【0196】

半導体装置が有する記憶素子（以下、メモリセルとも記載する）の回路図の一例を図 16 に示す。図 16 に示すメモリセル 200 は、多値型であり、第 1 信号線 S1（第 3 の配線）と、第 2 信号線 S2（第 4 の配線）と、ワード線 WL（第 5 の配線）と、トランジスタ 201 と、トランジスタ 202 と、トランジスタ 203 と、容量素子 205 と、から構成されている。トランジスタ 201 及びトランジスタ 203 は、酸化物半導体以外の材料を用いて形成されており、トランジスタ 202 は酸化物半導体を用いて形成されている。ここで、トランジスタ 201 及びトランジスタ 203 は、実施の形態 1 に示すトランジスタ

50

160と同様の構成とするのが好ましい。また、トランジスタ202は、実施の形態1に示すトランジスタ162と同様の構成とするのが好ましい。また、メモリセル200は、ソース線S L (第1の配線)及びビット線B L (第2の配線)と電気的に接続されており、トランジスタ(他のメモリセルを構成するものも含む。)を介して、ソース線S L 及びビット線B L と電気的に接続されるのが好適である。

#### 【0197】

ここで、トランジスタ201のゲート電極と、トランジスタ202のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、ソース線S Lと、トランジスタ201のソース電極と、トランジスタ203のソース電極とは、電気的に接続され、ビット線B Lと、トランジスタ201のドレイン電極と、トランジスタ203のドレイン電極とは、電気的に接続されている。そして、第1信号線S 1と、トランジスタ202のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S 2と、トランジスタ202のゲート電極とは、電気的に接続され、ワード線W Lと、トランジスタ203のゲート電極とは電気的に接続されている。また、容量素子205の電極の一方と、トランジスタ201のゲート電極及びトランジスタ202のソース電極またはドレイン電極の一方とは、電気的に接続され、容量素子205の電極の他方には、所定の電位が与えられている。所定の電位とは、例えばGNDなどである。なお、ソース線S Lと、トランジスタ201のソース電極及びトランジスタ203のソース電極とは、トランジスタ(他のメモリセルを構成するものも含む。)を介して接続されていてもよい。また、ビット線B Lと、トランジスタ201のドレイン電極及びトランジスタ203のドレイン電極とは、トランジスタ(他のメモリセルを構成するものも含む。)を介して接続されていてもよい。10

#### 【0198】

ここで、メモリセル200の動作について簡単に説明する。例えば、4値型の場合、メモリセル200の4状態を、データ"00b"、"01b"、"10b"、"11b"とし、トランジスタ201のゲート電極に接続されるノード(以下、ノードA)の電位を、それぞれV00、V01、V10、V11( $V_{00} < V_{01} < V_{10} < V_{11}$ )とする。読み出しあは、選択したメモリセルを介してビット線B Lに、ソース線S L側から充電を行う方式とする。ソース線S L側から充電を行うと、ビット線B Lはメモリセル200の状態を反映して、(ノードAの電位) - (トランジスタ201のしきい値電圧Vth)で表される電位まで充電される。その結果、ビット線B Lの電位は、データ"00b"、"01b"、"10b"、"11b"に対し、 $V_{00} - V_{th}$ 、 $V_{01} - V_{th}$ 、 $V_{10} - V_{th}$ 、 $V_{11} - V_{th}$ となり、これらの電位の違いから、データ"00b"、"01b"、"10b"、"11b"を読み出すことができる。20

#### 【0199】

図17に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。ここでは一例として、メモリセル200が直列に接続されたNAND型の半導体装置を示す。

#### 【0200】

本発明の一態様に係る半導体装置は、m本のワード線W L (1) ~ W L (m)及び第2信号線S 2 (1) ~ S 2 (m)と、n本のビット線B L (1) ~ B L (n)及び第1信号線S 1 (1) ~ S 1 (n)と、2本の選択線S E L (1)、S E L (2)と、複数のメモリセル200 (1, 1) ~ 200 (m, n)が縦m個(行) × 横n個(列)(m, nは自然数)のマトリクス状に配置されたメモリセルアレイ210と、選択線S E L (1)に沿って、ビット線B L (1) ~ B L (n)とメモリセル200 (1, 1) ~ 200 (1, n)の間に配置されたトランジスタ215 (1, 1) ~ 215 (1, n)と、選択線S E L (2)に沿って、ソース線S L (1) ~ S L (n)とメモリセル200 (m, 1) ~ 200 (m, n)の間に配置されたトランジスタ215 (2, 1) ~ 215 (2, n)と、ソース線の駆動回路217と、読み出し回路211と、第1信号線の駆動回路212と、第2信号線及びワード線の駆動回路213と、電位生成回路214と、選択線の駆動回路216 (1)、216 (2)といった周辺回路によって構成されている。他の周辺回路として4050

、リフレッシュ回路等が設けられてもよい。

#### 【0201】

各メモリセル200、たとえばメモリセル200( $i, j$ )を考える(ここで、 $i$ は1以上m以下の整数、 $j$ は1以上n以下の整数である。)。メモリセル200( $i, j$ )は、第1信号線S1( $j$ )、第2信号線S2( $i$ )及びワード線WL( $i$ )にそれぞれ接続されている。また、メモリセル200( $i_1, j$ )( $i_1$ は2以上m以下の整数)が有するトランジスタ201及びトランジスタ203のドレイン電極は、メモリセル200( $i_1 - 1, j$ )が有するトランジスタ201及びトランジスタ203のソース電極に接続され、メモリセル200( $i_2, j$ )( $i_2$ は1以上m-1以下の整数)が有するトランジスタ201及びトランジスタ203のソース電極は、メモリセル200( $i_2 + 1, j$ )が有するトランジスタ201及びトランジスタ203のドレイン電極に接続される。メモリセル200( $1, j$ )が有するトランジスタ201及びトランジスタ203のドレイン電極は、トランジスタ215( $1, j$ )のソース電極に接続され、メモリセル200( $m, j$ )が有するトランジスタ201及びトランジスタ203のソース電極は、トランジスタ215( $2, j$ )のドレイン電極に接続される。トランジスタ215( $1, j$ )のドレイン電極はビット線BL( $j$ )に接続され、トランジスタ215( $2, j$ )のソース電極はソース線SL( $j$ )に接続される。また、トランジスタ215( $1, j$ )のゲート電極は選択線SEL(1)に接続され、トランジスタ215( $2, j$ )のゲート電極は、選択線SEL(2)に接続される。10

#### 【0202】

また、ソース線SL(1)～SL(n)はソース線の駆動回路217に、ビット線BL(1)～BL(n)は読み出し回路211に、第1信号線S1(1)～S1(n)は第1信号線の駆動回路212に、第2信号線S2(1)～S2(m)及びワード線WL(1)～WL(m)は第2信号線及びワード線の駆動回路213に、選択線SEL(1)、SEL(2)は選択線の駆動回路216(1)、216(2)にそれぞれ接続されている。20

#### 【0203】

図18に、第2信号線及びワード線の駆動回路213の一例を示す。第2信号線及びワード線の駆動回路213は、デコーダなどを有する。第2信号線S2はライトイネーブル信号(WE信号)によって制御されるスイッチ、およびデコーダ出力信号によって制御されるスイッチを介して、配線V\_S20、配線V\_S21、配線V\_S2Sに接続されている。ワード線WLはリードイネーブル信号(RE信号)によって制御されるスイッチ、およびデコーダ出力信号によって制御されるスイッチを介して、配線V\_WL0、配線V\_WL1、配線V\_WLSに接続されている。デコーダには、外部からアドレス信号が入力される。30

#### 【0204】

第2信号線及びワード線の駆動回路213にアドレス信号が入力されると、アドレスが指定した行(以下、選択行とも記す)がアサート(有効化)され、それ以外の行(以下、非選択行とも記す)はデアサート(非有効化)される。また、RE信号がデアサートされると、ワード線WLには、電位V\_WLSが印加され、RE信号がアサートされると、選択行のワード線WLには電位V\_WL1が、非選択行のワード線WLには電位V\_WL0がそれぞれ印加される。また、WE信号がデアサートされると、第2信号線S2には、電位V\_S2Sが印加され、WE信号がアサートされると、選択行の第2信号線S2には電位V\_S21が、非選択行の第2信号線S2には電位V\_S20がそれぞれ印加される。40

#### 【0205】

なお、電位V\_WL0が印加されたワード線WLに接続されるトランジスタ203はオンとなるようになる。また、電位V\_WL1が印加されたワード線WLに接続されるトランジスタ203はオフとなるようになる。また、電位V\_S2S及び電位V\_S20が印加された第2信号線S2に接続されるトランジスタ202はオフとなるようになる。また、電位V\_S21が印加された第2信号線S2に接続されるトランジスタ202はオンとなるようになる。50

## 【0206】

選択線の駆動回路 216(1)、216(2)は、RE 信号がアサートされると選択線 SEL(1)、SEL(2)を電位 V\_SEL1 とし、トランジスタ 215(1, 1)～(1, n) 及び、トランジスタ 215(2, 1)～(2, n) をオンとする。また、RE 信号がデアサートされると V\_SEL0[V] とし、トランジスタ 215(1, 1)～(1, n) 及び、トランジスタ 215(2, 1)～(2, n) をオフとする。

## 【0207】

図 19 には第 1 信号線の駆動回路 212 の一例を示す。第 1 信号線の駆動回路 212 は、マルチプレクサ (MUX1) を有する。マルチプレクサ (MUX1) には信号 DI、及び書き込み電位 V00, V01, V10, V11 が入力される。マルチプレクサ (MUX1) の出力端子は、スイッチを介して第 1 信号線 S1 と接続されている。また、第 1 信号線 S1 は、スイッチを介して GND と接続されている。上記スイッチは、ライトイネーブル信号によって制御される。

## 【0208】

第 1 信号線の駆動回路 212 に信号 DI が入力されると、マルチプレクサ (MUX1) は信号 DI の値に応じて、書き込み電位 Vw を、V00, V01, V10, V11 から一つ選択する。マルチプレクサ (MUX1) の振る舞いを表 1 に示す。ライトイネーブル信号がアサートされると、第 1 信号線 S1 には選択された書き込み電位 Vw が印加され、ライトイネーブル信号がデアサートされると、第 1 信号線 S1 は GND に接続される。

## 【0209】

## 【表 1】

10

20

DI[1]	DI[0]	MUX1出力
0	0	V00と一致
0	1	V01と一致
1	0	V10と一致
1	1	V11と一致

## 【0210】

30

ソース線の駆動回路 217 は、プリチャージ後の読み出し期間においてソース線 SL に電位 V\_s\_read を印加する。他の期間は、0V を印加する。ここで、電位 V\_s\_read は V11 - Vth より高くする。

## 【0211】

図 20 には読み出し回路 211 の一例を示す。読み出し回路 211 は、センスアンプ回路や論理回路などを有する。センスアンプ回路の一方の入力端子は、スイッチを介してビット線 BL または配線 Vpc と接続される。センスアンプ回路の他方の入力端子には、参照電位 Vref0、Vref1、Vref2 のいずれかが入力される。また、センスアンプ回路の各出力端子は、論理回路の入力端子と接続されている。なお、上記スイッチは、リードイネーブル信号及び信号 p c によって制御される。

40

## 【0212】

参照電位 Vref0、Vref1、Vref2 の値を、V00 - Vth < Vref0 < V01 - Vth < Vref1 < V10 - Vth < Vref2 < V11 - Vth を満たすように設定することで、メモリセルの状態を 3 ビットのデジタル信号として読み出すことができる。例えば、データ "00b" の場合には、ビット線 BL の電位は V00 - Vth である。これは、参照電位 Vref0、Vref1、Vref2 のいずれと比較しても小さい値であるため、センスアンプ回路の出力 SA\_OUT0、SA\_OUT1、SA\_OUT2 は、いずれも "0" となる。同様に、データ "01b" の場合には、センスアンプ回路の出力 SA\_OUT0、SA\_OUT1、SA\_OUT2 は、それ "1"、"0"、"0" に、データ "10b" の場合には、センスアンプ回路の出力 S

50

A\_OUT0、SA\_OUT1、SA\_OUT2は、それぞれ”1”、“1”、“0”に、データ”11b”的場合には、センスアンプ回路の出力SA\_OUT0、SA\_OUT1、SA\_OUT2は、それぞれ”1”、“1”、“1”になる。その後、表2に示す論理値表で表される論理回路を用いて、2ビットのデータDOが生成され、読み出し回路211から出力される。

#### 【0213】

【表2】

SA_OUT0	SA_OUT1	SA_OUT2	DO[1]	DO[0]
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

10

#### 【0214】

なお、図示した読み出し回路211では、信号p\_cがアサートされると、ビット線BL及びビット線BLに接続されるセンスアンプの入力端子を電位Vp\_cに充電する。つまり、信号p\_cによってプリチャージを行うことができる。なお、電位Vp\_cはV00-Vthより低くする。RE信号がアサートされると、ソース線の駆動回路217のソース線SLには電位Vs\_readが印加され、その結果、ビット線BLにはデータを反映した電位が充電される。そして、読み出し回路211において上述した読み出しが行われる。

20

#### 【0215】

なお、読み出しにおいて比較する「ビット線BLの電位」には、スイッチを介してビット線BLと接続されたセンスアンプの入力端子のノードの電位が含まれるものとする。つまり、読み出し回路において比較される電位は、厳密にビット線BLの電位と同一である必要はない。

#### 【0216】

図21には電位生成回路214の一例を示す。電位生成回路214では、所望の電位を、電源電位Vdd-GND間の抵抗分割によって生成することができる。そして、生成した電位を、アナログバッファを介して出力する。このようにして、書き込み電位V00、V01、V10、V11、及び参照電位Vref0、Vref1、Vref2が生成される。なお、図21では、V00 < Vref0 < V01 < Vref1 < V10 < Vref2 < V11となる構成を示したが、電位の大小関係はこれに限らない。抵抗素子や参照するノードを調整することで、必要となる電位を適宜生成することができる。また、V00、V01、V10、V11とVref0、Vref1、Vref2を別の電位生成回路を用いて生成しても構わない。

30

#### 【0217】

電位生成回路214へは、電源電位Vddに代えて、昇圧回路で昇圧した電位を供給しても良い。昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができるようになり、より高い電位を供給することができるようになる。

40

#### 【0218】

なお、電源電位Vddを直接、電位生成回路へ供給する場合であっても、多数の電位に分割することは可能である。しかし、この場合には、隣接する電位との区別が困難になり、書き込みミスや読み出しミスが増大するおそれがある。この点、昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができるようになるため、分割数を増大させても隣接する電位との差を十分に確保することができる。

#### 【0219】

これにより、書き込みミスや読み出しミスを増大させることなく、一のメモリセルの記憶容量を増大させることができる。

50

**【0220】**

図22(A)に4段の昇圧を行う昇圧回路の一例として、昇圧回路219を示す。図22(A)において、第1のダイオード402の入力端子には電源電位Vddが供給される。第1のダイオード402の出力端子には第2のダイオード404の入力端子及び第1の容量素子412の一方の端子が接続されている。同様に、第2のダイオード404の出力端子には第3のダイオード406の入力端子及び第2の容量素子414の一方の端子が接続されている。以下、同様であるため詳細な説明は省略するが、第nのダイオードの出力端子には第nの容量素子の一方の端子が接続されているということもできる(n:自然数)。なお、第5のダイオード410の出力が、昇圧回路219の出力Voutとなる。

**【0221】**

10

さらに、第1の容量素子412の他方の端子及び第3の容量素子416のダイオード406の出力端子と接続されていない方の端子には、クロック信号CLKが入力される。また、第2の容量素子414の他方の端子及び第4の容量素子418の他方の端子には、反転クロック信号CLKBが入力される。すなわち、第2k-1の容量素子の他方の端子にはクロック信号CLKが入力され、第2kの容量素子の他方の端子には反転クロック信号CLKBが入力されるといえる(k:自然数)。ただし、最終段の容量素子(本実施の形態では、第5の容量素子420)の他方の端子には、接地電位GNDが入力される。

**【0222】**

クロック信号CLKがHighである場合、つまり反転クロック信号CLKBがLowである場合には、第1の容量素子412および第3の容量素子416が充電され、クロック信号CLKと容量結合するノードN1およびノードN3の電位は、所定の電圧分だけ引き上げられる。一方で、反転クロック信号CLKBと容量結合するノードN2およびノードN4の電位は、所定の電圧分だけ引き下げられる。

20

**【0223】**

これにより、第1のダイオード402、第3のダイオード406、第5のダイオード410、を通じて電荷が移動し、ノードN2およびノードN4の電位が所定の値まで引き上げられる。

**【0224】**

次にクロックパルスCLKがLowになり、反転クロック信号CLKBがHighになると、ノードN2及びノードN4の電位がさらに引き上げられる。一方で、ノードN1、ノードN3、ノードN5の電位は、所定の電圧分だけ引き下げられる。

30

**【0225】**

これにより、第2のダイオード404、第4のダイオード408を通じて電荷が移動し、その結果、ノードN3及びノードN5の電位が所定の電位まで引き上げられることになる。このように、それぞれのノードにおける電位の関係が $V_{N5} > V_{N4} ( CLK_B = High ) > V_{N3} ( CLK = High ) > V_{N2} ( CLK_B = High ) > V_{N1} ( CLK = High ) > V_{dd}$ となることにより、昇圧が行われる。なお、昇圧回路219の構成は、4段の昇圧を行うものに限定されない。昇圧の段数は適宜変更することができる。

**【0226】**

なお、昇圧回路219の出力Voutは、ダイオードのばらつきに大きく影響される。例えば、ダイオードは、トランジスタのソース電極とゲート電極とを接続することで実現されるが、この場合、トランジスタのしきい値のばらつきの影響を受けることになる。

40

**【0227】**

出力Voutを精度良く制御するためには、出力Voutをフィードバックする構成を採用すればよい。図22(B)には、出力Voutをフィードバックする場合の回路構成の一例を示す。図22(B)中の昇圧回路219は、図22(A)に示す昇圧回路219に相当するものである。

**【0228】**

昇圧回路219の出力端子は、抵抗R1を介して、センスアンプ回路の一方の入力端子と接続されている。また、センスアンプ回路の一方の入力端子は、抵抗R2を介して、接地

50

されている。つまり、センスアンプ回路の一方の入力端子には、出力  $V_{out}$  に対応する電位  $V_1$  が入力されることになる。ここで、 $V_1 = V_{out} \cdot R_2 / (R_1 + R_2)$  である。

#### 【0229】

また、センスアンプ回路の他方の入力端子には、参照電位  $V_{ref}$  が入力される。つまり、センスアンプ回路では  $V_1$  と  $V_{ref}$  とが比較されることになる。センスアンプ回路の出力端子は、制御回路に接続される。また、制御回路にはクロック信号  $CLK_0$  が入力される。制御回路は、センスアンプ回路からの出力に応じて、昇圧回路 219 にクロック信号  $CLK$  及び反転クロック信号  $CLK_B$  を出力する。

#### 【0230】

$V_1 > V_{ref}$  の場合、センスアンプ回路の出力  $sig\_1$  がアサートされ、制御回路は、昇圧回路 219 へのクロック信号  $CLK$  及び反転クロック信号  $CLK_B$  の供給を停止する。これにより、昇圧動作が停止することになるため、電位  $V_{out}$  の上昇は停止する。そして、昇圧回路 219 の出力端子に接続される回路が電力を消費することで、電位  $V_{out}$  は徐々に低下する。

10

#### 【0231】

$V_1 < V_{ref}$  の場合、センスアンプ回路の出力  $sig\_1$  がデアサートされ、制御回路は、昇圧回路 219 へのクロック信号  $CLK$  及び反転クロック信号  $CLK_B$  の供給を開始する。これにより、昇圧動作が行われるため、電位  $V_{out}$  は徐々に上昇する。

#### 【0232】

このように、昇圧回路 219 の出力電位  $V_{out}$  をフィードバックすることで、昇圧回路 219 の出力電位  $V_{out}$  を一定の値に保つことが可能である。当該構成は、ダイオードにはらつきがある場合には特に有効である。また、参照電位  $V_{ref}$  をもとに、所定の電位を生成したい場合などにおいても有効である。なお、昇圧回路 219 では、異なる複数の参照電位を用いることで、複数の電位を生成することも可能である。

20

#### 【0233】

このように、昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができる。このため、電位差の最小単位を変更することなく、より高い電位を生成することが可能である。つまり、一のメモリセルの記憶容量を増大させることが可能である。

30

#### 【0234】

図 23 には、センスアンプ回路の一例として、差動型センスアンプを示す。差動型センスアンプは、入力端子  $V_{in}(+)$  と  $V_{in}(-)$  と出力端子  $V_{out}$  を有し、 $V_{in}(+)$  と  $V_{in}(-)$  の電位の差を増幅する。 $V_{in}(+)$  の電位が  $V_{in}(-)$  の電位よりも高ければ  $V_{out}$  は  $HIGH$  信号を出力し、 $V_{in}(+)$  の電位が  $V_{in}(-)$  の電位よりも低ければ  $V_{out}$  は  $LOW$  信号を出力する。

#### 【0235】

図 24 には、センスアンプ回路の一例として、ラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子  $V_1$  および  $V_2$  と、制御用信号  $S_p$ 、 $S_n$  の入力端子を有する。まず、信号  $S_p$  を  $HIGH$ 、信号  $S_n$  を  $LOW$  として、電源電位 ( $V_{dd}$ ) を遮断する。そして、比較を行う電位を  $V_1$  と  $V_2$  にそれぞれ与える。その後、信号  $S_p$  を  $LOW$ 、信号  $S_n$  を  $HIGH$  として、電源電位 ( $V_{dd}$ ) を供給すると、 $V_1$  の電位が  $V_2$  の電位よりも高ければ、 $V_1$  の出力は  $HIGH$ 、 $V_2$  の出力は  $LOW$  となり、 $V_1$  の電位が  $V_2$  の電位よりも低ければ、 $V_1$  の出力は  $LOW$ 、 $V_2$  の出力は  $HIGH$  となる。このようにして、 $V_1$  と  $V_2$  の電位の差を増幅する。

40

#### 【0236】

具体的な動作電位（電圧）の一例を示す。例えば、トランジスタ 201 のしきい値電圧を約 0.3V、電源電位を  $V_{dd} = 2V$  とし、 $V_{11} = 1.6V$ 、 $V_{10} = 1.2V$ 、 $V_{01} = 0.8V$ 、 $V_{00} = 0V$  及び  $V_{ref0} = 0.3V$ 、 $V_{ref1} = 0.7V$ 、 $V_{ref2} = 1.1V$  とすることができる。また、 $V_{read} = 2V$  とすることができる。

50

$V_{WL0} = 2V$ 、 $V_{WL1} = 0V$ 、 $V_{WLS} = 0V$ 、 $V_{S20} = 0V$ 、 $V_{S21} = 2V$ 、 $V_{S2S} = 0V$ 、 $V_{SEL0} = 0V$ 、 $V_{SEL1} = 2V$ とするよい。電位  $V_{PC}$  は例えば、 $0V$  とするとよい。

### 【0237】

次に、図17に示した半導体装置の動作について説明する。例えば、4値型の場合、メモリセル200の4状態を、データ”00b”、“01b”、“10b”、“11b”とし、その時のノードAの電位を、それぞれ  $V_{00}$ 、 $V_{01}$ 、 $V_{10}$ 、 $V_{11}$  ( $V_{00} < V_{01} < V_{10} < V_{11}$ ) とする。本構成では、行ごとの書き込みおよび読み出しを行う。

### 【0238】

まず、半導体装置の書き込み動作について説明する。書き込み動作は、ライトイネーブル信号がアサートされた期間に行う。また、書き込み動作中、リードイネーブル信号はデアサートされる。第*i*行のメモリセル200 (*i*, 1) ~ 200 (*i*, *n*) に書き込みを行う場合は、第2信号線  $S_2(i)$  を電位  $V_{S21}$  とし、選択したメモリセルのトランジスタ202をオン状態とする。一方、第*i*行以外の第2信号線  $S_2$  は電位  $V_{S20}$  とし、非選択のメモリセルのトランジスタ202をオフ状態とする。第1信号線  $S_1(1)$  ~  $S_1(n)$  の電位は、第1信号線の駆動回路212に入力される信号DIに応じて、データ”00b”を書き込む列では  $V_{00}$ 、データ”01b”を書き込む列では  $V_{01}$ 、データ”10b”を書き込む列では  $V_{10}$ 、データ”11b”を書き込む列では  $V_{11}$  とする。なお、書き込み終了にあたっては、第1信号線  $S_1(1)$  ~  $S_1(n)$  の電位が変化する前に、第2信号線  $S_2(i)$  を電位  $V_{S20}$  として、選択したメモリセルのトランジスタ202をオフ状態にする。他の配線は、例えば、ピット線  $B_L(1)$  ~  $B_L(n)$  を  $0V$ 、ワード線  $WL(1)$  ~  $WL(m)$  を電位  $V_{WLS}$ 、選択線  $SEL(1)$ 、 $SEL(2)$  を電位  $V_{SEL0}$ 、ソース線  $SL(1)$  ~  $SL(n)$  の電位  $V_s$  を  $0V$  とする。以上の書き込み動作のタイミングチャートの一例を図25(A)に示す。なお、図25(A)に示すのは、メモリセルにデータ”10b”を書き込む場合のタイミングチャートである。

### 【0239】

その結果、データ”00b”の書き込みを行ったメモリセルのノードAの電位は約  $V_{00}$  [V]、データ”01b”の書き込みを行ったメモリセルのノードAの電位は約  $V_{01}$  [V]、データ”10b”の書き込みを行ったメモリセルのノードAの電位は約  $V_{10}$  [V]、データ”11b”の書き込みを行ったメモリセルのノードAの電位は約  $V_{11}$  [V] となる。また、非選択メモリセルのノードAの電位は変わらない。ここで、ノードAには、第1信号線  $S_1$  の電位に応じた電荷が蓄積されるが、トランジスタ202のオフ電流が極めて小さい、あるいは実質的に0であることから、トランジスタ201のゲート電極(ノードA)の電位は長時間にわたって保持される。

### 【0240】

次に、半導体装置の読み出し動作について説明する。読み出し動作は、リードイネーブル信号がアサートされた期間に行う。また、読み出し動作中、ライトイネーブル信号はデアサートされる。第*i*行のメモリセル200 (*i*, 1) ~ 200 (*i*, *n*) の読み出しを行う場合は、選択線  $SEL(1)$ 、 $SEL(2)$  の電位を  $V_{SEL1}$  とし、トランジスタ215 (*i*, 1) ~ (*i*, *n*) 及びトランジスタ215 (*i*, 1) ~ (*i*, *n*) をオン状態とする。また、ワード線  $WL(i)$  の電位を  $V_{WL1}$ 、第*i*行以外のワード線  $WL$  の電位を  $V_{WL0}$  とする。このとき、第*i*行のメモリセルのトランジスタ203はオフ状態となる。第*i*行以外のメモリセルのトランジスタ203はオン状態となる。第2信号線  $S_2(1)$  ~  $S_2(m)$  を電位  $V_{S2S}$  とし、全てのメモリセルのトランジスタ202をオフ状態とする。第1信号線  $S_1(1)$  ~  $S_1(n)$  の電位を  $0V$  とする。

### 【0241】

読み出し動作では、最初の一定期間、信号  $p_c$  をアサートする。その結果、ピット線  $B_L$  は電位  $V_{PC}$  [V] にプリチャージされる。続いて、ソース線  $SL(1)$  ~  $SL(n)$  の電位  $V_s$  を  $V_{read}$  [V] とする。これにより、第*i*行のメモリセルのトランジ

10

20

30

40

50

スタ 2 0 1 の状態に応じて、ソース線 S L からビット線 B L に電流が流れ、ビット線 B L は（ノード A の電位） - （トランジスタ 2 0 1 のしきい値電圧 V t h ）で表される電位まで充電される。その結果、ビット線 B L の電位は、データ " 0 0 b " 、 " 0 1 b " 、 " 1 0 b " 、 " 1 1 b " に対し、V 0 0 - V t h 、V 0 1 - V t h 、V 1 0 - V t h 、V 1 1 - V t h となる。読み出し回路は、これらの電位の違いから、データ " 0 0 b " 、 " 0 1 b " 、 " 1 0 b " 、 " 1 1 b " を読み出すことができる。なお、V 1 1 - V t h は、V \_ S E L 1 - V t h \_ S E L 及びV \_ W L 0 - V t h \_ 2 0 3 以下となるようする。ここで、V t h \_ S E L は、トランジスタ 2 1 5 のしきい値電圧を表し、V t h \_ 2 0 3 は、トランジスタ 2 0 3 のしきい値電圧を表す。

## 【 0 2 4 2 】

10

以上の読み出し動作のタイミングチャートの一例を図 2 5 ( B ) に示す。図に示すのは、メモリセルからデータ " 1 0 b " を読み出す場合のタイミングチャートである。選択されたワード線 W L の電位がV \_ W L 0 となり、ソース線 S L の電位がV s \_ r e a d となると、ビット線 B L はメモリセルのデータ " 1 0 b " に対応して、電位 V 1 0 - V t h に充電される。その結果、S A \_ O U T 0 、S A \_ O U T 1 、S A \_ O U T 2 、がそれぞれ " 1 " 、 " 1 " 、 " 0 " となる。

## 【 0 2 4 3 】

なお、書き込み時において、S O I 基板上に薄膜トランジスタを形成した場合など、半導体装置が基板電位を有さない場合には、ワード線 W L ( i + 1 ) ~ W L ( m ) の電位をV \_ W L 0 、選択線 S E L ( 2 ) の電位をV \_ S E L 1 とすることが好ましい。これにより、第 i 行のメモリセルのトランジスタ 2 0 1 のソース電極またはドレン電極の少なくとも一方の電位を約 0 V とすることができる。或いは、選択線 S E L ( 1 ) の電位をV \_ S E L 1 、ワード線 W L ( 1 ) ~ W L ( i - 1 ) の電位をV \_ W L 0 としてもよい。一方、単結晶半導体基板上にトランジスタを形成した場合など、半導体装置が基板電位を有する場合には、基板電位を 0 V としておけばよい。

20

## 【 0 2 4 4 】

なお、書き込み時のビット線 B L ( 1 ) ~ B L ( n ) の電位は 0 V としたが、選択線 S E L ( 1 ) の電位がV \_ S E L 0 [ V ] の場合には、フローティング状態や 0 V より大きい電位に充電されていても構わない。読み出し時の第 1 信号線 S 1 ( 1 ) ~ S 1 ( n ) の電位は 0 V としたが、フローティング状態や 0 V 以上の電位に充電されていても構わない。

30

## 【 0 2 4 5 】

また、本実施の形態では、第 1 信号線 S 1 をビット線 B L 方向（列方向）に配置し、第 2 信号線 S 2 をワード線 W L 方向（行方向）に配置する構成としたが、必ずしもこれに限られるものではない。例えば、第 1 信号線 S 1 をワード線 W L 方向（行方向）に配置し、第 2 信号線 S 2 をビット線 B L 方向（列方向）に配置する構成としてもよい。その場合、第 1 の信号線 S 1 が接続される駆動回路及び第 2 の信号線 S 2 が接続される駆動回路は適宜配置すればよい。

## 【 0 2 4 6 】

本実施の形態では、4 値のメモリセルの動作、つまり、1 つのメモリセルに 4 つの異なる状態のいずれかを書き込み、また、読み出す場合について説明したが、回路構成を適宜変更することで、n 値のメモリセル、つまり、任意の n の異なる状態のいずれか（n は 2 以上の整数）の書き込み及び読み出しが可能である。

40

## 【 0 2 4 7 】

例えば、8 値のメモリセルでは、2 値の場合と比較して、メモリ容量は 3 倍となる。書き込みでは、ノード A の電位を決める書き込み電位を 8 種類準備して、8 つの状態を生成する。読み出しでは、8 つの状態を区別することが可能な 7 種類の参照電位を準備する。読み出しでは、センスアンプを 1 つ設け、7 回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を 3 回に減らすことも可能である。ソース線 S L を駆動する読み出し方式では、センスアンプを 7 つ設けることにより、1 回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて複数回の比較を

50

行う構成も可能である。

**【0248】**

一般に、 $2^k$  ( $k$  は 1 以上の整数) 値のメモリセルでは、2 値の場合と比較して、メモリ容量は  $k$  倍となる。書き込みでは、ノード A の電位を決める書き込み電位を  $2^k$  種類準備して、 $2^k$  個の状態を生成する。読み出しでは、 $2^k$  個の状態を区別することが可能な  $2^k - 1$  種類の参照電位を準備するとよい。センスアンプを 1 つ設けて  $2^k - 1$  回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を  $k$  回に減らすことも可能である。ソース線 S\_L を駆動する読み出し方式では、センスアンプを  $2^k - 1$  個設けて、1 回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて、複数回の比較を行う構成も可能である。

10

**【0249】**

本実施の形態に係る半導体装置は、トランジスタ 202 の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAM などで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性記憶装置として用いることが可能である。

**【0250】**

また、トランジスタ 202 のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。これにより、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

20

**【0251】**

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能なため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

**【0252】**

また、本実施の形態に係る半導体装置は多値型なので、2 値型のものより面積あたりの記憶容量を大きくすることができます。よって、半導体装置の小型化、高集積化を図ることができます。また、書き込み動作において、フローティングとなるノードの電位を直接制御することができるので、多値型のメモリに要求される高精度のしきい値電圧制御を容易に行うことができる。またこれにより、多値型のメモリに要求される書き込み後の状態確認を省くこともできるので、その場合は書き込みに掛かる時間を短縮することができる。

30

**【0253】**

また、本実施の形態に係る半導体装置において、昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができる。このため、電位差の最小単位を変更することなく、より高い電位を生成することが可能である。つまり、一のメモリセルの記憶容量を増大させることができるものである。

**【0254】**

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

40

**【0255】**

(実施の形態 3)

本実施の形態では、実施の形態 2 とは異なる半導体装置の回路構成及び動作の一例について説明する。

**【0256】**

半導体装置が有するメモリセルの回路図の一例を図 26 に示す。図 26 に示すメモリセル 240 は、多値型であり、第 1 信号線 S\_1 と、第 2 信号線 S\_2 と、ワード線 W\_L と、トランジスタ 201 と、トランジスタ 202 と、容量素子 204 とから構成されている。トランジスタ 201 は、酸化物半導体以外の材料を用いて形成されており、トランジスタ 20

50

2は酸化物半導体を用いて形成されている。ここで、トランジスタ201は、実施の形態1に示すトランジスタ160と同様の構成とするのが好ましい。また、トランジスタ202は、実施の形態1に示すトランジスタ162と同様の構成とするのが好ましい。また、メモリセル240は、ソース線SL及びビット線BLと電気的に接続されており、トランジスタ（他のメモリセルを構成するものも含む）を介して、ソース線SL及びビット線BLと電気的に接続されるのが好適である。

#### 【0257】

ここで、トランジスタ201のゲート電極と、トランジスタ202のソース電極またはドレイン電極の一方と、容量素子204の電極の一方とは、電気的に接続されている。また、ソース線SLと、トランジスタ201のソース電極とは、電気的に接続され、トランジスタ201のドレイン電極と、ビット線BLとは、電気的に接続されている。そして、トランジスタ202のソース電極またはドレイン電極の他方と、第1信号線S1とは、電気的に接続され、第2信号線S2と、トランジスタ202のゲート電極とは、電気的に接続され、ワード線WLと、容量素子204の電極の他方とは、電気的に接続されている。なお、ソース線SLと、トランジスタ201のソース電極とは、トランジスタ（他のメモリセルを構成するものも含む）を介して接続されていてもよい。また、ビット線BLと、トランジスタ201のドレイン電極とは、トランジスタ（他のメモリセルを構成するものも含む）を介して接続されていてもよい。

#### 【0258】

ここで、メモリセル240の動作について簡単に説明する。例えば、4値型の場合、メモリセル240の4状態を、データ”00b”、“01b”、“10b”、“11b”とし、トランジスタ201のノードAの電位を、それぞれV00、V01、V10、V11（V00 < V01 < V10 < V11）とする。メモリセル240のノードAの電位は、ワード線WLの電位に依存し、ワード線WLの電位が高いほど、メモリセル240のノードAの電位も高くなる。例えば、異なる4状態のメモリセルに対して、ワード線WLの電位を低電位から高電位へと変化させると、データ”11b”的メモリセルのトランジスタ201が最初にオン状態となり、続いて、データ”10b”、“01b”、“00b”的メモリセルが順にオン状態となる。これは、ワード線WLの電位を適切に選択することで、メモリセルの状態（つまり、メモリセルのデータ）が識別可能であることを意味する。ワード線WLの電位を適切に選択すると、トランジスタ201がオン状態のメモリセルは低抵抗状態となり、トランジスタ201がオフ状態のメモリセルは高抵抗状態となるから、この抵抗状態を読み出し回路によって区別することで、データ”00b”、“01b”、“10b”、“11b”を読み出すことができる。

#### 【0259】

図27に、m×nビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。ここでは一例として、メモリセル240が直列に接続されたNAND型の半導体装置を示す。

#### 【0260】

図27に示す半導体装置は、m本のワード線WL及び第2信号線S2と、n本のビット線BL及び第1信号線S1と、2本の選択線SEL(1)、SEL(2)と、複数のメモリセル240(1,1)～240(m,n)が縦m個(行)×横n個(列)(m,nは自然数)のマトリクス状に配置されたメモリセルアレイ250と、選択線SEL(1)に沿って、ビット線BL(1)～BL(n)とメモリセル240(1,1)～240(1,n)の間に配置されたトランジスタ255(1,1)～255(1,n)と、選択線SEL(2)に沿って、ソース線SL(1)～SL(n)とメモリセル240(m,1)～240(m,n)の間に配置されたトランジスタ255(2,1)～255(2,n)と、読み出し回路251と、第1信号線の駆動回路252と、第2信号線及びワード線の駆動回路253と、電位生成回路254と、選択線の駆動回路256(1)、256(2)といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

10

20

30

40

50

**【0261】**

各メモリセル240、たとえばメモリセル240( $i, j$ )を考える(ここで、 $i$ は1以上m以下の整数、 $j$ は1以上n以下の整数である。)。メモリセル240( $i, j$ )は、第1信号線S1( $j$ )、第2信号線S2( $i$ )及びワード線WL( $i$ )にそれぞれ接続されている。また、メモリセル240( $i_1, j$ )( $i_1$ は2以上m以下の整数)が有するトランジスタ201のドレイン電極は、メモリセル240( $i_1 - 1, j$ )が有するトランジスタ201のソース電極に接続され、メモリセル240( $i_2, j$ )( $i_2$ は1以上m-1以下の整数)が有するトランジスタ201のソース電極は、メモリセル240( $i_2 + 1, j$ )が有するトランジスタ201のドレイン電極に接続される。メモリセル240( $1, j$ )が有するトランジスタ201のドレイン電極は、トランジスタ255( $1, j$ )のソース電極に接続され、メモリセル240( $m, j$ )が有するトランジスタ201のソース電極は、トランジスタ255( $2, j$ )のドレイン電極に接続される。トランジスタ255( $1, j$ )のドレイン電極はビット線BL( $j$ )に接続され、トランジスタ255( $2, j$ )のソース電極はソース線SL( $j$ )に接続される。10

**【0262】**

また、ビット線BL( $1$ )～BL( $n$ )は読み出し回路251に、第1信号線S1( $1$ )～S1( $n$ )は第1信号線の駆動回路252に、第2信号線S2( $1$ )～S2( $m$ )及びワード線WL( $1$ )～WL( $m$ )は第2信号線及びワード線の駆動回路253に、選択線SEL( $1$ )、SEL( $2$ )は選択線の駆動回路256( $1$ )、256( $2$ )にそれぞれ接続されている。ソース線SL( $1$ )～SL( $n$ )には電位Vsが与えられている。なお、ソース線SL( $1$ )～SL( $n$ )は必ずしも分離されている必要はなく、互いに電気的に接続されているような構成にしてもよい。20

**【0263】**

なお、第1信号線の駆動回路252及び電位生成回路254の構成はそれぞれ、実施の形態2で図19及び図21に示した構成を適用すればよい。また、電位生成回路254へは、電源電位Vddに代えて、実施の形態2で図22に示した昇圧回路で昇圧した電位を供給しても良い。また、選択線の駆動回路256( $1$ )、256( $2$ )も実施の形態2で示した構成を適用すればよい。

**【0264】**

図28に読み出し回路251の一例を示す。読み出し回路は、センスアンプ回路、フリップフロップ回路、バイアス回路257などを有する。バイアス回路257は、スイッチを介してビット線BLに接続される。また、バイアス回路257は、センスアンプ回路の入力端子に接続される。センスアンプ回路の他方の入力端子には、参照電位Vrefが入力される。また、センスアンプ回路の出力端子は、フリップフロップ回路の入力端子と接続されている。なお、上記スイッチは、リードイネーブル信号によって制御される。30

**【0265】**

図28に示す読み出し回路251は、一のセンスアンプ回路を有し、4つの異なる状態を識別するために2回の比較を行うこととする。2回の比較は、信号RE0、RE1によって制御される。フリップフロップ回路FF0、FF1はそれぞれ信号RE0、RE1によって制御され、センスアンプ回路の出力信号の値を格納する。フリップフロップ回路FF0の出力は信号DOB[1]として、フリップフロップ回路FF1の出力は信号DOB[0]として、読み出し回路から出力される。40

**【0266】**

なお、図示した読み出し回路251では、RE信号がデアサートされると、ビット線BLを配線Vpcに接続しプリチャージを行う。RE信号がアサートされると、ビット線BLとバイアス回路257が導通する。なお、プリチャージは行わなくても良い。

**【0267】**

図29には第2信号線及びワード線の駆動回路253の一例を示す。第2信号線及びワード線の駆動回路253は、デコーダ、マルチプレクサ(MUX2)などを有する。第2信号線S2はライトイネーブル信号(WE信号)によって制御されるスイッチ、およびデコ50

ーダ出力信号によって制御されるスイッチを介して、配線 V\_S20、配線 V\_S21、配線 V\_S2S に接続されている。ワード線 WL はリードイネーブル信号 (RE 信号) によって制御されるスイッチ、およびデコーダ出力信号によって制御されるスイッチを介して、配線 V\_WL0、配線 V\_WL1、配線 V\_WLS に接続されている。また、マルチプレクサ (MUX 2) には信号 RE0、RE1、DOB[1]、参照電位 Vref0、Vref1、Vref2、及び GND が入力され、電位 V\_WL が出力される。デコーダには、外部からアドレス信号が入力される。

#### 【0268】

第2信号線及びワード線の駆動回路 253 にアドレス信号が入力されると、アドレスが指定した行（選択行）がアサートされ、それ以外の行（非選択行）はデアサートされる。  
また、RE 信号がデアサートされると、ワード線 WL には電位 V\_WLS が印加され、RE 信号がアサートされると、選択行のワード線 WL には電位 V\_WL1 が、非選択行のワード線 WL には電位 V\_WL0 がそれぞれ印加される。また、WE 信号がデアサートされると、第2信号線 S2 には電位 V\_S2S が印加され、WE 信号がアサートされると、選択行の第2信号線 S2 には電位 V\_S21 が、非選択行の第2信号線 S2 には電位 V\_S20 がそれぞれ印加される。V\_WL1 はマルチプレクサ (MUX 2) によって選択された電位である。マルチプレクサは、信号 RE0、RE1、DOB[1] の値に応じて、3種類の参照電位 Vref0、Vref1、Vref2 及び GND から一つを選択する。マルチプレクサ (MUX 2) の振る舞いを表3に示す。

#### 【0269】

##### 【表3】

RE0	RE1	DOB[1]	V_WL1
0	0	*	GND
1	0	*	Vref1
0	1	0	Vref0
0	1	1	Vref2

\*は0でも1でもよい。

#### 【0270】

なお、電位 V\_WL0 が印加されたワード線 WL に接続されるトランジスタ 201 はオンとなるようになる。また、電位 V\_S2S 及び電位 V\_S20 が印加された第2信号線 S2 に接続されるトランジスタ 202 はオフとなるようになる。また、電位 V\_S21 が印加された第2信号線 S2 に接続されるトランジスタ 202 はオンとなるようになる。

#### 【0271】

3種類の参照電位 Vref0、Vref1、Vref2 ( $Vref0 < Vref1 < Vref2$ ) と、その電位がワード線 WL の電位として選ばれた場合のメモリセルのトランジスタ 201 の状態について説明する。Vref2 としては、ワード線 WL の電位として選択された場合に、データ "00b" のメモリセルのトランジスタ 201 をオフ状態とし、データ "01b" のメモリセルのトランジスタ 201 をオン状態とする電位を選択する。また、Vref1 としては、ワード線 WL の電位として選択された場合に、データ "01b" のメモリセルのトランジスタ 201 をオフ状態とし、データ "10b" のメモリセルのトランジスタ 201 をオン状態とする電位を選択する。また、Vref0 としては、ワード線 WL の電位として選択された場合に、データ "10b" のメモリセルのトランジスタ 201 をオフ状態とし、データ "11b" のメモリセルのトランジスタ 201 をオン状態とする電位を選択する。

#### 【0272】

この場合、本読み出し回路 251 は、2回の比較を行うことで読み出しを行う。1回目は Vref1 を用いて比較を行う。2回目は、Vref1 を用いた比較結果 DOB[1] が

10

20

30

40

50

”0”であれば $V_{ref0}$ を用いて比較を行い、”1”であれば $V_{ref2}$ を用いて比較を行う。このようにすることで、4つの状態を2回の比較によって読み出すことが可能となる。

#### 【0273】

なお、本実施の形態では、読み出し動作において比較回数を2回としたが、この構成に限らない。例えば、比較後の値をフィードバックしないで、比較を3回行う構成としても良い。

#### 【0274】

具体的な動作電位（電圧）の一例を示す。例えば、電源電位を $V_{dd} = 2V$ とし、トランジスタ201のしきい値電圧 $V_{th} = 1.8V$ とする。ノードAの電位は、ワード線WL - ノードA間容量C1と、トランジスタ202のゲート容量C2に依存するが、ここでは、一例として、トランジスタ202がオフ状態で $C1/C2 >> 1$ 、オン状態で $C1/C2 = 1$ であるとする。図30には、ソース線SLの電位が0Vのときの、ノードAの電位とワード線WLの電位の関係を示す。図30より、例えば、書き込み時のデータ”00b”的ノードA電位を0V、データ”01b”的ノードA電位を0.8V、データ”10b”的ノードA電位を1.2V、データ”11b”的ノードA電位を1.6Vとした場合、参照電位は $V_{ref0} = 0.4V$ 、 $V_{ref1} = 0.8V$ 、 $V_{ref2} = 1.2V$ とするよいことがわかる。

#### 【0275】

図27に示した半導体装置の動作について説明する。ここでは、4値型の場合を説明する。メモリセル240の4状態をデータ”00b”、“01b”、“10b”、“11b”とし、その時のノードAの電位をそれぞれ $V_{00}$ 、 $V_{01}$ 、 $V_{10}$ 、 $V_{11}$ （ $V_{00} < V_{01} < V_{10} < V_{11}$ ）とする。本構成では、行ごとの書き込みおよび読み出しを行う。

#### 【0276】

まず、半導体装置の書き込み動作について説明する。書き込み動作は、ライトイネーブル信号がアサートされた期間に行う。また、書き込み動作中、リードイネーブル信号はデアサートされる。第i行のメモリセル240（i, 1）～240（i, n）に書き込みを行う場合は、第2信号線S2（i）を電位 $V_{S21}$ とし、選択したメモリセルのトランジスタ202をオン状態とする。一方、第i行以外の第2信号線S2は電位 $V_{S20}$ とし、非選択のメモリセルのトランジスタ202をオフ状態とする。第1信号線S1（1）～S1（n）の電位は、第1信号線の駆動回路212に入力される信号DIに応じて、データ”00b”を書き込む列では $V_{00}$ 、データ”01b”を書き込む列では $V_{01}$ 、データ”10b”を書き込む列では $V_{10}$ 、データ”11b”を書き込む列では $V_{11}$ とする。なお、書き込み終了にあたっては、第1信号線S1（1）～S1（n）の電位が変化する前に、第2信号線S2（i）を電位 $V_{S20}$ として、選択したメモリセルのトランジスタ202をオフ状態にする。他の配線は、例えば、ビット線BL（1）～BL（n）の電位を0V、ワード線WL（1）～WL（m）の電位を $V_{WLS}[V]$ 、選択線SEL（1）、SEL（2）の電位を $V_{SEL0}[V]$ 、ソース線SL（1）～SL（n）の電位 $V_s$ を0Vとする。以上の書き込み動作のタイミングチャートは、図25（A）と同様である。なお、図25（A）に示すのは、メモリセルにデータ”10b”を書き込む場合のタイミングチャートである。

#### 【0277】

その結果、データ”00b”的書き込みを行ったノードAの電位は約 $V_{00}[V]$ 、データ”01b”的書き込みを行ったメモリセルのノードAの電位は約 $V_{01}[V]$ 、データ”10b”的書き込みを行ったメモリセルのノードAの電位は約 $V_{10}[V]$ 、データ”11b”的書き込みを行ったメモリセルのノードAの電位は約 $V_{11}[V]$ となる。また、非選択メモリセルのノードAの電位は変わらない。ここで、ノードAには、第1信号線S1の電位に応じた電荷が蓄積されるが、トランジスタ202のオフ電流が極めて小さい、あるいは実質的に0であることから、トランジスタ201のゲート電極（ノードA）の電位は長時間にわたって保持される。

10

20

30

40

50

## 【0278】

次に、半導体装置の読み出し動作について説明する。読み出し動作は、リードイネーブル信号がアサートされた期間に行う。また、読み出し動作中、ライトイネーブル信号はデアサートされる。第*i*行のメモリセル $240(i, 1) \sim 240(i, n)$ の読み出しを行う場合は、選択線SEL(1)、SEL(2)の電位を $V_{SEL1}$ とし、トランジスタ $255(1, 1) \sim 255(2, n)$ をオン状態とする。ソース線 $SL(1) \sim SL(n)$ の電位 $V_S$ を0Vとする。第2信号線 $S2(1) \sim S2(m)$ を電位 $V_{S2S}$ とし、全てのメモリセルのトランジスタ $202$ をオフ状態とする。第1信号線 $S1(1) \sim S1(n)$ の電位を0Vとする。

## 【0279】

そして、ワード線 $WL(i)$ を電位 $V_{WL1}$ 、第*i*行以外のワード線 $WL$ を電位 $V_{WL0}$ とする。第*i*行以外のメモリセルのトランジスタ $201$ はオン状態となる。その結果、ビット線 $BL$ とソース線 $SL$ 間の抵抗状態（コンダクタンス）は、選択行のトランジスタ $201$ がオン状態であれば低抵抗状態となり、オフ状態であれば高抵抗状態となる。選択行では、ワード線 $WL$ の電位を適切に選び、データが異なるメモリセル間でトランジスタ $201$ のオン・オフ状態を異ならせるようにする。その結果、読み出し回路は、ビット線 $BL$ とソース線 $SL$ 間の抵抗状態（コンダクタンス）を区別して、データ”00b”、“01b”、“10b”、“11b”を読み出すことができる。つまり指定したメモリセルの抵抗状態（コンダクタンス）を読み出すことでデータを読み出すことができる。なお、メモリセルの抵抗状態（コンダクタンス）を読み出すとは、メモリセルを構成するトランジスタ $201$ のオン状態またはオフ状態を読み出すことをいう。以上の読み出し動作のタイミングチャートの一例を図31に示す。図31に示すのは、メモリセルからデータ”01b”を読み出す場合のタイミングチャートである。REF0、REF1がアサートされる期間では、それぞれ選択されたワード線 $WL$ に参照電位 $V_{ref1}$ 、 $V_{ref2}$ が入力され、センスアンプ回路での比較結果が、フリップフロップ回路 $FF0$ 、 $FF1$ にそれぞれ格納される。メモリセルのデータが”01b”的場合には、フリップフロップ回路 $FF0$ 、 $FF1$ の値は”1”、“0”となる。なお、第1信号線 $S1$ 、第2信号線 $S2$ の電位は0Vである。

## 【0280】

なお、書き込み後のトランジスタ $201$ のノードAの電位（ワード線 $WL$ 電位が0Vでの値）は、トランジスタ $201$ のしきい値電圧以下とすることが好ましい。また、 $V_{WL0} = 2V$ 、 $V_{WL1} = 0V$ 、 $V_{S20} = 0V$ 、 $V_{S21} = 2V$ 、 $V_{S2S} = 0V$ とすることができる。

## 【0281】

なお、書き込み時のビット線 $BL(1) \sim BL(n)$ は0Vとしたが、選択線 $SEL(1)$ の電位が $V_{SEL0}$ の場合には、フローティング状態や0Vより大きい電位に充電されていても構わない。読み出し時の第1信号線 $S1(1) \sim S1(n)$ は0Vとしたが、フローティング状態や0Vより大きい電位に充電されていても構わない。

## 【0282】

また、本実施の形態では、第1信号線 $S1$ をビット線 $BL$ 方向（列方向）に配置し、第2信号線 $S2$ をワード線 $WL$ 方向（行方向）に配置する構成としたが、必ずしもこれに限られるものではない。例えば、第1信号線 $S1$ をワード線 $WL$ 方向（行方向）に配置し、第2信号線 $S2$ をビット線 $BL$ 方向（列方向）に配置する構成としてもよい。その場合、第1の信号線 $S1$ が接続される駆動回路及び第2の信号線 $S2$ が接続される駆動回路は適宜配置すればよい。

## 【0283】

本実施の形態では、4値のメモリセルの動作、つまり、1つのメモリセルに4つの異なる状態のいずれかを書き込み、また、読み出す場合について説明したが、回路構成を適宜変更することで、n値のメモリセル、つまり、任意のnの異なる状態のいずれか（nは2以上の整数）の書き込み及び読み出しが可能である。

10

20

30

40

50

**【0284】**

例えば、8値のメモリセルでは、2値の場合と比較して、メモリ容量は3倍となる。書き込みでは、ノードAの電位を決める書き込み電位を8種類準備して、8つの状態を生成する。読み出しでは、8つの状態を区別することが可能な7種類の参照電位を準備する。読み出しでは、センスアンプを1つ設け、7回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を3回に減らすことも可能である。ソース線S Lを駆動する読み出し方式では、センスアンプを7つ設けることにより、1回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて複数回の比較を行う構成も可能である。

**【0285】**

一般に、 $2^k$  ( $k$ は1以上の整数) 値のメモリセルでは、2値の場合と比較して、メモリ容量は $k$ 倍となる。書き込みでは、ノードAの電位を決める書き込み電位を $2^k$ 種類準備して、 $2^k$ 個の状態を生成する。読み出しでは、 $2^k$ 個の状態を区別することが可能な $2^k - 1$ 種類の参照電位を準備するとよい。センスアンプを1つ設けて $2^k - 1$ 回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を $k$ 回に減らすことも可能である。ソース線S Lを駆動する読み出し方式では、センスアンプを $2^k - 1$ 個設けて、1回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて、複数回の比較を行う構成も可能である。

**【0286】**

本実施の形態に係る半導体装置は、トランジスタ202の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性記憶装置として用いることが可能である。

**【0287】**

また、トランジスタ202のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。このため、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

**【0288】**

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能なため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

**【0289】**

また、本実施の形態に係る半導体装置は多値型なので、2値型のものより面積あたりの記憶容量を大きくすることができます。よって、半導体装置の小型化、高集積化を図ることができます。また、書き込み動作において、フローティングとなるノードの電位を直接制御することができるので、多値型のメモリに要求される高精度のしきい値電圧制御を容易に行うことができる。またこれにより、多値型のメモリに要求される書き込み後の状態確認を省くこともできるので、その場合は書き込みに掛かる時間を短縮することができる。

**【0290】**

また、本実施の形態に係る半導体装置において、昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができる。このため、電位差の最小単位を変更することなく、より高い電位を生成することが可能である。つまり、一のメモリセルの記憶容量を増大させることができるものである。

**【0291】**

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

**【0292】**

10

20

30

40

50

#### (実施の形態 4 )

本実施の形態では、先の実施の形態で得られる半導体装置を搭載した電子機器の例について図32を用いて説明する。先の実施の形態で得られる半導体装置は、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、当該半導体装置を用いて新たな構成の電子機器を提供することが可能である。なお、先の実施の形態に係る半導体装置は、集積化されて回路基板などに実装され、各電子機器の内部に搭載されることになる。

#### 【 0 2 9 3 】

図32(A)は、先の実施の形態に係る半導体装置を含むノート型のパーソナルコンピュータであり、本体301、筐体302、表示部303、キーボード304などによって構成されている。本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することは好適である。

10

#### 【 0 2 9 4 】

図32(B)は、先の実施の形態に係る半導体装置を含む携帯情報端末(PDA)であり、本体311には表示部313と、外部インターフェイス315と、操作ボタン314等が設けられている。また操作用の付属品としてスタイラス312がある。本発明の一態様に係る半導体装置をPDAに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をPDAに適用することは好適である。

20

#### 【 0 2 9 5 】

図32(C)には、先の実施の形態に係る半導体装置を含む電子ペーパーの一例として、電子書籍320を示す。電子書籍320は、筐体321および筐体323の2つの筐体で構成されている。筐体321および筐体323は、軸部337により一体とされており、当該軸部337を軸として開閉動作を行うことができる。このような構成により、電子書籍320は、紙の書籍のように用いることが可能である。本発明の一態様に係る半導体装置を電子ペーパーに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を電子ペーパーに適用することは好適である。

30

#### 【 0 2 9 6 】

筐体321には表示部325が組み込まれ、筐体323には表示部327が組み込まれている。表示部325および表示部327は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部(図32(C)では表示部325)に文章を表示し、左側の表示部(図32(C)では表示部327)に画像を表示することができる。

40

#### 【 0 2 9 7 】

また、図32(C)では、筐体321に操作部などを備えた例を示している。例えば、筐体321は、電源331、操作キー333、スピーカー335などを備えている。操作キー333により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポイントティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍320は、電子辞書としての機能を持たせた構成としてもよい。

#### 【 0 2 9 8 】

また、電子書籍320は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも

50

可能である。

【0299】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0300】

図32(D)は、先の実施の形態に係る半導体装置を含む携帯電話機である。当該携帯電話機は、筐体340および筐体341の二つの筐体で構成されている。筐体341は、表示パネル342、スピーカー343、マイクロフォン344、ポイントティングデバイス346、カメラ用レンズ347、外部接続端子348などを備えている。また、筐体340は、当該携帯電話機の充電を行う太陽電池セル349、外部メモリスロット350などを備えている。また、アンテナは筐体341内部に内蔵されている。本発明の一態様に係る半導体装置を携帯電話機に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を携帯電話機に適用することは好適である。

10

【0301】

表示パネル342はタッチパネル機能を備えており、図32(D)には映像表示されている複数の操作キー345を点線で示している。なお、当該携帯電話は、太陽電池セル349で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

20

【0302】

表示パネル342は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル342と同一面上にカメラ用レンズ347を備えているため、テレビ電話が可能である。スピーカー343およびマイクロフォン344は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体340と筐体341はスライドし、図32(D)のように展開している状態から重なり合った状態とすることができます、携帯に適した小型化が可能である。

【0303】

30

外部接続端子348はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット350に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0304】

図32(E)は、先の実施の形態に係る半導体装置を含むデジタルカメラである。当該デジタルカメラは、本体361、表示部(A)367、接眼部363、操作スイッチ364、表示部(B)365、バッテリー366などによって構成されている。本発明の一態様に係る半導体装置をデジタルカメラに適用することで、電力の供給がない場合でも、情報を保持することができます。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をデジタルカメラに適用することは好適である。

40

【0305】

図32(F)は、先の実施の形態に係る半導体装置を含むテレビジョン装置である。テレビジョン装置370では、筐体371に表示部373が組み込まれている。表示部373により、映像を表示することが可能である。なお、ここでは、スタンド375により筐体371を支持した構成を示している。

【0306】

テレビジョン装置370の操作は、筐体371が備える操作スイッチや、別体のリモコン操作機380により行うことができる。リモコン操作機380が備える操作キー379に

50

より、チャンネルや音量の操作を行うことができ、表示部 373 に表示される映像を操作することができる。また、リモコン操作機 380 に、当該リモコン操作機 380 から出力する情報を表示する表示部 377 を設ける構成としてもよい。本発明の一態様に係る半導体装置をテレビジョン装置に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をテレビジョン装置に適用することは好適である。

#### 【0307】

なお、テレビジョン装置 370 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般的のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。10

#### 【0308】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【符号の説明】

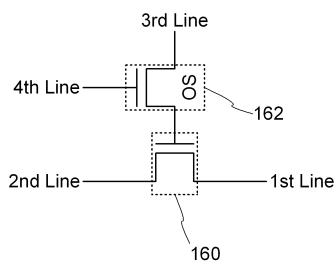
##### 【0309】

100	基板	20
102	保護層	
104	半導体領域	
106	素子分離絶縁層	
108	ゲート絶縁層	
110	ゲート電極	
112	絶縁層	
114	不純物領域	
116	チャネル形成領域	
118	サイドウォール絶縁層	
120	高濃度不純物領域	30
122	金属層	
124	金属化合物領域	
126	層間絶縁層	
128	層間絶縁層	
130 a	ソース電極またはドレイン電極	
130 b	ソース電極またはドレイン電極	
130 c	電極	
132	絶縁層	
134	導電層	
136 a	電極	40
136 b	電極	
136 c	電極	
136 d	ゲート電極	
138	ゲート絶縁層	
140	酸化物半導体層	
142 a	ソース電極またはドレイン電極	
142 b	ソース電極またはドレイン電極	
144	保護絶縁層	
146	層間絶縁層	
148	導電層	
150 a	電極	50

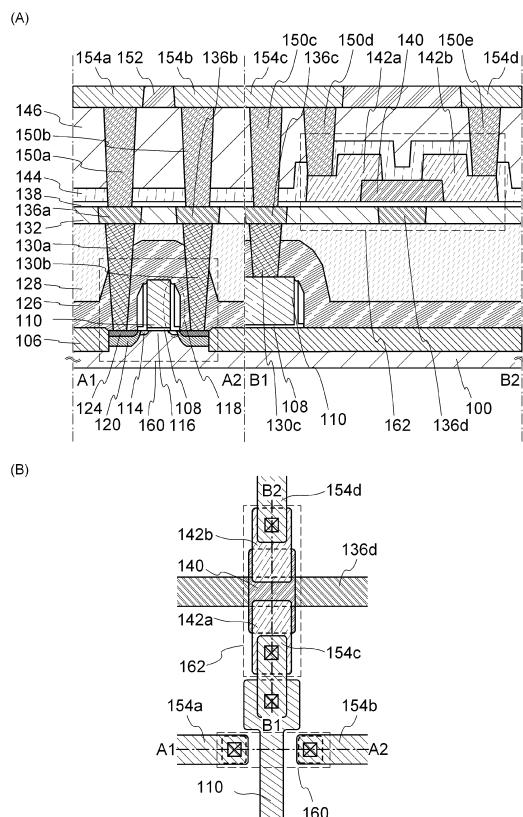
1 5 0 b	電極	
1 5 0 c	電極	
1 5 0 d	電極	
1 5 0 e	電極	
1 5 2	絶縁層	
1 5 4 a	電極	
1 5 4 b	電極	
1 5 4 c	電極	
1 5 4 d	電極	
1 6 0	トランジスタ	10
1 6 2	トランジスタ	
2 0 0	メモリセル	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	
2 0 4	容量素子	
2 0 5	容量素子	
2 1 0	メモリセルアレイ	
2 1 1	読み出し回路	
2 1 2	第1信号線の駆動回路	20
2 1 3	第2信号線及びワード線の駆動回路	
2 1 4	電位生成回路	
2 1 5	トランジスタ	
2 1 6	選択線の駆動回路	
2 1 7	ソース線の駆動回路	
2 1 9	昇圧回路	
2 4 0	メモリセル	
2 5 0	メモリセルアレイ	
2 5 1	読み出し回路	
2 5 2	第1信号線の駆動回路	30
2 5 3	第2信号線及びワード線の駆動回路	
2 5 4	電位生成回路	
2 5 5	トランジスタ	
2 5 6	選択線の駆動回路	
2 5 7	バイアス回路	
3 0 1	本体	
3 0 2	筐体	
3 0 3	表示部	
3 0 4	キーボード	
3 1 1	本体	40
3 1 2	スタイルス	
3 1 3	表示部	
3 1 4	操作ボタン	
3 1 5	外部インターフェイス	
3 2 0	電子書籍	
3 2 1	筐体	
3 2 3	筐体	
3 2 5	表示部	
3 2 7	表示部	
3 3 1	電源	50

3 3 3	操作キー	
3 3 5	スピーカー	
3 3 7	軸部	
3 4 0	筐体	
3 4 1	筐体	
3 4 2	表示パネル	
3 4 3	スピーカー	
3 4 4	マイクロフォン	
3 4 5	操作キー	
3 4 6	ポインティングデバイス	10
3 4 7	カメラ用レンズ	
3 4 8	外部接続端子	
3 4 9	太陽電池セル	
3 5 0	外部メモリスロット	
3 6 1	本体	
3 6 3	接眼部	
3 6 4	操作スイッチ	
3 6 5	表示部( B )	
3 6 6	バッテリー	
3 6 7	表示部( A )	20
3 7 0	テレビジョン装置	
3 7 1	筐体	
3 7 3	表示部	
3 7 5	スタンド	
3 7 7	表示部	
3 7 9	操作キー	
3 8 0	リモコン操作機	
4 0 2	第1のダイオード	
4 0 4	第2のダイオード	
4 0 6	第3のダイオード	30
4 0 8	第4のダイオード	
4 1 0	第5のダイオード	
4 1 2	第1の容量素子	
4 1 4	第2の容量素子	
4 1 6	第3の容量素子	
4 1 8	第4の容量素子	
4 2 0	第5の容量素子	

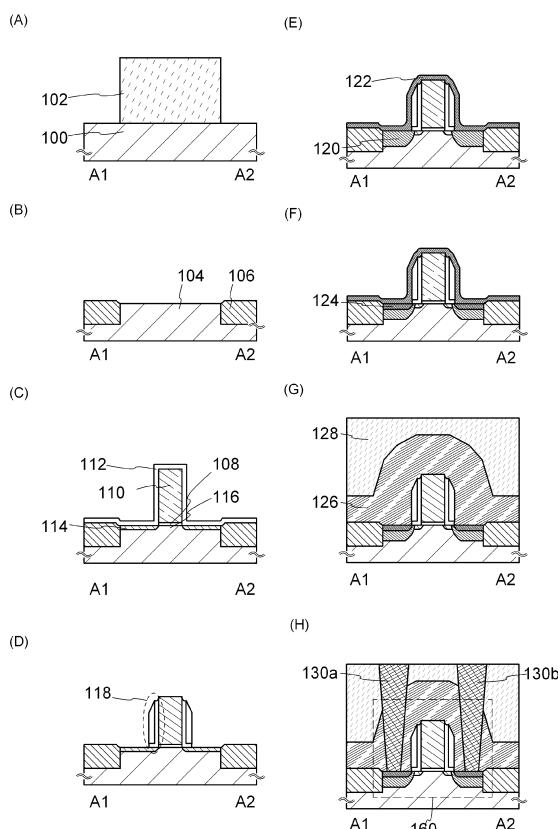
【図1】



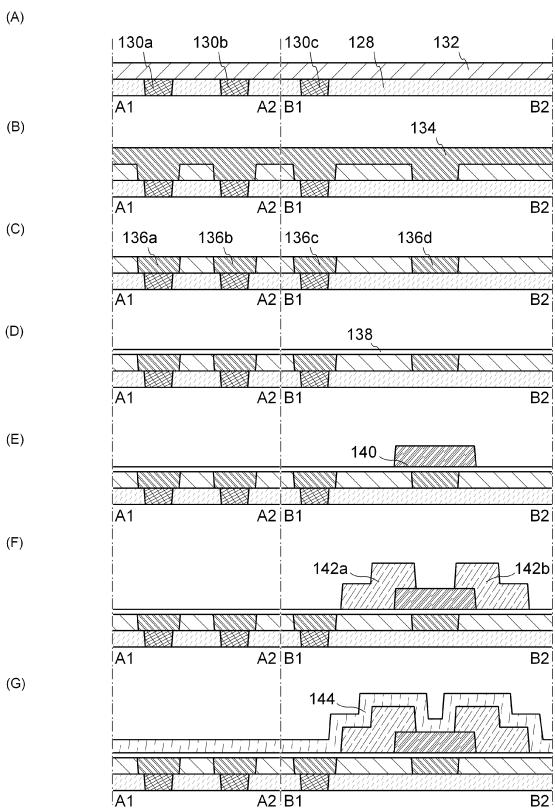
【図2】



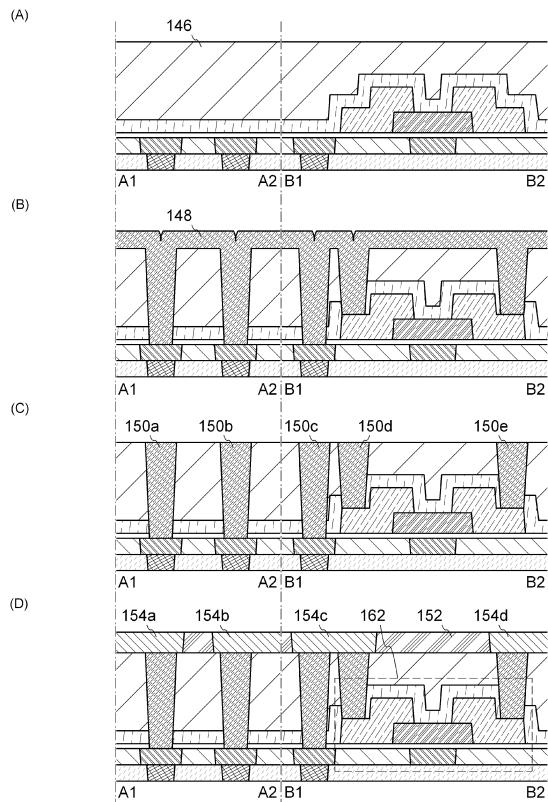
【図3】



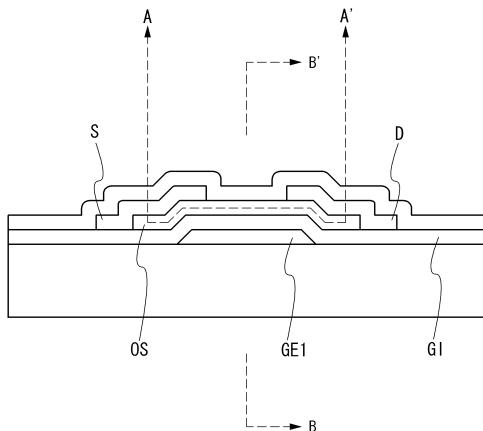
【図4】



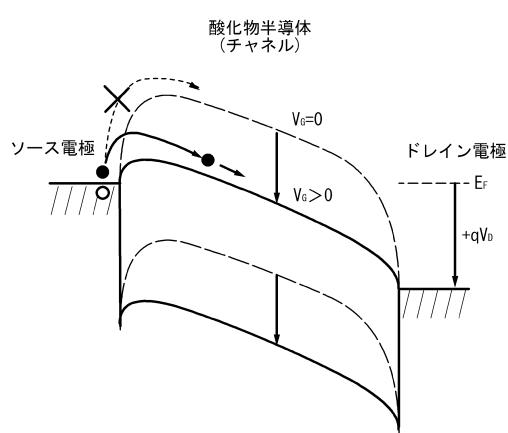
【図5】



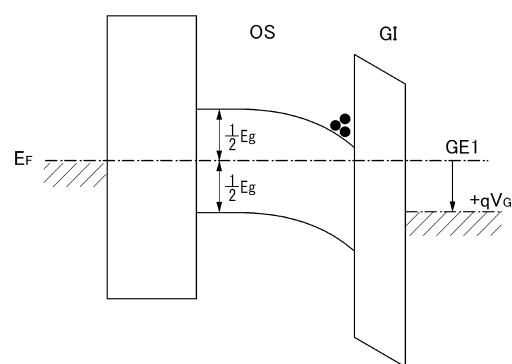
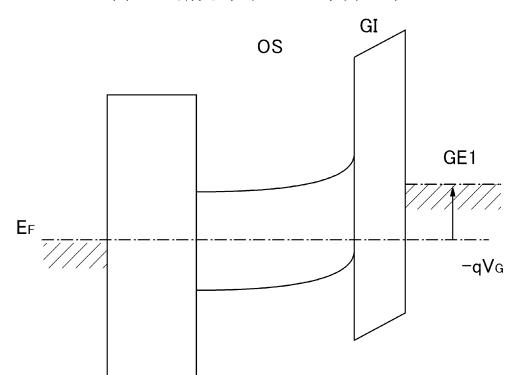
【図6】



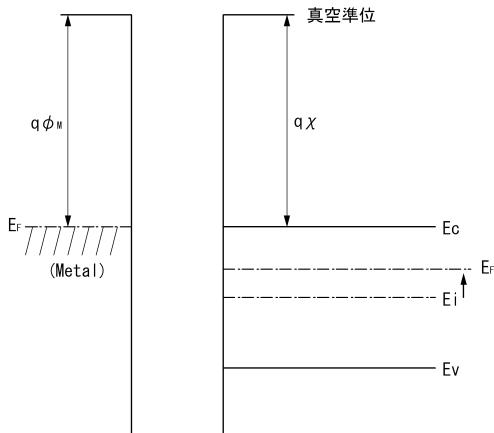
【図7】



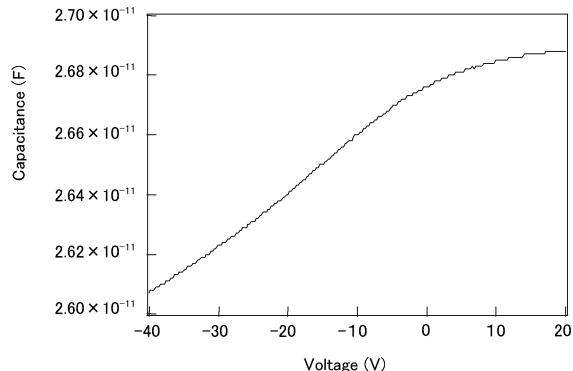
【図8】

(A) B-B' 断面エネルギー-バンド図 ( $V_g>0$ )(B) B-B' 断面エネルギー-バンド図 ( $V_g<0$ )

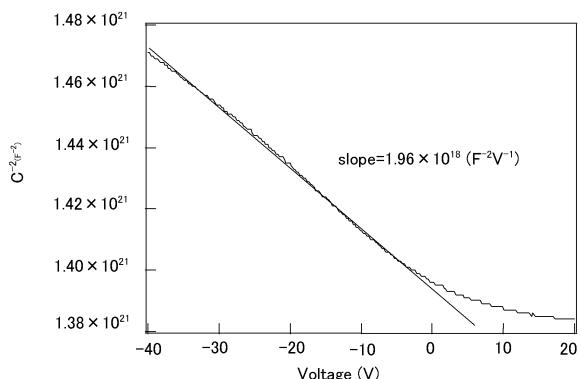
【図9】



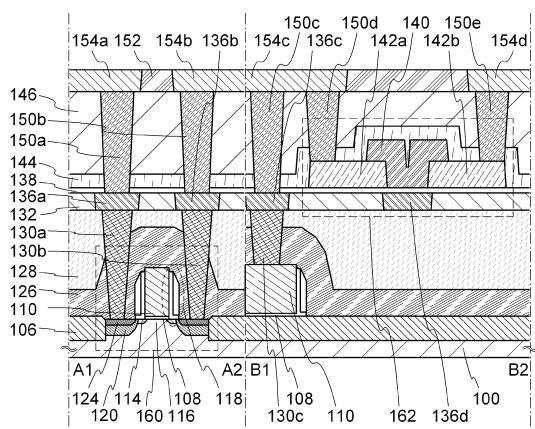
【図 10】



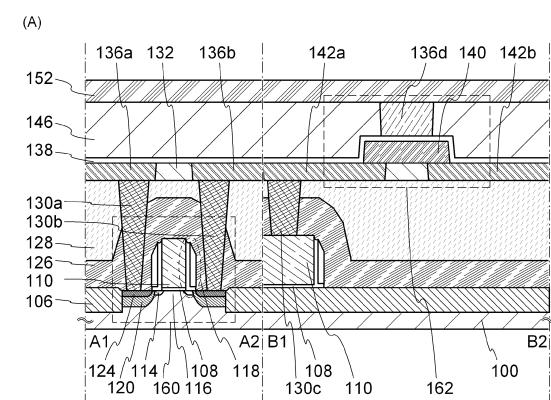
【 义 1 1 】



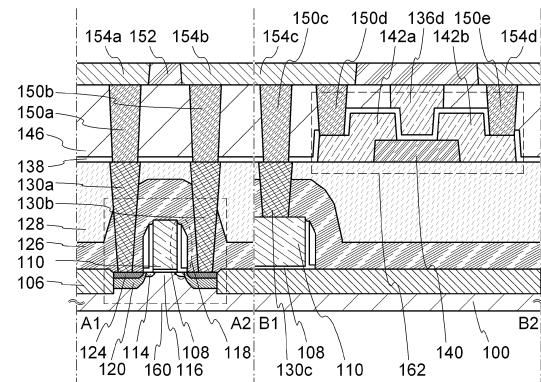
【図12】



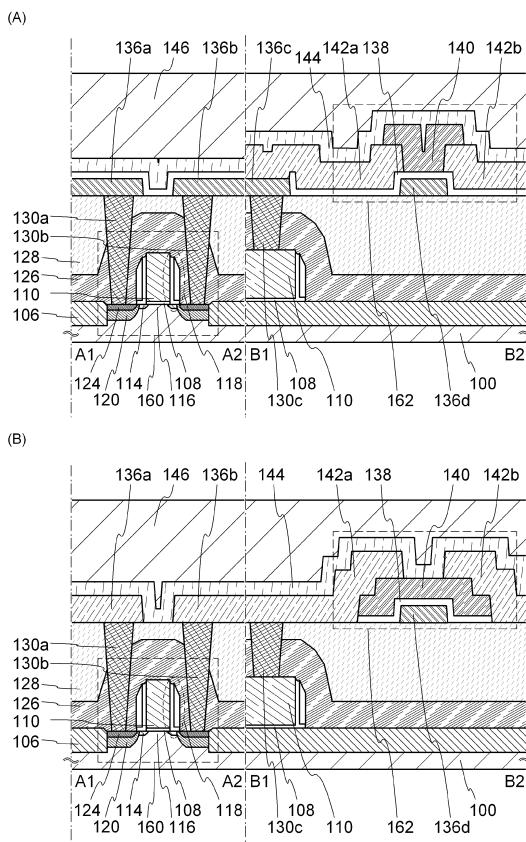
【 図 1 3 】



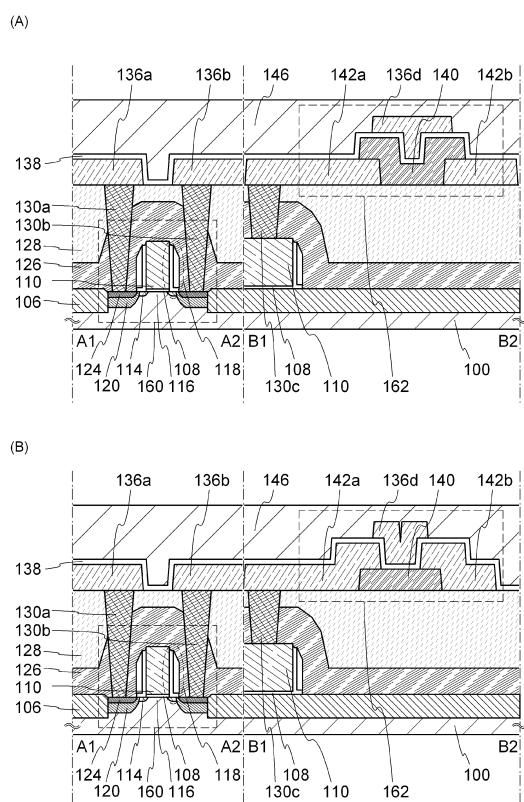
(B)



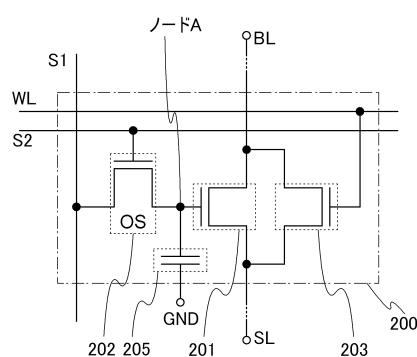
【図14】



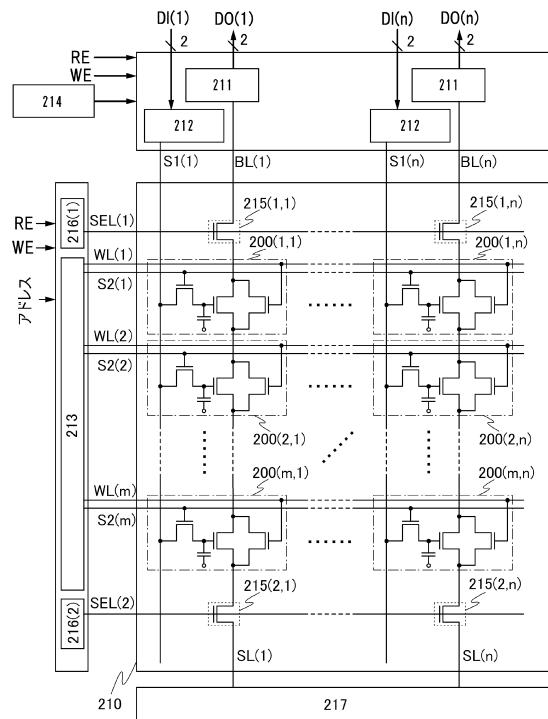
【図15】



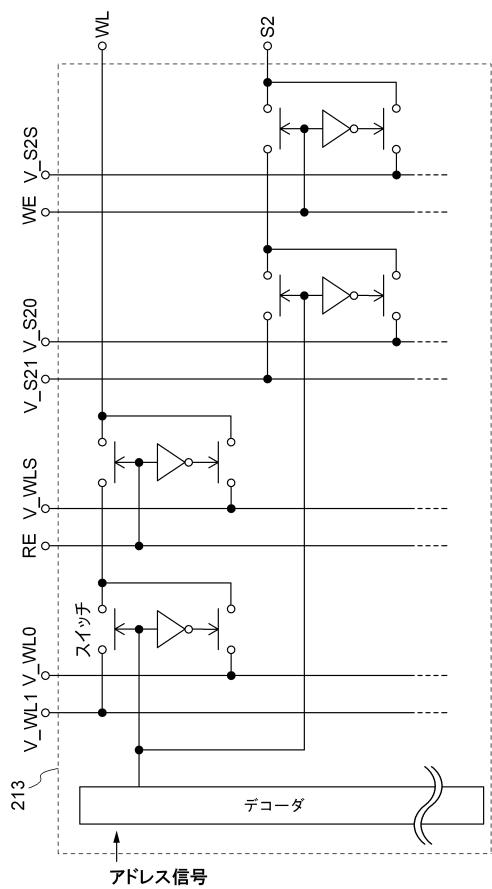
【図16】



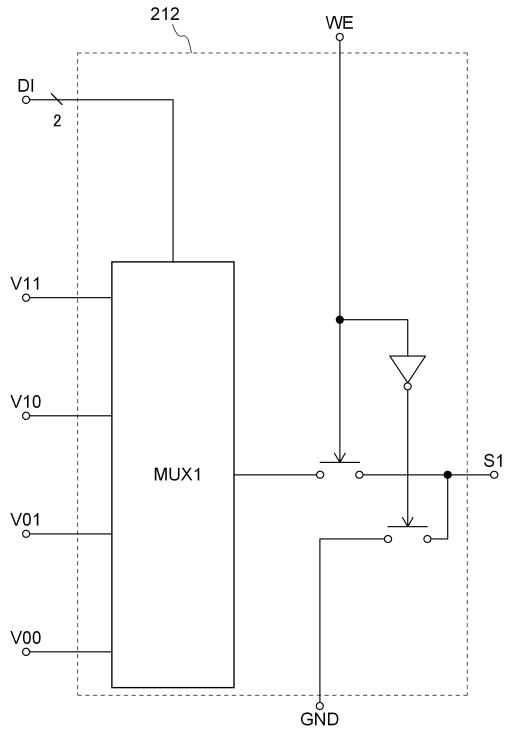
【図17】



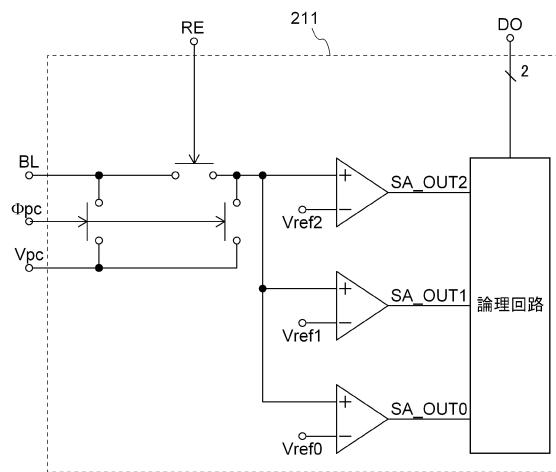
【図18】



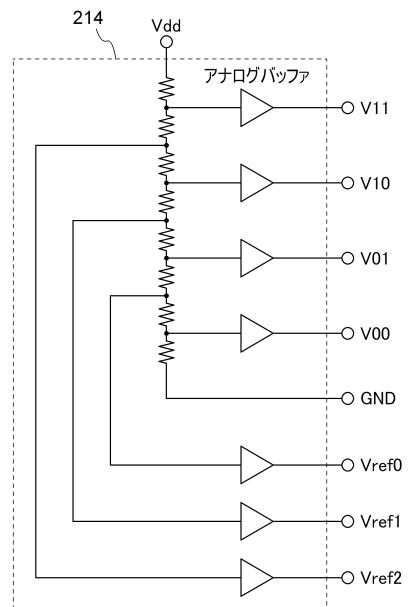
【図19】



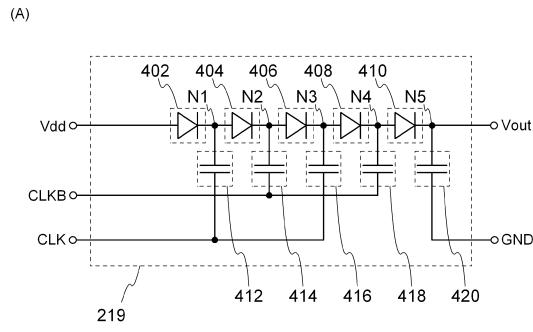
【図20】



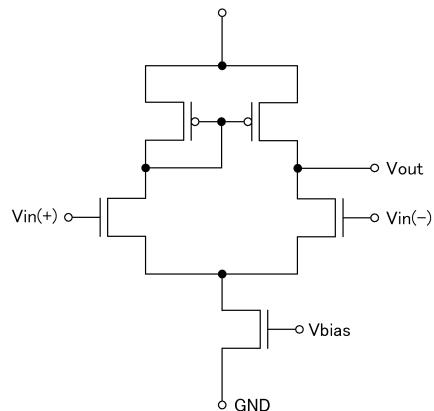
【図21】



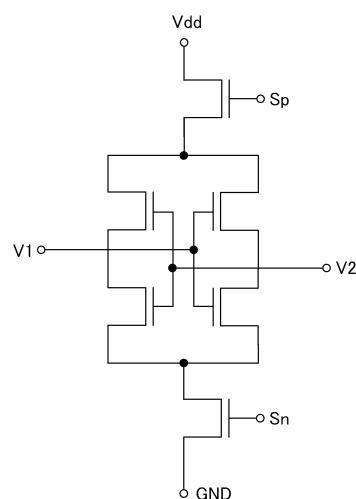
【図2-2】



【図2-3】



【図2-4】



【図2-5】

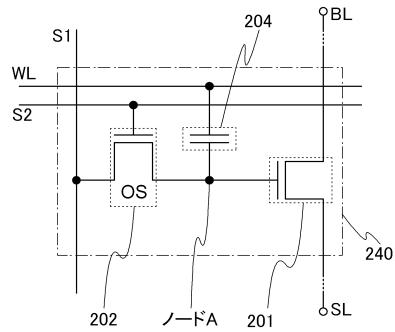
(A)

WE	[Timing Diagram: High level]
RE	[Timing Diagram: Low level]
DI	[Timing Diagram: Shaded region labeled "10b"]
選択第2信号線	[Timing Diagram: Pulse]
第1信号線	[Timing Diagram: Pulse]
非選択第2信号線	[Timing Diagram: Low level]
ワード線	[Timing Diagram: Low level]
ビット線	[Timing Diagram: Low level]
ソース線	[Timing Diagram: Low level]

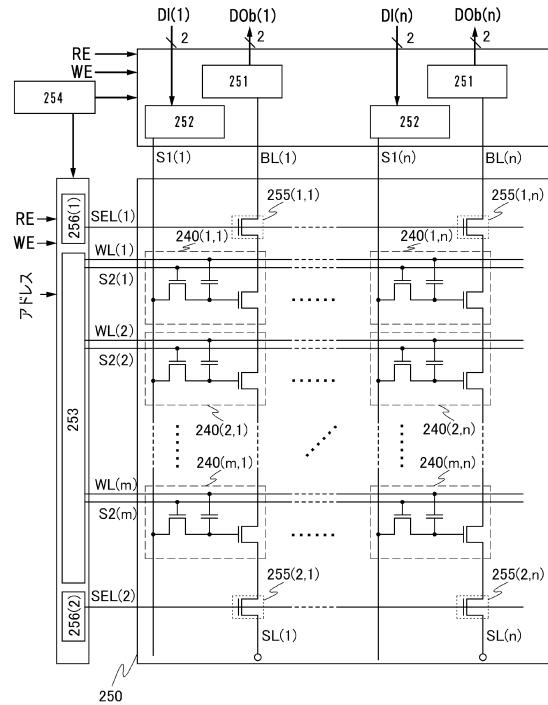
(B)

WE	[Timing Diagram: Low level]
RE	[Timing Diagram: High level]
選択ワード線	[Timing Diagram: Low level]
非選択ワード線	[Timing Diagram: Pulse]
$\Phi_{pc}$	[Timing Diagram: Pulse]
ソース線	[Timing Diagram: Low level]
ビット線	[Timing Diagram: Pulse]
SA_OUT0	[Timing Diagram: Pulse]
SA_OUT1	[Timing Diagram: Pulse]
SA_OUT2	[Timing Diagram: Low level]
第1信号線	[Timing Diagram: Low level]
第2信号線	[Timing Diagram: Low level]
SEL(1)	[Timing Diagram: Pulse]
SEL(2)	[Timing Diagram: Pulse]

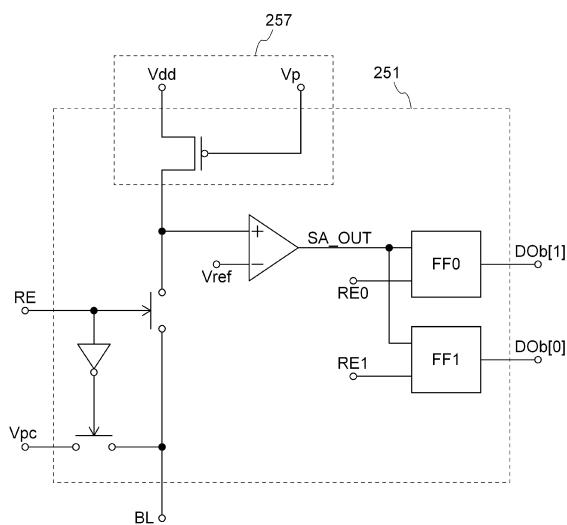
【図26】



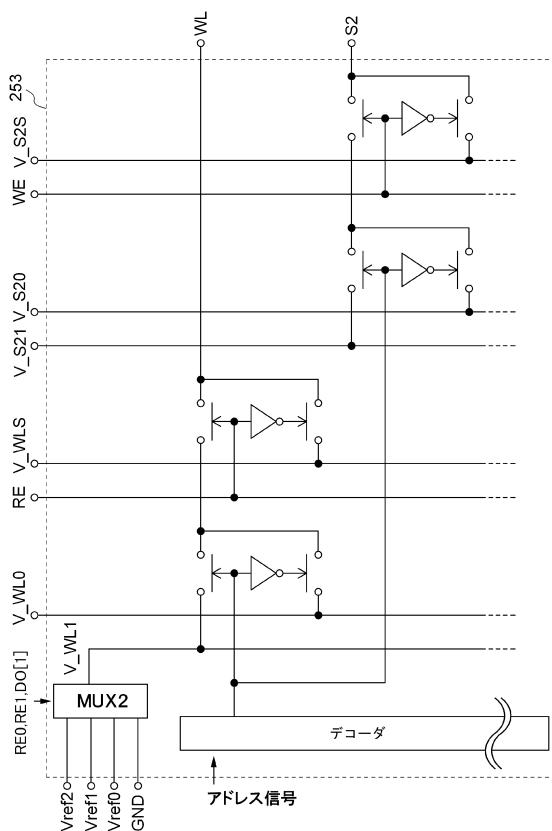
【図27】



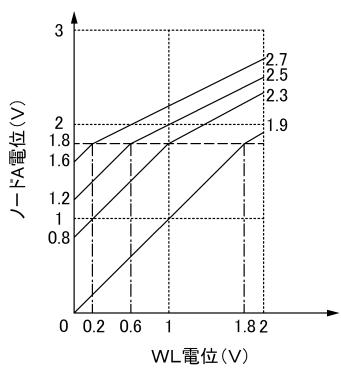
【図28】



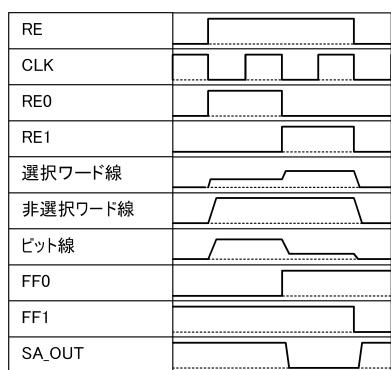
【図29】



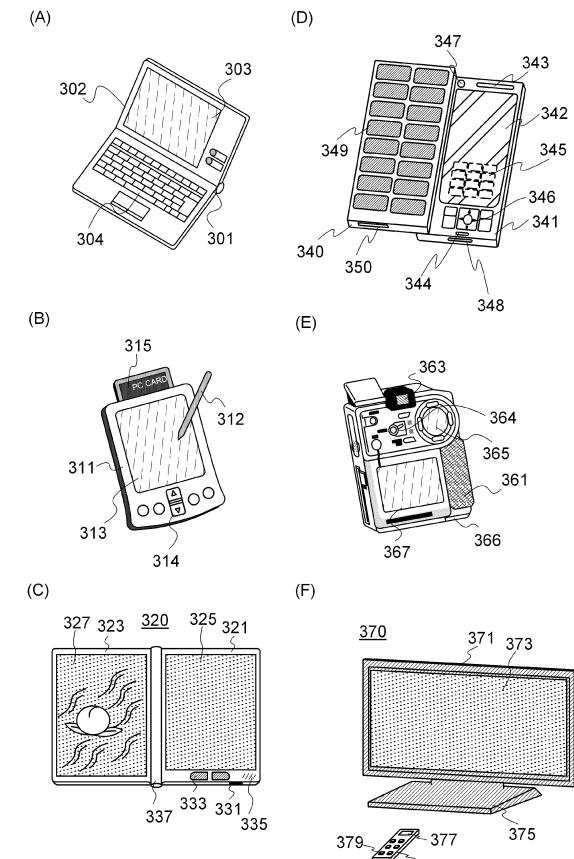
【図30】



【図31】



【図32】



---

フロントページの続き

(51)Int.Cl. F I  
H 01 L 27/088 (2006.01) H 01 L 27/088 331 E

(56)参考文献 国際公開第2009/034953(WO,A1)  
特開2008-085048(JP,A)  
特開2009-224479(JP,A)  
特開2005-094025(JP,A)  
特開2009-167087(JP,A)  
国際公開第2008/096768(WO,A1)  
特開2009-099847(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H 01 L 27/105 - 108  
H 01 L 21/8242  
H 01 L 27/1156  
H 01 L 29/786  
H 01 L 21/336  
H 01 L 27/088 - 092  
H 01 L 21/8234 - 8238