



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2019-0087454  
(43) 공개일자 2019년07월24일

- (51) 국제특허분류(Int. Cl.)  
G01R 31/28 (2006.01) G05B 23/02 (2006.01)  
G06F 1/28 (2006.01)
- (52) CPC특허분류  
G01R 31/2837 (2013.01)  
G05B 23/0283 (2013.01)
- (21) 출원번호 10-2019-7016475
- (22) 출원일자(국제) 2017년11월16일  
심사청구일자 없음
- (85) 번역문제출일자 2019년06월07일
- (86) 국제출원번호 PCT/US2017/061957
- (87) 국제공개번호 WO 2018/094006  
국제공개일자 2018년05월24일
- (30) 우선권주장  
62/422,762 2016년11월16일 미국(US)

- (71) 출원인  
스마트케이블, 엘엘씨  
870 더블유, 기내씨 스트리트, 스캐니아틀레스,  
뉴욕 13152, 미국
- (72) 발명자  
허쉬, 더글라스 에스  
미국, 뉴욕 13152, 스캐니아틀레스, 기내씨 스트리트, 870 더블유  
플레먼 마이클  
미국, 뉴욕 13090, 리버풀, 초크체리웨이 4172  
린다 라도반  
미국, 뉴저지 07066, 클락, 텍싱턴블러바드 10, 213
- (74) 대리인  
이철희, 교윤희

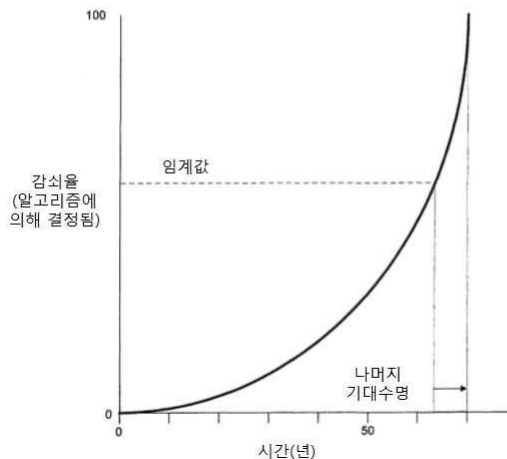
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **직류 회로에서의 고장 예측 방법 및 장치**

**(57) 요약**

회로의 상태를 모니터링하는 본 발명의 방법은 특정 타입의 회로(각각은 다소 상이함)에 대해 알려진 기준선 신호를 설정하는 단계, 및 리드 및 트레일링 에지 각도 성분(@zero 크로싱 포인트), 전압(진폭) 및 파형의 주기(시간 길이)의 측면에서 이러한 특성을 정의하는 단계를 포함한다. 이상적으로, 구형파의 각도 성분은 수직이거나 x 축과 90도가 되어야 한다. 기준선 비정규 구형파는 전류, 전압, 이의 임의의 고조파, 또는 모니터링되는 특정 타입의 회로에 기인한 예측 측정을 가장 잘 나타내는 이러한 신호의 조합으로 구성된다. 미래의 파형은 기준선 신호 및/또는 관찰 중인 특정 스플라이스의 이전 파형과 비교할 때 제로 크로싱 포인트 및 4)의 집성된 각도, 진폭 및 주기 성분에 기초한 감쇠율을 나타낸다. 감쇠율은 특정 회로의 기대 수명을 결정하는 것으로 예상된다.

**대표도** - 도5



(52) CPC특허분류  
*G06F 1/28* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

DC 회로의 수명 사이클을 예측하는 방법에 있어서,

- a) 생성된 DC 펄스열의 제로 크로싱 포인트에서 진폭 비율 왜곡, 주기 비율 변동 및 지속 시간 비율 변화 특성과 관련하여 정의 구성(define construction)의 특정 DC 회로에 대한 기준선을 설정하는 단계;
- b) 서비스중인 DC 회로에 대해 제로 포인트 크로싱 영역에서 단계(a)에서 사용된 DC 회로의 동일한 대응 비율 및 계수를 모니터링 및 결정하는 단계;
- c) 감쇠율 분석이 수명 만료를 설정하고 DC 회로의 추정된 고장 시간을 예측하는데 사용될 수 있도록 감쇠율 분석 곡선을 설정하기 위해 단계(a) 및 단계(b)의 대응 비율 및 계수를 비교하는 단계를 포함하는, DC 회로의 수명 사이클을 예측하는 방법.

#### 청구항 2

제 1 항에 있어서,

개개의 회로는 독립형 또는 시스템 내의 회로의 네트워크의 일부인, DC 회로의 수명 사이클을 예측하는 방법.

#### 청구항 3

제 1 항에 있어서,

단계(c)는 분석중인 회로의 열화율 및 고장 전의 회로의 기대 수명을 나타내는 감쇠 곡선을 생성하는, DC 회로의 수명 사이클을 예측하는 방법.

#### 청구항 4

제 1 항에 있어서,

단계(c)로부터 획득된 데이터는 완전한 고장 후에 회로의 문제를 해결하기 위해 이용될 수 있는, DC 회로의 수명 사이클을 예측하는 방법.

#### 청구항 5

제 1 항의 방법을 실시하기에 적합한 장치로서,

- a) 필요한 경우, 필요한 전력을 생성하는 DC 전원;
- b) 펄스열을 생성하는 펄스 생성기;
- c) 음의 펄스열을 생성하는 펄스 인버터;
- d) 검토중인 회로에 특정한 펄스파를 생성하는 중앙 처리 장치;
- e) 상기 펄스파가 중앙 처리 장치로 다시 송신될 때까지 펄스파를 저장하는 메모리 모듈; 및
- f) 비율, 계수를 결정하고, 감쇠율 분석 곡선 - 상기 감쇠율 분석 곡선은 검토되는 DC 회로의 수명 만료를 예상하는데 사용됨 - 을 생성하기 위한 알고리즘을 생성하는 수단을 포함하는, 장치.

### 발명의 설명

#### 기술 분야

본 발명은, 상기 기술을 사용하여 검증되고 분석되며 회로의 향후 고장을 예측하기 위해 열화의 속성들을 모니터링하는, 전류를 통과시킬 수 있는, 임의의 DC 회로에 관한 것이다.

[0001]

**배경 기술**

- [0002] 통상적인 전기 회로는 정상적으로 동작하거나 고장(fail)(On 또는 Off)이 발생한다. 이러한 시스템 내의 배선(wiring)은 통상적으로 고장 발생 가능성이 가장 크며, 이러한 시스템 결함의 문제를 해결하는데는 많은 시간과 비용이 소요된다. 간헐적 타입의 고장은 부품 손상 및 극단적 오퍼레이터 좌절로 이어질 수 있다. 이러한 타입의 고장 모드는 자동차, 항공기 및 다른 산업 또는 운송 시스템에서 가장 일반적이다. 이러한 새로운 기술을 배터리 또는 다른 전력 공급 장치로부터 동작하는 직류(DC) 시스템을 가진 상술한 운송 시스템에 초점을 맞출 것이다.
- [0003] 이러한 기술은 고장난 상태 이전이나 간헐적 결함 모드 중에 고장을 예측하기 위해 기존의 전원을 사용하도록 설계되어 있다. 이러한 시스템이 장비를 동작시키는데 이용되지 않지만, 일련의 DC 펄스(도 1)는 시스템 무결성(system integrity)을 결정하기 위해 생성된다. 이러한 시스템 테스트는 짧은 기간 동안 수행되며, 결과치는 '정상' 동작을 참조하기 위해 저장된다. 각각의 연속적인 데이터 스트림은 표준 경고(standard alert)를 위해 중앙 처리 장치(central processing unit, CPU)에 제공될 수 있는 예측 알고리즘을 생성하도록 정상 데이터에 대해 분석된다. 알고리즘이 중요한 고장 모드(critical failure mode)에 도달하면 안전 관련된 전술적 셔트다운(safety related tactical shutdown)이 시작될 수 있다.
- [0004] 산화, 습기, 연결 불량, 내부 손상 및 외부 파괴의 통상적인 고장 모드는 시스템 고장 전, 인간 시야가 검출되기 전 또는 기존 진단이 피드백을 제공하기 전에 결정될 수 있다.

**발명의 내용**

**해결하려는 과제**

- [0005] 본 발명은 열화에 대한 회로 경로 및 서브 브랜치(sub branch)를 모니터링함으로써 DC 회로의 기대 수명을 예측하는 방법을 제공한다.
- [0006] 과거의 종래 기술은 양호한 회로 또는 불량한(고장난) 회로를 결정하는 수단만을 제공하였다. 이러한 no/no-go 테스트 방법은 치명적인 고장을 방지하거나 기대 수명의 기간을 예측하는 수단을 제공하지 못한다.

**과제의 해결 수단**

- [0007] 회로의 상태를 모니터링하는 본 발명의 방법은 특정 타입의 회로(각각은 다소 상이함)에 대해 알려진 기준선(baseline) 신호를 설정하는 단계, 및 리드 및 트레일링 에지 각도 성분(lead and trailing edge angular component)(@zero 크로싱 포인트(crossing point)), 전압(진폭) 및 파형의 주기(시간 길이)의 측면에서 이러한 특성을 정의하는 단계를 포함한다. 이상적으로, 구형파의 각도 성분은 수직이거나 x축과 90도가 되어야 한다(도 2). 기준선 비정규 구형파(non-regular square wave)는 전류, 전압, 이의 임의의 고조파, 또는 모니터링되는 특정 타입의 회로에 기인한 예측 측정을 가장 잘 나타내는 이러한 신호의 조합으로 구성된다. 미래의 파형은 기준선 신호 및/또는 관찰 중인 특정 스플라이스(splice)의 이전 파형과 비교할 때 제로 크로싱 포인트(도 3 및 4)의 집성된 각도(aggreated angular), 진폭 및 주기 성분에 기초한 감쇠율을 나타낸다. 감쇠율은 특정 회로의 기대 수명을 결정하는 것으로 예상된다.
- [0008] 생성되는 DC 펄스는 특히 테스트 중인 회로에 대해 동조될 것이다. DC 펄스는 서로 동일한 양(V+) 및 음(V-) 전압 모두를 가질 수 있다. 이러한 펄스의 지속 시간은 가변 시간(Tv)이지만, 회로의 구성 요소에 동조된다. 이러한 펄스 특성이 설정되면, 이는 매핑되어 '정상' 상태로서 저장된다.
- [0009] 연속적인 테스트는 '정상' 상태 중에 설정된 동일한 펄스 특성(V+, V- 및 Tv)을 이용했다. 이러한 테스트는 시스템이 동작하지 않는 동안 시스템 동작에 영향을 미치지 않도록 하고 제조업체의 권고에 따라 미리 정해진 간격으로 수행된다. 연속적인 테스트 펄스 특성은 회로 배선의 감쇠율을 결정하는 알고리즘을 통해 "정상" 조건 및 이전의 테스트와 비교된다. 이러한 알고리즘은 모든 회로의 고장 가능성, 및 와이어 하네스(wire harness) 내의 고장 지점의 대략적인 위치를 예측하도록 설계된다.

**발명의 효과**

- [0010] 본 발명은 비용 효과적인 예방 정비(cost effective preventive maintenance)를 실행하기 위해 사용자에게 실 시간 예측 수단을 제공하는 방법 및 장치를 제공한다. 이러한 장치 및 포괄적인 통신 네트워크는 이러한 중요한

결정이 중앙 집중식 결정 지점으로 전달되도록 한다.

**도면의 간단한 설명**

- [0011] 도 1은 DC 펄스 신호의 생성 및 전압 전위, 전류 출력 및 알고리즘에 대한 입력에 대한 계산된 비율의 처리를 도시하는 흐름도이다.
- 도 2는 변화하는 진폭, 주기 및 지속 시간을 갖는 생성된 DC 펄스 신호를 도시한다.
- 도 3은 시스템으로의 초기 회로 집적 후에 소정의 짧은 감쇠 시간(P1)에서 감소된 진폭, 주기 및 지속 시간을 갖는 생성된 DC 펄스 신호를 도시한다.
- 도 4는 시스템으로의 초기 회로 집적 후에 소정의 길이의 감쇠 시간(Px)에서 감소된 진폭, 주기 및 지속 시간을 갖는 생성된 DC 펄스 신호를 도시한다.
- 도 5는 회로에 대한 감쇠 곡선을 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 본 발명은 DC 회로의 중요한 구성 요소의 각각을 측정하고, 통합형 속성 조사(combined attribute investigation)를 제공하고, TTF(Time to Failure) 예측 분석을 완료하며, 결정 프로세스를 위해 원격 중앙 집중식 로지스틱 시스템(remote centralized logistic system)에 보고하는 장치 및 방법을 제공한다.
- [0013] 도 1을 참조하면, 통상적인 DC 회로(303)는 시스템 내의 다양한 부하에 전력을 분배하기 위한 전원(101) 및 와이어 하네스를 필요로 한다. 부하의 대부분은 그들 부하가 더욱 고도화됨에 따라 빌트-인된(built-in) 메모리(105) 능력들을 갖는다. 본 발명은 펄스 생성기(102)를 통해 DC 펄스열(201)을 생성하고 인버터(103)를 통해 역 DC 펄스열(202)을 생성할 것이다. 중앙 처리 장치(CPU)(104)는 이러한 DC 펄스열(201,202)과 결합하여 특히 DC 회로(303)가 감쇠율 곡선(도 5)을 생성하기 위한 교번 DC 펄스 신호(203)를 생성하고, 의사 결정자(decision maker)에 의해 요구되는 예측 동작을 생성한다.
- [0014] 부하에 공통적이거나 업그레이드의 일부로서 설치된 메모리 저장 장치(105)는 정상적인 시스템 동작을 위해 사용된 동일한 와이어링 하네스를 따라 회로가 비활성화될 때 송신을 위한 마지막 DC 펄스 신호(204)를 저장하는 능력을 갖는다.
- [0015] 바람직한 실시예에서, Positive(V+) Leading 에지( $L_1^{@N+}, L_2^{@N+}, \dots, L_{1+y}^{@N+}$ ), Negative(V-) Leading 에지( $L_1^{@N-}, L_2^{@N-}, \dots, L_{1+y}^{@N-}$ ), Positive(V+) Trailing 에지( $T_1^{@N+}, T_2^{@N+}, \dots, T_{1+y}^{@N+}$ ), Negative(V-) Trailing 에지( $T_1^{@N-}, T_2^{@N-}, \dots, T_{1+y}^{@N-}$ ), Positive(V+) 전압( $dV_1^{@N+}, dV_2^{@N+}, dV_{1+y}^{@N+}$ ), Negative(V-) 전압( $dV_1^{@N-}, dV_2^{@N-}, dV_{1+y}^{@N-}$ )의 동기화된 데이터 수집 뿐만 아니라; 펄스의 수(1+y) 및 DC 펄스 길이( $T_{v1}, T_{v2}, \dots, T_{v(1+y)}$ )는 검토중인 각각의 특정 회로에 대해 유지된다. CPU(104)는 하드웨어, 펌웨어, 소프트웨어 또는 이 내에 설명된 바와 같은 이러한 방법의 하이브리드 조합에 의해 정보를 처리한다. 초기 교번 DC 펄스 신호(203)는 상술한 데이터 포인트 및 검토중인 회로에 대한 커스터마이징된 알고리즘(customized algorithm)을 이용함으로써 최신 DC 펄스 신호(203)와 비교된다. 상술한 분석 방법은 순수 아날로그 방법, 또는 동일하거나 유사한 결과를 달성하는 아날로그 방법 및 디지털 방법의 조합에 의해 완료될 수 있다.
- [0016] DC 펄스 신호(203)는 외부 전원으로 생성될 수 있다. DC 펄스 신호(203, 204)는 테스트 중인 회로(303)가 정상 동작에 영향을 미치지 않도록 유휴 상태에 있는 동안에 송신된다. 생성된 DC 펄스열(203)은 특히 분석중인 회로에 동조되고, 이러한 개개의 회로의 특정 구성 요소, 재료, 길이 및 구성을 고려한다.
- [0017] 어떤 시간 주기(P1)에서, 이들 동일한 데이터 포인트는 수집되어(도 2), 펄스의 수(1+y) 각각에 대해 이들 DC 펄스의 선형 및 각도 감쇠를 결정하는데 적절한 알고리즘을 통해 실행된다. 다른 주기 P(x)에서, 이들 데이터 포인트는 다시 로그되고(도 3), 정상 데이터 및 이전의 데이터 P(x-1)와 함께, 알고리즘에 배치되어 감쇠율을 결정한다. 순시 측정 및 후속 분석은 검토중인 회로의 감쇠율에 따라 가변 간격 상에서 수행될 수 있다. 회로의 감쇠는 도 5의 비선형 이벤트이며, 이는 감쇠율이 시간에 따라 변하는 것을 의미한다.
- [0018] 감쇠율 알고리즘은 Positive(V+) Leading 에지( $L_1^{@N+}, L_2^{@N+}, \dots, L_{1+y}^{@N+}$ ), Negative(V-) Leading 에지( $L_1^{@N-}, L_2^{@N-}$

.....,  $L_{1+y}^{@N-}$ ), Positive(V+) Trailing 에지( $T_1^{@N+}$ ,  $T_2^{@N+}$ , ...,  $T_{1+y}^{@N+}$ ), Negative(V-) Trailing 에지( $T_1^{@N-}$ ,  $T_2^{@N-}$ , ...,  $T_{1+y}^{@N-}$ ) 및 Positive(V+) 전압( $dV_1^{@N+}$ ,  $dV_2^{@N+}$ ,  $dV_{1+y}^{@N+}$ ), Negative(V-) 전압( $dV_1^{@N-}$ ,  $dV_2^{@N-}$ ,  $dV_{1+y}^{@N-}$ )의 각도 성분은 기초할 뿐만 아니라; 원래의 상태 및 이전의 측정 사이클과 비교할 때 각각의 측정 사이클에서 계산된 펄스의 수(1+y) 및 DC 펄스 길이( $T_v1$ ,  $T_v2$ , ...,  $T_v(1+y)$ ) 비율에 기초한다. 비정상(abnormality)을 제거하기 위해 설정된 특성 데이터의 각 알고리즘 비율은, 감쇠 곡선 분석에서 거짓 양성(false positives)을 생성할 수 있음에 따라, 검토 중인 DC 회로의 구성 요소와 연관된다.

[0019] 통상의 DC 회로 비율은 다음과 같이 반영될 수 있다:

[0020] 
$$\text{EDGE RATIO} = \text{Sine}(T_1^{@N+} - T_1^{@P1+}) - \text{Sine}(L_1^{@N+} - L_1^{@P1+}) + \text{Sine}(T_1^{@N-} - T_1^{@P1-}) - \text{Sine}(L_1^{@N-} - L_1^{@P1-}) + \text{Sine}(T_2^{@N+} - T_2^{@P1+}) - \text{Sine}(L_2^{@N+} - L_2^{@P1+}) + \text{Sine}(T_2^{@N-} - T_2^{@P1-}) - \text{Sine}(L_2^{@N-} - L_2^{@P1-}) + \dots + \text{Sine}(T_{1+y}^{@N+} - T_{1+y}^{@P1+}) - \text{Sine}(L_{1+y}^{@N+} - L_{1+y}^{@P1+}) + \text{Sine}(T_{1+y}^{@N-} - T_{1+y}^{@P1-}) - \text{Sine}(L_{1+y}^{@N-} - L_{1+y}^{@P1-})$$

[0021] 
$$\text{PERIOD RATIO} = (T_v1^{@N1} - T_v1^{@P(x-1)})/2 + (T_v2^{@P(x-1)} - T_v2^{@P(x)})/2 + (T_v2^{@N1} - T_v2^{@P(x-1)})/2 + (T_v2^{@P(x-1)} - T_v2^{@P(x)})/2 + \dots + (T_v(1+y)^{@N1} - T_v(1+y)^{@P(x-1)})/2 + (T_v(1+y)^{@P(x-1)} - T_v(1+y)^{@P(x)})/2$$

[0022] 
$$\text{AMPLITUDE RATIO} = (dV_1^{@N+} [L_1^{@N+}] - dV_1^{@N+} [T_1^{@N+}] + dV_1^{@N-} [L_1^{@N-}] - dV_1^{@N-} [T_1^{@N-}])/2 + (dV_2^{@N+} [L_2^{@N+}] - dV_2^{@N+} [T_2^{@N+}] + dV_2^{@N-} [L_2^{@N-}] - dV_2^{@N-} [T_2^{@N-}])/2 + \dots + (dV_{(1+y)}^{@N+} [L_{(1+y)}^{@N+}] - dV_{(1+y)}^{@N+} [T_{(1+y)}^{@N+}] + dV_{(1+y)}^{@N-} [L_{(1+y)}^{@N-}] - dV_{(1+y)}^{@N-} [T_{(1+y)}^{@N-}])/2$$

[0023] 이러한 데이터 비율에 기초하여, 알고리즘은 회로의 추정된 고장 지점을 예측할 수 있다. 통상의 알고리즘은 다음과 같이 검토 중인 회로에 대한 과형을 동조한 후에 명시된 비율에 가중치를 부여한다:

[0024] 
$$\text{Output}_{(\text{algorithm})} = \text{Edge Ratio} + \text{Period Ratio} \times 1.3 + \text{Amplitude Ratio} \times 0.7$$

[0025] 이를 통해 도 5에 도시된 바와 같이 검토 중인 DC 회로에 특정한 분석을 위한 예측 감쇠 곡선을 생성하는 데이터를 정규화할 수 있다. 각각의 회로가 개개의 드문 구성 요소를 갖기 때문에, 각각의 회로는 별개로 명시되어야 한다.

[0026] 다수의 알고리즘 포인트는 이력(history) 목적을 위해 저장될 수 있고, 시스템 무결성의 기술적인 문제 해결에 유용할 수 있다.

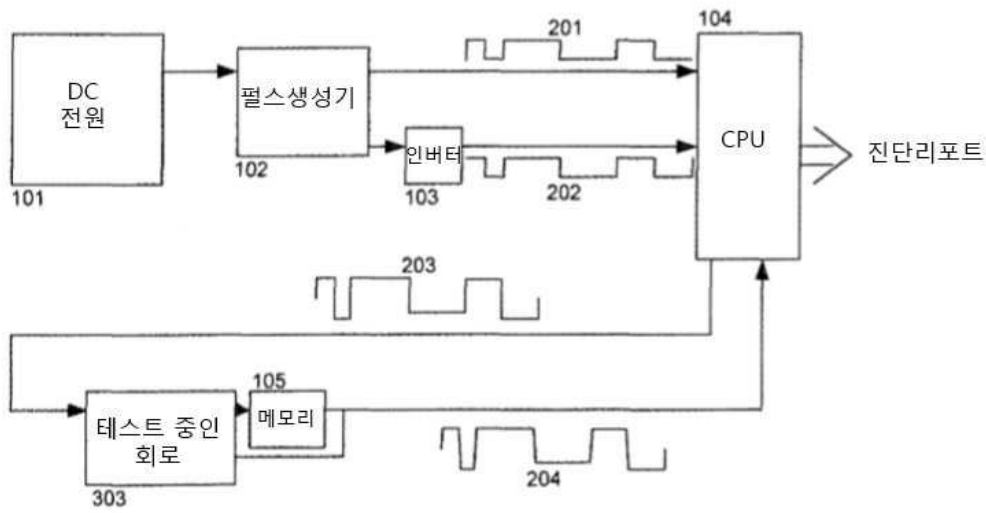
[0027] 적절한 기준선이 특정 DC 회로에 대해 설정되면, 정량적 임계값(quantitative threshold)이 검토 중인 회로의 기대 수명을 계산하기 위해 설정될 수 있다. 이러한 기대 수명은 향후 분석을 기반으로 재설정될 수 있고, 예방적 유지 관리 동작은 수명 만료 예측에 기반하여 스케줄링될 수 있다.

[0028] 이와 같이, 발명은 상술한 바와 같이 본 발명의 모든 객체를 충족하고 DC 회로의 수명 사이클을 예측하는 새롭고 개선된 방법 및 장치를 제공하는 바람직한 실시예의 관점에서 개시되었다.

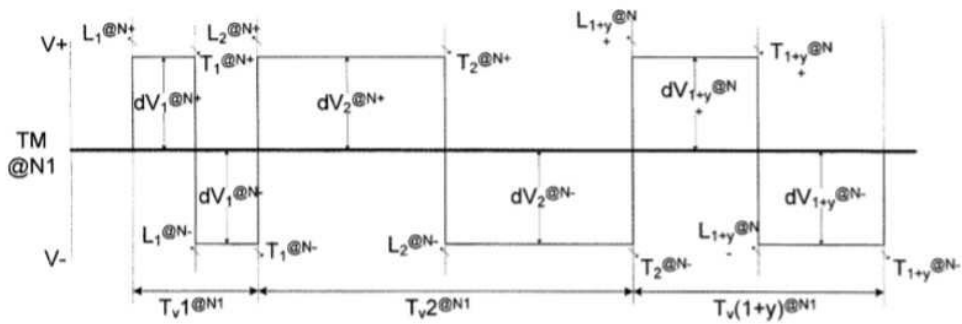
[0029] 물론, 본 발명의 교시로부터의 다양한 변화, 수정 및 변경은 본 발명의 의도된 사상 및 범위를 벗어나지 않고 당업자에 의해 고려될 수 있다. 본 발명은 첨부된 청구 범위에 의해서만 한정되는 것으로 의도된다.

도면

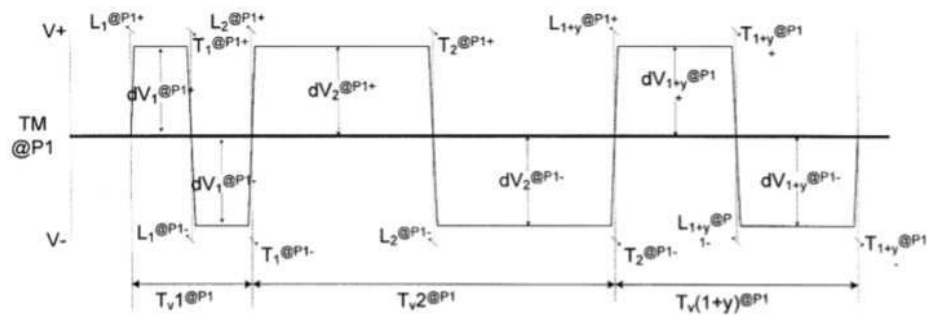
도면1



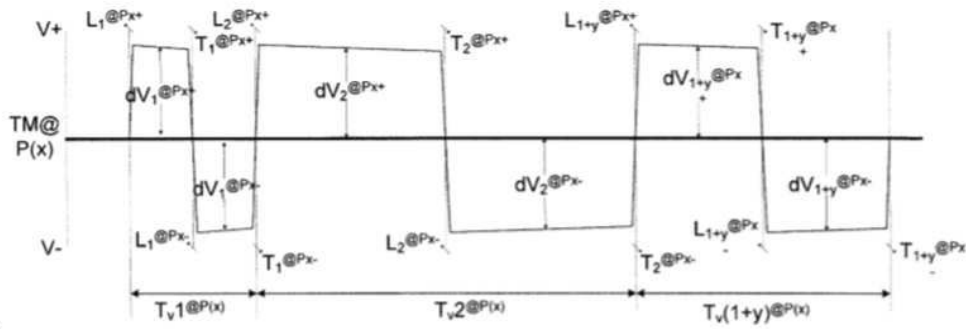
도면2



도면3



도면4



도면5

