

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4651367号
(P4651367)

(45) 発行日 平成23年3月16日(2011.3.16)

(24) 登録日 平成22年12月24日(2010.12.24)

(51) Int.Cl. F I
 HO 1 L 21/60 (2006.01) HO 1 L 21/60 3 1 1 W
 HO 1 L 21/60 3 1 1 Q

請求項の数 6 (全 24 頁)

(21) 出願番号	特願2004-350646 (P2004-350646)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成16年12月3日(2004.12.3)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2006-13421 (P2006-13421A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成18年1月12日(2006.1.12)		
審査請求日	平成19年11月19日(2007.11.19)	(72) 発明者	市原 誠一 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(31) 優先権主張番号	特願2004-157929 (P2004-157929)	(72) 発明者	金光 伸弥 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(32) 優先日	平成16年5月27日(2004.5.27)	(72) 発明者	東條 信治 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

テープ、および前記テープの上面に形成された複数のリードを有する実装基板と、
 平面形状が四角形から成る主面の第1辺に沿って形成された複数のバンプを有し、前記
 主面が前記実装基板の前記上面と対向するように、前記実装基板に搭載された半導体チップと、

を含み、

前記複数のバンプは、複数のメッキ膜を介して前記複数のリードと電気的に接続され、
 平面視において、前記複数のバンプのそれぞれにおける前記第1辺に沿った方向の幅は、
 前記複数のリードのそれぞれにおける前記第1辺に沿った方向の幅より広く、

前記複数のバンプは、前記半導体チップの前記主面の前記第1辺に沿って2列で、かつ
 千鳥状に配置され、

千鳥状に配置された前記複数のバンプは、前記半導体チップの前記主面の端部側に配置
 された複数の第1バンプと、前記複数の第1バンプよりも前記半導体チップの前記主面の
 中心側に配置された複数の第2バンプとを有し、

前記複数のリードは、前記複数の第1バンプと電気的に接続される複数の第1リードと
 、前記複数の第2バンプと電気的に接続される複数の第2リードとを有し、

前記複数の第2リードのそれぞれは、平面視において、前記第2バンプの端部と重なる
 第1部分と、前記複数の第1バンプのうちの互いに隣り合う第1バンプ間に位置する第2
 部分とを有し、

10

20

平面視において、前記第 1 部分における前記第 1 辺に沿った方向の幅は、前記第 2 部分における前記第 1 辺に沿った方向の幅より広いことを特徴とする半導体装置。

【請求項 2】

前記複数の第 2 リードのそれぞれは、平面視において、前記半導体チップの前記主面とは重ならない領域に位置する第 3 部分を有し、

平面視において、前記第 3 部分における前記第 1 辺に沿った方向の幅は、前記第 2 部分における前記第 1 辺に沿った方向の幅より広いことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

平面視において、前記第 3 部分における前記第 1 辺に沿った方向の幅は、前記第 1 部分における前記第 1 辺に沿った方向の幅より細いことを特徴とする請求項 2 記載の半導体装置。

10

【請求項 4】

前記複数の第 2 リードのそれぞれは、平面視において、前記第 2 バンプの中心部領域と重なる第 4 部分を有し、

平面視において、前記第 4 部分における前記第 1 辺に沿った方向の幅は、前記第 1 部分における前記第 1 辺に沿った方向の幅より細いことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記複数のメッキ膜は、前記複数のリードのそれぞれの表面に形成されていることを特徴とする請求項 1 記載の半導体装置。

20

【請求項 6】

前記複数のリードは、銅から成り、

前記複数のバンプは、金膜から成り、

前記複数のメッキ膜は、錫から成ることを特徴とする請求項 5 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関し、特に、半導体チップの主面上の外周部に形成された複数のバンプと半導体チップを搭載する実装基板上に形成された複数のリードとがそれぞれ電氣的に接続された半導体装置に適用して有効な技術に関するものである。

30

【背景技術】

【0002】

例えば、LCDドライバ用半導体チップは、携帯機器等のコンパクト化や表示画面の高精細化が要求される装置の液晶表示パネルに隣接して実装され、よりいっそうの縮小化、および表示画面を高精細化する有効な手段である出力数の増加、すなわちバンプ（バンプ電極）数の増加（多ピン化）が要求されている。

【0003】

LCDドライバ用半導体チップの縮小化が進むと、バンプ間ピッチが微細ピッチ（ファインピッチ）となると、そのバンプとリード（配線）との接触（接合）に対応可能な実装技術が要求される。この要求に対応しやすい実装技術の一つに、TCP（Tape Carrier Package）等を利用されるTAB（Tape Automated Bonding）実装や、ACF（Anisotropic Conductive Film）等を利用して達成されるようなCOF（Chip On Film）、COG（Chip On Glass）といった実装が知られている。

40

【0004】

また、特開2004-134471号公報（特許文献1）には、LCDドライバ用半導体チップ単位長さ当たりの出力数（バンプ数）の増加の要求に対して、例えば、各出力バンプを同一列上に配置せずにバンプを一つ置きに第1バンプ列と第2バンプ列とに配置する、いわゆる千鳥状に配置（千鳥配置、千鳥配列）することが記載されている。

50

【特許文献1】特開2004-134471号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述のように、実装面積を小さくする実装技術およびバンプ配置をもってしても、LCDドライバ用半導体チップはさらなるファインピッチ化および多ピン化が要求され、実装技術およびバンプ配置などにもより工夫が必要である。

【0006】

以下は、LCDドライバ用半導体チップを実装基板に搭載した半導体装置の開発を行っている本発明者らが見出した、特にバンプ間ピッチ（あるいはリード間ピッチ）のファインピッチ化に対する問題点について、図23～図25により説明する。図23～図25は、本発明者らが検討した半導体装置の概略断面図である。なお、図23に示す半導体装置は、バンプピッチが38 μ m程度であり、図24および図25に示す半導体装置は、バンプピッチが例えば30 μ m程度である。

10

【0007】

図23に示すように、半導体チップ201Cの主面上の外周部に形成されたバンプ202と、半導体チップ201Cを搭載する基板203上に形成されたリード（配線）204とが、電気的に接続されている。

【0008】

半導体チップ201Cは、例えばシリコン（Si）の半導体基板からなり、その半導体基板の主面上には、図示しないが、例えばMIS（Metal Insulator Semiconductor）トランジスタなどが形成されている。バンプ202は、そのMISトランジスタなどの多層配線上に、例えば金（Au）などから形成されている。なお、1つのバンプ202のみ図示されているが、半導体チップ201Cの主面上の外周部には、複数のバンプ202が形成されている。

20

【0009】

基板203は、例えばCOF（Chip On Film）用のテープ（以下、COFテープと略する）からなり、テープには例えばポリイミド樹脂等が用いられる。リード204は、例えばエッチング法およびメッキ法を用いて、銅（Cu）箔に錫（Sn）メッキされて形成される。なお、1つのリード204のみ図示されているが、基板203上には複数のリード204が、形成されており、上述の複数のバンプ202とそれぞれ電気的に接続されている。

30

【0010】

複数のバンプ202間ピッチおよび複数のリード204間ピッチが例えば38 μ m程度の場合、図23では、半導体チップ201Cの主面とは交差する方向において、バンプ202の寸法（高さ）202zが例えば15 μ m、リード204の寸法（厚さ）204zが例えば8 μ mとなるバンプ202およびリード204が示されている。なお、半導体チップ201Cとリード204との間には、15 μ m程度の間隙205zがあることとなる。

【0011】

図23に示すようなバンプ間ピッチが38 μ m程度の半導体装置から、さらなるファインピッチ化、例えば30 μ m程度とするには、バンプ202の寸法202zを小さくしなければならない。これは、単にファインピッチ化を実現するには、バンプ202の寸法202zが高い（大きい）状態でバンプ202の幅（高さで交差する方向の厚み）を細く形成すればよい。しかしながら、幅が細くなると、バンプ202にクラックが生じる。更にはバンプ202が倒れてしまう等の課題が生じる。そのため、バンプ202間ピッチをファインピッチ化するには、バンプ202全体の大きさ自体も小さくしなければならない。また、リード204も同様に、リード204の寸法204zを小さくしなければならない。

40

【0012】

複数のバンプ202間ピッチおよび複数のリード204間ピッチが例えば30 μ m程度

50

とすると、図24に示すように、半導体チップ201Cの主面とは交差する方向において、バンプ202の寸法202zが例えば10 μ m、リード204の寸法204zが例えば5 μ mとなるバンプ202およびリード204が形成されることとなる。なお、半導体チップ201C(チップ端)とリード204との間には、例えば10 μ m程度の隙間205zが形成されるが、この隙間205zは、寸法202z、204zの設計値から10 μ m程度としているので、実際にバンプ202とリード204とが接触(接合)することにより、完成寸法では10 μ mより小さくなる。

【0013】

しかしながら、半導体チップ201Cとリード204との間の隙間205zが、10 μ mより小さくなると、符号205Aの領域で半導体チップ201Cとリード204とが接触(エリアショート、エリアタッチ、短絡)してしまう可能性がある。特に可撓性を有するCOFテープを基板203として適用した場合、リード204が形成されたCOFテープが撓むことにより、半導体チップ201Cとリード204とが接触してしまう可能性がある。

10

【0014】

また、図25に示すように、バンプ202とリード204とがAu-Sn合金(共晶)接合する際に、仮にAu-Sn合金またはSnの金属物205Lがバンプ202の表面またはリード204の表面から流れだした場合、隙間205zが10 μ mより小さくなると、毛細管現象により半導体チップ201Cのチップ端側でショートする可能性がある。

【0015】

20

また、図25において図面に垂直な方向(リード204の厚さと交差する方向)におけるリード204の幅が細くなると、すなわちバンプ202とリード204との接触(接合)面積が小さくなると、バンプ202とリード204とがAu-Sn合金(共晶)接合する際に、Au-Sn合金またはSnの金属物205Lがバンプ202の表面またはリード204の表面から流れだし易くなる。この結果、隙間205Lが狭くなるため、ショートの問題が生じる。更には、ファインピッチ化が実現できないため、半導体装置の小型化は困難である。

【0016】

本発明の目的は、ファインピッチ化および多ピン化に対応した実装技術、並びにその実装技術により得られる半導体装置を提供することにある。

30

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0018】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

本発明による半導体装置は、半導体チップの主面上の外周部に形成された複数のバンプと、前記半導体チップを搭載する実装基板上に形成された複数のリードとが、それぞれ電氣的に接続されており、前記バンプは、チップ端側に配置された複数の第1バンプと、チップ中心側に配置された複数の第2バンプとが互いに千鳥配置されてなり、前記リードの延在方向に沿った前記バンプの両端部と重なる領域の前記リードの幅が、前記第1バンプ間における前記リードの幅より広い。

40

【0020】

また、本発明による他の半導体装置は、半導体チップの主面上の外周部に形成された複数のバンプと、前記半導体チップを搭載する実装基板上に形成された複数のリードとが、それぞれ電氣的に接続されており、前記バンプと接触する領域の前記リードには、突起部が形成されている。

【0021】

50

また、本発明による半導体装置の製造方法は、半導体チップの主面上の外周部に形成された複数のバンプと、前記半導体チップを搭載する実装基板上に形成された複数のリードとが、それぞれ電氣的に接続された半導体装置において、前記バンプと接触する領域の前記リードに、突起部を形成する。

【発明の効果】

【0022】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0023】

ファインピッチ化および多ピン化に対応した実装技術、並びにその実装技術により得られる半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0025】

(実施の形態1)

本実施の形態の半導体装置を図1～図4を参照して説明する。図1は、本実施の形態の半導体装置を構成する半導体チップの全体平面図の一例である。図2は、半導体チップ上に形成されたバンプの概略断面図である。図3は、COF実装した半導体チップの要部概略断面図である。図4は、COF実装した半導体チップのバンプおよびリード(配線)の形状および配置を示す概略平面図である。

【0026】

図1は、本実施の形態の半導体装置を構成する半導体チップ1Cの全体平面図の一例を示している。この半導体チップ1Cは、例えば細長い長方形に形成された半導体基板1Sを有しており、その半導体基板1Sの主面には、例えば液晶表示装置(LCD:Liquid Crystal Display)を駆動するLCDドライバ回路が形成されている。このLCDドライバ回路は、LCDのセルアレイの各画素に電圧を供給して液晶分子の向きを制御する機能を有しており、例えばゲート駆動回路、ソース駆動回路、液晶駆動回路、グラフィックRAM(Random Access Memory)および周辺回路を有している。

【0027】

半導体チップ1Cの外周近傍には、複数のバンプ2が半導体チップ1Cの外周に沿って所定の間隔毎に配置されている。これら複数のバンプ2の中には集積回路の構成に必要な集積回路用のバンプと、その他に集積回路の構成には必要とされないダミーバンプとが存在する。

【0028】

半導体チップ1Cの1つの長辺および2つの短辺近傍には、上記バンプ2が千鳥配置されている。この千鳥配置されている複数のバンプ2は、主としてゲート出力信号用およびソース出力信号用である。このような千鳥配置により、半導体チップ1Cのサイズ増大を抑えつつ、多くの数を必要とするゲート出力信号やソース出力信号用のバンプ2を配置することができる。すなわち、チップサイズを縮小させ、かつバンプ(ピン)数を増やすことができる。

【0029】

また、半導体チップ1Cの他方の長辺近傍に千鳥配置ではなく並んで配置された複数のバンプ2は、デジタル入力信号またはアナログ入力信号用である。

【0030】

また、半導体チップ1Cの四隅近傍には、平面寸法が相対的に大きなバンプ2が配置されている。この相対的に大きなバンプ2は、コーナーダミーバンプである。相対的に小さなバンプ2の平面寸法は、例えば15～30 μm ×50 μm 程度である。また、相対的に

10

20

30

40

50

大きなバンプ2（コーナードミーバンプ）の平面寸法は、例えば80 μm × 80 μm程度である。また、バンプ2の隣接ピッチ（バンプピッチ）は、例えば30 μm程度である。また、バンプ2の総数は、例えば800個程度である。なお、バンプ2以外の半導体チップ1C表面は、パッシベーション膜により覆われ、保護されている。

【0031】

図2は、半導体基板1Sに形成されたバンプ2の概略断面図を示す。半導体基板1Sの主面には、例えばC M I S（Complementary Metal Insulator Semiconductor）デバイスが形成されており（図示せず）、C M I Sデバイスを覆う絶縁膜8上には、最上層配線と同一層の金属膜からなる電極パッド（電極、パッド）9が形成されている。上記金属膜は、例えば、アルミニウム合金膜であり、その厚さは、例えば800 nm程度とすることができる。

10

【0032】

電極パッド9の上層には、パッシベーション膜10が形成されている。このパッシベーション膜10は、例えば、プラズマC V D（Chemical Vapor Deposition）法で形成される窒化シリコン膜で構成されている。さらに、パッシベーション膜10には、電極パッド9を露出させる開口部11が形成されている。

【0033】

開口部11には、電極パッド9の上層にU B M（Under Bump Metal）12を介してバンプ2が形成されている。このバンプ2は、例えば、メッキ法で形成された金（A u）膜で構成され、開口部11を含みパッシベーション膜10上に架かる領域に形成することで、開口部11の段差に追従した凹形状をなしている。

20

【0034】

図3は、本実施の形態の半導体チップ1CをL C DにC O F実装した状態の要部概略断面図である。

【0035】

半導体チップ1CがC O F実装されるフレキシブル基板（実装体、実装基板）19は、例えばポリイミド樹脂等からなるC O Fテープ19 aと、その表面に銅（C u）を主体とし、錫（S n）メッキされた配線19 bとを有している。

【0036】

フレキシブル基板19を形成するには、まず、例えばポリイミド樹脂等からなるC O Fテープ19 aを準備し、このC O Fテープ19 aの全面上に例えばC u膜を形成する。次いで、このC u膜等をエッチングにより所望の形状（所望のリード形状）となるようにパターンニングし、リード19 bを形成する。次いで、リード19 bの表面に錫（S n）メッキを施すことにより、フレキシブル基板19が形成される。

30

【0037】

このフレキシブル基板19のリード19 bには、バンプ2を介して半導体チップ1Cが電氣的に接続されている。また、リード19 bには、他の電子部品30が、半田バンプ31を介して電氣的に接続されている。電子部品30には、半導体チップ1Cの動作を制御する制御回路等が形成されている。

【0038】

半導体チップ1CをC O Fテープ19 a上に実装するには、例えば次のようにする。まず、半導体チップ1Cを、その主面（複数のバンプ2の形成面）を上にしてボンディングステージ上に載置した後、半導体チップ1Cの主面内のバンプ2とC O Fテープ19 aのリード19 bとを位置合わせする。続いて、複数のリード19 bを、所定の温度に加熱したボンディングツールによって複数のバンプ2に押し付けて、複数のリード19 bと複数のバンプ2とを一括して加熱圧着接合する。リード19 bの表面に錫メッキが施されているれば、リード19 bとバンプ2とは金 - 錫共晶合金により接合される。

40

【0039】

液晶パネル16は、ガラス基板16 a、16 bと、ガラス基板16 a、16 bの外周の間のシール材16 cと、2枚のガラス基板16 a、16 bの間に封じ込められた液晶材1

50

6 dと、液晶パネル 1 6 の表裏面に貼り付けられた偏光板（図示せず）とを有している。

【0040】

LCDには、薄膜トランジスタ（TFT；Thin Film Transistor）を用いたアクティブ型と、単純マトリクス型（STN：Super-Twisted-Nematic）のパッシブ型とがある。アクティブ型の場合、ガラス基板（実装体）1 6 aには、画面に文字や絵等を表示するための最小単位である画素の配列と、その画素を駆動するためのゲート線およびソース線等のような配線 1 7 が形成されている。一方、パッシブ型の場合、ガラス基板 1 6 a、1 6 bには、互いに直交する方向に延びる配線 1 7 が形成されている。

【0041】

このアクティブ型でもパッシブ型でも、配線 1 7 には、例えばインジウムと錫との酸化物からなる透明導電膜（ITO：Indium Tin Oxide film）が使用されている。この配線 1 7 と、フレキシブル基板 1 9 の複数のリード 1 9 b は、異方性導電フィルム 1 8 を介してLCDの配線 1 7 と電気的に接続されている。

10

【0042】

図4は、半導体チップ 1 Cで千鳥配置されたバンプ 2 とリード 1 9 b とが電気的に接続（接触）された状態の概略平面図である。

【0043】

このバンプ 2 は、半導体チップ 1 Cのチップ端側に配置されるバンプ 2 a と半導体チップ 1 Cのチップ中心側に配置されるバンプ 2 b とで千鳥配置されている。このバンプ 2 a の形状は、例えば寸法 A a（短辺側）×寸法 B a（長辺側）の長方形形状である。同様に、バンプ 2 b は、例えば寸法 A b（短辺側）×寸法 B b（長辺側）の長方形形状である。

20

【0044】

これらバンプ 2 a とバンプ 2 b とは、バンプピッチ（間隔）Pで配置されている。また、半導体チップ 1 CをCOFテープ 1 9 a上に実装した際に、バンプ 2 a間を通過して配置されるリード 1 9 bと、バンプ 2 aとの間でショート（短絡）を防止するために、バンプ 2 aとリード 1 9 bとの間にはマージンMが確保されている。

【0045】

リード 1 9 bは、先端部側（チップ中心側）からチップ端側（チップ外側）の方向に延在しており、リード 1 9 bの先端部から寸法 X 1、寸法 X 2 および寸法 X 3 を有している。また、リード 1 9 bは、リード 1 9 bの延在方向に沿ったバンプ 2 の辺と重なる領域の幅 Y 1、バンプ 2 内の領域の幅 Y 2、これら領域以外の幅 Y 4 が同じ幅を有して配置される。

30

【0046】

図4中のバンプピッチP、マージンM、リード 1 9 bの延在方向の寸法 X 1 ~ X 3、リード 1 9 bの幅 Y 1、Y 2、Y 4、バンプ 2 aの寸法 A a、B a、およびバンプ 2 bの寸法 A b、B bに具体的な数値を用いて説明する。

【0047】

規格値としてマージンMを、例えば 1 1 μm程度とする。なお、マージンMを 1 1 μm程度としたのは、現行量産品のマージンMの規格値と同一値だからである。

【0048】

バンプピッチPは、例えば 3 0 μm程度としたファインピッチ化に対応する値とする。また、リード 1 9 bの延在方向の寸法 X 1 が 2 5 μm程度、寸法 X 2 が 2 5 μm程度および寸法 X 3 が 2 5 μm程度、リード 1 9 bの幅 Y 1、Y 2 および Y 4 が 1 2 μm程度とする。

40

【0049】

このような数値において、バンプ 2 aの寸法 A a が 3 0 μm程度、寸法 B a が 5 0 μm程度、およびバンプ 2 bの寸法 A b が 3 0 μm程度、寸法 B b が、5 0 μm程度として、配置した場合は、バンプ 2 aとそれに隣接するバンプ 2 aとの間に配置されるリード 1 9 bと、バンプ 2 aとの間隔が、9 μm程度となってしまう。9 μm程度の間隔では、規格値としたマージンMの 1 1 μm程度より狭いこととなってしまう、リード 1 9 bとバン

50

プ 2 a とのショートによる不良発生の確率が高くなり、製品の信頼性を低下させてしまう。

【 0 0 5 0 】

そこで、本実施の形態では、チップ端側のバンプ 2 a とチップ中心側のバンプ 2 b との寸法を同一にしなくとも、チップ端側に位置するバンプ 2 a の短辺側の寸法 A a を調整する。すなわちリード 1 9 b の延在方向と交差する方向におけるバンプ 2 a 短辺側の長さの寸法 A a を、バンプ 2 b 短辺側の長さの寸法 A b より短く調整することで、リード 1 9 b とバンプ 2 a とがショートすることを防止する。

【 0 0 5 1 】

具体的に数値を用いると、規格値 1 1 μm 程度のマージン M を確保するために、バンプ 2 a の寸法 A a を 2 6 μm 程度として C O F 実装することで、ショートによる不良発生の確率を抑え、製品の信頼性を向上させることができる。

【 0 0 5 2 】

このように現行量産品の設計値をベースに、チップ端側に配置されるバンプ 2 a の短辺側の寸法 A a を調整するだけで、ファインピッチ化に対応することができる。

【 0 0 5 3 】

このように、本実施の形態で示す半導体装置は、主面上の外周部に複数のバンプ 2 が配置された半導体チップ 1 C と、C O F テープ 1 9 a に形成されたリード 1 9 b とが、複数のバンプ 2 を介して電氣的に接続された半導体装置であって、複数のバンプ 2 は、チップ 1 C 端側に配置された複数のバンプ 2 a (第 1 バンプ) と、チップ 1 C 中心側に配置された複数のバンプ 2 b (第 2 バンプ) とが互いに千鳥配置されてなり、リード 1 9 b の延在方向と交差する方向におけるバンプ 2 a の辺の長さ (寸法 A a) は、バンプ 2 b の辺の長さ (寸法 A b) より短いことを特徴とする。

【 0 0 5 4 】

(実施の形態 2)

本実施の形態では、ファインピッチ化に対応した C O F 実装した場合において、規格値のマージン M を確保するために、リード 1 9 b の幅の調整を行う。

【 0 0 5 5 】

本実施の形態の半導体装置を、図 5 ~ 図 7 を参照して説明する。図 5 は、C O F 実装した半導体チップ 1 C のバンプ 2 およびリード 1 9 b の形状およびその配置を示す概略平面図である。図 6 は、発明過程における C O F 実装した半導体チップ 1 C のバンプ 2 およびリード 1 9 b の形状およびその配置を示す概略平面図である。図 7 は、図 6 で示した半導体チップ 1 C のバンプ 2 およびリード 1 9 b の C O F 実装時の要部概略断面図である。なお、半導体チップ 1 C、半導体チップ 1 C 上に形成されたバンプ 2 および半導体チップ 1 C の C O F 実装に関する技術については、図 1 ~ 図 3 を用いて説明した上記実施の形態 1 と同様であるので、ここではその説明は省略する。

【 0 0 5 6 】

図 5 は、半導体チップ 1 C 上で千鳥配置されたバンプ 2 と、C O F テープ 1 9 a 上で形成されたリード 1 9 b とが電氣的に接続 (接触) された状態の概略平面図である。

【 0 0 5 7 】

このバンプ 2 は、半導体チップ 1 C のチップ端側に配置されるバンプ 2 a と半導体チップ 1 C のチップ中心側に配置されるバンプ 2 b とで千鳥配置されている。このバンプ 2 a の形状は、例えば寸法 A a (短辺側) \times 寸法 B a (長辺側) の長方形であり、同様に、バンプ 2 b は、例えば寸法 A b (短辺側) \times 寸法 B b (長辺側) の長方形であり、バンプ 2 a とバンプ 2 b は、バンプピッチ (間隔) P で配置されている。また、半導体チップ 1 C を C O F テープ 1 9 a 上に実装する際に、バンプ 2 a とそれに隣接するバンプ 2 a との間を通るように配置されるリード 1 9 b と、バンプ 2 a との間でショート (短絡) を防止するために、バンプ 2 a とリード 1 9 b との間にはマージン M を確保する必要がある。

【 0 0 5 8 】

また、このリード 1 9 b は、半導体チップ 1 C のチップ中心側のリード 1 9 b 先端部側

10

20

30

40

50

から半導体チップ1Cのチップ端側の方向に、寸法X1、寸法X2、寸法X3、寸法X4、寸法X5、寸法X6を有して配置される。また、この寸法X1~X6に対応したリード19bの幅は、異なって形成される。この半導体チップ1Cのチップ端側からチップ外側の方向に配置されるリード19bは、実施の形態1で示した図4のリード19bと同様なストレート形状で配置される。これに対し半導体チップ1Cのチップ端側からチップ中心側の方向のリード19bは、バンプ2の短辺側で接触(接続)することとなる幅Y1が幅Y4および幅Y3より広く、バンプ2aとその隣接するバンプ2aとの間に通して配置されることとなる幅Y3が幅Y4および幅Y1より狭くなるようなリード19b形状で配置される。

【0059】

図5において、バンプピッチPを30 μ m程度のファインピッチに対応したCOF実装した場合について、具体的に数値を用いて説明する。バンプ2の平面寸法は、バンプ2aおよびバンプ2bともに、寸法Aa、寸法Ab(短辺側)が、28 μ m程度、寸法Ba、寸法Bb(長辺側)が、50 μ m程度で配置される。リード19bのリード長(半導体チップ1Cの中心側のリード19b先端部側から半導体チップ1C端側の方向)の寸法は、リード19b先端部側から寸法X1が、例えば25 μ m程度、寸法X2および寸法X3が、例えば25 μ m程度、寸法X4が、例えば30 μ m程度、寸法X5の寸法は、例えば90 μ m程度、寸法X6が、例えば30 μ m程度である。また、リード19bの幅の寸法において、寸法Y1は、例えば16 μ m程度、寸法Y2は、例えば12 μ m程度、寸法Y3は、例えば8 μ m程度、寸法Y4は、例えば12 μ m程度である。なお、マージンMは、現

【0060】

このような数値とすることにより、バンプ2aとそれに隣接するバンプ2aとの間に配置するリード19bと、バンプ2aとの間隔は、12 μ m程度となり、バンプ2aとリード19bとが接触してショートすることを防止することができる。また、半導体装置の歩留りを向上することができる。

【0061】

ここで、バンプ2の短辺側で接続(接触)する領域のリード19bの幅Y1を、Y3およびY4よりも太くしていることについて説明する。バンプ2aとそれに隣接するバンプ2aとの間に配置するリード19bと、バンプ2aとが接触してショートすることを防止する対策として、単にリード19bの幅Y1~Y4を12 μ m程度(現行量産レベル)から細く、同幅にして(ストレート形状にして)、バンプ2と電氣的接続を行うことも考えられる。

【0062】

しかし、単にリード19bの幅を、例えば8 μ m程度と細くして、COF実装によりバンプ2と電氣的接続を行った場合、図6および図7に示すように、バンプ2の短辺側の周辺で、リードが剥がれ、COFテープとリード19bとの間に錫(Sn)が回り込む問題が発生してしまう。このように局所的にリード19bがCOFテープより剥がれた場合、リード断線を発生させる可能性が高くなり、半導体装置の信頼性を低下してしまう。

【0063】

そこで、本実施の形態では、リード19bの延在方向に沿ったバンプ2の両端部と重なる領域のリード19bの幅Y1が、チップ端側のバンプ2a間におけるリード19bの幅Y3より広くして、リード19bとCOFテープ19aとの接触面積を大きくすることで、リード19bが剥がれるのを防止し、COFテープとリード19bとの間に錫(Sn)が回り込むことを防止することができる。

【0064】

さらに、バンプ2aとその隣接するバンプ2aとの間を通るリード19bの幅Y3を、チップ端側からチップ外側方向のリード19bの幅Y4より細くすることで、リード19bとバンプ2aとがショートすることも防止することができる。

【0065】

また、バンプ2中心部領域のリード19bのリード幅Y2を、バンプ2の両端部と重なる領域のリード19bの幅Y1より細くする形状とすることで、COF実装時において、リード19bが確実にバンプ2上で接触しているか確認することができ、半導体装置の品質管理上に役立つことができる。

【0066】

また、前記実施の形態1で示したように、チップ端側のバンプ2aの短辺側寸法Baを調整して、より広い間隔(マージンMに対応する)を確保することもできる。

【0067】

このように、本実施の形態で示す半導体装置は、主面上の外周部に複数のバンプ2が配置された半導体チップ1Cと、COFテープ19aに形成されたリード19bとが、複数のバンプ2を介して電氣的に接続された半導体装置であって、複数のバンプ2は、チップ1C端側に配置された複数のバンプ2a(第1バンプ)と、チップ1C中心側に配置された複数のバンプ2b(第2バンプ)とが互いに千鳥配置されてなり、バンプ2bと接続されたリード19bは、バンプ2a間における幅Y3が、リード19bのバンプ2bと接続する部分における幅Y1より狭いことを特徴とする。

10

【0068】

また、本実施の形態で示す半導体装置は、主面上の外周部に複数のバンプ2が配置された半導体チップ1Cと、COFテープ19aに形成されたリード19bとが、複数のバンプ2を介して電氣的に接続された半導体装置であって、複数のバンプ2は、チップ1C端側に配置された複数のバンプ2a(第1バンプ)と、チップ1C中心側に配置された複数のバンプ2b(第2バンプ)とが互いに千鳥配置されてなり、リード19bの延在方向に沿ったバンプ2(バンプ2a、2b)の両端部と重なる領域のリードの幅Y1が、バンプ2a間におけるリード19bの幅Y3より広いことを特徴とする。

20

【0069】

(実施の形態3)

本実施の形態では、上記実施の形態1で示したファインピッチ化に対応したバンプ2を有する半導体チップを、COG実装に適用した場合について説明する。

【0070】

本実施の形態の半導体装置を、図8~図10を参照して説明する。図8はCOG実装状態を示す要部断面図であり、図9は図8の要部拡大断面図である。また図10はCOG実装した半導体チップ1Cのバンプ2の形状およびその配置を示す概略平面図である。なお、半導体チップ1Cおよび半導体チップ上に形成されたバンプに関する技術については、図1~図2を用いて説明した上記実施の形態1と同様であるので、ここではその説明は省略する。

30

【0071】

図8および図9は、本実施の形態の半導体チップ1CをLCDにCOG実装した状態の要部断面図である。LCDは、液晶パネル16、LCD駆動用の半導体チップ1Cおよびバックライト(図示せず)を有している。

【0072】

液晶パネル16は、平面四角形状の2枚のガラス基板16a、16bと、ガラス基板16a、16bの外周の間のシール材16cと、2枚のガラス基板16a、16bの間に封じ込められた液晶材16dと、液晶パネル16の表裏面に貼り付けられた偏光板とを有している。

40

【0073】

LCDには、薄膜トランジスタを用いたアクティブ型と、単純マトリクス型のパッシブ型とがある。アクティブ型の場合、ガラス基板(実装体)16aには、画面に文字や絵等を表示するための最小単位である画素の配列と、その画素を駆動するためのゲート線およびソース線等のような配線17が形成されている。一方、パッシブ型の場合、ガラス基板16a、16bには、互いに直交する方向に延びる配線17が形成されている。このアクティブ型でもパッシブ型でも、配線17には、例えばインジウムと錫との酸化物からなる

50

透明導電膜 (ITO : Indium Tin Oxide film) が使用されている。

【0074】

また、いずれの場合も半導体チップ1Cは、そのバンプ2の形成面をガラス基板16aの主面(配線17の形成面)に向けた状態で、例えば異方性導電フィルム(ACF : Anisotropic Conductive Film)18を介してガラス基板16a上に接続されている(COG : Chip On Glass)。よって、このガラス基板16aはCOG基板となる。

【0075】

また、異方性導電フィルム18は、例えばエポキシ系樹脂等のような熱硬化性樹脂からなる絶縁性接着剤18a中にプラスチックボールにニッケルや金をコーティングしたような導電性粒子18bを分散または配向した電気接続材料である。半導体チップ1Cのバンプ2とガラス基板16aの配線17とは、その間に潰された状態で介在された導電性粒子18bによって電氣的に接続されている。

10

【0076】

また、ガラス基板16aの外周の配線17には、フレキシブル基板20を介してプリント基板(図示せず)が電氣的に接続されている。フレキシブル基板20は、例えばポリイミド樹脂等からなる基板本体20aと、その表面に接合された銅(Cu)を主体とする配線20bとを有している。フレキシブル基板20の配線20bの一端は、上記半導体チップ1Cと上記と同じ要領で異方性導電フィルム18を介してガラス基板16a上の配線17と電氣的に接続されている。一方、配線20bの他端は、プリント基板(図示せず)の配線と例えばハンダ等によって電氣的に接続されている。

20

【0077】

半導体チップ1Cをガラス基板16a上に実装するには、例えば次のようにする。まず、ガラス基板16a上に異方性導電フィルム18を貼り付けた後、半導体チップ1Cのバンプ2形成面をガラス基板16a側に向けて、そのバンプ2を配線17に位置合わせする。続いて、半導体チップ1Cのバンプ2を異方性導電フィルム18を介して配線17に所定の圧力で押し付け、加熱した状態を数十秒程度保持することによって複数のバンプ2と複数の配線17とを圧接状態で一括して接続する。この加熱・加圧工程で接着剤が熔融、流動することによって半導体チップ1Cとガラス基板16aの隙間が充填され半導体チップ1Cの封止が行われる。また、異方性導電フィルム18中の導電性粒子18bは、バンプ2と配線17との間に捕捉され、捕捉された導電性粒子18bによってバンプ2と配線17とが電氣的に接続される。

30

【0078】

図10は、COG実装した半導体チップ1Cのバンプ2の形状およびその配置を示す概略平面図である。

【0079】

このバンプ2は、半導体チップ1Cのチップ端側に配置されるバンプ2aと半導体チップ1Cのチップ中心側に配置されるバンプ2bとで千鳥配置されている。このバンプ2aの形状は、寸法Aa(短辺側)×寸法Ba(長辺側)の長方形であり、またバンプ2bは、寸法Ab(短辺側)×寸法Bb(長辺側)の長方形であり、バンプ2aとバンプ2bとは、バンプピッチ(間隔)Pで配置されている。このチップ端側のバンプ2aは、チップ中心側のバンプ2bより小さく、本実施の形態では、バンプ2aの寸法Aa(短辺側)が、バンプ2bの寸法Ab(短辺側)よりも小さい。具体的に数値を用いると、例えば、バンプ2の平面形状は、バンプ2aの寸法Aaは、26μm程度、寸法Baは50μm程度、またバンプ2bの寸法Abは、30μm程度、寸法Bbは、50μm程度で配置されている。

40

【0080】

このようなチップ中心側のバンプ2bよりチップ端側のバンプ2aが小さい半導体チップ1Cとすることで、導電性粒子18bがチップ中心側からチップ端へ流れやすくすることができる。すなわち、半導体チップ1Cのバンプ2を、異方性導電フィルム18を介して配線17に所定の圧力で押し付け、加熱した状態を数十秒程度保持する時に、導電性粒

50

子18bがチップ中心側からチップ端へ流れやすくすることができる。

【0081】

したがって、バンプ2と配線17との間に捕捉された導電性粒子18b以外の導電性粒子18bが、バンプ2とそれに隣接するバンプ2の間に局所的に多数存在することによるショート（短絡）を防止することができる。

【0082】

このように、本実施の形態で示す半導体装置は、主面上の外周部に複数のバンプ2が配置された半導体チップ1cと、COG基板（ガラス基板16a）に形成された配線17とが、複数のバンプ2を介して電氣的に接続された半導体装置であって、複数のバンプ2は、チップ1c端側に配置された複数のバンプ2a（第1バンプ）と、チップ1c中心側に配置された複数のバンプ2b（第2バンプ）とが互いに千鳥配置されてなり、チップ1c端と平行するバンプ2aの辺の長さ（寸法Aa）は、チップ1c端と平行するバンプ2bの辺の長さ（寸法Ab）より短い。

10

【0083】

（実施の形態4）

本実施の形態では、多ピンの半導体チップをCOF実装した場合について図を用いて説明する。

【0084】

図11は、4段バンプ配置の場合において、COF実装した半導体チップ1cのバンプ2およびリード19bの形状およびその配置を示す概略平面図である。図12は、2段バンプ配置の場合において、COF実装した半導体チップ1cのバンプ2およびリード19bの形状およびその配置を示す概略平面図である。なお、半導体チップ1c、半導体チップ上に形成されたバンプおよび半導体チップのCOF実装に関する技術については、図1～図3を用いて説明した上記実施の形態1と同様であるので、ここではその説明は省略する。

20

【0085】

図11は、4段バンプ配置の場合において、COF実装した半導体チップ1cのバンプ2およびリード19bの形状およびその配置を示す概略平面図である。チップ端側のバンプ2aとその隣接するバンプ2aとの間を通る3本のリード19bは、等間隔（マージンM2）で配置されている。

30

【0086】

図11に示すように、バンプ2は、チップ端側から1段目にバンプ2a、2段目にバンプ2b、3段目にバンプ2c、4段目にバンプ2dがチップ端に沿った方向（第1方向）と交差する方向（第2方向）に等間隔で配置され、第1方向においてはバンプピッチPで配置されている。このバンプ2aと接続されるリード19bは、リード幅が同幅のストレート形状でリード先端からチップ外側へ延びている。バンプ2bと接続されるリード19bは、リード幅が同幅であり、バンプ2aとマージンM1だけ離れるように、屈折（屈曲）して、チップ中心側からチップ外側へ延びている。バンプ2cと接続されるリード19bは、同幅であり、バンプ2bとマージンM1だけ離れるように屈折し、バンプ2bと接続されるリード19bとマージンM2だけ離れてチップ中心側からチップ外側へ延びている。バンプ2dと接続されるリード19bは同幅であり、バンプ2cとマージンM1だけ離れるように屈折し、バンプ2cと接続されるリード19bとマージンM2だけ離れ、かつ、バンプ2aとマージンM1だけ離れて、チップ中心側からチップ外側へ延びている。

40

【0087】

このように、広いスペースを確保しなければならないバンプ2とリード19bとのマージンM1を必要最小限確保して、マージンM1よりも狭いスペースで済むリード19bとリード19bとのマージンM2により、多ピン化に対応することができる。また、半導体チップサイズの縮小、半導体チップの一边が短くなることに対応することができる。

【0088】

また、多段（本実施の形態では4段）にすることで、携帯機器等のコンパクト化や表示

50

画面の高精細化が要求される装置の液晶表示パネルに隣接して実装されるLCDドライバ用半導体チップの出力数の増加、すなわちバンプ（バンプ電極）数の増加（多ピン化）に対応することができる。また、マージンM2を小さくすることで、半導体チップの縮小化に対応することができる。

【0089】

図12は、図11で示した4段バンプ配置ではなく、2段配置の場合におけるCOF実装した半導体チップ1Cのバンプ2およびリード19bの形状およびその配置を示す概略平面図である。

【0090】

図12に示すように、バンプ2は、チップ端側から1段目にバンプ2a、2段目にバンプ2bとなるように配置されている。このバンプ2aは、チップ端に沿った方向においてバンプピッチP1で配置されている。また、バンプ2bは、チップ端に沿った方向においてバンプピッチP2で配置されている。

10

【0091】

このバンプ2aと接続されるリード19bは、同幅のストレート形状でリード先端からチップ外側へ延びている。バンプ2bと接続され、かつ、バンプ2aの脇を通るリード19bは、同幅であり、バンプ2aとマージンM1だけ離れるように、屈折（屈曲）して、チップ中心側からチップ外側へ延びている。またバンプ2bと接続され、かつ、バンプ2aの脇を通らないリード19bは、同幅のストレート形状で、リード19bとマージンM2だけ離れるように、チップ中心側からチップ外側へ延びている。

20

【0092】

このような、バンプおよびリード配置とすることで、先述した4段バンプ配置した効果と同様の効果を得ることができ、かつ、チップ端側からの余分なスペースを削減することができる。

【0093】

このように、本実施の形態で示す半導体装置は、主面上の外周部に複数のバンプ2が配置された半導体チップ1Cと、COFテープ19aに形成されたリード19bとが、複数のバンプ2を介して電氣的に接続された半導体装置であって、複数のバンプ2は、チップ1C端側からチップ1C中心側へ多段に配置されてなり、チップ1C端側のバンプ2a間に配置され、チップ1C中心側のバンプ2bに接続された複数のリード19bのうち、チップ1C端側のバンプ2aに隣接するリード19bは、チップ1C端側のバンプ2aとマージンM1だけ離れ、複数のリード19b同士は、チップ1C端側のバンプ2a間において、互いにマージンM2だけ離れており、マージンM2は、マージンM1より小さい。

30

【0094】

（実施の形態5）

本実施の形態で示す半導体装置を図13～図22より説明する。図13は、本実施の形態の一例である半導体装置の概略平面図であり、半導体チップ101Cの主面からみた概略平面図となっている。図14は、図13中のA-A'線の概略断面図であり、図15は、図13中のB-B'線の概略断面図である。ここで、図13には、図14および図15に示す実装基板103が取り除かれた状態が示されている。図16～図18は、本実施の形態の他の一例である半導体装置の概略平面図であり、バンプ102が千鳥配置されている状態が示されている。図17および図18は、本実施の形態の他の一例である半導体装置の概略断面図である。図19～図22は、本実施の形態で示す半導体装置の製造工程中の概略断面図である。なお、半導体チップ、その半導体チップ上に形成されたバンプおよび半導体チップのCOF実装に関する技術については、図1～図3を用いて説明した上記実施の形態1と同様であるので、ここではその説明は省略する。また、COF実装に関する技術については、図8～図9を用いて説明した上記実施の形態3と同様であるので、ここではその説明は省略する。

40

【0095】

図13～図15に示すように、本実施の形態で示す半導体装置は、半導体チップ101

50

Cの主面上の外周部に形成された複数のバンプ102と、半導体チップ101Cを搭載する実装基板103上に形成された複数のリード104とが、それぞれ電氣的に接続されている。

【0096】

半導体チップ101Cは、例えばシリコン(Si)の半導体基板からなり、その半導体基板の主面上には、例えばMIS(Metal Insulator Semiconductor)トランジスタなどが形成されている。そのMISトランジスタなどの多層配線上に、例えば金(Au)などから成るバンプ102が形成されている。本実施の形態における半導体チップ101Cは、その厚さと交差する平面形状が長方形である。

【0097】

複数のバンプ102は、半導体チップ101Cの主面の外周近傍(チップ端側)に形成され、この外周に沿って一列に、かつ等間隔で配置されており、そのピッチであるバンプチップ107Pは、例えば30 μ m程度である。このバンプ102は、半導体チップ101Cの主面と平行な面の寸法102x、寸法102yおよび半導体チップ101Cの主面と交差する方向の寸法(高さ、厚さ)102zを有し、形成されている。具体的には、寸法102xが例えば15 μ m程度、寸法102yが例えば50 μ m程度、寸法102zが例えば10 μ m程度である。

【0098】

実装基板103は、例えばCOF(Chip On Film)用のテープ(以下、COFテープと略する)から構成され、テープには例えばポリイミド樹脂等が用いられる。なお、本実施の形態で示す半導体装置では、実装基板103がCOG基板またはPCB基板から構成されても良いが、COFテープのように可撓性を有する実装基板(フレキシブル基板)に本発明は特に有効である。

【0099】

リード104は、銅(Cu)箔を主体とし、その表面が錫(Sn)メッキされてなり、実装基板103上に、例えばエッチング法およびメッキ法を用いて形成されている。このリード104は、半導体チップ101Cの主面と平行な面の寸法(幅)104xおよび半導体チップ101Cの主面と交差する方向の寸法(厚さ)104zを有して形成されている。具体的には、寸法104xが例えば7 μ m程度、104zが例えば5 μ m程度である。

【0100】

また、複数のリード104は、その先端がチップ中心側からチップ端を通過して半導体チップ101Cの外側へと延在している。また、複数のリード104は、それぞれ複数のバンプ102と電氣的に接続されているので、リードピッチもバンプピッチ107P毎に配置されていることとなる。

【0101】

これら複数のリード104には、突起部106が形成されている。すなわち、バンプ102と接触(接合)する領域のリード104に、突起部106が形成されている。なお、図13で示す突起部106は、リード104下に形成されることとなるので、透視した状態で図示している。

【0102】

この突起部106は、例えば必要な導体部分を選択して付着するアディティブ法を用いてリード104上に形成された、例えばCu(銅)およびSn(錫)を成分含んだメッキからなる。また、この突起部106は、半導体チップ101Cの主面と平行な面の寸法106x、寸法106yおよび半導体チップ101Cの主面と交差する方向の寸法(高さ、厚さ)106zを有して形成されている。具体的には、寸法106xが例えば6 μ m程度、寸法106yが例えば60 μ m程度、寸法106zが例えば5 μ m程度である。なお、寸法106zは、例えば5 μ m~8 μ m程度が好ましい。この寸法106zは、少なくとも基材となるリード104の寸法104zより長ければ(大きければ)良い。これは、寸法106zが小さすぎると、半導体チップ101Cとリード104との隙間が十分に確保

10

20

30

40

50

できないため、半導体チップ101Cとリード104との接触を完全に抑制できない可能性がある。また、寸法106zが長すぎる（大きすぎる）とクラックが生じ、更には突起部106が倒れてしまう等、ファインピッチを形成しているリード104上には形成し難くなる。

【0103】

突起部106の製造方法として、リード104上にマスク（図示しない）を介してシード層を形成する。その後、電解メッキ法または無電解メッキ法により、例えば5 μ mの厚さまでメッキ膜を堆積する。上記メッキ法の場合、予め堆積したい部分のみシード層を形成し、前記シード層上にのみメッキ膜が堆積（形成）されるため、本実施の形態のようなファインピッチの半導体装置にも有効である。メッキ法により突起部106を形成する場合、電解メッキ法を使用することで無電解メッキ法よりもメッキ膜の堆積速度が速いことから、突起部106の形成時間を短縮できる。

10

【0104】

突起部106の製造方法として、上記メッキ法に限定されるのではなく、例えば次のような方法で形成しても良い。リード104の寸法104zを、例えば10 μ m以上と大きく形成しておき、マスク（図示しない）を介してパンプ102と電気的に接続される部分以外をエッチングにより除去する。エッチング除去した後、マスクで覆われていた部分が突起部106となる。

【0105】

本実施の形態で示す半導体装置では、パンプ102は、リード104の突起部106を介してリード104と電気的に接続される。この時、パンプ102と突起部106の間は、Au-Sn合金（共晶）接合されている。このため、図14に示すように、突起部106の寸法（高さ、厚さ）106zはリード104における他の部分よりも大きく（高く、厚く）形成され、半導体チップ101Cとリード104との間の隙間105zが形成されている。具体的には、隙間105zは、パンプ102の寸法（高さ）102zと突起部106の寸法（高さ）106zとの和となるため、寸法102zが例えば10 μ m程度、寸法106zが例えば5 μ m程度であれば、隙間105zは15 μ m程度となる。なお、これら寸法102z、106zは、設計値であるので実際にパンプ102と突起部106とが接合することにより、若干小さくなる。このため隙間105zの完成寸法は小さくなることになるが、10 μ m以上確保することにより半導体チップ101Cとリード104とが接触（エリアショート、エリアタッチ、短絡）しない。したがって、本実施の形態で示す半導体装置では、半導体チップ101Cとリード104との間には、10 μ m以上の隙間があることとしている。

20

30

【0106】

したがって、例えば30 μ m以下のファインピッチ化により、パンプ102の寸法102zおよびリード104の寸法104zを短く（小さく）したとしても、半導体チップ101Cとリード104との接触を抑制することができる。これにより、半導体装置のファインピッチ化が実現できる。

【0107】

また、仮にAu-Sn合金またはSnがパンプ102の表面またはリード104（突起部106）の表面から流れだした場合、隙間105zが10 μ m以上あるため、毛細管現象による半導体チップ101Cのチップ端側でショート（短絡）することを防止できる。

40

【0108】

図16には、本実施の形態で示す半導体装置の他の一例として、複数のパンプ102は、チップ端側に配置された複数のパンプ102a（第1パンプ）と、チップ中心側に配置された複数のパンプ102b（第2パンプ）とが互いに千鳥配置されている場合を示す。このように千鳥配置することで、パンプピッチ107Pを例えば25 μ m程度とすることができ、ファインピッチ化に対応した半導体装置を形成することができる。

【0109】

また、前記実施の形態2で図5を用いて説明したように、リード104の延在方向に沿

50

ったバンプ102の両端部と重なる領域のリード104の幅が、バンプ102a間におけるリード104の幅より広くすることで、リード104がバンプ102から剥がれるのを防止し、Au-SnまたはSnが回り込むことを防止することができる。また、リード104とバンプ102aとがショートすることも防止することができる。

【0110】

また、前記実施の形態1で図4を用いて説明したように、リード104の延在方向と交差する方向において、バンプ102aの長さ(半導体チップ101Cの主面と平行な面の寸法(幅))が、バンプ102bの長さ(半導体チップ101Cの主面と平行な面の寸法(幅))より短くすることで、リード104とバンプ102aとがショートすることも防止することができる。

10

【0111】

図17に示すように、本実施の形態で示す半導体装置の他の一例として、バンプ102と突起部106が形成されたリード104とは、バンプ102および突起部106とAu-Sn合金(共晶)接合ではなく、異方性導電フィルム(ACF: Anisotropic Conductive Film)108を介して電氣的に接続されても良い。なお、この半導体装置のバンプピッチが例えば30μm以下とする。

【0112】

この異方性導電フィルム108は、例えばエポキシ系樹脂等のような熱硬化性樹脂からなる絶縁性接着剤108a中にプラスチックボールにニッケルや金をコーティングしたような導電性粒子108bを分散または配向した電気接続材料である。よって、半導体チップ101Cのバンプ102と実装基板103のリード104とは、その間に潰された状態で介在された導電性粒子108bによって電氣的に接続されている。すなわち、バンプ102と、リード104に形成された突起部106とを、異方性導電フィルム108を介し、その間に潰された状態で介在された導電性粒子108bによって電氣的に接続されている。

20

【0113】

よって、半導体チップ101Cとリード104との隙間105zは、バンプ102とリード104に形成された突起部106との間で潰された導電性粒子108bの寸法と、バンプ102の寸法102zと、突起部106の寸法106zとの和となる。具体的には、寸法102zが例えば10μm程度、寸法106zが例えば5μm程度であれば、隙間105zは15μm程度以上となる。

30

【0114】

仮に、リード104に突起部106が形成されていない場合は、突起部106の寸法106z分だけ隙間105zが狭くなるため、チップ端側の異方性導電フィルム108の導電性粒子108bが、半導体チップ101Cとリード104との間に介在して接触(エリアショート、エリアタッチ、短絡)することがある。したがって、バンプ102とリード104とを電氣的に接続するために、バンプ102と接触する領域のリード104に、突起部106を形成することで、異方性導電フィルム108を介して接続しても、半導体チップ101Cとリード104とが接触することを防止できる。

【0115】

図18には、本実施の形態で示す半導体装置の他の一例として、実装基板103が、PCB基板から構成される場合が示されている。なお、この半導体装置のバンプピッチが例えば30μm以下とする。

40

【0116】

PCB基板からなる実装基板103上にはリード104が形成され、さらにリード104を被覆する絶縁物109が形成されている。この絶縁膜109が開口され、露出したリード104上に突起部106が形成されている。このように、半導体チップ101Cの主面上の外周部に形成された複数のバンプ102と、半導体チップ101を搭載する実装基板103上に形成された複数のリード104とを、それぞれ電氣的に接続するために、バンプ102と接触する領域のリード104に突起部106を形成することで、ファインピ

50

ッチのためにバンプ102の寸法102zが小さくなったとしても、PCB基板からなる実装基板103上に半導体チップ101Cを搭載することができる。

【0117】

次に、本実施の形態で示す半導体装置の製造方法について、特にCOFテープから構成される実装基板103のリード104に形成される突起部106をアディティブ法により形成する方法について説明する。

【0118】

まず、図19に示すように、例えばポリイミド樹脂等からなるCOFテープから構成される実装基板103を準備し、この実装基板103の全面上に例えばCu膜104aを形成する。

【0119】

次いで、図20に示すように、このCu膜等をエッチングにより所望の形状(所望のリード形状)となるようにパターンニングし、リード104を形成する。次いで、リード104の表面に錫(Sn)メッキを施す。

【0120】

次いで、図21に示すように、実装基板の全面にレジスト膜111を形成し、フォトリソグラフィ法およびエッチング法により、所定の領域(上述のバンプと接触するリードの領域)のレジスト膜111を開口する。その後、メッキ法により、CuおよびSnを含んだ突起部106を形成し、図22に示すように、レジスト膜111を除去することによって、実装基板103のリード104に突起部106が形成されることとなる。

【0121】

このように、アディティブ法を用いることで、実装基板103のリード104に突起部106を形成することができる。なお、ハーフエッチング法を用いて、リード104とともに突起部106を形成することもできるが、ファインピッチに対応したリード104を形成するためには、アディティブ法を用いることがより好ましい。

【0122】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0123】

例えば、本実施の形態では半導体基板の主面上にはMIS(Metal Insulator Semiconductor)トランジスタが形成されている場合を説明したが、これに限定されるものではなく、MOS(Metal Oxide Semiconductor)トランジスタであってもよい。

【産業上の利用可能性】

【0124】

本発明は、ファインピッチ化および多ピン化に対応した実装技術に適用して有効である。

【図面の簡単な説明】

【0125】

【図1】本発明の実施の形態1における半導体装置を構成する半導体チップの全体平面図の一例である。

【図2】図1で示した半導体チップ上に形成されたバンプの概略断面図である。

【図3】図1で示した半導体チップをCOF実装した場合の要部概略断面図である。

【図4】図3で示したCOF実装した場合の半導体チップのバンプおよびリード配置を示す概略平面図の一例である。

【図5】本発明の実施の形態2におけるCOF実装した場合の半導体チップのバンプおよびリード配置を示す概略平面図の一例である。

【図6】発明過程におけるCOF実装した場合の半導体チップのバンプおよびリード配置を示す概略平面図である。

【図7】図6示した半導体チップのバンプおよびリードの概略断面図である。

10

20

30

40

50

【図 8】本発明の実施の形態 3 における半導体チップを C O G 実装した場合の概略断面図である。

【図 9】図 8 に示した半導体チップを C O G 実装した場合の拡大概略断面図である。

【図 10】C O G 実装した場合の半導体チップの bumps 配置を示す概略平面図の一例である。

【図 11】本発明の実施の形態 4 における C O F 実装した場合の半導体チップの bumps およびリード配置を示す概略平面図の一例である。

【図 12】C O F 実装した場合の半導体チップの bumps およびリード配置を示す概略平面図の一例である。

【図 13】本発明の本実施の形態 5 で示す半導体装置の概略平面図の一例である。

10

【図 14】図 13 中の A - A ' 線の概略断面図である。

【図 15】図 13 中の B - B ' 線の概略断面図である。

【図 16】本発明の実施の形態 5 で示す半導体装置の概略平面図の他の一例である。

【図 17】本発明の実施の形態 5 で示す半導体装置の概略断面図の他の一例である。

【図 18】本発明の実施の形態 5 で示す半導体装置の概略断面図の他の一例である。

【図 19】本発明の実施の形態 5 で示す実装基板の製造工程中の概略断面図である。

【図 20】図 19 に続く半導体装置の製造工程中の概略断面図である。

【図 21】図 20 に続く半導体装置の製造工程中の概略断面図である。

【図 22】図 21 に続く半導体装置の製造工程中の概略断面図である。

【図 23】本発明者らが検討した半導体装置の概略断面図の一例である。

20

【図 24】本発明者らが検討した半導体装置の概略断面図の一例である。

【図 25】本発明者らが検討した半導体装置の概略断面図の一例である。

【符号の説明】

【 0 1 2 6 】

1 C 半導体チップ

1 S 半導体基板

2 bumps

8 絶縁膜

9 電極パッド

10 パッシベーション膜

30

11 開口部

12 U B M

16 液晶パネル

16 a、16 b ガラス基板

16 c シール材

16 d 液晶材

17 配線

18 異方性導電フィルム

18 a 絶縁性接着剤

18 b 導電性粒子

40

19 フレキシブル基板

19 a C O F テープ

19 b リード

20 フレキシブル基板

20 a 基板本体

20 b 配線

30 電子部品

31 半田 bumps

P、P 1、P 2 bumps ピッチ

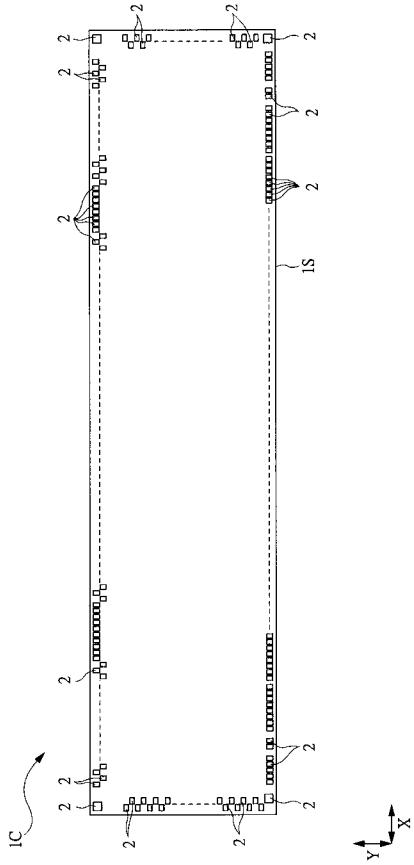
M、M 1、M 2 マージン

50

X 1 ~ X 6	寸法	
Y 1 ~ Y 4	幅	
A a、B a、A b、B b	寸法	
1 0 1 C	半導体チップ	
1 0 2、1 0 2 a、1 0 2 b	バンプ	
1 0 2 x、1 0 2 y、1 0 2 z	寸法	
1 0 3	実装基板	
1 0 4	リード	
1 0 4 a	銅箔	
1 0 4 x、1 0 4 z	寸法	10
1 0 5 z	隙間	
1 0 6	突起部	
1 0 6 x、1 0 6 y、1 0 6 z	寸法	
1 0 7 P	バンプピッチ	
1 0 8	異方性導電フィルム	
1 0 8 a	絶縁性接着剤	
1 0 8 b	導電性粒子	
1 0 9	絶縁物	
1 1 1	レジスト膜	
2 0 1 C	半導体チップ	20
2 0 2	バンプ	
2 0 2 z	寸法(高さ)	
2 0 3	実装基板	
2 0 4	リード(配線)	
2 0 4 z	寸法(厚さ)	
2 0 5 A	領域	
2 0 5 z	隙間	
2 0 5 L	金属物	

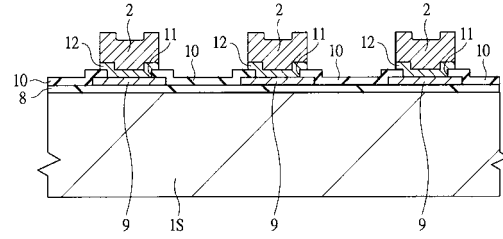
【 図 1 】

図 1



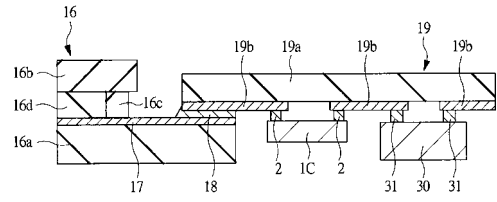
【 図 2 】

図 2



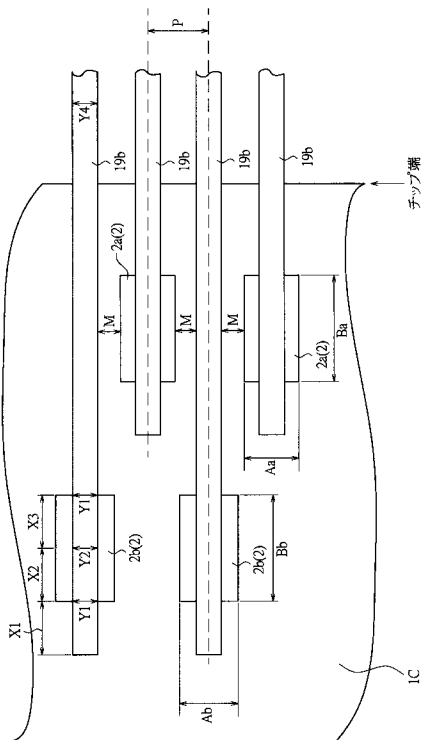
【 図 3 】

図 3



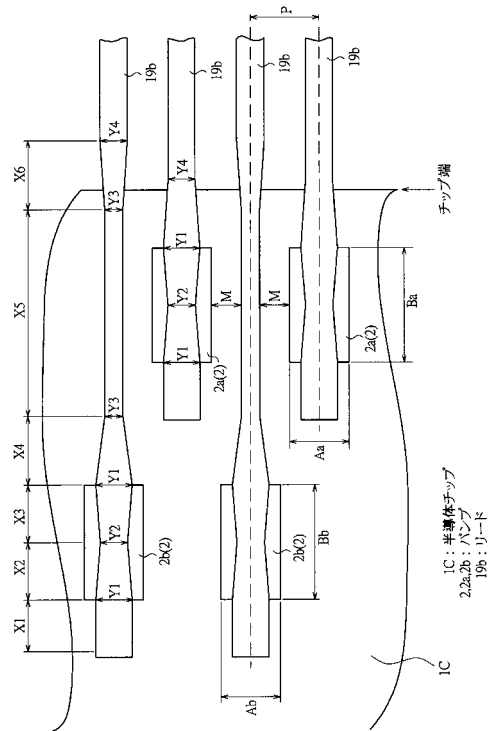
【 図 4 】

図 4

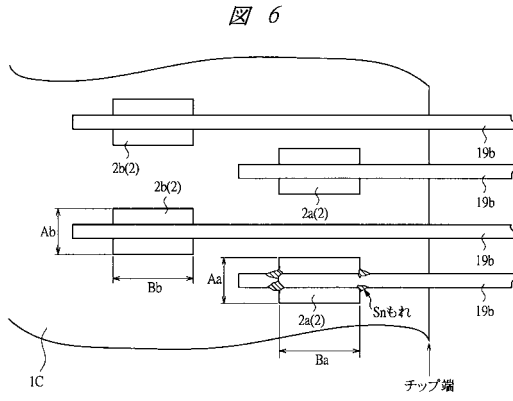


【 図 5 】

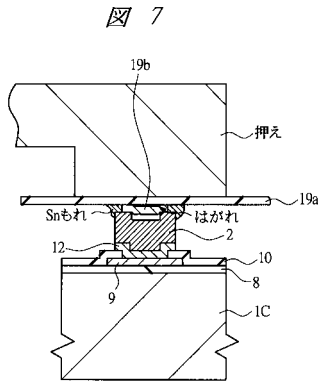
図 5



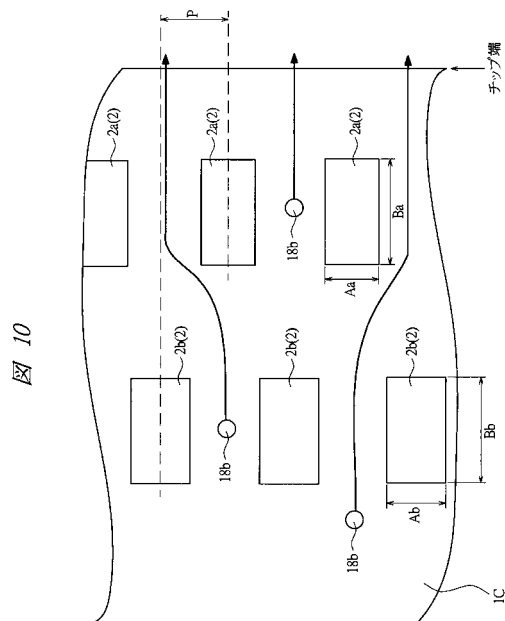
【図6】



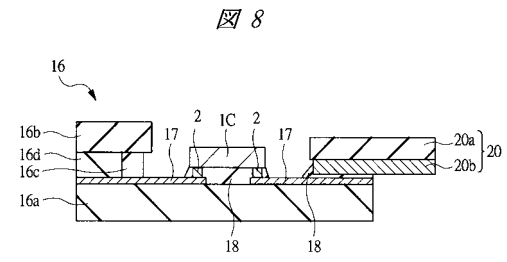
【図7】



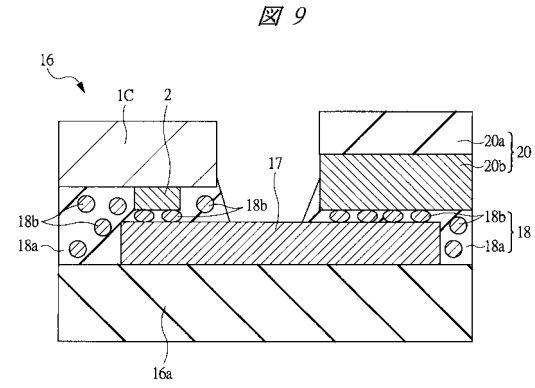
【図10】



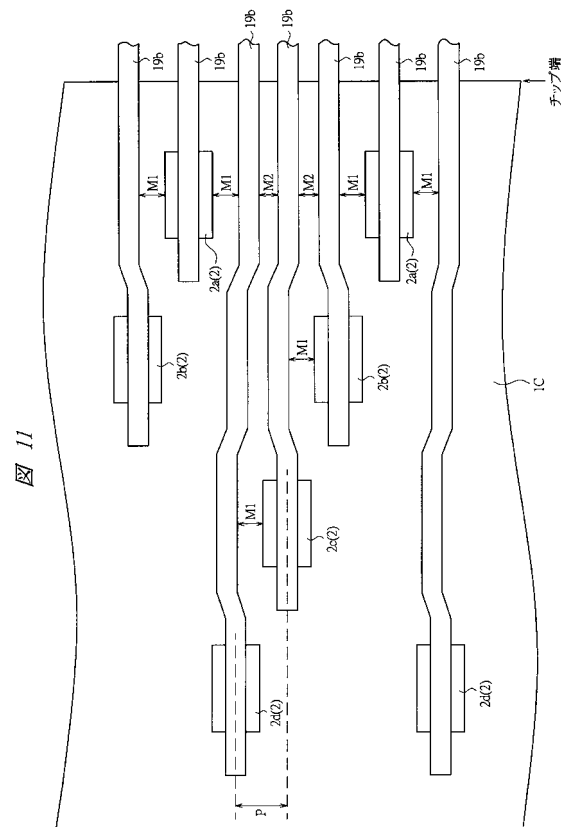
【図8】



【図9】

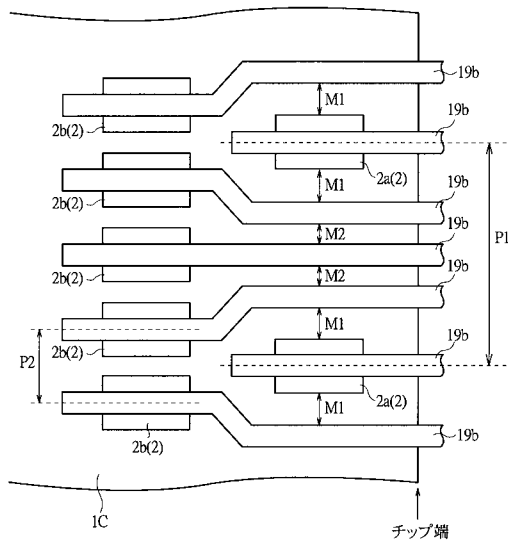


【図11】



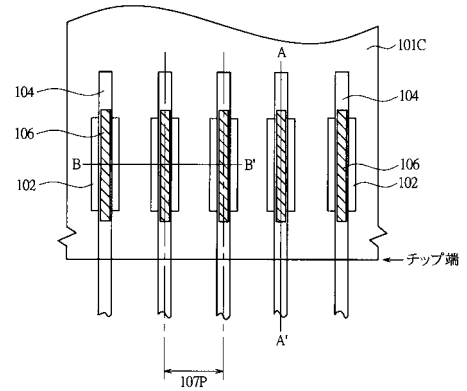
【 図 1 2 】

図 12



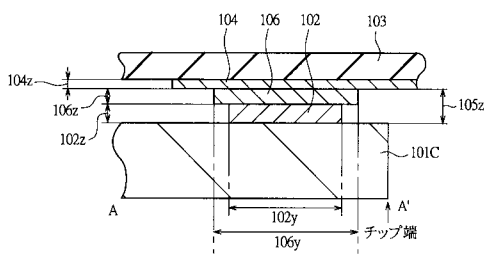
【 図 1 3 】

図 13



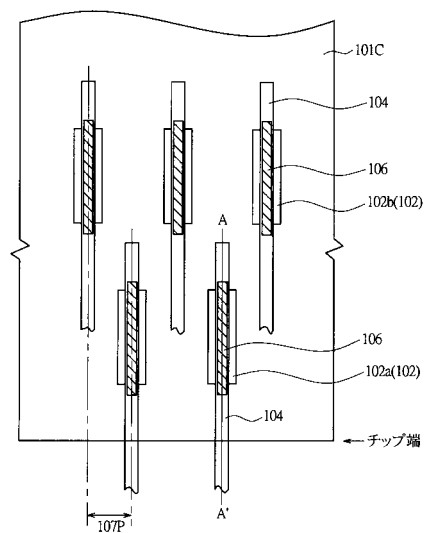
【 図 1 4 】

図 14



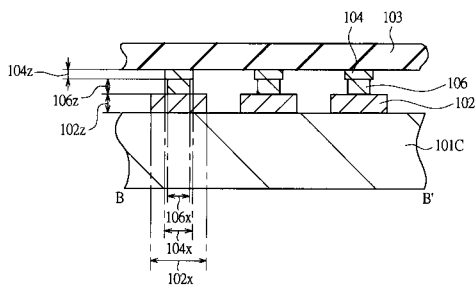
【 図 1 6 】

図 16

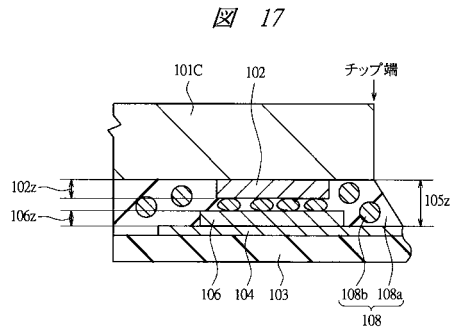


【 図 1 5 】

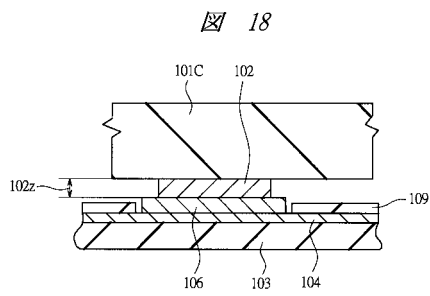
図 15



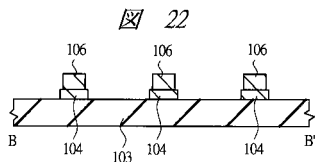
【図 17】



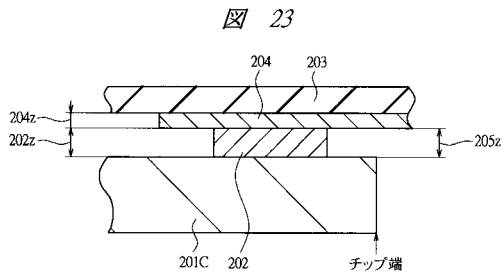
【図 18】



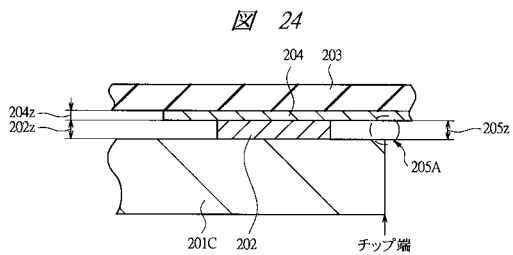
【図 22】



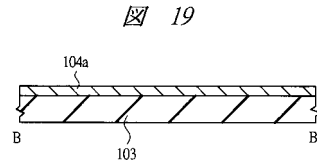
【図 23】



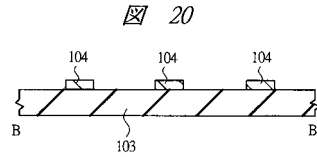
【図 24】



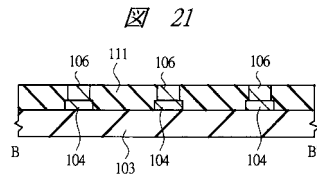
【図 19】



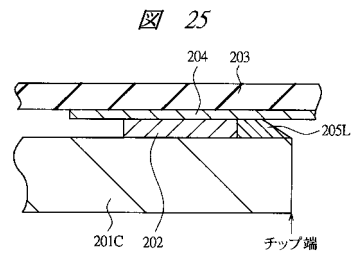
【図 20】



【図 21】



【図 25】



フロントページの続き

(72)発明者 中村 寿雄

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 井上 猛

(56)参考文献 特開2002-196353(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60